【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年6月9日(2005.6.9)

【公表番号】特表2004-529403(P2004-529403A)
【公表日】平成16年9月24日(2004.9.24)
【年通号数】公開・登録公報2004-037
【出願番号】特願2002-556370(P2002-556370)
【国際特許分類第７版】
　Ｇ０６Ｆ　12/06
　Ｈ０３Ｋ　19/173
【ＦＩ】
　Ｇ０６Ｆ　12/06　　５１５Ｂ
　Ｈ０３Ｋ　19/173　　１０１

【手続補正書】
【提出日】平成15年8月13日(2003.8.13)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　プロセッサ（１０２）のインターフェイスとなり、かつ、ランダムアクセスメモリ（ＲＡＭ）の１つ以上のブロックを制御する、ユーザプログラマブルなメモリコントローラ（１０４）であって、前記プロセッサは、第１の組のアドレス線を生成し、前記コントローラは、
　前記第１の組のアドレス線から第２の組のアドレス線を生成するユーザプログラマブルなアドレスマネージャ（１１６）を含み、前記第２の組のアドレス線は、プログラマブルな深さを有して、前記ＲＡＭの１つ以上のブロックに結合され、前記コントローラはさらに、
　前記深さに関連する待機状態を生成するユーザプログラマブルな待機状態マネージャ（１１４）を含む、ユーザプログラマブルなメモリコントローラ（１０４）。
【請求項２】
　前記ＲＡＭの１つ以上のブロックの少なくとも１つは、構成可能なアスペクト比を有し、前記深さは、前記アスペクト比と関連する、請求項１に記載のコントローラ（１０４）。
【請求項３】
　前記アドレスマネージャ（１１６）は、
　前記第１の組のアドレス線の１つを受取る入力と出力とを各々が有する、複数のロジック構成要素（１７０）と、
　前記複数のロジック構成要素を活性化または非活性化するためのユーザプログラマブルな状態を有する制御信号の組とを含む、請求項１に記載のコントローラ（１０４）。
【請求項４】
　前記ＲＡＭの１つ以上のブロックの少なくとも１つは、構成可能なアスペクト比を有し、前記制御信号の組の前記状態は、前記アスペクト比と関連する、請求項３に記載のコントローラ（１０４）。
【請求項５】
　前記複数のロジック構成要素は、デマルチプレクサ（１７２）を含む、請求項３に記載

のコントローラ（１０４）。
【請求項６】
前記アドレスマネージャ（１１６）は、前記制御信号の組を生成する複数のマルチプレクサ（１７４）をさらに含む、請求項３に記載のコントローラ（１０４）。
【請求項７】
前記コントローラは、構成メモリ（１２６）を有するフィールドプログラマブルゲートアレイ（２０）において実現され、前記複数のマルチプレクサ（１７４）の各々への１つの入力は、前記フィールドプログラマブルゲートアレイ（２０）の前記構成メモリ（１２６）に結合される、請求項６に記載のコントローラ（１０４）。
【請求項８】
前記プロセッサ（１０２）は、レジスタ（１２８）と関連し、前記複数のマルチプレクサ（１７４）の各々への１つの入力は、前記レジスタに結合される、請求項６に記載のコントローラ（１０４）。
【請求項９】
前記レジスタ（１２８）は、前記プロセッサ（１０２）のソフトウェア命令によってプログラマブルである、請求項８に記載のコントローラ（１０４）。
【請求項１０】
前記アドレスマネージャ（１１６）は、前記制御信号の組のそれぞれ１つを前記デマルチプレクサのそれぞれ１つに送信する出力端子を各々が有する複数のマルチプレクサをさらに含む、請求項５に記載のコントローラ（１０４）。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００３１
【補正方法】変更
【補正の内容】
【００３１】
グローバルアドレス線の生成を扱う、アドレスマネージャ１１６の部分１７０を、次に説明する。それは、複数のアドレス線非活性化ユニットを含み、それらの１つが、図３のユニット１７１として示される。各ユニットは、バスA_{cpu}^{*}のアドレス線を非活性化することができる。ユニット１７１は、バスA_{cpu}^{*}のアドレス線を入力として受取るデマルチプレクサ１７２を含む。デマルチプレクサ１７２の２つの出力の一方（出力１８０等）は、グローバルブロックＲＡＭアドレスバスA_{Gbram}の１つのアドレス線である。デマルチプレクサ１７２の他方の出力（出力１７８等）は用いられない。デマルチプレクサ１７２の入力が、出力１８０に接続される場合に、アドレス線が活性化される。その反対に、デマルチプレクサ１７２の入力が、出力１７８に接続される場合に、アドレス線は非活性化される。出力１８０が非活性化されるかどうかは、別のマルチプレクサ１７４によって制御される。マルチプレクサ１７４の１つの入力は、メモリ１２６のビットであり、別の入力は、レジスタ１２８のビットである。選択信号１７６は、メモリ１２６のビットまたはレジスタ１２８のビットのどちらがデマルチプレクサ１７２に結合されるかを選択するために用いられる。その結果、バスA_{cpu}^{*}のアドレス線が非活性化されるかどうかは、メモリ１２６のビットまたはレジスタ１２８のビットのいずれかによって制御される。複数のアドレス線非活性化ユニットを用いることにより、バスA_{cpu}^{*}のアドレス線のいくつかを非活性化することができ、それによって、グローバルブロックＲＡＭアドレスバスA_{Gbram}のアドレス線の数を減じることができる。信号１７６は、ＦＰＧＡ構成ロジックによって制御される。一実施例において、メモリ１２６からのデータは、ＦＰＧＡの作動中に、デマルチプレクサ１７２の選択線内にロードされる。ＦＰＧＡが構成された後に、信号１７６は、レジスタ１２８が非活性化に影響を及ぼすことができるように、制御を譲渡する。デマルチプレクサブロックは、汎用論理表現としてのみ用いられる。同じ結果を得るために、論理ゲートのどのような組合せを用いてもよいことに注目されたい。
【手続補正３】

【補正対象書類名】明細書
【補正対象項目名】００５５
【補正方法】変更
【補正の内容】
【００５５】
データ処理システム３００は、データ側メモリコントローラ３０８と、命令側メモリコントローラ３１０とを含む。これらの２つのコントローラの構造は、メモリコントローラ１０４のものと実質的に同じであるが、例外として、データ側メモリコントローラ３０８がベースアドレスレジスタおよびコンパレータ３５２を含み、命令側メモリコントローラ３１０がベースアドレスレジスタおよびコンパレータ３５４を含む。これらの２つのベースアドレスレジスタおよびコンパレータを用いて、エイリアシングを行なう。データ側コントローラ３０８は、２つのメモリ３３２および３３４と関連する。これらの２つのメモリは、図２のメモリ１２２および１２６と同様の機能を果たす。命令側コントローラ３１０は、２つのメモリ３３６および３３８と関連する。これらの２つのメモリは、図２のメモリ１２２および１２６として、同様の機能を果たす。
【手続補正４】
【補正対象書類名】図面
【補正対象項目名】図１Ａ
【補正方法】変更
【補正の内容】

【図１Ａ】

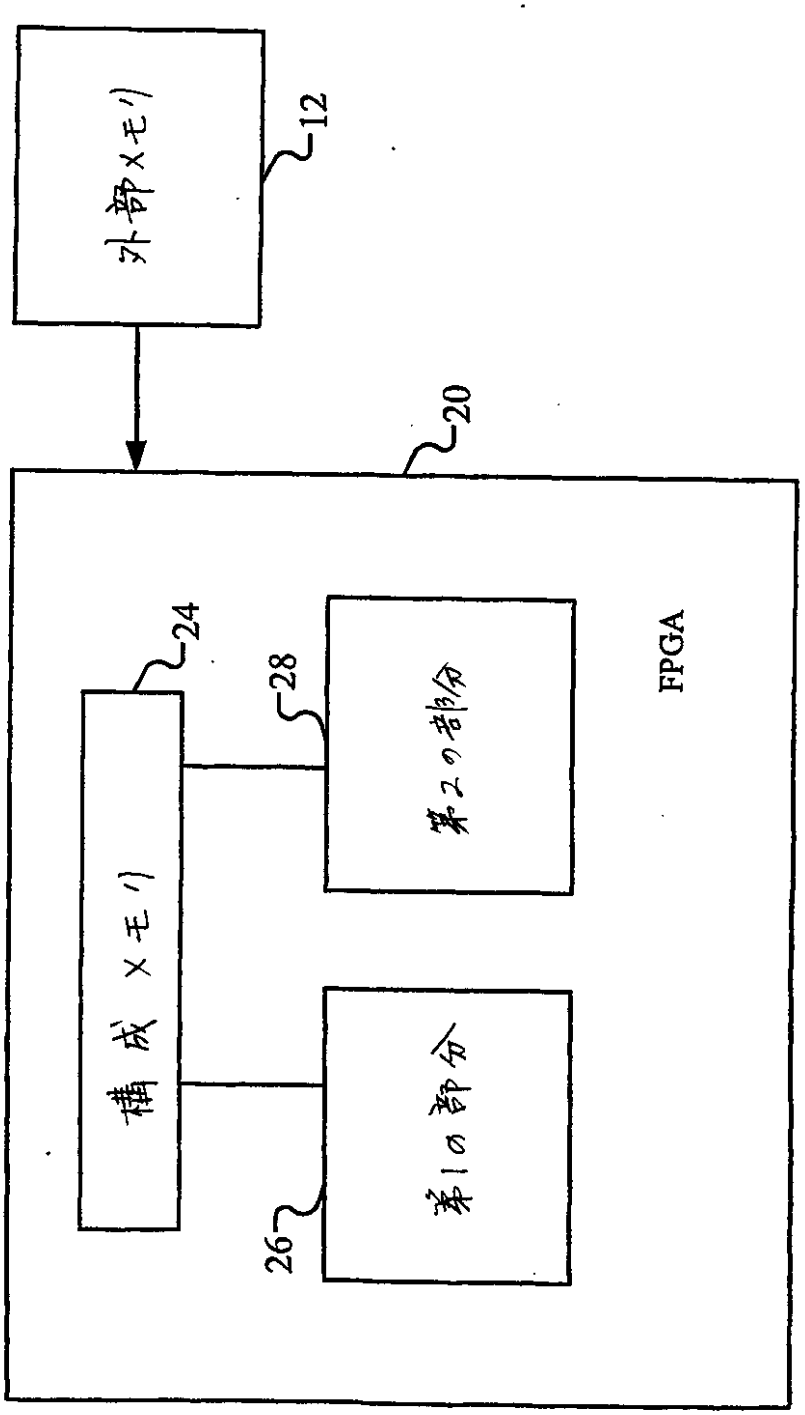


Fig. 1A

【手続補正５】
【補正対象書類名】図面
【補正対象項目名】図２
【補正方法】変更
【補正の内容】

【図２】

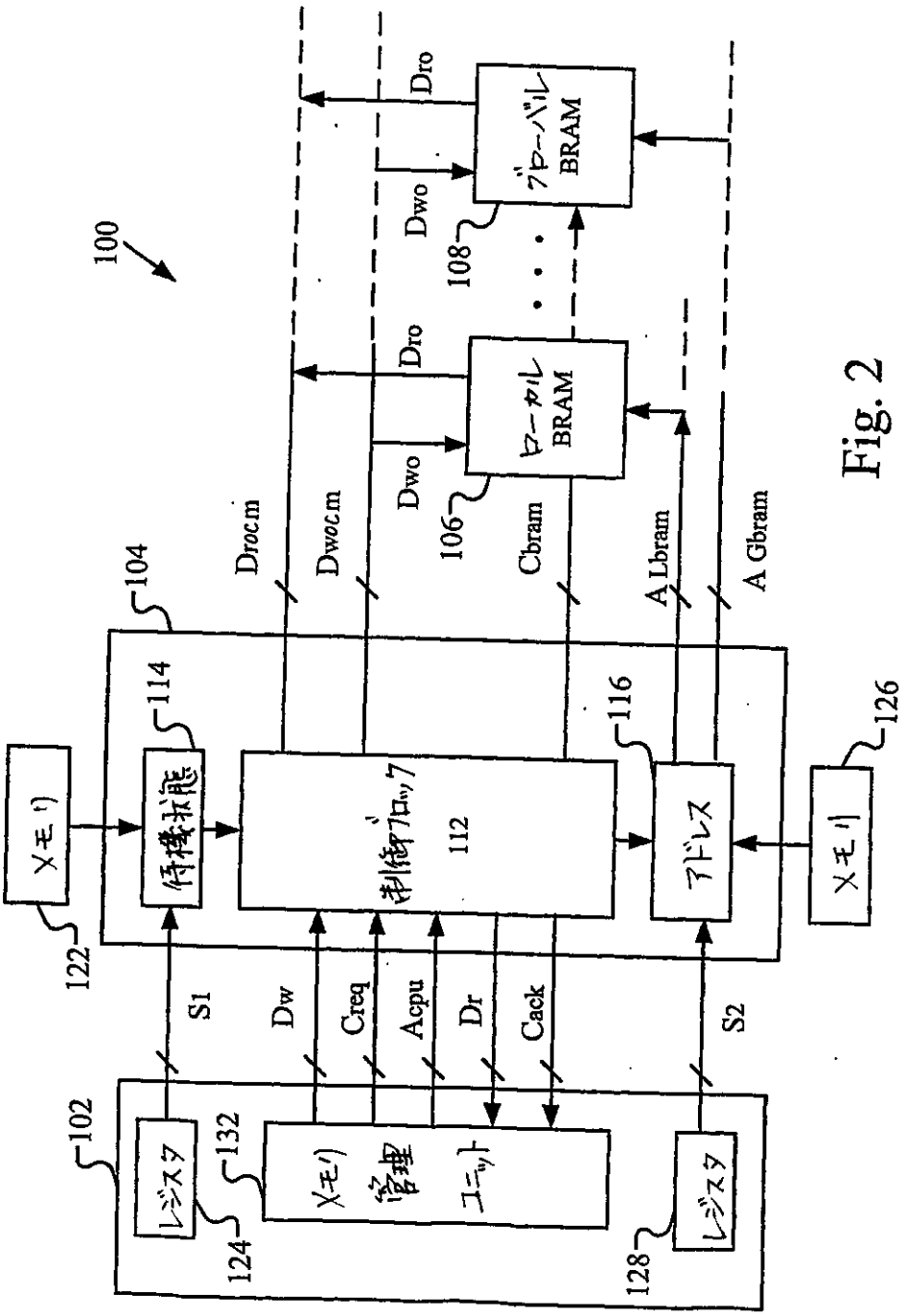


Fig. 2

【手続補正６】
【補正対象書類名】図面
【補正対象項目名】図３Ａ
【補正方法】変更
【補正の内容】

【図３Ａ】

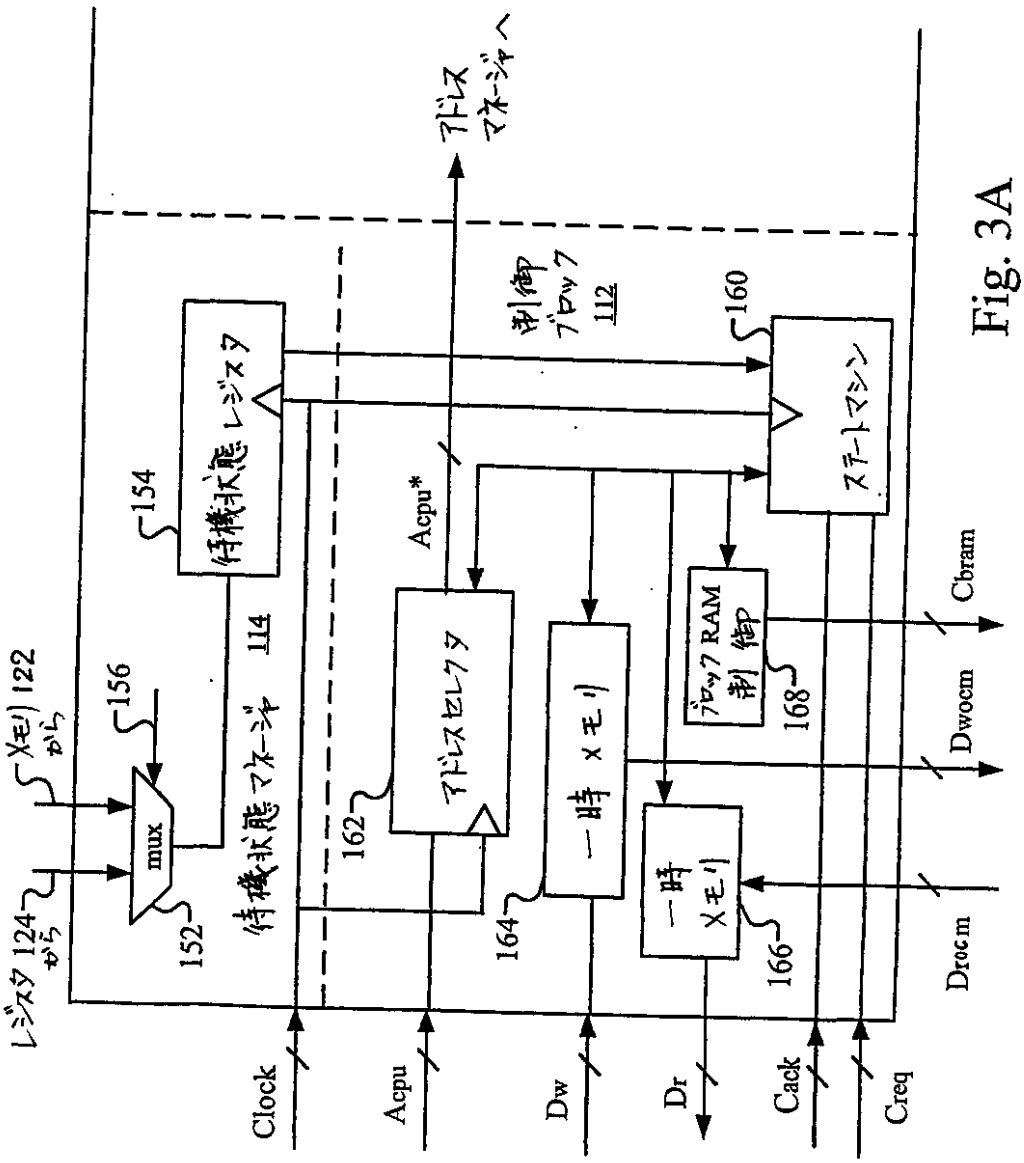

アドレス マネージャへ
制御 ブロック 112
160
ステートマシン
154
待機状態 レジスタ
Acpu*
アドレスセレクタ
162
一時 メモリ
164
ブロック RAM 制御
168
Cbram
Dwocm
一時 メモリ
166
Drocm
待機状態マネージャ 114
156
mux
152
メモリから 122
レジスタから 124
Clock
Acpu
Dw
Dr
Cack
Creq

Fig. 3A