

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94172707

※申請日期： 94.9.19

※IPC 分類：H04L ^(2006.01) 25/03, H03H ^(2006.01) 21/00

一、發明名稱：(中文/英文)

用於通訊系統之前授等化器

FEED FORWARD EQUALIZER FOR A COMMUNICATION SYSTEM

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道2200號

2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中文/英文)

美國/USA

三、發明人：(共 1 人)

姓名：(中文/英文)

克里斯汀森 班尼/CHRISTENSEN, BENNY

國籍：(中文/英文)

丹麥/Denmark

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國； 2004,09,27； 10/952,192

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於用於通訊系統之前授等化器。

5 【先前技術】

發明背景

適應性等化技術可用於一資料收發器以補償傳輸頻道所用之振幅和相位失真。當資料傳輸率增至每秒百億位元 (Gbps)和以上，適應性等化器之複雜度和功率需求也會增加。因此，裝置或網路中需要一種改良之適應性等化技術。

10 【發明內容】

發明概要

一種等化器，其包含：具有多個濾波器乘法器及一總和元件之一分接濾波器；具有多個關聯器乘法器之一關聯器，每一該等關聯器乘法器具有一對應的積分器；連接至該濾波器乘法器與該關聯器乘法器之一組共享延遲元件；以及

連接至該關聯器之一錯誤信號產生器。

圖式簡單說明

20 第1圖繪示一通訊系統100之方塊圖。

第2圖繪示一收發器200之方塊圖。

第3圖繪示一前授等化器300之方塊圖。

第4圖繪示一積分器400之一方塊圖。

第5A圖繪示一錯誤信號產生器(ESG)500之一方塊圖。

第5B圖繪示一ESG 500轉換函數之圖表。

第6圖繪示一濾波器乘法器600之一方塊圖。

第7圖繪示一濾波器乘法器700之一方塊圖。

【實施方式】

5 較佳實施例之詳細說明

第1圖繪示一系統100之方塊圖。系統100可包含，譬如，具有多節點之一通訊系統。一節點可包含任何在系統100中有特定位址之實質或邏輯實體。節點之例子可包括但不限為，電腦、伺服器、工作站、膝上型電腦、超膝上型電腦、手持式電腦、電話、蜂巢式電話個人數位助理(PDA)、路由器、開關、橋接器、hub、閘道、個人分支交換(PBX)，等等。特定位址可包含，譬如，譬如一網際網路協定(IP)位址之一網路位址，譬如一媒體存取控制(MAC)位址之一裝置位址，等等。實施例不僅侷限於本段
10
15 落所揭示。

系統100之節點可以一或更多類型之通訊媒體和輸入/輸出(I/O)轉接器連接。通訊媒體可包含能夠運送資訊信號之任何媒體。通訊媒體之例可包括印刷電路版(PCB)、背板、半導體材料、雙絞線、同軸電纜、光纖，等等。資訊
20 信號可關於一信號，其已經資訊編碼。I/O 轉接器可利用一組理想的通訊協定、服務或作業程序，被安排與任何適合的技術操作來控制節點間資訊信號。I/O 轉接器亦可包括合適的實體連接器來連接I/O 轉接器與一對應通訊媒體。I/O轉接器之例子可包括一網路介面、一網路介面卡

(NIC)、碟片控制器、視訊控制器、音訊控制器，等等。實施例不僅侷限於本段落所揭示。

系統100之節點可組配以通訊不同類型資訊，諸如媒體資訊和控制資訊。媒體資訊可關於呈現使用者意會內容之任何數位(二元)資料，譬如聲音資訊，視訊資訊，音訊資訊，文字資訊，文數符號，圖型，影像，等等。控制資訊可關於任何表示命令、指令、或一自動化系統可意會之控制字組。譬如，控制資訊可用於路由媒體資訊至一系統，或指示一節點以一預定方式處理媒體資訊。

系統100之節點可依據一或更多協定通訊媒體和控制資訊。一協定可包含一組預定規則或指令來控制節點如何彼此通訊資訊。協定可由一或更多經標準組織頒佈之協定標準所定義，譬如國際工程師專門小組(IETF)，國際電信聯盟Union(ITU)，電氣和電子工程師協會(IEEE)，等等。譬如，系統100可依據一或更多由IEEE所訂定之乙太網路協定來操作。

參照第1圖之增益，系統100可包含節點102和104。節點102和104可代表任何數量之不同通訊裝置如前所述。節點102及/或104可被安排以經由一I/O轉接器於一有線通訊媒體上通訊資訊，譬如一Gigabit乙太網路NIC。譬如，節點102及/或104可實施以利用由Intel公司所製之Intel®PRO/1000MTGigabit乙太網路桌上轉接器，然而實施例不僅侷限於本段落所揭示。值得注意的是，雖然第1圖顯示呈某種拓撲結構之有限數目之節點，可知系統100可包

括任何理想類型之拓樸結構的更多或更少節點。實施例不僅侷限於本段落所揭示。

在一實施例中，節點102和104可各自包括一資料射極/接收器(「收發器」)106。收發器106可為其個別節點通訊
5 媒體和控制資訊。收發器106可具有許多元件，包括一或更多被安排以實施適應性等化技術之一元件。

適應性等化技術可為收發器106用來對通訊頻道所導引之通訊信號補償振幅和相位失真。一頻道係一時變頻道，其具有典型上較符號週期長的時間常數。頻道具有相
10 對較固定之脈衝響應而可被視為近靜態。等化器亦被用來復新失真信號之時脈，使得區域接收器時鐘和遠端射極時脈同步。在開始時或休止後，區域接收器時鐘和遠端射極時脈同步。若時脈未被復新，經發射信號會遺失、或附加額外的錯誤信號。若接收器時脈比射極時鐘慢，在一夠長
15 之時間週期後，接收信號之一樣本會遺失。另一方面，若區域接收器時脈較遠端射極時鐘快，在一夠長之時間週期後，會獲得接收器信號之額外樣本。等化器已在許多通訊系統中被用來復新經接收時脈與資料。

又，等化器可必須為適應性的，以補償頻道時間變特徵之連續性。資料收發器通常此用一種適應性演算法來校正發生於後繼資訊位元中之錯誤。適應性演算法通常實施以資料收發器中之適應性濾波器於。

在一實施例中，譬如，收發器106可包括一適應性濾波器或等化器，譬如一前授濾波器(FFF)或前授等化器

(FFE)(此後統稱為「FFE」)。更特別地，適應性等化器可包含一最小均方(LMS)適應性分接延遲線FFE。一FFE可用於安排給通訊系統使用之接收器路徑之前端，譬如，一不返回零(NRZ)二元調變格式，典型上在將近10Gbps或更高之操作速。FFE可利用涵蓋直流電源(DC)近百億赫茲(GHz)之電氣基頻頻率頻譜操作，譬如。收發器106通常特別適於和用與收發器106之一FFE一起使用，可參考第2和3圖更詳細之敘述。

第2圖繪示收發器200之一局部區塊圖。收發器200可代表，譬如，節點102及/或104之收發器106如參考第1圖之敘述。第2圖如所示，收發器200可包含多元件，譬如具有一發射器濾波器206之發射器208，和具有一自動增益控制器(AGC)214、FFE216、一切片器220、一決策回授等化器(DFE)222、及一錯誤信號產生器(ESG)224之一接收器210。有些元件可實施以利用譬如一或更多電路、構件、電阻、處理器、軟體副常式、或任何這些的組合。然而第2圖顯示有限量之元件，可瞭解的是，對於一給定實施所欲的更多或更少元件可被用於收發器。實施例不僅侷限於本段落所揭示。

在一實施例中，收發器200可對節點102及/或104通訊媒體和控制資訊。發射路徑上，發射器208可被安排以接收輸入媒體及/或以發射(TX)資料202和輸出TX信號228形式之控制資訊。在其他元件之間，發射器208可包括發射器濾波器206來塑形發射信號頻譜。然而TX信號228可包括數位

二元信號符號(譬如0和1)，發射信號典型上被視作遍佈整個傳輸頻道上之時間連續類比信號。因此，一些實施例可不利用數位轉類比(D/A)和類比轉數位(A/D)轉換器，然而實施例不一定僅侷限於本段落所揭示。TX信號228可傳送
5 於通訊頻道上至一接收器。

接收路徑上，接收器210可被安排以接收一或更多接收(RX)信號230。RX信號230典型上包括通訊頻道上因通訊產生之失真。失真一般特徵在於預先取樣失真和後取樣失真。接收器210可利用適應性等化技術來復新接收到的資料
10 收發器時脈、並藉由從RX信號230移除預先取樣失真和後取樣失真來復新RX信號230。接收器210可利用多適應性濾波器來實現，譬如AGC214、FFE216、和DFE222。

值得注意的是，雖然發射器208和接收器210被一同描述為一單一收發器200，可知發射器208和接收器210不
15 一定實施在同樣的裝置。譬如，發射器208可實施以部份的節點102來在有線通訊媒體上發射TX信號228至節點104。這種情況下，接收器210可實施以部份的節點104來從有線通訊媒體接收RX信號230。實施例不僅侷限於本段落所揭示。

一般操作中，接收器210可接收RX信號230。RX信號
20 230可被傳送到AGC214。AGC214可最佳化接收的信號位準，並傳送最佳化信號到FFE216。FFE216可接收來自AGC214之最佳化信號，並嘗試減少預先取樣及/或後取樣失真。DFE222可移除後取樣失真，譬如。切片器220可復新從FFE216和DFE222接收到的信號RX資料204。DFE222

之回授迴路包括一共同總和裝置元件218。錯誤信號可藉ESG224由切片器220之輸入和輸出產生。錯誤信號可被產生以適應一或更多適應性濾波器，譬如AGC214、FFE216、和DFE222。

- 5 在一實施例中，收發器200可包括FFE216。FFE216可包含一LMS適應性分接延遲線FFE。在一以LMS為基礎之適應性等化器中，錯誤信號可需以及時而一致地與輸入資料信號相關聯。傳統以LMS為基礎之適應性等化器可能試圖實現將FFE分成兩分離區塊，其中一第一區塊來執行濾
- 10 波操作而第二區塊執行相關聯操作。各區塊可具有分別的乘法器和延遲元件組。FFE之分離可由於電路實務中個別晶胞和區塊中之非零信號傳播延遲之問題。然而，將濾波電路和關關電路分成分離的區塊，可能增加FEE之尺度和電力消耗。此外，分離的區塊可能需附加複雜的電路結構
- 15 來維遲適當的延遲匹配和關聯器信號時脈。

- 一實施例試圖解決和其他問題利用FFE216。FFE216可操作為一線性時間連續類比延遲線濾波器。在一實施例中，譬如，FFE216可包含一關聯器 and 一分接濾波器。分接濾波器可具有多個濾波器乘法器，而關聯器可具有多個關
- 20 聯器乘法器。關聯器和分接濾波器可共享一組延遲元件。共享的延遲元件可連接濾波器乘法器和關聯器乘法器。每一延遲元件可包括多個延遲級，其中一第一延遲級用來接收一輸入資料信號和輸出一第一延遲信號至其中一個關聯器乘法器，而一第二延遲級用以接收第一延遲信號並輸出

一第二延遲信號至其中一濾波器乘法器。結果，關聯器和分接濾波器可結合兩區塊成一單一積體區塊。因此，相較於傳統FFE利用分離的兩區塊實施方式，本發明中之FFE216之尺寸可減少將近40%，而電力需求可減少將近50%，。FFE216將參考第3圖更詳細的說明。

第3圖繪示FFE300之一方塊圖。FFE300可表示譬如，如第2圖所述之收發器200之FFE216。如所示第3圖，FFE300可包含一關聯器302、一濾波器304、和一ESG308。FFE300可整合關聯器302和濾波器304到一單一積體區塊內。FFE300亦可減少或消除須額外電路元件來維持延遲匹配和關聯器信號時脈之需求。然而第3圖顯示有限量之元件，可瞭解的是，FFE300中可針對一給定實施，隨心所欲使用更多或更元件。實施例不僅侷限於本段落所揭示。

在一實施例中，FFE300可包括濾波器304。濾波器304可包含，譬如，一 $N+1$ 分接延遲線濾波器。濾波器304可包括 $N+1$ 類比高速濾波器乘法器(FM) $1-N+1$ (FM 1 -FM $N+1$)。濾波器304亦可包括一加總元件，譬如總和裝置306。

在一實施例中，FFE300可包括ESG308。ESG308可表示為ESG224，或另外可包含分離獨立的FFE300之ESGfor。就一類比FFE，譬如FFE300，ESG308可實施以利用一限制器/切片器310和一減法節點312。切片器310可接收來自總和裝置306之一線性輸入信號。線性輸入信號可包含來自總和裝置306之未限定和未箝制的輸出信號。切片

器310可輸出一限制的/切片的信號。減法節點312可從線性輸入信號減掉限制的/切片信號來形成錯誤信號 $e(t)$ 。

在一實施例中，FFE300可包括關聯器302。關聯器302可關聯來自ESG308之錯誤信號 $e(t)$ 與FFE300之一輸入資料信號 $s(t)$ 。關聯器302可包含，譬如， $N+1$ 類比高速關聯器乘法器 $(CM)_{1-N+1}(CM_1-CM_{N+1})$ 。在一實施例中，濾波器乘法器數目需匹配關聯器乘法器之數目，然而實施例不僅侷限於本段落所揭示。關聯器302亦可包括積分器 $(I)_{1-N+1}(INT_1-INT_{N+1})$ 。積分器 INT_1-INT_{N+1} 可整合關聯器乘法器之個別輸出。積分運算可用來控制濾波器304之係數設定。

在一實施例中，關聯器302和濾波器304可共享一組延遲元件 $(D)_{1-N+1}(D_1-D_{N+1})$ 。每一延遲元件可實施以利用多個延遲級。在一實施例中，譬如，延遲元件 D_1-D_{N+1} 各可實施以利用兩延遲級，以 D'' 和 D' 表示。每一延遲元件之總延遲(TD)可為局部延遲 D'' 和 D' 之總和。一第一延遲級(D'')可被安排以接收一輸入資料信號 $s(t)$ 並輸出一第一延遲信號至其中一關聯器乘法器 CM_1-CM_{N+1} 。一第二延遲級(D')可被安排以接收第一延遲信號並輸出一第二延遲信號至其中一濾波器乘法器 FM_1-FM_{N+1} 。

在一實施例中，每一延遲元件之延遲量，和局部延遲級(譬如 D'' 和 D')，可針對想要的實施來設定。譬如，在FFE之兩區塊實施中，匹配關聯器之輸入延遲典型上被調整來匹配延遲 $A \rightarrow B$ ，其對應於在濾波器乘法器和錯誤信號產生

器之延遲量。在一實施例中，譬如，延遲元件 D_1-D_{N+1} 各可設為提供適於 CM_1-CM_{N+1} 和 FM_1-FM_{N+1} 之延遲量。此可實現以設定一第一延遲級 D'' 來輸出具有匹配延遲 $A \rightarrow B$ 之延遲量的一第一延遲信號，並從 CM_1-CM_{N+1} 傳送第一延遲信號至一對應關聯器乘法器。第二延遲級 D' 可設為輸出具有適於一給定濾波器乘法器之延遲量之一第二延遲信號，並從 FM_1-FM_{N+1} 傳送第二延遲信號至一對應濾波器乘法器。若可知各延遲元件之 TD 、和各延遲級 D'' 和 D' 之局部延遲，一給定實施可設以任何適當的延遲量。實施例不僅侷限於本段落所揭示。

第二延遲可大於、等於或小於第一延遲。第一延遲和第二延遲之總和造成單位晶胞延遲元件之總延遲。總延遲通常會設計成將近 $T/2$ ，其中 T 為位元週期。因此，第二延遲被設計成匹配 $T/2$ 和第一延遲之間的差。此亦可被稱為些微間距分接延遲線濾波器。

一般操作中，FFE330可接收一輸入資料信號 $s(t)$ 和輸出一等化信號 $o(t)$ 。關聯器302相聯來自ESG308之錯誤信號 $e(t)$ 和輸入資料信號 $s(t)$ 。關聯器302可接收來自ESG308之錯誤信號 $e(t)$ 。各關聯器乘法器可接收來自第一延遲級 D'' 輸入之延遲信號和來自ESG308之錯誤信號 $e(t)$ 。各關聯器乘法器可輸出一關聯器乘法器信號至一對應積分器 INT_1-INT_{N+1} 。各 INT_1-INT_{N+1} 可個別地整合關聯器乘法器信號，並輸出一對應相關聯信號。相關聯信號可傳送至其各自在濾波器304中之係數 C_0-C_N 。

濾波器304可接收輸入資料信號 $s(t)$ 。每一濾波器乘法器可接收從一延遲級 D' 輸入之第二延遲信號和來自關聯器302之一積分器310之一關聯信號係數。每一濾波器乘法器可輸出一比例信號。來自每一濾波器乘法器之比例信號可被總和裝置306接收。總和裝置306可組合信號與包含一總和裝置點之共同負載，並輸出一總和濾波器信號或經等化信號 $o(t)$ 。個別縮放之總和裝置和經延遲信號執行FFE300建設性和破壞性干擾之實際濾波特徵。

第4圖繪示一積分器400之方塊圖。積分器400可表示為，譬如，積分器 INT_1-INT_{N+1} of FFE300，如參考第3圖之描述。在一實施例中，積分器400可包含一兩象限之線性電流下降/來源電路。可使用錯誤信號與進來信號相關聯之整合，譬如，控制濾波器304之係數設定。

在一實施例中，積分器400可包括電晶體 Q_1-Q_8 。電晶體 Q_1-Q_8 可實施以利用雙極接面電晶體(BJT)或互補型金氧半(CMOS)電晶體，譬如。在一實施例中，譬如，電晶體 Q_1-Q_8 可實施以NPN及/或PNPBJT電晶體，然而實施例不僅侷限於本段落所揭示。

在一實施例中，電晶體 Q_1 和 Q_2 可被安排以形成一線性級。更特別地，電晶體 Q_1 和 Q_2 可被安排以形成一線性差動電流模式邏輯(CML)級。剩餘電晶體可被安排以形成三個電流鏡 CM_1 ， CM_2 和 CM_3 。譬如， CM_1 可包含電晶體 Q_3 和 Q_4 ， CM_2 可包含電晶體 Q_5 和 Q_6 ，和 CM_3 可包含電晶體 Q_7 和 Q_8 。

在一實施例中，積分器400可包括包含電晶體Q1和Q2和負回授電阻器R1和R2之一線性級。Q1之基極可被耦接至一第一電壓輸入 $v(t)_+$ ，Q1之射極可被連接至負回授電阻器R1，而Q1之集極可被連接至電晶體Q3之集極。Q2之基極可被耦接至一第二電壓輸入 $v(t)_-$ ，其係 $v(t)_+$ 之互補信號。Q2之射極可被連接至負回授電阻器R2，而Q2之集極可被連接至Q5之集極。負回授電阻器R1和R2可被串聯連接。負回授電阻器R1和R2之共接可被連接至一電流源 I_0 。

在一實施例中，CM1可包含電晶體Q3和Q4。Q3之集極可被連接至Q1之集極，而Q3之射極可被連接至Q6之射極。Q4之集極可被連接至Q7和Q8之共接基極，和Q4之射極可被連接至Q3和Q6之共接射極。Q3和Q4之基極可被連接。Q3和Q4之共接基極可被連接至Q1和Q3之共接集極。

在一實施例中，CM2可包含電晶體Q5和Q6。Q5之射極可被連接至Q3，Q4和Q6之共接射極，而Q5之集極可被連接至Q2之集極。Q6之集極可被連接至Q8之集極。Q5和Q6之基極可被連接。Q5和Q6之共接基極可被連接至Q2和Q5之共接集極。

在一實施例中，CM3可包含電晶體Q7和Q8。Q7之集極可被連接至Q4之集極和Q7和Q8之共接基極。Q7和Q8之射極和可被連接，Q7和Q8之共接射極可被連接至地。Q8之集極可被連接至Q6之集極。Q6和Q8之共接集極可被連接以輸出一信號 $I_{out}(t)$ 。積分器輸出亦可經由一電容器C1被接地。

如第4圖所示，線性差動至單終止，電壓至電流源係以一線性差動CML級和三個電流鏡CM1-CM3重建。電流鏡CM1-CM3可使用BJT或CMOS電晶體。可藉由利用各電流鏡CM1-CM3之兩分支的其中之一中的更多電晶體施加一整數比例因數。具射極下降負回授電阻器R1和R2之線性級，可設計成具有更多線性轉換函數來減少平均的錯誤信號電力。

根據電晶體種類(譬如BJT或CMOS)，電流鏡CM1-CM3可實施以不同方式。CMOS電流鏡可用來解決BJT電流鏡之基極電流錯誤。然而，許多設計因素需要被考慮，譬如頻寬、線性和電荷守恆轉換函數。譬如，積體電容器之積體輸出電壓，需將近等於正和負輸入脈波，而強度需和脈波寬度呈比例。即使在脈波寬度接近一位元週期，此亦可為真。這不一定表示輸出電流脈波寬度必須和輸入脈波一樣短，只有該電荷(區： $I_{out} * t$)需和輸入脈波區成比例。具負回授電阻器R1和R2之線性級可設計成具有一更線性的轉換函數。尾部電流(I_0)，需為在其差動級之切換區域內最高頻寬/增益最佳化。

第5A圖繪示ESG500之一方塊圖。ESG500可表示譬如，FFE300之ESG308，如參考第3圖之敘述。在一實施例中，ESG500可接收差動輸入信號 $s(t)_+$ 和 $s(t)_-$ 、和輸出差動錯誤信號 $e(t)_+$ 和 $e(t)_-$ 給FFE300。更特別地，ESG500可以用與關聯器302之全信號速度產生一錯誤信號 $e(t)$ 。錯誤信號與進來信號之相聯可用來取消或等化嵌於所接收資料

信號內之內部符號干擾(ISI)的決定性部份 e 。由於負回授之本質和關聯器302、FFE300以LMS為基礎之實施有助於確保進來的信號被適當地重建、以及剩餘錯誤和資料信號無關。換句話說，當LMS控制器已穩定在一緩慢便化的固定
5 解決方案，FFE300可被安排以確保沒有資料資訊留在剩餘錯誤信號。

傳統ESG技術意圖比較一重建的類比信號與利用一理想限制裝置產生的一理想參考信號。然而，此技術可能無法勝任某些處理限制，譬如有限頻寬、有限增益，和扭斜
10 率限制。這些處理限制會影響限制裝置實際的電路實施。此外，限制裝置之非零信號傳播延遲需理想地為線性緩衝器之對應延遲補償。

在一實施例中，ESG500可實施以執行想用的減法運算來產生錯誤信號 $e(t)$ 。ESG500可包括兩個CML差動級來實
15 施intended。利用差動發訊和CML電路級實施ESG500可提供諸如好處，由於自我支持臨界、較多低雜訊發射、和地反射抑制這些特質。

在一實施例中，ESG500可包括包含電晶體Q9和Q10和負回授電阻器R3和R4之一線性級。Q9之基極可被連接至
20 一第一輸入信號 $s(t)_+$ 。Q9之射極可被連接至負回授電阻器R3，而Q9之集極可被連接至負載電阻器R5和一第一輸出來提供錯誤信號 $e(t)_+$ 。Q10之射極可被連接至負回授電阻器R4，而Q10之集極可被連接至負載電阻器R6和一第二輸出來提供錯誤信號 $e(t)_-$ 。負回授電阻器R3和R4可被串聯連

接。共接的負回授電阻器可被連接至電流源 I_0 。

在一實施例中，ESG500可包括包含電晶體 Q_{11} 和 Q_{12} 和負載電阻器 R_5 和 R_6 之一限制級。 Q_{11} 之基極可被連接至 Q_{10} 之基極。 Q_{10} 和 Q_{11} 之共接基極可被連接至一第二輸入信號 $s(t)$ 。5 Q_{11} 之集極可被連接至負載電阻器 R_5 。 Q_{12} 之集極可被連接至負載電阻器 R_6 。負載電阻器 R_5 和 R_6 可被連接至電源供應 VCC 。 Q_{11} 和 Q_{12} 之射極可被連接。 Q_{11} 和 Q_{12} 之共接射極可被連接至電流源 I_1 。

第5B圖繪示ESG500之轉換函數圖。實線所示之一雙極差動切換級可能需99%之總電流 I_1 ，將近120mV。施加其他特徵至CMOS電晶體，但設計法則和考量怎一般同於BJT。因此，輸入信號 $s(t)$ 為確保一完全切換限制級，需，譬如，具有比將近150Mv還大之振幅。

如第5B圖所示，線性級之轉換函數以虛線曲線顯示，而距離(錯誤)信號之整個轉換函數以點虛曲線表示。當錯誤信號 $e(t)$ 藉關聯器302相關聯於輸入信號 $s(t)$ 時，FFE300會安定資料信號振幅 $s(t)$ 於兩個平衡點，如圖中所標示。

第6圖繪示一濾波器乘法器600之方塊圖。濾波器乘法器600可代表，譬如，參考第3圖所述之FFE300之一或更多個濾波器乘法器FM1-FMP。在FFE300之起動和操作相位期間，為確保收斂和潛在地避免零狀態解決方案，FFE300之係數或積分器輸出 INT_1-INT_{N+1} 需被初始化或修改至特定範圍內。傳統FFE技術可利用附加初始話電路結構來獲得妥當的起動和資料信號休止復新。然而濾波器

解決方案。然而此解決方案係在一不穩定的操作點(譬如易變性)，其最普遍地肇因於其他不理想的函數和實際的電路實施。

5 在一實施例中，濾波器乘法器600可藉由調整一或更多個濾波器乘法器之係數範圍，譬如中央分接乘法器，來解決這些和其他問題。此可規避起動和鎖死前述解決方案。

10 在一實施例中，濾波器乘法器600可包括包含電晶體Q13和Q14和負回授電阻器R7和R8之一線性級。Q13之基極可被連接至一第一輸入信號Cx+。Q13之射極可被連接至負回授電阻器R7。Q14之基極可被連接至一第二輸入信號Cx-。Q14之射極可被連接至負回授電阻器R8。負回授電阻器R7和R8可被串聯連接。共連接的負回授電阻器R7和R8可被連接至電流源Io。

15 在一實施例中，濾波器乘法器600可包括電晶體Q15和Q16和負載電阻器R9和R10。Q15之基極可被連接至Q18之基極。Q15之集極可被連接至負載電阻器R9。Q16之基極可被連接至一第三輸入信號x(t)+和Q17之基極。Q16之集極可被連接至負載電阻器R10。負載電阻器R9和R10可被連接至電源供應VCC。Q15和Q16之射極可被連接。Q15和Q16之共
20 接射極可被連接至Q14之集極。

在一實施例中，濾波器乘法器600可包括電晶體Q17和Q18。Q17之基極可被連接至第一輸入信號x(t)+。Q17之集極可被連接至Q16之集極。Q17和Q18射極可被連接。Q17和Q18之共接射極可被連接至Q13之集極和電流源I1。Q15

和Q18之共接基極可被連接至一第四輸入信號 $x(t)$ -。

在一實施例中，共接集極Q15和負載電阻器R9可被連接至一第一輸出來輸出信號 $o(t)$ +。共接集極Q16和負載電阻器R9可被連接至一第二輸出至輸出信號 $o(t)$ -。

5 如第6圖所示，偏移中央係數之增益範圍可加入一附加電流源I1為。中央分接中之電流可設定如后： $(I_0, I_1) = (0.5 * I_0', 1.5 * I_0')$ ，其中 I_0' 係用於基本乘法器設計之一般值。至於其他濾波器乘法器晶包，電流I1可設為零(0)。此會造成一正規化的中央分接係數增益範圍 $[+1; +2]$ 。

10 第7圖繪示濾波器乘法器700之一方塊圖。濾波器乘法器700可表現為，譬如，參考第3圖所述之一或更多個濾波器乘法器FFE300之FM1-FMP。就某些收發器，其可利用一相對較大量的濾波器分接或係數來修改FFE之轉換函數而理想地實施FFE。此特別理想的在有大量ISI之情況下，
15 造成在許多位元週期上傳播資料資訊，其可發生於多重模式fibers(MMF)之over-fill launch(OFL)條件下。

然而，加入分接到一FFE，會產生一淨空問題，肇於驅動總和裝置306之共同負載的大量濾波器乘法器晶胞之
20 直流電源(DC)。隨分接係數之增加，負載電阻器上之總DC電壓降也會呈比例增加。然而，差動輸出擺動典型上停留在相同的值，與分接數目無關。此採用與AGC或LMS控制器之使用結合之一適當的係數比例。一特定數目之分接，電壓降可大幅增長而使電晶體淨空為零(0)，而有些電晶體或電流源可回到飽和。此會造成高速類比信號中之失真。

當減緩而降低供應電壓時，此問題可能變得更糟。因此，傳統技術嘗試藉由限制一FFE之分接數至相對較少數來避免此問題，譬如將近5-7係數。

5 在一實施例中，濾波器乘法器700可利用一DC旁路電路解決這些和其他問題。使用DC旁路電路可規避穿越濾波器乘法器700負載電阻器之大電壓降。

10 在一實施例中，濾波器乘法器700可類似濾波器乘法器600。譬如，如第7圖所示電晶體Q13-Q18可以一類似第6圖所示電晶體Q13-Q18之拓模結構排列，除了電流源I1被省略掉以外。又，濾波器乘法器700可分別連接輸入 $o(t)+$ 和 $o(t)-$ 至Q19和Q20之集極，而不是濾波器乘法器600中之負載電阻器。

15 在一實施例中，濾波器乘法器700更可包括與負載電阻器R9和R10連接之一DC旁路電路702。DC旁路電路702可包括電晶體Q19和Q20。射極ofQ19可被連接至負載電阻器R9和R10，而Q19之集極可被連接至負載電阻器R10和一第一輸出來輸出信號 $o(t)+$ 。fQ20之射極亦可連接至負載電阻器R9和R10，而Q20之集極可被連接至負載電阻器R9和一第二輸出來輸出信號 $o(t)-$ 。Q20之基極可被連接至一電流源 i_b 。Q19之基極可被連接至Q20之基極和電流源 i_b 。

20

如第7圖所示，多個濾波器分接造成之大電壓降可利用兩個具有負載電阻器R9和R10之旁路電流源被減低或規避。此兩個旁路電流源可實施以利用妥善偏壓的電晶體Q19和Q20、及利用飽和電壓(VCE, sat)來判定總和裝置306

之共同模式位準。其他共同模式電壓位準可由負回授從共同模式輸出電壓獲得來偏壓控制(譬如電流源 i_b)，其判定偏壓條件，譬如旁路電晶體Q19和Q20之基極電位。

5 在一實施例中，旁路電路702需造成電力消耗相對較小的增加，以 $(VCC \cdot i_b)$ 表示。然而，旁路電路702，需給予一相對較大的FEE300效能改進，藉減低或消除大的DC電壓降和淨空間題。因此，濾波器乘法器700可造成具有大量分接之FEE更有效之電力實施。分接之數目可藉擴增單元晶胞來增加。

10 在一實施例中，濾波器乘法器700可實施以利用BJT或CMOS電晶體。設計目標可包括一濾波器乘法器具有相對負載電阻器和低電容負載之高輸出阻抗。

僅管此處可用「第一、第二、第三」等辭彙來辨識某些元件，可瞭解的是，這些辭彙並不一定表示一特定元件或一種特定順序。反之，這些辭彙僅可用來區辨元件與元件之間。因此依據一給定實施例中，這些辭彙可能被使用
15 多次來表示一些不同的元件。

此處已說明許多特定細節來提供對本發明之通透瞭解。然而，熟於此技藝者可瞭解，可不具有這些特定細節
20 地來實現這些實施例b。其他例子中，未詳細說明之習知操作、構件、和電路並不會造成本發明之混淆。可瞭解的是，此處所揭示之特定結構性和函數性細節可表示而不必然會限制實施例之範圍。

「一實施例」、「範例實施例」、「許多實施例」等措辭

表示本發明所述之實施例，可包括特定特性、結構、或特徵。又，反覆使用的「在一實施例中」一辭僅管可能但不一定指相同的實施例。

5 一些實施例可實施以利用一架構，其可依據任何數量因子變化，譬如所欲計算率、電力位準、熱容受、輸入資料率、輸出資料率、和其他效能限制。譬如，一實施例可實施以專用電腦，譬如一電路、一應用特定積體電路(ASIC)、可程式規劃邏輯裝置(PLD)、或數位信號處理器(DSP)，等等。又另一種實施例，一實施例可實施以經規劃
10 之一般用途電腦構件和客製化硬體構件之組合。實施例不僅侷限於本段落所揭示。

後述說明與申請專利範圍中，可能使用「耦接」與「連接」及其派生詞。須明白這些措辭彼此不同義。而在特定實施例中，「連接」可用於表示兩個或更多元件彼此直接的
15 實體或電氣接觸。「耦接」則意謂兩個以上元件的直接的實體或電氣接觸，然而「耦接」亦可意謂兩個以上元件不直接的實體或電氣接觸，但仍彼此合作或互動。

僅管此處說明一些實施例之特性，許多修改、代換、變化、及等效可由此為熟於此技術領域者思及。因此須了解所附申請專利範圍意欲涵蓋落於本發明精神範疇之這些
20 修改與變化。

【圖式簡單說明】

第1圖繪示一通訊系統100之方塊圖。

第2圖繪示一收發器200之方塊圖。

第3圖繪示一前授等化器300之方塊圖。

第4圖繪示一積分器400之一方塊圖。

第5A圖繪示一錯誤信號產生器(ESG)500之一方塊圖。

第5B圖繪示一ESG500轉換函數之圖表。

5 第6圖繪示一濾波器乘法器600之一方塊圖。

第7圖繪示一濾波器乘法器700之一方塊圖。

【主要元件符號說明】

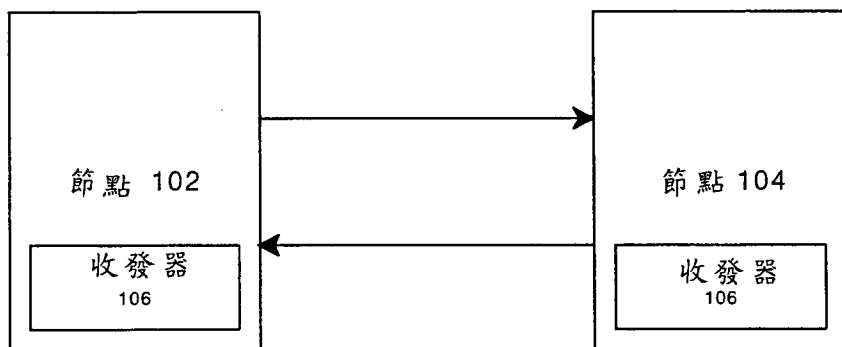
100····系統	(ESG)
102、104····節點	228····輸出TX信號
106····資料發射器/接收器 (「收發器」)	230····接收(RX)信號
200····收發器	300····前授等化器
202····發射(TX)資料	302····關聯器
206····發射器濾波器	304····濾波器
208····發射器	306····總和裝置
210····接收器	308····ESG
214····自動增益控制器 (AGC)	310····限制器/切片器
216····FFE	312····減法節點
220····切片器	400····積分器
222····決策回授等化器 (DFE)	500····錯誤信號產生器 (ESG)
224····錯誤信號產生器	600····濾波器乘法器
	700····濾波器乘法器
	702····DC旁路電路

五、中文發明摘要：

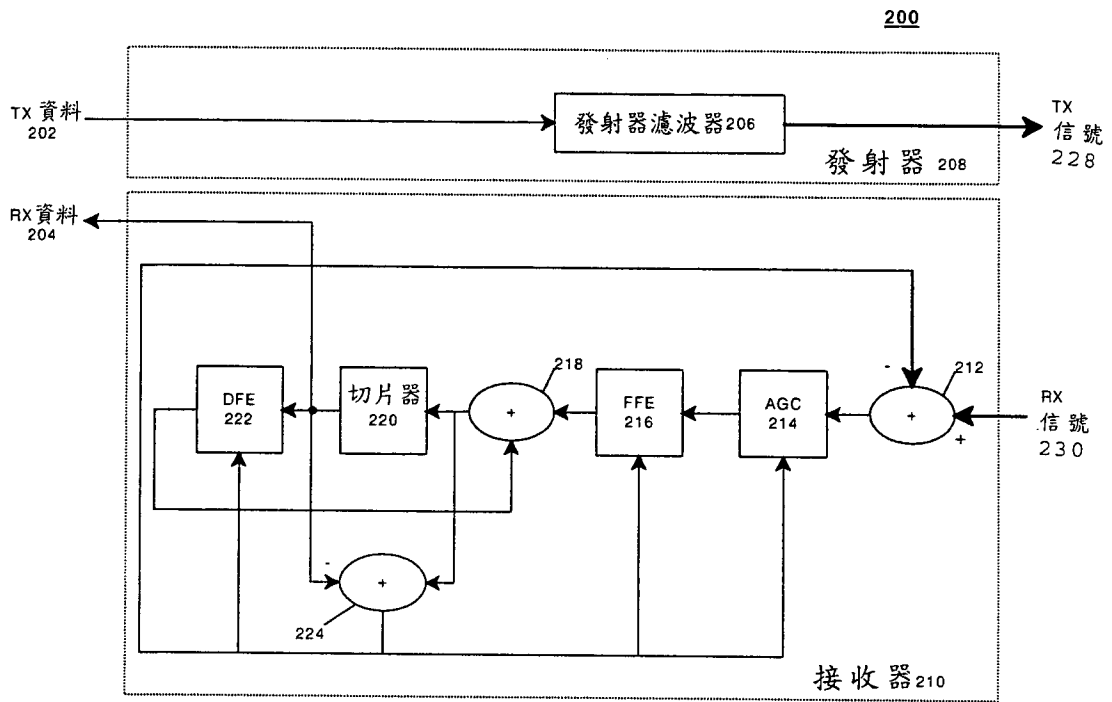
本發明說明用於一通訊系統之一種前授等化器之方法與裝置。

六、英文發明摘要：

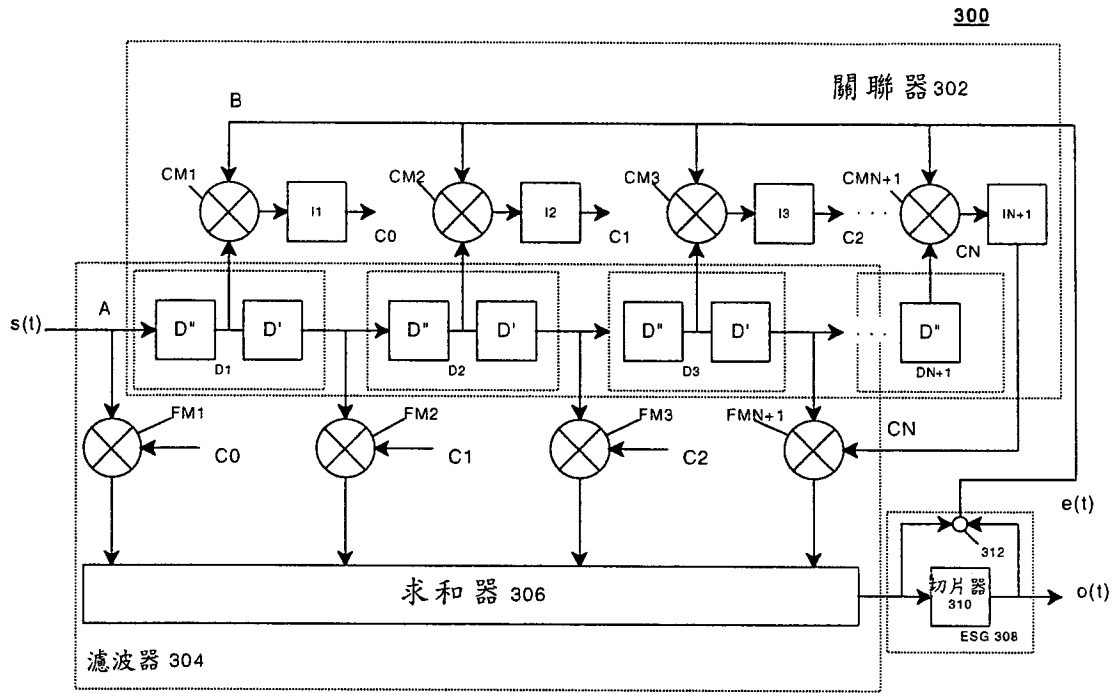
Method and apparatus for a feed forward equalizer for a communication system are described.



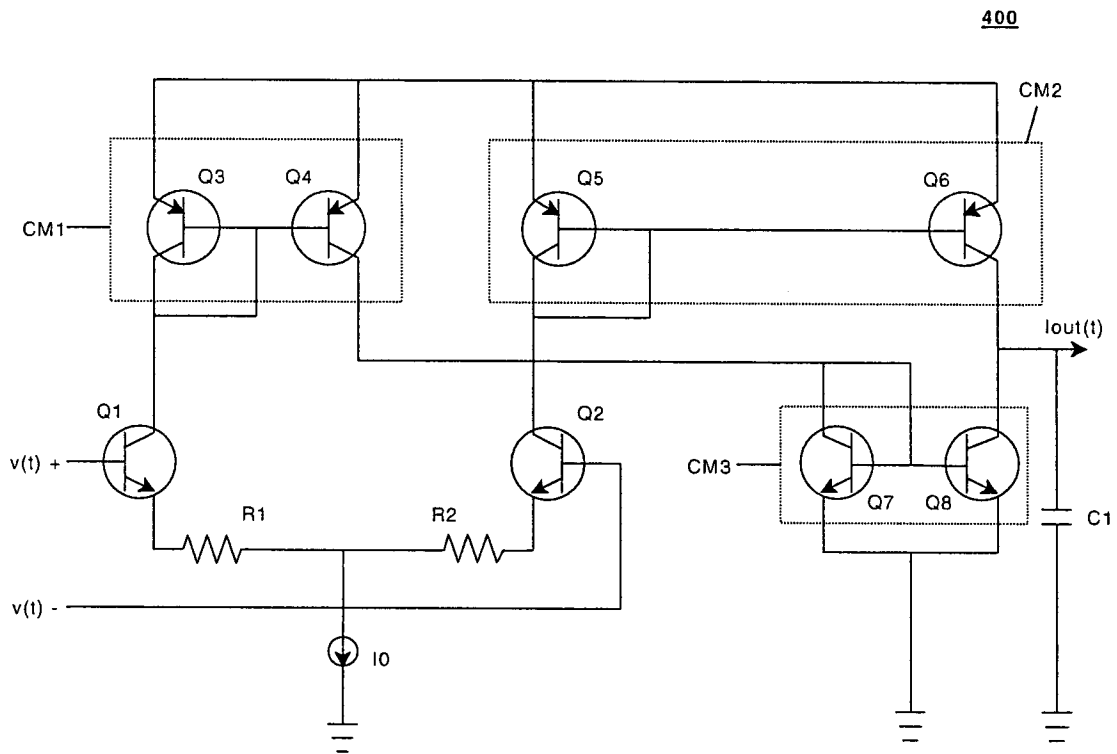
第 1 圖



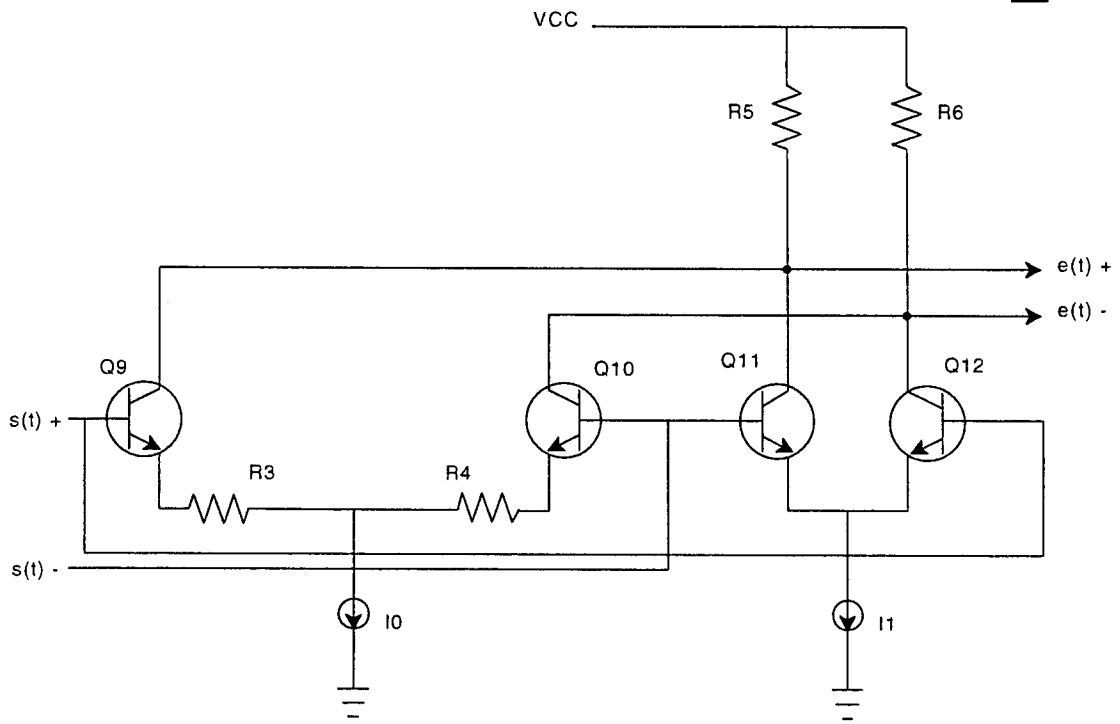
第 2 圖



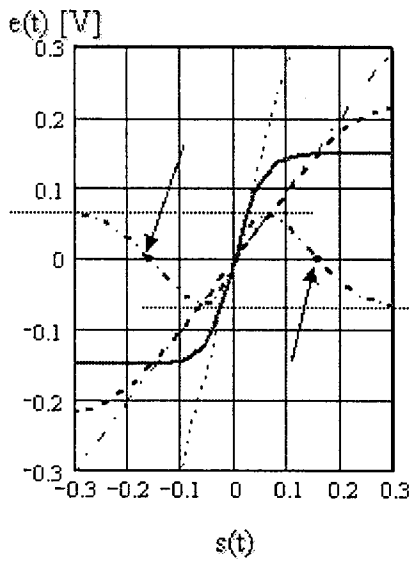
第 3 圖



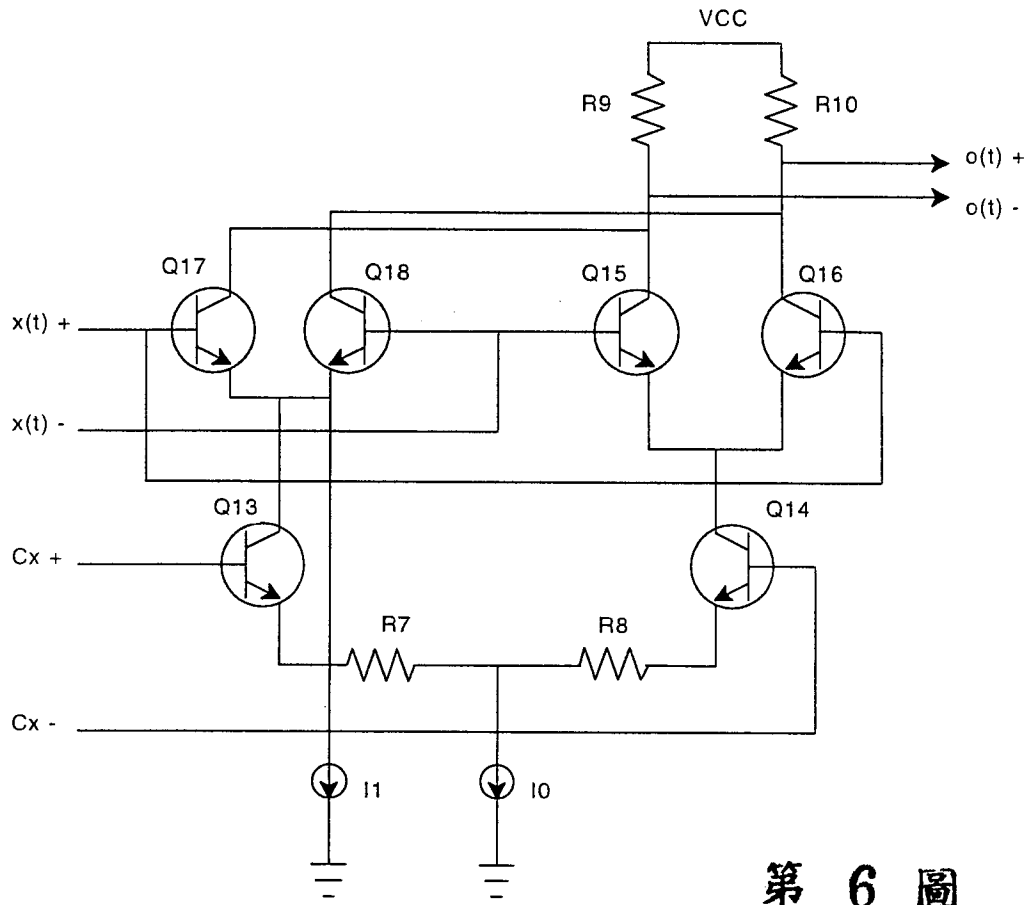
第 4 圖



第5A圖



第 5B 圖



第 6 圖

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300····前授等化器

302····關聯器

304····濾波器

306····總和裝置

308····ESG

310····限制器/切片器

312····減法節點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

第94132303號申請案申請專利範圍修正本 96.02.09.

1. 一種等化器，其包含：

5 具有多個濾波器乘法器及一總和元件之一分接濾波器；

具有多個關聯器乘法器之一關聯器，每一該等關聯器乘法器具有一對應的積分器；

連接至該等濾波器乘法器與該等關聯器乘法器之一組共享延遲元件；以及

10 連接至該關聯器之一錯誤信號產生器。

2. 如申請專利範圍第1項之等化器，其中每一積分器包含：

一線性級；以及

一組連接至該線性級之三個電流鏡。

3. 如申請專利範圍第2項之等化器，其中該線性級包含一差動

15 電流模式邏輯級，該線性級具有一線性轉換函數以降低一錯誤信號之平均功率。

4. 如申請專利範圍第2項之等化器，其中該線性級包括一第一

20 電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，且該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該第一和第二負回授電阻器係以串聯連接，且該等共連接之第一和第二負回授電阻器連接至一電流源。

5. 如申請專利範圍第1項之等化器，其中該錯誤信號產生器包

含：

一線性級；以及

連接至該線性級之一限制差動級。

6. 如申請專利範圍第5項之等化器，其中該線性級包括：

- 5 一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極、連接至一第一負回授電阻器之一射極、及連接至一第一輸出之一集極，該第二電晶體具有連接至一第二輸入之一基極連接至一第二負回授電阻器之一射極及連接至一第二輸出之一集極，該等第一和第二負回授電阻器串聯連接，而該等共連接之第一和第二負回授電阻器連接至一第一電流源。
- 10

7. 如申請專利範圍第6項之等化器，其中該限制差動級包括：

- 一第三電晶體及一第四電晶體，該第三電晶體具有一基極連接至該第二電晶體之該基極、及連接至一第一負載電阻器之一集極，該第四電晶體具有連接至該第一輸入之一基極及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至一第二電流源之共接射極，而該第一和第二負載電阻器連接至一電壓源。
- 15

8. 如申請專利範圍第1項之等化器，其中該等濾波器乘法器之

- 20 一為針對一中央分接係數之一濾波器乘法器，針對該中央分接係數之該濾波器乘法器用包括來偏移該中央分接係數之一增益範圍的一電流源。

9. 如申請專利範圍第1項之等化器，其中該等濾波器乘法器之一係針對一中央分接係數之一濾波器乘法器，針對該中央

分接係數之該濾波器乘法器包括一線性級，該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，且該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該第一和第二負回授電阻器以串聯連接，且該共連接之第一和第二負回授電阻器連接至一第一電流源。

10. 如申請專利範圍第9項之等化器，其更包含一第三電晶體及一第四電晶體，該第三電晶體具有連接至一第一負載電阻器之一集極，該第四電晶體具有連接至一第三輸入之一基極及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至該第二電晶體的一集極之共接射極，且該等第一和第二負載電阻器連接至一電壓源。

11. 如申請專利範圍第10項之等化器，其更包含一第五電晶體及一第六電晶體，該第五電晶體具有連接至該第三輸入之一基極及連接至該第三電晶體的該集極之一集極，該第六電晶體具有連接至該第三電晶體的一基極之一基極、連接至一第二電流源之一射極、及連接至該第四電晶體的一集極之一集極，該第五和第六電晶體具有連接至該第一電晶體的一集極之共接射極，以及該第三電晶體與該第六電晶體之該等共接基極連接至一第四輸入。

12. 如申請專利範圍第11項之等化器，其中該共連接之第一負載電阻器和該第三電晶體之射極係連接至一第一輸出，而該共連接之第二負載電阻器和該第四電晶體之射極係連接

至一第二輸出。

- 5 13. 如申請專利範圍第1項之等化器，其中該等濾波器乘法器中之至少一濾波器乘法器包括一線性級，該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，而該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該等第一和第二負回授電阻器串聯連接，而該等共連接之第一和第二負回授電阻器連接至一第一電流源。
- 10 14. 如申請專利範圍第13項之等化器，其更包含一第三電晶體及一第四電晶體，該第三電晶體具有連接至一第一負載電阻器之一集極，該第四電晶體具有連接至一第三輸入之一基極、及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至該第二電晶體的一集極之共接射極。
- 15 15. 如申請專利範圍第14項之等化器，其更包含一第五電晶體及一第六電晶體，該第五電晶體具有連接至該第三輸入之一基極、及連接至該第三電晶體之該集極之一集極，該第六電晶體具有連接至該第三電晶體的一基極之一基極、及連接至該第四電晶體的一集極之一集極，該等第五和第六電晶體具有連接至該第一電晶體的一集極之共接射極，而該第三電晶體與該第六電晶體之該等共接基極連接至一第四輸入。
- 20 16. 如申請專利範圍第15項之等化器，其中該至少一濾波器乘

法器更包含一直流旁路電路，該直流旁路電路包括一第七電晶體及一第八電晶體，該第七電晶體具有連接至該第一和第二負載電阻器之一射極及連接至一第一輸出之一集極，該第八電晶體具有連接至該等第一和第二負載電阻器之一射極及連接至一第二輸出之一集極，該第八電晶體具有連接至一第二電流源之一基極，而該第七電晶體具有連接至該等第八電晶體之該基極與該第二電流源之一基極。

5

17. 一種通訊系統，其包含：

一通訊媒體；

10

連接至該通訊媒體之一收發器，該收發器包括用以接收一輸入資料信號並輸出一等化信號之一前授等化器，該前授等化器包含：

具有多個濾波器乘法器及一總和元件之一分接濾波器；

15

具有多個關聯器乘法器之一關聯器，而每一關聯器乘法器具有一對應的積分器；

連接至該濾波器乘法器與該等關聯器乘法器之一組共享延遲元件；以及

連接至該關聯器之一錯誤信號產生器。

20 18. 如申請專利範圍第17項之系統，其中每一積分器包含：

一線性級；以及

一組連接至該線性級之三個電流鏡。

19. 如申請專利範圍第18項之系統，其中該線性級包含一差動電流模式邏輯級，該線性級具有一線性轉換函數來降低一

錯誤信號之平均功率。

20. 如申請專利範圍第18項之系統，其中該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，而該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該等第一和第二負回授電阻器以串聯連接，該等共連接之第一和第二負回授電阻器連接至一電流源。

21. 如申請專利範圍第17項之系統，其中該錯誤信號產生器包含：

一線性級；以及

連接至該線性級之一限制差動級。

22. 如申請專利範圍第21項之系統，其中該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極、連接至一第一負回授電阻器之一射極、及連接至一第一輸出之一集極，且該第二電晶體具有連接至一第二輸入之一基極、連接至一第二負回授電阻器之一射極及連接至一第二輸出一集極，該等第一和第二負回授電阻器串聯連接，該等共接之第一和第二負回授電阻器連接至一第一電流源。

23. 如申請專利範圍第22項之系統，其中該限制差動級包括：

一第三電晶體及一第四電晶體，該第三電晶體具有連接至該第二電晶體的該基極之一基極及連接至一第一負載電阻器之一集極，該第四電晶體具有連接至該第一輸入之

- 一基極及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至一第二電流源之共接射極，且該等第一和第二負載電阻器連接至一電壓源。
24. 如申請專利範圍第17項之系統，其中該等濾波器乘法器之一係針對中央分接係數之一濾波器乘法器，針對該中央分接係數之該濾波器乘法器包括用來偏移該中央分接係數之一增益範圍之一電流源。
25. 如申請專利範圍第17項之系統，其中該等濾波器乘法器之一為針對一中央分接係數之一濾波器乘法器，針對該中央分接係數之該濾波器乘法器包括一線性級，該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，且該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該等第一和第二負回授電阻器串聯連接，且該等共接之第一和第二負回授電阻器連接至一第一電流源。
26. 如申請專利範圍第25項之系統，其更包含一第三電晶體及一第四電晶體，該第三電晶體具有連接至一第一負載電阻器之一集極，該第四電晶體具有連接至一第三輸入之一基極及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至該第二電晶體的一集極之共接射極，且該等第一和第二負載電阻器連接至一電壓源。
27. 如申請專利範圍第26項之系統，其更包含一第五電晶體及一第六電晶體，該第五電晶體具有連接至該第三輸入之一

基極及連接至該第三電晶體的該集極之一集極，該第六電晶體具有連接至該第三電晶體的一基極之一基極、連接至一第二電流源的一射極及連接至該第四電晶體的一集極之一集極，該等第五和第六電晶體具有連接至該第一電晶體的一集極之共接射極，且該第三電晶體與該第六電晶體的該等共接基極連接至一第四輸入。

28. 如申請專利範圍第27項之系統，其中該共連接之第一負載電阻器與該第三電晶體之射極係連接至一第一輸出，且該共連接之第二負載電阻器與該第四電晶體之射極係連接至一第二輸出。

29. 如申請專利範圍第17項之系統，其中該等濾波器乘法器中之至少一濾波器乘法器包括一線性級，該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，且該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該等第一和第二負回授電阻器串聯連接，且該等共連接之第一和第二負回授電阻器連接至一第一電流源。

30. 如申請專利範圍第29項之系統，其更包含一第三電晶體及一第四電晶體，該第三電晶體具有連接至一第一負載電阻器之一集極，該第四電晶體具有連接至一第三輸入之一基極及連接至一第二負載電阻器之一集極，該等第三和第四電晶體具有連接至該第二電晶體的一集極之共接射極。

31. 如申請專利範圍第30項之系統，其更包含一第五電晶體及

一第六電晶體，該第五電晶體具有連接至該第三輸入之一基極及連接至該第三電晶體的該集極之一集極，該第六電晶體具有連接至該第三電晶體之一基極之一基極及連接至該第四電晶體之一集極之一集極，該等第五和第六電晶體具有連接至該第一電晶體之一集極之共接射極，且該第三電晶體與該第六電晶體的該等共接基極連接至一第四輸入。

32. 如申請專利範圍第31項之系統，其中該至少一濾波器乘法器更包含一直流旁路電路，該直流旁路電路包括一第七電晶體及一第八電晶體，該第七電晶體具有連接至該等第一和第二負載電阻器之一射極及連接至一第一輸出之一集極，該第八電晶體具有連接至該等第一和第二負載電阻器之一射極及連接至一第二輸出之一集極，該第八電晶體具有連接至一第二電流源之一基極，而該第七電晶體具有連接至該第八電晶體之基極與該第二電流源之一基極。

33. 一種前授等化器，其包含：

具有多個濾波器乘法器及一總和元件之一濾波器；

具有多個關聯器乘法器之一關聯器，每一關聯器乘法器具有一對應的積分器；

一組連接至該濾波器乘法器與該等關聯器乘法器之共享延遲元件，每一延遲元件包括多個延遲級，其中一第一延遲級用以接收一輸入資料信號並輸出一第一延遲信號到該等關聯器乘法器，及一第二延遲級接收該第一延遲信號並輸出一第二延遲信號至其中一該等濾波器乘法器；以及

連接至該關聯器之一錯誤信號產生器。

34. 如申請專利範圍第33項之前授等化器，其中每一該等積分器包含：

一線性級；以及

5 一組連接至該線性級之三個電流鏡。

35. 如申請專利範圍第34項之前授等化器，其中該線性級包含一差動電流模式邏輯級，該線性級具有一線性轉換函數來降低一錯誤信號之平均功率。

10 36. 如申請專利範圍第33項之前授等化器，其中該等濾波器乘法器之一為針對一中央分接係數之一濾波器乘法器，針對該中央分接係數之該濾波器乘法器包括用以偏移該中央分接係數之一增益範圍之一電流源。

15 37. 如申請專利範圍第33項之前授等化器，其中該等濾波器乘法器中之至少一濾波器乘法器包括一線性級，該線性級包括一第一電晶體及一第二電晶體，該第一電晶體具有連接至一第一輸入之一基極及連接至一第一負回授電阻器之一射極，而該第二電晶體具有連接至一第二輸入之一基極及連接至一第二負回授電阻器之一射極，該等第一和第二負回授電阻器串聯連接，且該等共連接之第一和第二負回授
20 電阻器連接至一第一電流源。

38. 如申請專利範圍第37項之前授等化器，其更包含一第三電晶體及一第四電晶體，該第三電晶體具有連接至一第一負載電阻器之一集極，該第四電晶體具有連接至一第三輸入之一基極及連接至一第二負載電阻器之一集極，該第三和

第四電晶體具有連接至該第二電晶體之一集極之共接射極。

5 39. 如申請專利範圍第38項之前授等化器，其更包含一第五電晶體及一第六電晶體，該第五電晶體具有連接至該第三輸入之一基極及連接至該第三電晶體之該集極之一集極，該第六電晶體具有連接至該第三電晶體的一基極之一基極及連接至該第四電晶體的一集極之一集極，該等第五和第六電晶體具有連接至該第一電晶體的一集極之共接射極，且該第三電晶體與該第六電晶體之該共接基極連接至一第四

10 輸入。

15 40. 如申請專利範圍第39項之前授等化器，其中該至少一濾波器乘法器更包含一直流旁路電路，該直流旁路電路包括一第七電晶體及一第八電晶體，該第七電晶體具有連接至該等第一和第二負載電阻器之一射極及連接至一第一輸出之一集極，該第八電晶體具有連接至該第一和第二負載電阻器之一射極及連接至一第二輸出之一集極，該第八電晶體具有連接至一第二電流源之一基極，而該第七電晶體具有連接至該第八電晶體之該基極與該第二電流源之一基極。

20