

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610002430.2

[45] 授权公告日 2009年9月2日

[11] 授权公告号 CN 100536133C

[22] 申请日 2006.1.27

[21] 申请号 200610002430.2

[30] 优先权

[32] 2005.1.27 [33] JP [31] 2005-020111

[73] 专利权人 株式会社瑞萨科技

地址 日本东京

[72] 发明人 中村正 榊原清彦 滝川浩

[56] 参考文献

US6222213B1 2001.4.24

US4454591 1984.6.12

US5300796A 1994.4.5

US2004/0085690A1 2004.5.6

审查员 李 勇

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

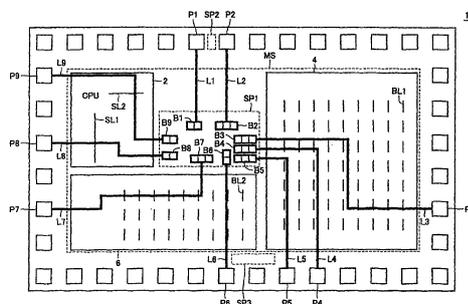
权利要求书 3 页 说明书 11 页 附图 10 页

[54] 发明名称

具有集中地配置了缓冲器或保护电路的布局的
半导体集成电路

[57] 摘要

在从焊盘(P1~P9)离开的区域(SP1)中集中地配置缓冲器(B1~B9)。区域(SP1)是半导体集成电路的主区域中除了中央处理器(2)、非易失性存储器(4)和易失性存储器(6)之外的区域。由于在焊盘周边部中不设置需要宽的面积的缓冲器,故可缩短焊盘间的间隔或焊盘与内部电路(例如中央处理器(2))的间隔。于是可减小芯片尺寸。因而,可提供能缩小芯片尺寸的半导体集成电路。



1. 一种半导体集成电路，其特征在于，具备：

中央处理器；

非易失性存储器，非易失性地存储关于在上述中央处理器中进行的处理的信息；

易失性存储器，暂时地存储上述信息；

多个缓冲器或多个保护电路，集中地配置在半导体衬底的主表面中被上述中央处理器、上述非易失性存储器和上述易失性存储器中的至少两个所夹持的区域中；

多个焊盘，分别与上述多个缓冲器或上述多个保护电路对应地配置；以及

多条金属布线，直接连接上述多个缓冲器或上述多个保护电路的每一个与上述多个焊盘中的对应的焊盘。

2. 如权利要求 1 中所述的半导体集成电路，其特征在于：

上述半导体集成电路具有多层布线，

上述多条金属布线的每一条设置在同一布线层中，

上述多条金属布线与设置上述中央处理器中包含的金属布线的布线层、设置上述非易失性存储器中包含的金属布线的布线层和设置上述易失性存储器中包含的金属布线的布线层中的任一布线层相比，相对于上述主表面处于上侧。

3. 如权利要求 2 中所述的半导体集成电路，其特征在于：

在上述主表面中单个区域中集中地配置了上述多个缓冲器或上述多个保护电路。

4. 如权利要求 2 中所述的半导体集成电路，其特征在于：

上述非易失性存储器具有由金属构成的多条第 1 位线，

上述易失性存储器具有由金属构成的多条第 2 位线，

上述多条金属布线包含具有与上述多条第 1 位线的某一条或上述多条第 2 位线的某一条平行的部分的金属布线，

上述半导体集成电路还具备由金属构成的、在与上述多条金属布线的每一条相同的布线层中设置成从侧面将上述平行的部分夹在中间的第1、第2虚设布线，

对上述第1、第2虚设布线供给预定的电位。

5. 如权利要求4中所述的半导体集成电路，其特征在于：
上述预定的电位是电源电位或接地电位。

6. 如权利要求4中所述的半导体集成电路，其特征在于，
上述半导体集成电路还具备：由绝缘体构成的、设置在上述多条金属布线的各自的侧面和上述第1、第2虚设布线的各自的侧面上的多个侧壁，以及覆盖上述多条金属布线、上述第1、第2虚设布线和上述多个侧壁的绝缘膜，并且

上述多个侧壁的各自的介电常数比上述绝缘膜的介电常数高。

7. 如权利要求2中所述的半导体集成电路，其特征在于：
上述非易失性存储器具有由金属构成的多条第1位线，
上述易失性存储器具有由金属构成的多条第2位线，
上述多条金属布线在形成上述多条金属布线的每一条的布线层中包含在与上述多条第1位线中的某一条或上述多条第2位线中的某一条平行的第1方向和与上述第1方向不同的第2方向上交替地改变方向、形成为多次折弯的金属布线。

8. 一种半导体集成电路，其特征在于，具备：

中央处理器；

非易失性存储器，非易失性地存储关于在上述中央处理器中进行的处理的信息；

易失性存储器，暂时地存储上述信息；

多个缓冲器或多个保护电路，分散地配置在半导体衬底的主表面中被上述中央处理器、上述非易失性存储器和上述易失性存储器中的至少两个所夹持的多个区域中；

多个焊盘，分别与上述多个缓冲器或上述多个保护电路对应地配置；以及

多条金属布线，直接连接上述多个缓冲器或上述多个保护电路的每一个与上述多个焊盘中的对应的焊盘，

上述半导体集成电路具有多层布线，

上述多条金属布线的每一条设置在同一布线层中，

上述多条金属布线与设置上述中央处理器中包含的金属布线的布线层、设置上述非易失性存储器中包含的金属布线的布线层和设置上述易失性存储器中包含的金属布线的布线层中的任一布线层相比，相对于上述主表面处于上侧。

具有集中地配置了缓冲器或 保护电路的布局的半导体集成电路

技术领域

本发明涉及半导体集成电路，特别是涉及半导体芯片中的布局。

背景技术

近年来，在微型计算机等的半导体集成电路中，从降低成本这方面看，要求缩小芯片面积。此外，对半导体集成电路要求工作的高速化及低功耗等。

例如，在特开平 08-125130 号公报中，公开了在具有多层布线的半导体集成电路中减少因布线层不同的信号布线间的电容耦合引起的交扰或噪声以谋求电路工作的稳定的半导体集成电路。该半导体集成电路是具有多个金属布线层的半导体集成电路，具有信号布线以及在信号布线的两侧平行地配置在与信号布线相同的布线层中的分别被固定为接地电位和电源电压电位的接地布线和电源布线。在该半导体集成电路的特征在于：接近于小于等于对不同的布线层的布线进行电绝缘的层间绝缘层的厚度的距离来配置信号布线、接地布线和电源布线。

在以前的半导体集成电路中，在芯片周边接近地配置了焊盘（pad）和 I/O 缓冲器（或截止晶体管或二极管等的保护电路）。但是，如果这样来配置焊盘和 I/O 缓冲器（或保护电路），则芯片尺寸的缩小受到制约。

例如，如果半导体集成电路是微型计算机，则在芯片内安装 CPU（中央处理单元）及 ROM（只读存储器）及 RAM（随机存取存储器）等的电路。利用 MOS（金属氧化物半导体）晶体管及电容器等的元件构成了各电路。由于利用微细化工艺来缩小这些元件的尺寸，故可减

小各电路的规模。

但是，由于焊盘及 I/O 缓冲器（或保护电路）不能跟随 CPU 等的电路来减小。由于 I/O 缓冲器（或保护电路）保护内部电路（CPU 及 ROM、RAM 等）使之不受从外部侵入的噪声或电涌的影响，故必须有充分地宽的面积。在以前的半导体集成电路中，接近于焊盘配置 I/O 缓冲器或保护电路。于是，如果在焊盘间的区域或焊盘与 CPU 之间的区域中设置具有大的面积的保护电路，则由于由焊盘和保护电路决定了芯片的 4 边的长度，故不能缩小芯片尺寸。

此外，如果大幅度地减小焊盘的面积或大幅度地减小焊盘间的间隔，则在划片或引线键合等的组装工序中，存在制造不良增加的可能性。于是，不能为了缩小芯片尺寸而大幅度地变更焊盘的面积或焊盘间的间距。

在为了适应顾客的多种多样的要求而进行了品种展开的情况下，一般对 CPU 几乎不加以变更而是通过变更 RAM 的容量或 ROM 的容量来增加制品的种类。但是，在某个制品中，即使假定将 CPU、RAM、ROM 配置成在半导体芯片中不产生空闲区域，与该制品相比减小了 RAM 的尺寸的新的制品中，在芯片中也产生空闲区域。即使在这样的制品中，也接近于焊盘配置了 I/O 缓冲器或保护电路。

总而言之，以前为了缩小芯片尺寸进行了使电路元件微细化或尽可能无间隙地排列 CPU 或 RAM、ROM 这样的方法，但如果一旦芯片尺寸被决定，则在 RAM 或 ROM 的尺寸被变更的情况下，缩小芯片尺寸是不容易的。

发明内容

本发明的目的在于提供可缩小芯片尺寸的半导体集成电路。

总而言之，本发明是半导体集成电路，具备中央处理器、非易失性存储器、易失性存储器、多个缓冲器或多个保护电路、多个焊盘和多条金属布线。非易失性存储器非易失性地存储关于在中央处理器中进行的处理的信息。易失性存储器暂时地存储信息。多个缓冲器或多

个保护电路配置在半导体衬底的主表面中在设置中央处理器、非易失性存储器和易失性存储器的主区域中除了中央处理器、非易失性存储器和易失性存储器之外的区域中。多个焊盘分别与多个缓冲器或多个保护电路对应地配置。多条金属布线直接连接多个缓冲器或多个保护电路的每一个与多个焊盘中的对应的焊盘。

因而，本发明的主要的优点在于，通过在半导体衬底表面的区域中除 CPU 或 RAM、ROM 等的电路之外的区域中集中地配置 I/O 缓冲器或保护电路，可缩小焊盘间的距离或焊盘与 CPU 等的电路的间隔，故缩小了芯片尺寸。

根据与附图关联地被理解的关于本发明的详细的说明，本发明的上述和其它的目的、特征、方面和优点会变得更加明白。

附图说明

图 1 是示出实施例 1 的半导体集成电路的布局的图。

图 2 是示出按照以前的配置方法的半导体集成电路的布局的图。

图 3 是示出实施例 1 的半导体集成电路的变形例的布局的图。

图 4 是示出实施例 2 的半导体集成电路的布局的图。

图 5 是示出实施例 3 的半导体集成电路的布局的图。

图 6 是图 5 的 VI-VI 部分的剖面图。

图 7 是示出实施例 4 的半导体集成电路的布局的图。

图 8 是图 5 的 VIII-VIII 部分的剖面图。

图 9 是示意性地说明图 8 的侧壁 SW 的制造方法的图。

图 10 是示出实施例 5 的半导体集成电路的布局的图。

具体实施方式

以下，参照附图，详细地说明本发明的实施例。再有，图中同一符号表示同一或相当的部分。

[实施例 1]

图 1 是示出实施例 1 的半导体集成电路的布局的图。参照图 1，

半导体集成电路 1 包含中央处理器 (图中, 表示为 CPU) 2、非易失性地存储关于在中央处理器 2 中进行的预定的处理的信息的非易失性存储器 4 和暂时地存储该信息的易失性存储器 6。非易失性存储器 4 例如是闪速存储器。易失性存储器 6 例如是 SRAM (静态随机存取存储器)。

半导体集成电路 1 例如还包含作为 I/O 缓冲器的缓冲器 B1 ~ B9。在半导体衬底表面的主区域 MS 中的除了中央处理器 2、非易失性存储器 4 和易失性存储器 6 的单个区域 SP1 中集中地配置缓冲器 B1 ~ B9。

半导体集成电路 1 还包含分别与缓冲器 B1 ~ B9 对应地设置的焊盘 P1 ~ P9 和直接连接缓冲器 B1 ~ B9 与焊盘 P1 ~ P9 的金属布线 L1 ~ L9。

半导体集成电路 1 具有多层布线。在同一布线层中形成金属布线 L1 ~ L9 的每一条。与设置中央处理器 2 中包含的金属布线的布线层、设置非易失性存储器 4 中包含的金属布线的布线层和设置易失性存储器 6 中包含的金属布线的布线层中的任一布线层相比, 相对于半导体衬底的表面, 在上侧的布线层中设置金属布线 L1 ~ L9 的每一条。

如果具体地说明, 则与非易失性存储器 4 具有的多条位线 BL1 相比, 在上侧设置金属布线 L3 ~ L5。与易失性存储器 6 具有的多条位线 BL2 相比, 在上侧设置金属布线 L6、L7。与中央处理器 2 具有的信号线 SL1、SL2 相比, 在上侧的布线层中设置金属布线 L8、L9。

概要地说明实施例 1 的半导体集成电路 1 的结构特征。在从焊盘 P1 ~ P9 分离的区域 SP1 中集中地配置缓冲器 B1 ~ B9。区域 SP1 是主区域 MS 中除中央处理器 2、非易失性存储器 4 和易失性存储器 6 之外的区域。由于不在焊盘周边部设置需要宽的面积缓冲器, 故可缩短焊盘间的间隔或焊盘与内部电路 (例如中央处理器 2) 的间隔。于是, 可减小芯片尺寸。

在此, 在本发明的半导体集成电路中, 与以前的半导体集成电路比较, 连结焊盘与缓冲器的金属布线的长度变长。于是, 可认为本发

明的半导体集成电路因焊盘与缓冲器之间的布线电阻变大而容易受到噪声或电涌的影响。但是，通过在最上层的布线层中形成金属布线 L1 ~ L9 的每一条，可解决这样的问题。

一般来说，在多层布线结构中，越是在上层设置的金属布线，有关布线的宽度或厚度的设计的自由度越大。因此，如果是最上层的布线层中配置金属布线 L1 ~ L9 的每一条，则可将布线的宽度或厚度设定为使焊盘与缓冲器之间的布线电阻充分地小。

图 2 是示出按照以前的配置方法的半导体集成电路的布局的图。参照图 2，半导体集成电路 11 在包含接近于焊盘设置的缓冲器 BA ~ BD 这一点上与图 1 的半导体集成电路 1 不同。由于关于半导体集成电路 11 的其它的部分的结构与半导体集成电路 1 的对应的部分的结构是同样的，故不重复以后的说明。

在半导体集成电路 11 的内部设置区域 SP4。在有的半导体集成电路中，即使不设置区域 SP4，因减小了非易失性存储器 4 的尺寸或减小了易失性存储器 6 的尺寸，也产生区域 SP4。

即使在半导体衬底的表面上设置了具有充分的面积的空闲区域，可以集中地配置缓冲器，在以前的布局中，由于接近于焊盘设置了缓冲器或保护电路，故芯片的尺寸的缩小受到了限制。

再者，在芯片的 4 边上配置了焊盘的布局中，在 4 个角部上分别设置的焊盘 PA ~ PD 的周边部分中不能配置缓冲器或保护电路。在角部的焊盘的周边部中产生的空闲区域也成为制约芯片尺寸的缩小主要原因。

另一方面，在图 1 的半导体集成电路 1 中，由于在区域 SP1 中集中地配置缓冲器 B1 ~ B9，故可通过有效地利用芯片的空闲区域来缩小芯片。再有，在图 1 中，在区域 SP1 中也可设置缓冲器和保护电路。或者，也可在设在焊盘间的区域或焊盘与内部电路之间的区域中设置保护电路。具体地说，也可在焊盘 P1 与焊盘 P2 之间的区域 SP2 或焊盘 P5、P6 与非易失性存储器 4、易失性存储器 6 之间的区域 SP3 中设置保护电路。

图3是示出实施例1的半导体集成电路的变形例的布局的图。参照图3, 半导体集成电路1A在包含在区域SP1中设置的保护电路PR1~PR9来代替缓冲器B1~B9这一点上与图1的半导体集成电路1不同。保护电路例如是截止晶体管或二极管。由于关于半导体集成电路1A的其它的部分的结构与半导体集成电路1的对应的部分的结构是同样的, 故不重复以后的说明。即使如实施例1的变形例那样在芯片的空闲区域中配置保护电路, 也可缩小芯片尺寸。

再有, 在实施例1的变形例的情况下, 可在区域SP1中设置缓冲器B1~B9, 也可在区域SP2或区域SP3中设置缓冲器B1~B9。

如上所述, 按照实施例1, 通过在半导体衬底表面的空闲区域中集中地配置缓冲器或保护电路, 可缩小半导体集成电路的芯片尺寸。

[实施例2]

图4是示出实施例2的半导体集成电路的布局的图。参照图4, 半导体集成电路21在包含多个区域SP5、SP6来代替区域SP1这一点上与图1的半导体集成电路1不同。在实施例2中, 在区域SP5、SP6中对缓冲器(或保护电路)进行块化来配置。在图4中, 将在区域SP5、SP6中配置的块分别作为块BC1、BC2来示出。

再有, 由于关于半导体集成电路21的其它的部分的结构与半导体集成电路1的对应的部分的结构是同样的, 故不重复以后的说明。

在实施例1中, 在单个的空闲区域中集中地配置了缓冲器或保护电路。因此, 在单个的空闲区域的面积比集合了缓冲器或保护电路的面积小的情况下, 不能在空闲区域中配置缓冲器或保护电路。于是, 在这样的情况下, 由于按照以前的配置方法在焊盘的周边配置缓冲器或保护电路, 故不能缩小芯片尺寸。

在实施例2的半导体集成电路中, 即使多个空闲区域的各自的面积减小, 只要多个空闲区域的面积的合计比合在一起的缓冲器或保护电路的面积大, 就可以通过在多个空闲区域的每一个区域中配置缓冲器或保护电路, 有效地利用芯片内部的空闲区域。于是, 与实施例1同样, 可减小芯片尺寸。

如上所述，按照实施例 2，通过在芯片内部的多个空闲区域中集中地配置缓冲器或保护电路，可进行芯片尺寸的缩小。

〔实施例 3〕

图 5 是示出实施例 3 的半导体集成电路的布局的图。参照图 5，半导体集成电路 31 在还包含在与金属布线 L1~L9 为同一的布线层中分别形成的、被供给预定的电位的作为金属布线的虚设布线 DL1~DL8 这一点上与图 1 的半导体集成电路 1 不同。由于关于半导体集成电路 31 的其它的部分的结构与半导体集成电路 1 的对应的部分的结构是同样的，故不重复以后的说明。再有，在半导体集成电路 31 中，将缓冲器或保护电路作为在区域 SP1 中设置的块 BC3 来示出。

将虚设布线 DL1~DL8 设置成：对于连接焊盘与缓冲器（或保护电路）的多条金属布线中具有与多条位线 BL1 的某一条或多条位线 BL2 的某一条平行的部分的金属布线，从侧面将该平行的部分夹在中间。在图 5 中，将虚设布线 DL1、DL2 设置成从侧面将金属布线 L3 中与位线 BL1 平行的部分夹在中间。同样，对于金属布线 L4 中的与位线 BL1 平行的部分，设置虚设布线 DL3、DL4，对于金属布线 L5 中的与位线 BL1 平行的部分，设置虚设布线 DL5、DL6。此外，对于金属布线 L6 中的与位线 BL2 平行的部分，设置虚设布线 DL7、DL8。

在本发明的半导体集成电路中，在非易失性存储器或易失性存储器上配置连结焊盘与缓冲器的金属布线的一部分或连结焊盘与保护电路的金属布线的一部分。在该情况下，由于在下层设置的非易失性存储器的位线或易失性存储器的位线的电位根据由在上层设置的金属布线传递的信号而变化，故发生从非易失性存储器或易失性存储器读出错误的信息的现象（交扰）。

交扰的原因在于，由于上层的金属布线与下层的位线平行地配置，故两布线层间的层间电容局部地变大。在实施例 3 中，由于在上层的金属布线的两侧配置被供给预定的电位的虚设布线来降低层间电容，故可抑制交扰的发生。

再有，如果对虚设布线供给的预定的电位是电源电位或接地电

位，则可容易地设定，而是接地电位是特别理想的。一般来说，在焊盘的周边设置了用金属构成且被供给接地电位的接地区域。于是，通过将虚设布线连接到该接地区域上，可容易地配置虚设布线。

此外，在使用了导电类型为 P 型的衬底作为半导体衬底的情况下，通过将虚设布线连接到衬底以将衬底电位定为接地电位，在金属布线与虚设布线之间除了线间电容外还存在电容分量。在由金属布线传递的信号中产生的噪声容易被线间电容之外的电容分量吸收。因此，为了可抑制交扰的发生，虚设布线的电位最好是接地电位。

图 6 是图 5 的 VI-VI 部分的剖面图。参照图 6，示出非易失性存储器 4 的位线 BL1A ~ BL1C 和金属布线 L3、虚设布线 DL1、DL2。金属布线 L3、虚设布线 DL1、DL2 隔着绝缘膜 LA1 设置在与位线 BL1A ~ BL1C 相比为上层的布线层中。此外，为了覆盖金属布线 L3、虚设布线 DL1、DL2 而设置绝缘膜 LA2。在金属布线 L3（和虚设布线 DL1、DL2）是最上层的布线的情况下，绝缘膜 LA2 成为覆盖芯片表面的保护膜。

在金属布线 L3 与位线 BL1A 之间存在层间电容。层间电容由位线 BL1A 的上面与金属布线 L3 的下面之间的面间电容 C_s 和位线 BL1A 的侧面与金属布线 L3 的侧面之间的边缘电容 C_f 构成。

此外，在金属布线 L3 与虚设布线 DL1、DL2 的每一条之间存在线间电容 C_c 。线间电容 C_c 是金属布线 L3 的侧面与虚设布线的侧面之间的电容。

一般来说，如果将电荷定为 Q 、将电容定为 C 、将电位定为 V ，则 $Q = CV$ 的关系成立。于是，在层间电容大的情况下，由金属布线 L3 中的电位变化引起位线 BL1A 上的电位变化。

在一般的存储器中，从存储单元读出的信息成为连接到该存储单元上的 2 条位线间的电位差而产生。利用读出放大器检测并放大 2 条位线间的电位差，成为表示 2 进制数的 1 或 0 的逻辑电平。于是，由于层间电容大，故如果 2 条位线中的一方的电位随金属布线 L3 中的电位变化而变化，则由于在 2 条位线间产生的电位差被读出放大器检

测并放大，故从存储器读出错误的信息。此外，因电容变大，时间常数变大，也发生位线的信号的延迟。

对于金属布线 L3 的侧面的电容是线间电容 C_c 和边缘电容 C_f 。通过增大线间电容 C_c ，可减少边缘电容 C_f 。通过边缘电容 C_f 减少，层间电容变小。于是，可抑制交扰的发生。

如上所述，按照实施例 3，通过在连接焊盘与缓冲器或保护电路的金属布线中的与存储器的位线平行的部分的两侧配置被固定为预定的电位的虚设布线，可防止从存储器读出的信息的错误，故可提高工作的可靠性。

〔实施例 4〕

图 7 是示出实施例 4 的半导体集成电路的布局的图。参照图 7，由于半导体集成电路 41 的布局与图 5 的半导体集成电路 31 的布局是同样的，故不重复以后的说明。在金属布线 L1 ~ L9 和虚设布线 DL1 ~ DL8 的侧面上设置由电介质构成的侧壁这一点上，实施例 4 与实施例 3 不同。

在实施例 4 中，通过在金属布线和虚设布线上设置具有比覆盖金属布线和虚设布线的绝缘膜高的介电常数的侧壁，与实施例 3 相比，可增大金属布线与虚设布线之间的线间电容。金属布线与位线之间的层间电容中的边缘电容与实施例 3 的情况相比减少了。于是，由于层间电容与实施例 3 相比减少了，故与实施例 3 的半导体集成电路相比，难以产生交扰。

图 8 是图 7 的 VIII - VIII 部分的剖面图。参照图 8，在金属布线 L3、虚设布线 DL1、DL2 的各自的两侧面上设置侧壁 SW。侧壁 SW 是绝缘体。侧壁 SW 的介电常数比绝缘膜 LA2 的介电常数高。例如，利用氧化钽 (Ta_2O_5) 或氧化铪 (HfO_2) 等构成侧壁 SW。另一方面，绝缘膜 LA2 例如是等离子氧化膜，更具体地说，是等离子 TEOS (原硅酸四乙酯)。再有，如果绝缘膜 LA2 是保护膜，则一般来说，可使用等离子氮化膜作为保护膜。换言之，构成侧壁 SW 的材质只要是介电常数比等离子氧化膜或等离子氮化膜的介电常数高的材质即可。

介电常数越高，电容越大。如果与实施例3比较，则在实施例4中，在金属布线L3、虚设布线DL1、DL2的各自的两侧面上设置侧壁SW。于是，与实施例3相比，线间电容 C_c 变大。由于线间电容越大、可越减少边缘电容 C_f ，故与实施例3相比，可减小层间电容。

图9是示意性地说明图8的侧壁SW的制造方法的图。参照图9，首先，在步骤S1中，在绝缘膜LA1上淀积金属膜，在金属膜上涂敷光致抗蚀剂PH。其次，利用光刻工序，将布线图形转印到光致抗蚀剂PH上。利用刻蚀工序，除去被光致抗蚀剂PH覆盖的部分以外的金属膜，形成金属布线L3、虚设布线DL1、DL2。

其次，在步骤S2中，利用等离子CVD（化学汽相淀积），在金属布线L3、虚设布线DL1、DL2上形成绝缘膜LA3。该绝缘膜最终成为侧壁SW。再有，绝缘膜LA3是具有各向同性的台阶覆盖性的绝缘膜。

接着，在步骤S3中，通过进行以垂直分量为主体的各向异性刻蚀，形成侧壁SW。

接着，在步骤S4中，利用等离子CVD，形成覆盖金属布线L3、虚设布线DL1、DL2和侧壁SW的绝缘膜LA2（或保护膜）。

如上所述，按照实施例4，通过在位线的上层设置的金属布线的侧面和虚设布线的侧面上设置由电介质构成的侧壁，由于可减小上层的布线与下层的位线的层间电容，可防止从存储器被读出的信息的错误，故提高了工作的可靠性。

〔实施例5〕

图10是示出实施例5的半导体集成电路的布局的图。参照图10，半导体集成电路51在包含具有形成为锯齿状的部分的金属布线L3B、L4B、L5B、L6B来代替金属布线L3、L4、L5、L6这一点上与图1的半导体集成电路1不同。由于关于半导体集成电路51的其它的部分的结构与半导体集成电路1的对应的部分的结构是同样的，故不重复以后的说明。

如已说明的那样，在上层的布线与下层的位线之间存在由面间电

容和边缘电容构成的层间电容。在实施例 3、4 中，通过减少边缘电容来减少层间电容。与此不同，在实施例 5 中，通过减少面间电容来减少层间电容。

越减小下层的位线与上层的布线之间重叠的部分的面积，面间电容就越小。于是，将上层的布线形成为锯齿状，以便尽可能减少与下层的位线平行的部分。如果更详细地说明，则将锯齿状的部分形成为在形成金属布线 L1~L9 的布线层中在与多条位线 BL1 中的某一条或多条位线 BL2 中的某一条平行的第 1 方向和与第 1 方向不同的第 2 方向上交替地改变方向、被多次折弯。

例如，如果代表性地说明金属布线 L4B，则如下。即，金属布线 L4B 包含折线部分分 A1、A2。将折线部分分 A1、A2 分别形成为在与位线 BL1 平行的第 1 方向（L41B）和与第 1 方向不同的第 2 方向（与位线 BL1 垂直的方向（L42B））上交替地改变方向、被多次折弯。利用折线部分分 A1、A2 来减小金属布线 L4B 与特定的 1 条位线重叠的部分的面积。于是，由于减小了金属布线 L4B 与下层的位线之间的面间电容，故减小了层间电容。

在图 10 中，为了说明的方便起见，以布线 L3B、L4B 通过位线 BL1 之间的方式来示出，但一般来说，由于连接到焊盘上的金属布线比位线的线宽和位线的间隔粗，故不能将上层的金属布线配置成与并行的 2 条位线的任一条都不重叠。如果象实施例 5 那样在上层的金属布线中设置锯齿状的形状，则可减少与位线平行地重叠的部分。

再有，关于锯齿状的部分，折弯角度不限于 90° ，只要是除了 0° 或 180° 外的任意的角度即可。

如上所述，按照实施例 5，通过将位线重叠的布线的形状作成减小与位线重叠的部分那样的折线形状，可提高工作的可靠性。

已经详细地说明并示出了本发明，但这些只是例示，而不是限定，应明确地理解，本发明的精神和范围只由后附的权利要求书来限定。

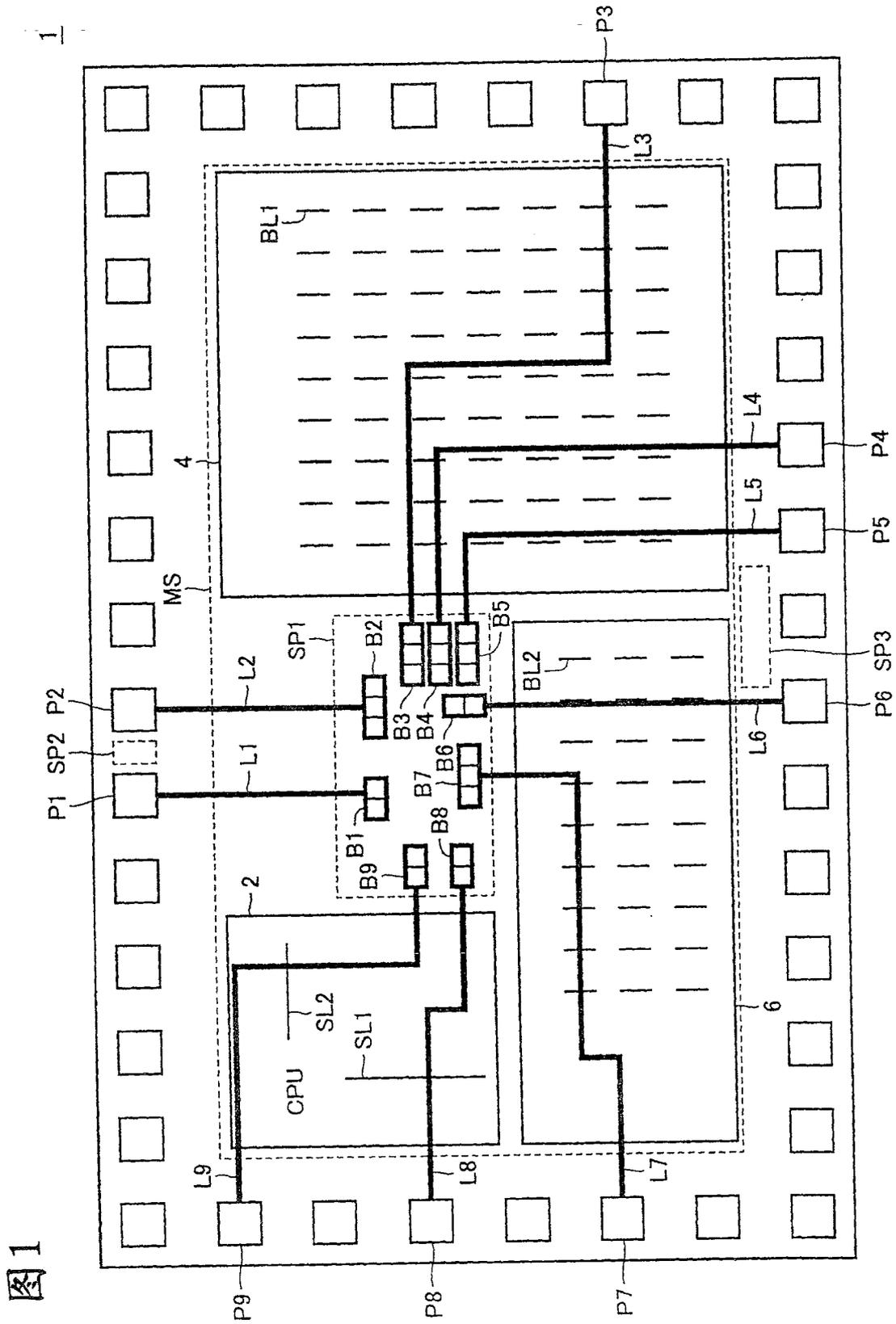
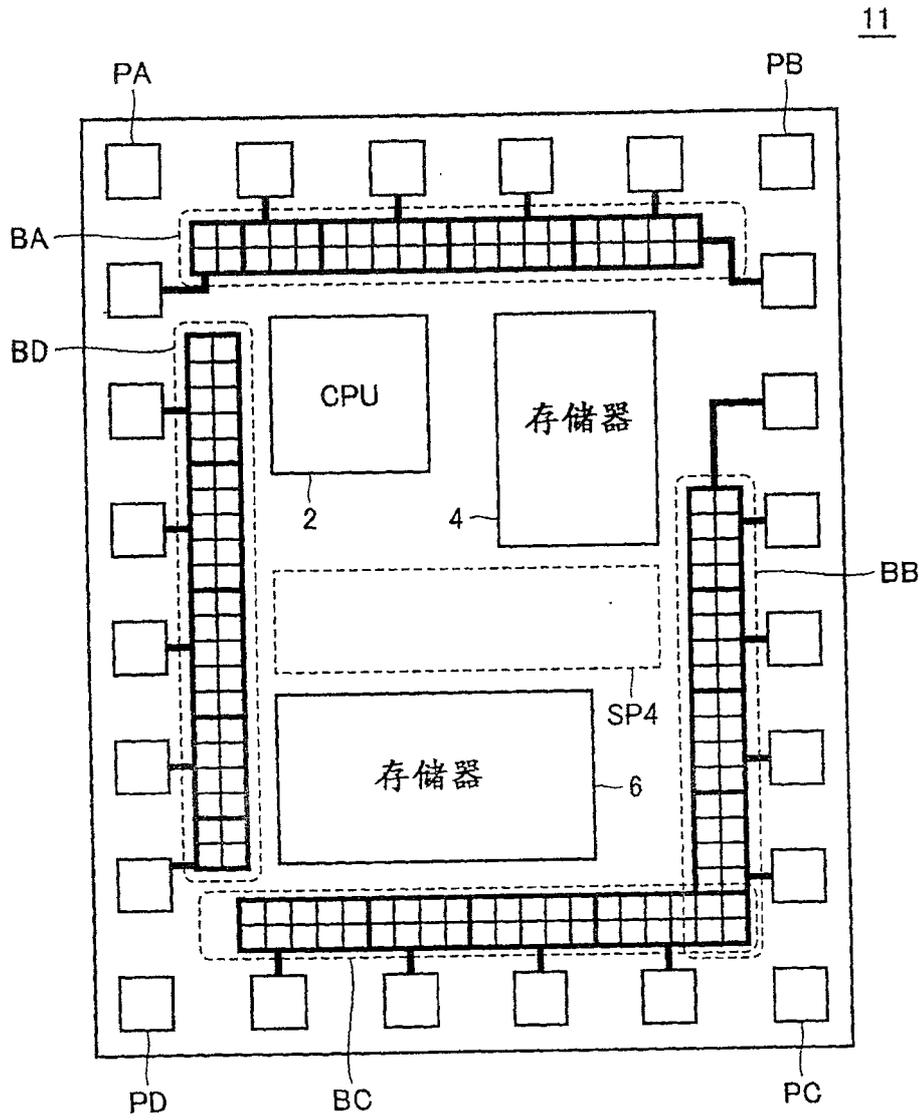
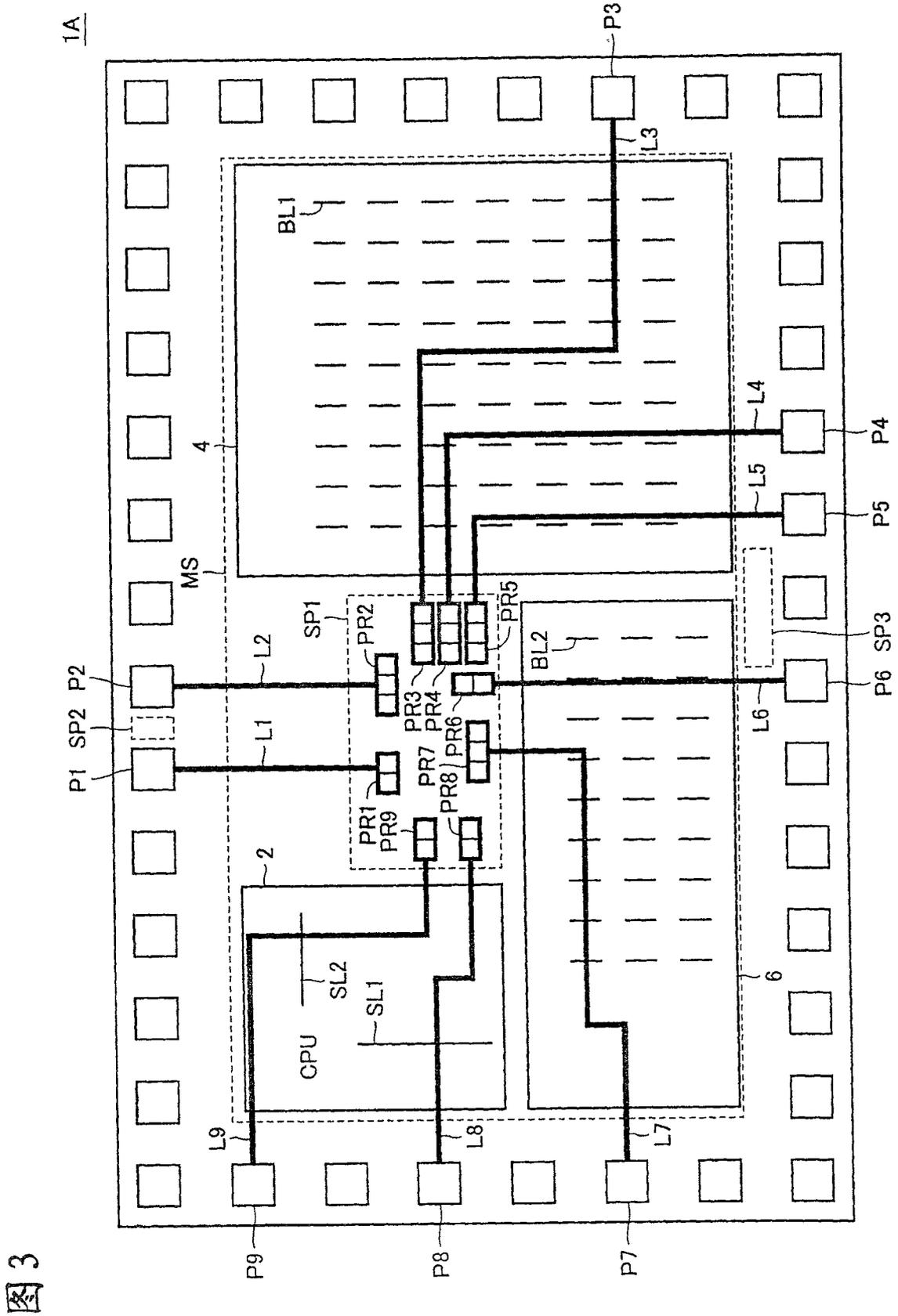


图1

图2





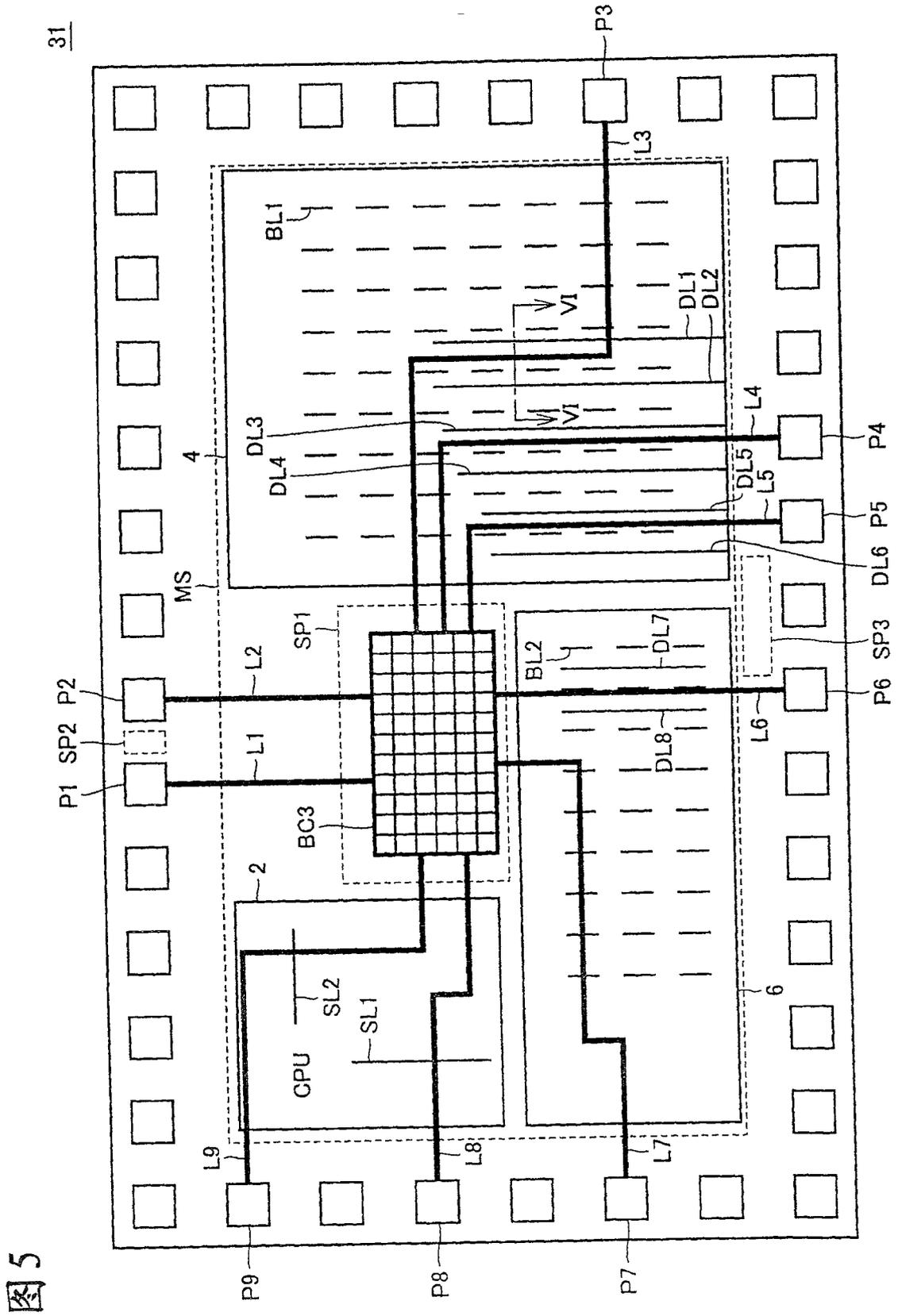
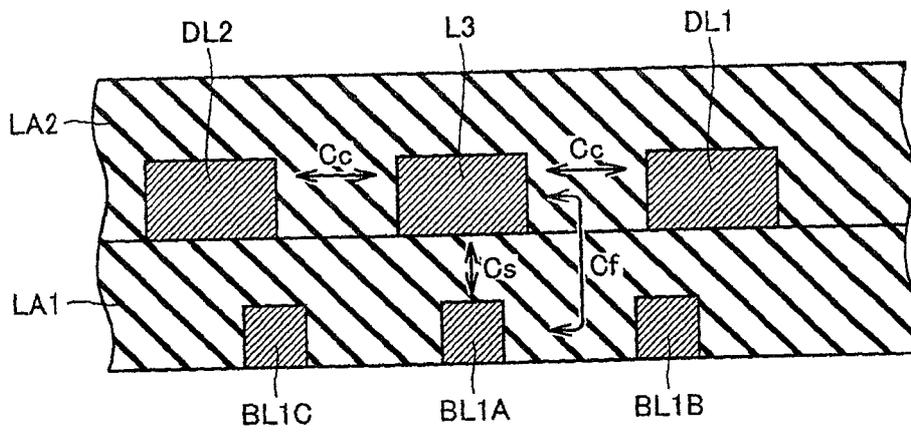


图6



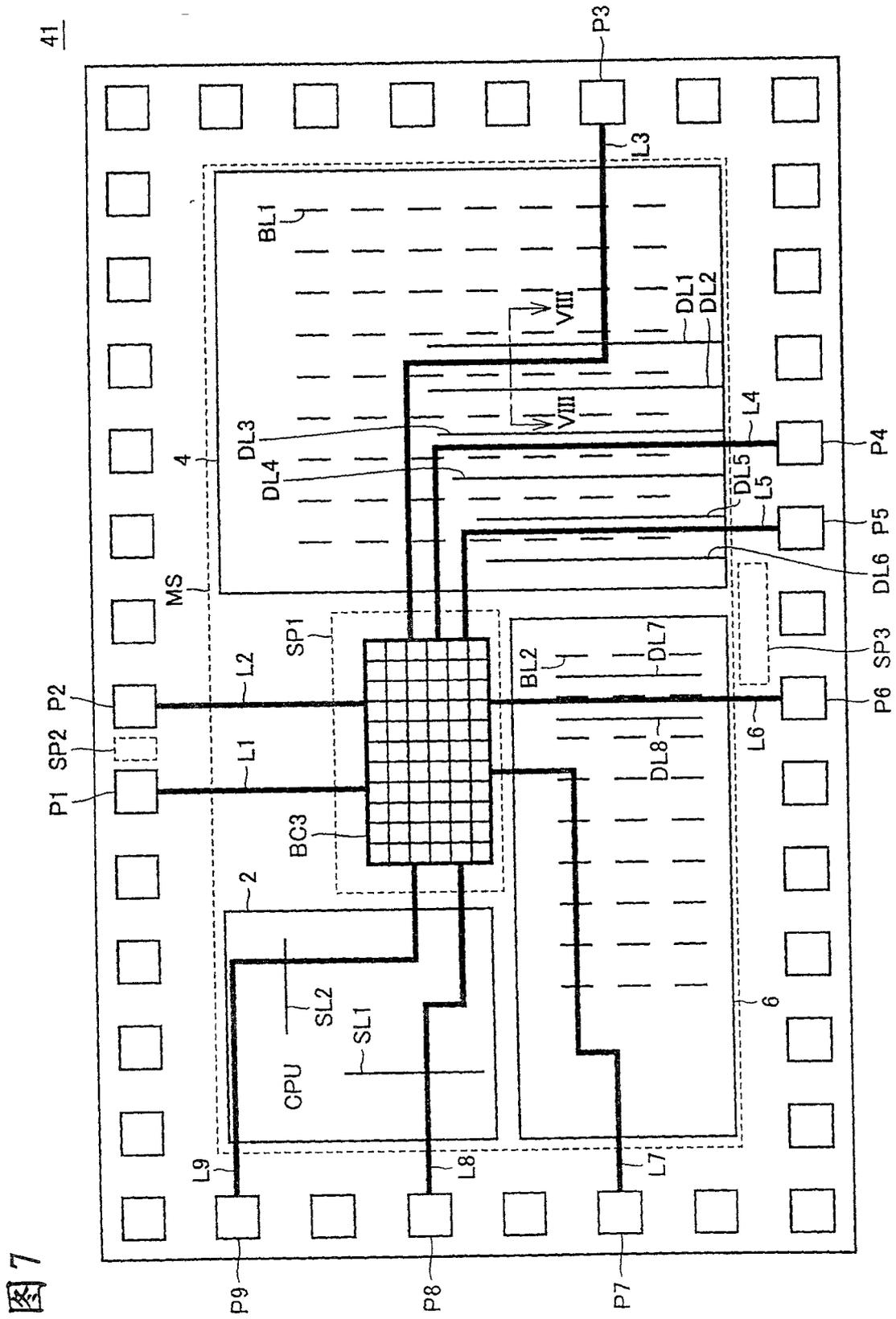


图7

41

图 8

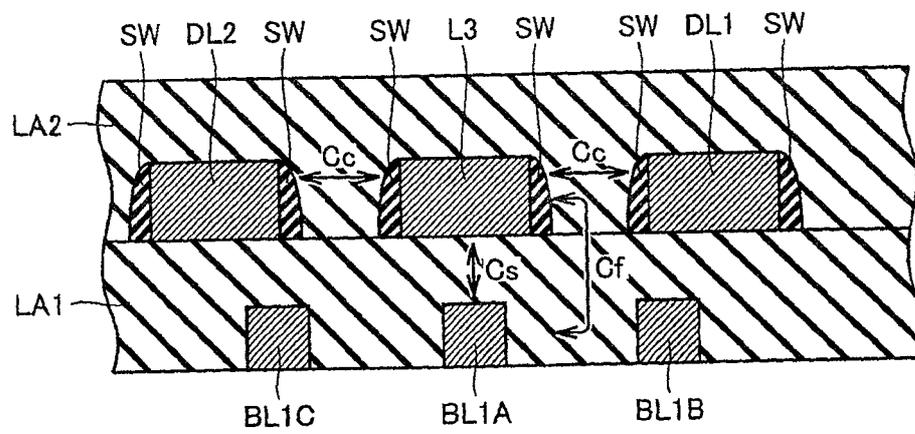


图9

