



(12)发明专利

(10)授权公告号 CN 105900177 B

(45)授权公告日 2019.07.05

(21)申请号 201580003618.6

(22)申请日 2015.01.05

(65)同一申请的已公布的文献号
申请公布号 CN 105900177 A

(43)申请公布日 2016.08.24

(30)优先权数据

61/923,887 2014.01.06 US

14/165,702 2014.01.28 US

(85)PCT国际申请进入国家阶段日
2016.07.01

(86)PCT国际申请的申请数据
PCT/US2015/010108 2015.01.05

(87)PCT国际申请的公布数据
W02015/103516 EN 2015.07.09

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚

(72)发明人 W·吴 V·纳拉亚南
K·H·L·阮

(74)专利代理机构 永新专利商标代理有限公司
72002

代理人 张扬 王英

(51)Int.Cl.

G11C 13/00(2006.01)

G11C 7/06(2006.01)

(56)对比文件

CN 1362709 A, 2002.08.07,

US 2001/0043089 A1, 2001.11.22,

CN 1815627 A, 2006.08.09,

US 2009/0116309 A1, 2009.05.07,

US 2008/0074914 A1, 2008.03.27,

审查员 梁岩

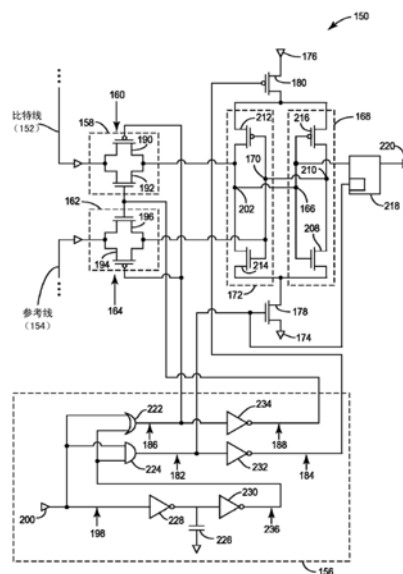
权利要求书4页 说明书13页 附图8页

(54)发明名称

读出电阻式存储器比特单元的状态的方法和系统

(57)摘要

公开了采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的读出放大器以及相关的方法和系统。在一个实施例中,提供了一种读出放大器。所述读出放大器包括耦合到比特线的差分读出输入。所述读出放大器还包括耦合到参考线的差分参考输入。第一反相器将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,第一反相器输出被配置为提供比特单元的状态。第二反相器将第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出。控制电路在锁存模式下将差分参考输入耦合到第一反相器并且将差分读出输入耦合到第二反相器,并且在读出模式下将差分参考输入从第一反相器解耦并且将差分读出输入从第二反相器解耦,以在第一反相器输出上提供比特单元的读出状态。



1. 一种用于读出电阻式存储器比特单元的状态的读出放大器,其包括:

差分读出输入,所述差分读出输入被配置为耦合到电阻式存储器比特单元的比特线;

差分参考输入,所述差分参考输入被配置为耦合到参考线;

第一反相器,其被配置为将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态;

所述第二反相器,其被配置为将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出;以及

控制电路,其被配置为:

在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器;

在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态;以及

在所述电阻式存储器比特单元的所述锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器之前,将所述第一反相器从高电压源和低电压源解耦,并且将所述第二反相器从所述高电压源和所述低电压源解耦。

2. 根据权利要求1所述的读出放大器,其中,所述控制电路还被配置为:

将所述第一反相器和所述第二反相器耦合到所述低电压源;以及

在进行将所述第一反相器和所述第二反相器耦合到所述低电压源的延迟之后,将所述第一反相器和所述第二反相器耦合到所述高电压源,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态。

3. 根据权利要求2所述的读出放大器,其中,所述控制电路包括门,其被配置为提供进行将所述第一反相器和所述第二反相器耦合到所述低电压源的所述延迟。

4. 根据权利要求1所述的读出放大器,其中:

所述差分读出输入包括读出传输门;以及

所述差分参考输入包括参考传输门。

5. 根据权利要求4所述的读出放大器,其中:

所述读出传输门包括彼此平行布置的PMOS晶体管和NMOS晶体管;以及

所述参考传输门包括彼此平行布置的PMOS晶体管和NMOS晶体管。

6. 根据权利要求1所述的读出放大器,其中:

所述第一反相器包括:

PMOS晶体管;以及

NMOS晶体管;

所述第二反相器包括:

PMOS晶体管;以及

NMOS晶体管;

所述第一反相器的PMOS晶体管被配置为具有与所述第二反相器的PMOS晶体管的驱动强度相等或大体相等的驱动强度;

所述第一反相器的NMOS晶体管被配置为具有与所述第二反相器的NMOS晶体管的驱动强度相等或大体相等的驱动强度;以及

所述第一反相器的PMOS晶体管的驱动强度等于或大体等于所述第一反相器的NMOS晶体管的驱动强度乘以四(4)。

7. 根据权利要求1所述的读出放大器,其中,所述电阻式存储器比特单元包括磁随机存取存储器(MRAM)比特单元。

8. 根据权利要求1所述的读出放大器,其中,所述电阻式存储器比特单元包括电阻式随机存取存储器(ReRAM)比特单元。

9. 根据权利要求1所述的读出放大器,其是在集成电路中提供的。

10. 根据权利要求1所述的读出放大器,其被集成在从包括以下各项的组中选择的设备中:机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、计算机、个人数字助理(PDA)、监视器、电视机、调谐器、无线单元、音乐播放器、视频播放器。

11. 一种存储器系统,其包括:

存储器阵列,其包括多个电阻式存储器比特单元;

多个读出放大器,其中,所述多个读出放大器中的每个读出放大器与所述存储器阵列的列相对应,并且被配置为读出对应的列的所述存储器阵列的选择的行内的电阻式存储器比特单元的状态;

所述多个读出放大器中的每个读出放大器,包括:

差分读出输入,所述差分读出输入被配置为耦合到所述电阻式存储器比特单元的比特线;

差分参考输入,所述差分参考输入被配置为耦合到参考线;

第一反相器,其被配置为将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态;

所述第二反相器,其被配置为将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出;以及

控制电路,其被配置为:

在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器;

在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态;以及

在所述电阻式存储器比特单元的所述锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器之前,将所述第一反相器从高电压源和低电压源解耦,并且将所述第二反相器从所述高电压源和所述低电压源解耦。

12. 根据权利要求11所述的存储器系统,其中,所述控制电路还被配置为:

将所述第一反相器和所述第二反相器耦合到所述低电压源;以及

在进行将所述第一反相器和所述第二反相器耦合到所述低电压源的延迟之后,将所述

第一反相器和所述第二反相器耦合到所述高电压源,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态。

13. 根据权利要求12所述的存储器系统,其中,所述控制电路包括门,其被配置为提供进行将所述第一反相器和所述第二反相器耦合到所述低电压源的所述延迟。

14. 根据权利要求11所述的存储器系统,其中:

所述差分读出输入包括读出传输门;以及

所述差分参考输入包括参考传输门。

15. 根据权利要求14所述的存储器系统,其中:

所述读出传输门包括彼此平行布置的PMOS晶体管和NMOS晶体管;以及

所述参考传输门包括彼此平行布置的PMOS晶体管和NMOS晶体管。

16. 根据权利要求11所述的存储器系统,其中:

所述第一反相器包括:

PMOS晶体管;以及

NMOS晶体管;

所述第二反相器包括:

PMOS晶体管;以及

NMOS晶体管;

所述第一反相器的PMOS晶体管被配置为具有与所述第二反相器的PMOS晶体管的驱动强度相等或大体相等的驱动强度;

所述第一反相器的NMOS晶体管被配置为具有与所述第二反相器的NMOS晶体管的驱动强度相等或大体相等的驱动强度;以及

所述第一反相器的PMOS晶体管的驱动强度等于或大体等于所述第一反相器的NMOS晶体管的驱动强度乘以四(4)。

17. 根据权利要求11所述的存储器系统,其中,所述存储器阵列包括多个磁随机存取存储器(MRAM)比特单元。

18. 根据权利要求11所述的存储器系统,其中,所述存储器阵列包括多个电阻式随机存取存储器(ReRAM)比特单元。

19. 一种用于读出电阻式存储器比特单元的状态的方法,其包括:

提供差分读出输入,所述差分读出输入包括电阻式存储器比特单元的比特线;

提供差分参考输入,所述差分参考输入包括参考线;

通过第一反相器将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态;

通过所述第二反相器将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出;

在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器;

在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦,以在所述第一反相器输出上提供所

述电阻式存储器比特单元的所述读出状态;以及

在所述电阻式存储器比特单元的所述锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器之前,将所述第一反相器从高电压源和低电压源解耦,并且将所述第二反相器从所述高电压源和所述低电压源解耦。

20. 根据权利要求19所述的方法,还包括:

将所述第一反相器和所述第二反相器耦合到所述低电压源;以及

在进行将所述第一反相器和所述第二反相器耦合到所述低电压源的延迟之后,将所述第一反相器和所述第二反相器耦合到所述高电压源,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态。

21. 根据权利要求19所述的方法,其中,所述电阻式存储器比特单元包括磁随机存取存储器 (MRAM) 比特单元。

22. 根据权利要求19所述的方法,其中,所述电阻式存储器比特单元包括电阻式随机存取存储器 (ReRAM) 比特单元。

读出电阻式存储器比特单元的状态的方法和系统

[0001] 优先权申请

[0002] 本申请要求于2014年1月6日递交的名称为“SENSE AMPLIFIERS EMPLOYING CONTROL CIRCUITRY FOR DECOUPLING RESISTIVE MEMORY SENSE INPUTS DURING STATE SENSING TO PREVENT CURRENT BACK INJECTION, AND RELATED METHODS AND SYSTEMS”的美国临时专利申请No.61/923,887的优先权,以引用方式将其全部并入本文。

[0003] 本申请还要求于2014年1月28日递交的名称为“SENSE AMPLIFIERS EMPLOYING CONTROL CIRCUITRY FOR DECOUPLING RESISTIVE MEMORY SENSE INPUTS DURING STATE SENSING TO PREVENT CURRENT BACK INJECTION, AND RELATED METHODS AND SYSTEMS”的美国专利申请No.14/165,702的优先权,以引用方式将其全部并入本文。

技术领域

[0004] 本公开内容的技术总体上涉及存储器系统中的用于从存储器读取数据的读出放大器。

背景技术

[0005] 基于处理器的计算机系统包括用于数据存储的存储器。存储器系统通常由能够存储数据的存储器比特单元和用于读取与写入这样的数据的相应的电路组成。特别地,读出放大器(也称为“感测放大器”)通常是在存储器系统内用于读取存储在存储器比特单元内的存储的电气状态(例如,电压)的电路。所存储的电气状态表示逻辑值或数据。更具体地,读出放大器被配置为在存储器读取操作期间基于特定的存储器比特单元的电气状态来输出逻辑值(例如,逻辑‘0’或逻辑‘1’)。

[0006] 在这点上,图1示出了示例性存储器系统10,其包括读出放大器12作为其读取电路的一部分。例如,存储器系统10可以是静态随机存取存储器(SRAM)系统。输入线14携带信号以允许存储器系统10和向存储器单元阵列16(其作为大容量存储器设备操作)写入数据或从其读取数据的其它系统组件之间的命令和数据通信。更具体地,为了从存储器单元阵列16读取数据,将存储器访问请求18通过输入线14的方式提供给存储器系统10。此外,输出线20携带由存储器系统10提供给其它系统组件作为操作(诸如存储器访问请求18)的结果的信号。存储器单元阵列16可以包括存储器比特单元(未示出)。控制系统22控制存储器单元阵列16的操作。对于存储器访问请求18,存储器系统10中的字线驱动器24基于由控制系统22确定的与存储器访问请求18对应的地址信息来选择存储器单元阵列16内的存储器比特单元的特定行(即,页)(未示出)。地址信息标识在存储器单元阵列16中要读取的特定行。作为响应,来自存储器单元阵列16中的所选择的行的数据被放置到比特线26上。为了读取放置到比特线26上的数据,控制系统22向读出放大器12传送读出信号28。读出放大器12将读出信号28与比特线26上的数据进行比较以向输出线20提供逻辑值。输出线20上的逻辑值表示每个相应的存储器比特单元中的所存储的状态。

[0007] 虽然读出放大器通常与SRAM系统相关联,但是读出放大器也用在电阻式存储器系

统中。作为非限制性示例,读出放大器可以用在利用自旋转移力矩 (STT) 磁隧道结 (MTJ) (STT-MTJ) 的磁随机存取存储器 (MRAM) 系统中。以这种方式,图2示出了采用STT-MTJ 32和读出放大器34的示例性MRAM系统30。STT-MTJ 32仅表示MRAM系统30中的存储器列(未示出)内的多个比特单元中的一个比特单元。此外,图2中示出的读出放大器34被提供用于MRAM系统30的存储器列,以在存储器访问请求期间读取字线36针对存储器列所选择的存储器行(未示出)内的比特单元。数据根据两个层之间的磁定向存储在STT-MTJ 32中:自由层38,其位于固定层或钉扎层40之上。自由层38和固定层40被由薄的非磁介电层形成的隧道结42隔开。

[0008] 继续参照图2,当读取存储在STT-MTJ 32中的数据时,字线36被激活以使访问晶体管44允许电流流过电极46和电极48之间的STT-MTJ 32。为保证存储在STT-MTJ 32内的数据值在读取操作期间不被干扰,读取偏置生成器50用于当使用比特线52和电压源54进行读取时,控制提供的跨越电极46和电极48的电流。低电阻(如通过在比特线52上施加的电压除以所测量的电流而测量得到的)与在自由层38和固定层40之间的P定向相关联。较高的电阻与自由层38和固定层40之间的AP定向相关联。特别地,读出放大器34通过将比特线52的电压或电流与由参考电源56提供的电压或电流进行比较,来确定低电阻或高电阻的存在。因此,如果测量到低电阻,则读出放大器34将逻辑‘0’提供给读出状态输出58,表示数据值逻辑‘0’存储在STT-MTJ 32内。相反,如果测量到高电阻,则读出放大器34将逻辑‘1’提供给读出状态输出58,表示数据值逻辑‘1’存储在STT-MTJ 32内。因此,MRAM系统30中的读出放大器34在读取存储在STT-MTJ 32中的数据值方面发挥至关重要的作用。

[0009] 基于电流锁存的读出放大器 (CLSA) 是可以用在电阻式存储器系统(例如,诸如图2中的MRAM系统30)中的一种类型的读出放大器。CLSA通过将电阻式比特单元对应的比特线上的电流强度与参考线上的电流进行比较,来提供逻辑值作为输出。第一CLSA输出上的逻辑值表示存储在相应的电阻式比特单元中的状态,而第二CLSA输出上的逻辑值表示所存储的状态的补数。CLSA的一个优势是其不会造成在相应的存储器比特单元内由读出电流的反注导致的读出干扰。因为电阻式比特单元的比特线是与读出电路隔离的,所以在CLSA中避免了这样的反注。然而,CLSA的一个劣势是当相应的比特单元具有较低的电流时,其需要长的读出时间。长读出时间可以与相应的比特单元中的存储的状态发生干扰,因此造成读取干扰。此外,CLSA具有有限的读出范围,这是因为在较低的电压电平处进行读出是没有用的。这样的有限的读出范围导致CLSA拥有与克服其内部晶体管的设备不匹配相关的低容限范围,所述设备不匹配可能是由制造工艺的不同造成的。

[0010] 可以用在电阻式存储器系统(例如,诸如图2中的MRAM系统30)内的替代CLSA的一种类型的读出放大器是基于电压锁存的读出放大器 (VLSA)。VLSA可以提供在较低的电压电平处的精确和快速的读出。VLSA通过将电阻式比特单元对应的比特线上的电压强度与参考线上的电压强度进行比较,来提供逻辑值作为输出。第一VLSA输出上的逻辑值表示存储在相应的电阻式比特单元中的状态,而第二VLSA输出上的逻辑值表示所存储的状态的补数。VLSA的一个劣势是其可以造成在相应的电阻式比特单元内由读出电流的反注导致的读出干扰。更具体地,电阻式比特单元的比特线不是与VLSA内的读出电压隔离的,这潜在地允许读出电压与存储在相应的电阻式比特单元中的状态发生干扰。然而,VLSA也提供特别的优势。例如,与在CLSA中不同,电阻式比特单元的比特线电压被读取的速度不取决于比特线

电压电平。因此，VLSA能够在较低的电压电平处进行读出，并且因此具有较大的读出范围。这样的大读出范围为VLSA提供了与其内部晶体管的设备不匹配相关的高容限范围，所述设备不匹配是由制造工艺的不同造成的。

[0011] 如先前描述的，CLSA和VLSA均具有其各自的优势和劣势。例如，虽然CLSA不会遭受由读出电流的反注导致的读取干扰，但是其不具有大的容限范围，并且当读出较低的电压电平时不能如期望的执行。相反，VLSA具有大的容限范围并且当读出较低的电压电平时很好地执行，但是其容易受由反注造成的读取干扰。因此，将有优势的是，采用具有大的容限范围的读出放大器，其当读出较低的电压电平时很好地执行，并且也避免由反注造成的读取干扰。

发明内容

[0012] 具体实施方式中公开的实施例包括采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的读出放大器以及相关的方法和系统。电阻式存储器系统的速度和精确度可以通过采用能够在较低的电压电平处读出存储在存储器比特单元中的电气状态，同时还防止由读出电流的反注造成的读取干扰的读出放大器(也称为“感测放大器”)来提高。在这一点上，在一个实施例中，如下文将更加详细地论述的，公开了一种读出放大器，其使用控制电路来实现锁存模式和读出模式，以实现在没有电流反注的情况下的低电压读出。更具体地，所述读出放大器接收电阻式存储器比特单元的比特线和来自参考电压源的参考线作为输入。所述读出放大器读出所述比特线上的电压与相比较的所述参考线上的电压之间的差，以便确定存储在电阻式存储器比特单元内的逻辑状态。以这种方式，所述读出放大器中的控制电路被配置为在锁存模式期间(例如，当读出放大器不进行读出时)将所述比特线和所述参考线耦合到所述读出放大器。此外，所述控制电路被配置为在所述读出模式期间将所述比特线和所述参考线从所述读出放大器解耦。该解耦在所述读出模式期间将所述比特线与所述读出放大器隔离，因此防止读出电流反注到所述电阻式存储器比特单元中。另外，在所述读出模式期间，所述读出放大器提供表示存储在所述电阻式存储器比特单元中的状态的输出。以这种方式使用所述控制电路来实现所述锁存模式和所述读出模式允许所述读出放大器在较低的电压电平处进行读取，同时还防止了电流反注。此外，这还为所述读出放大器提供了较大的容限以克服由生产工艺不同导致的设备不匹配。

[0013] 在这一点上，在一个实施例中，提供了一种用于读出电阻式存储器比特单元的状态的读出放大器。所述读出放大器包括差分读出输入，所述差分读出输入被配置为耦合到电阻式存储器比特单元的比特线。所述读出放大器还包括差分参考输入，所述差分参考输入被配置为耦合到参考线。所述读出放大器还包括第一反相器，其被配置为将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出，所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态。所述第二反相器被配置为将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出。所述读出放大器还包括控制电路，其被配置为在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器，并且在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦，以在所述第一反相器输出上提供所述电阻式存储器

比特单元的所述读出状态。

[0014] 在另一个实施例中,提供了一种存储器系统。所述存储器系统包括存储器阵列,其包括多个电阻式存储器比特单元。所述存储器系统还包括多个读出放大器,其中,所述多个读出放大器中的每个读出放大器与所述存储器阵列的列相对应,并且被配置为读出对应的列的所述存储器阵列的选择的行内的电阻式存储器比特单元的状态。所述多个读出放大器中的每个读出放大器包括差分读出输入,所述差分读出输入被配置为耦合到所述电阻式存储器比特单元的比特线。每个读出放大器还包括差分参考输入,所述差分参考输入被配置为耦合到参考线。每个读出放大器还包括第一反相器,其被配置为将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态。所述第二反相器被配置为将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出。每个读出放大器还包括控制电路,其被配置为在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器,并且在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态。

[0015] 在另一个实施例中,提供了一种用于读出电阻式存储器比特单元的状态的方法。所述方法包括提供差分读出输入,所述差分读出输入包括电阻式存储器比特单元的比特线。所述方法还包括提供差分参考输入,所述差分参考输入包括参考线。所述方法还包括通过第一反相器将第一反相器输入反转为耦合到第二反相器的第二反相器输入的第一反相器输出,所述第一反相器输出被配置为提供所述电阻式存储器比特单元的读出状态。所述方法还包括通过所述第二反相器来将所述第二反相器输入反转为耦合到所述第一反相器输入的第二反相器输出。所述方法还包括在所述电阻式存储器比特单元的锁存模式下将所述差分参考输入耦合到所述第一反相器并且将所述差分读出输入耦合到所述第二反相器。所述方法还包括在所述电阻式存储器比特单元的读出模式下将所述差分参考输入从所述第一反相器解耦并且将所述差分读出输入从所述第二反相器解耦,以在所述第一反相器输出上提供所述电阻式存储器比特单元的所述读出状态。

附图说明

[0016] 图1是采用用在存储器访问请求中的读出放大器的示例性存储器系统的说明;

[0017] 图2是采用自旋转移力矩 (STT) 磁隧道结 (MTJ) (STT-MTJ) 结合读出放大器的示例性磁随机存取存储器 (MRAM) 系统的图;

[0018] 图3是示例性的基于电流锁存的读出放大器 (CLSA) 的晶体管级的图,所述CLSA可以被用作图2中的MRAM系统的读出放大器;

[0019] 图4是示例性的基于电压锁存的读出放大器 (VLSA) 的晶体管级的图,所述VLSA可以被用作图2中的MRAM系统的读出放大器;

[0020] 图5是采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的示例性读出放大器的图;

[0021] 图6是示出了当执行采用图5中的读出放大器的MRAM系统中的存储器读取访问时,

在图5中的读出放大器内生成的信号的示例性时序的时序图；

[0022] 图7是示出了相比于现有技术中存在的两个(2个)示例性CLSA,图5中的读出放大器内所经历的示例性失败计数和读出延迟的表格；以及

[0023] 图8是示例性的基于处理器的系统的框图,所述基于处理器的系统可以包括图5中的采用控制电路来在状态读出期间解耦电阻式存储器读出输入的读出放大器。

具体实施方式

[0024] 现在参照附图,描述了本公开内容的若干示例性实施例。本文使用的词语“示例性的”意味着“作为示例、实例或说明”。本文中描述为“示例性”的任何实施例不必被解释为优选于其它实施例或者比其它实施例有优势。

[0025] 具体实施方式中公开的实施例包括采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的读出放大器以及相关的方法和系统。电阻式存储器系统的速度和精确度可以通过采用能够在较低的电压电平处进行读出,同时还防止由读出电流的反注造成的读取干扰的读出放大器(也称为“感测放大器”)来提高。在这一点上,在一个实施例中,如下文将更加详细地论述的,公开了一种读出放大器,其使用控制电路来实现锁存模式和读出模式,以实现在没有电流反注的情况下的低电压读出。更具体地,读出放大器接收电阻式存储器比特单元的比特线和来自参考电压源的参考线作为输入。读出放大器读出比特线上的电压与相比较的参考线上的电压之间的差,以便确定存储在电阻式存储器比特单元内的逻辑状态。以这种方式,读出放大器中的控制电路被配置为在锁存模式期间(例如,当读出放大器不进行读出时)将比特线和参考线耦合到读出放大器。此外,控制电路被配置为在读出模式期间将比特线和参考线从读出放大器解耦。该解耦在读出模式期间将比特线从读出放大器隔离,因此防止读出电流反注到电阻式存储器比特单元中。另外,在读出模式期间,读出放大器提供表示存储在电阻式存储器比特单元中的状态的输出。以这种方式使用控制电路来实现锁存模式和读出模式允许读出放大器在较低的电压电平处进行读取,同时还防止了电流反注。此外,这还为读出放大器提供了较大的容限以克服由生产工艺不同导致的设备不匹配。

[0026] 以这种方式,在从图5开始论述采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的读出放大器之前,首先关于图3和图4描述了现有技术中存在的读出放大器。更具体地,下文详细描述了基于电流锁存的读出放大器(CLSA)和基于电压锁存的读出放大器(VLSA)。

[0027] 在这一点上,CLSA是可以用在电阻式存储器系统(例如,诸如图2中的MRAM系统30)中的一种类型的读出放大器。作为一个示例,图3示出了CLSA 60的晶体管级的图。CLSA 60通过将电阻式比特单元(未示出)对应的比特线66上的电流强度与参考线68上的电流进行比较,来分别在CLSA输出62和CLSA输出64上提供逻辑值。CLSA输出62上的逻辑值表示存储在相应的电阻式比特单元中的状态,而CLSA输出64上的逻辑值表示所存储的状态的补数。

[0028] 更具体地,CLSA 60包括第一反相器70,其由P型金属氧化物半导体(PMOS)晶体管72和N型金属氧化物半导体(NMOS)晶体管74组成,所述第一反相器70交叉耦合到第二反相器76,其由PMOS晶体管78和NMOS晶体管80组成。在读出之前,存取PMOS晶体管82和存取PMOS

晶体管84被激活,使得电压轨86上的等于 V_{DD} 的电压使第一反相器70和第二反相器76均等。这通过将第一反相器70的输入88和第二反相器76的输入90拉起到 V_{DD} 来实现。

[0029] 为了开始读出,存取PMOS晶体管82和存取PMOS晶体管84被停用,并且读出使能信号92在读出使能94上被断言。读出使能94上的断言激活耦合到接地源98的NMOS晶体管96。NMOS晶体管96还耦合到NMOS晶体管100和NMOS晶体管102,它们分别耦合到比特线66和参考线68。如果比特线66所提供的电流比参考线68所提供的电流强,则NMOS晶体管100比NMOS晶体管102更加“闭合”。这使得接地源98将第二反相器76的输入90拉到比第一反相器70的输入88低的电压。结果,CLSA输出62提供逻辑‘0’值,而CLSA输出64提供逻辑‘1’值。这指示逻辑‘0’值被存储在相应的比特单元内。相反地,如果参考线68所提供的电流比比特线66所提供的电流强,则NMOS晶体管102比NMOS晶体管100更加“闭合”。这使得接地源98将第一反相器70的输入88拉到比第二反相器76的输入90低的电压。结果,CLSA输出62提供逻辑‘1’值,而CLSA输出64提供逻辑‘0’值。这指示逻辑‘1’值被存储在相应的比特单元内。因此,CLSA 60通过允许第一反相器70和第二反相器76“竞争”以确定谁拥有较强的电流来产生表示存储在电阻式比特单元内的状态的逻辑值。

[0030] 如先前描述的,图3中的CLSA 60的一个优势是其不会因为读出电流的反注而导致相应的存储器比特单元内的读取干扰。读取干扰是存储在存储器比特单元内的状态的错误的改变。因为比特线66耦合到NMOS晶体管100的栅极而不是其源极或漏极,所以CLSA 60内的读出电流与比特线66隔离,并且因此不能与存储在相应的存储器比特单元中的状态发生干扰。然而,CLSA 60也遭受特定的劣势。例如,因为比特线66激活NMOS晶体管100,所以当比特线66具有较低的电流时,CLSA 60需要长的读出时间。更具体地,较低的电流产生接近或低于激活NMOS晶体管100的栅极所要求的门限电压的电压,这导致较长的激活时间。较长的激活时间继而增加了读出时间,这要求将读出电流在较长的时间段内应用于存储器比特单元。以这种方式,长读出时间也可能造成读取干扰。因此,CLSA 60具有有限的读出范围,这是因为其不用于在较低的电压电平处进行读出。此外,这样的有限的读出范围,结合晶体管的跨导(即,栅极电压感应的源极-漏极电导改变)对门限电压的改变灵敏的事实,使得CLSA 60拥有与克服其内部晶体管的设备不匹配相关的低容限范围,所述设备不匹配可能是由制造工艺的不同导致的。与具有较高容限范围的读出放大器相比,低容限范围可以使CLSA 60更易受读取误差的影响。

[0031] 可以用在电阻式存储器系统(例如,诸如图2中的MRAM系统30)内的替代CLSA的一种类型的读出放大器是VLSA。如下文论述的,与图3中的CLSA 60不同,VLSA提供在较低的电压电平处的精确和快速的读出。在这一点上,图4示出了VLSA 104的晶体管级的图。VLSA 104通过将比特线110上的电压强度与参考线112上的电压进行比较,来在VLSA输出106和VLSA输出108上提供逻辑值。VLSA输出106上的逻辑值表示存储在相应的电阻式比特单元中的状态,而VLSA输出108上的逻辑值表示所存储的状态的补数。

[0032] 更具体地,VLSA 104包括第一反相器114,其由PMOS晶体管116和NMOS晶体管118组成,所述第一反相器114交叉耦合到第二反相器120,其由PMOS晶体管122和NMOS晶体管124组成。与图3中的CLSA 60类似,在读出之前,存取PMOS晶体管126和存取PMOS晶体管128被激活,使得电压轨130上的等于 V_{DD} 的电压使第一反相器114和第二反相器120均等。这通过将第一反相器114的输入132和第二反相器120的输入134拉起到 V_{DD} 来实现。

[0033] 为了开始读出,存取PMOS晶体管126和存取PMOS晶体管128被停用,并且读出使能信号136在读出使能138上被断言。读出使能138上的断言激活耦合到接地源142的NMOS晶体管140,所述接地源142将锁存在第一反相器114和第二反相器120内的电压拉低。PMOS晶体管144和PMOS晶体管146分别耦合到比特线110和参考线112。然而,当激活信号148激活PMOS晶体管144和146时,比特线110和参考线112被作为输入分别提供给第二反相器120和第一反相器114,而不是激活PMOS晶体管144和146。这使得提供给第一反相器114的电压直接与提供给第二反相器120的电压“竞争”。如果比特线110电压高于参考线112电压,则第二反相器120的输入134接收比第一反相器114的输入132强的电压。结果,VLSA输出106提供逻辑‘1’值,而VLSA输出108提供逻辑‘0’值。这指示逻辑‘1’值被存储在相应的比特单元内。相反地,如果参考线112电压强于比特线110电压,则第一反相器114的输入132接收比第二反相器120的输入134强的电压。结果,VLSA输出106提供逻辑‘0’值,而VLSA输出108提供逻辑‘1’值。这指示逻辑‘0’值被存储在相应的比特单元内。因此,VLSA 104通过允许第一反相器114和第二反相器120“竞争”以确定谁拥有较强的电压来产生表示存储在电阻式存储器比特单元内的状态的逻辑值。

[0034] 图4中的VLSA 104的一个劣势是其可能因为读出电流的反注而导致相应的存储器比特单元内的读取干扰。更具体地,因为比特线110耦合到PMOS晶体管144的源极而不是其栅极,所以VLSA 104内的读出电流与比特线110隔离,并且因此可能与存储在相应的存储器比特单元中的状态发生干扰。然而,VLSA 104也提供特定的优势。例如,因为激活信号148激活PMOS晶体管144,所以PMOS晶体管144的开关速度可以比若其在较低电压处被比特线110电压激活快。更具体地,开关速度可以较快是因为激活信号148可以被设定为总是满足或超过PMOS晶体管144的门限电压,而比特线110电压可能不总是在这样的高电平处。PMOS晶体管144的快速的开关速度引起用于读出所需要的较短的时间。另外,因为PMOS晶体管144是被激活信号148激活而不是被比特线110激活的,所以即使当比特线110具有较低的电压电平时,VLSA 104仍然可以提供读出。因此,VLSA 104能够跨越宽范围的电压电平进行读出,并且因此具有与克服其内部晶体管的设备不匹配相关的高容限范围,所述设备不匹配可能是由制造工艺的不同导致的。与具有较低容限范围的读出放大器相比,高容限范围使VLSA 104不易受读取误差的影响。

[0035] 如先前描述的,图3中的CLSA 60和图4中的VLSA 104相对于彼此拥有其各自的优势和劣势。例如,虽然图3中的CLSA 60不遭受由读出电流的反注造成的读取干扰,但是其不具有大容限范围,并且当读出较低的电压电平时执行不佳。相反地,图4中的VLSA 104具有大容限范围,并且当读出较低的电压电平时很好地执行,但是其易受由反注造成的读取干扰的影响。因此,将有优势的是,采用具有大的容限范围的读出放大器,其当读出较低的电压电平时很好地执行,并且也避免由反注造成的读取干扰。

[0036] 以这种方式,图5示出了采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的示例性读出放大器150。读出放大器150可以用在采用各种类型的存储器的存储器系统,作为非限制性示例,诸如电阻式随机存取存储器(ReRAM)或MRAM(诸如图2中的MRAM系统30)。在该实施例中,读出放大器150使用控制电路来实现锁存模式和读出模式,以实现在没有电流反注的情况下的低电压读出。更具体地,读出放大器150接收电阻式存储器比特单元的比特线152和来自参考电压源的参考线154作为输入。读出放大器150

读出比特线152上的电压与相比较的参考线154上的电压之间的差,以便确定存储在电阻式存储器比特单元内的逻辑状态。以这种方式,读出放大器150中的控制电路156被配置为在锁存模式期间(例如,当读出放大器150不进行读出时)将比特线152和参考线154耦合到读出放大器150。此外,控制电路156被配置为在读出模式期间将比特线152和参考线154从读出放大器150解耦。该解耦在读出模式期间将比特线152与读出放大器150隔离,并且因此防止读出电流反注到电阻式存储器比特单元中。另外,在读出模式期间,读出放大器150提供表示存储在电阻式存储器比特单元中的状态的输出。以这种方式使用控制电路156来实现锁存模式和读出模式允许读出放大器150在较低的电压电平处进行读取,同时还防止了电流反注。此外,这还为读出放大器150提供了较大的容限以克服由生产工艺不同导致的设备不匹配。

[0037] 在这一点上,读出放大器150包括差分读出输入158。在该实施例中,差分读出输入158包括读出传输门160。差分读出输入158耦合到电阻式比特单元(未示出)的比特线152。另外,读出放大器150包括差分参考输入162。在该实施例中,差分参考输入162包括参考传输门164。差分参考输入162耦合到参考电压源(未示出)的参考线154。读出传输门160被配置为将比特线152提供给第二反相器168的输入166。类似地,参考传输门164被配置为将参考线154提供给第一反相器172的输入170。特别地,第一反相器172和第二反相器168交叉耦合,以便在锁存模式期间锁存分别由比特线152和参考线154提供的值。

[0038] 此外,读出放大器150包括控制电路156,其被配置为在锁存模式期间将参考线154耦合到第一反相器172的输入170和将比特线152耦合到第二反相器168的输入166,并且还在读出模式期间进行同样的解耦。控制电路156还被设置为在读出模式期间将低电压源174和高电压源176耦合到第一反相器172和第二反相器168。如下文更加详细地描述的,控制电路156被配置为利用特定的时序来执行这样的耦合和解耦,以便正确地读出电阻式存储器比特单元的存储的状态。

[0039] 继续参照图5,在读出放大器150读出存储在电阻式存储器比特单元中的状态之前,读出放大器150首先在锁存模式中运行。在锁存模式期间,控制电路156被配置为将第一反相器172和第二反相器168从低电压源174和高电压源176解耦。在该实施例中,低电压源174通过NMOS晶体管178的方式连接到第一反相器172和第二反相器168,而高电压源176通过PMOS晶体管180的方式连接到第一反相器172和第二反相器168。如下文更加详细地描述的,为了完成解耦,控制电路156提供读出选通内部信号182以停用NMOS晶体管178,并且提供读出选通内部否定延迟信号184以停用PMOS晶体管180。当低电压源174和高电压源176被从第一反相器172和第二反相器168解耦之后,控制电路156被设置为将比特线152和参考线154分别耦合到第二反相器168和第一反相器172。更具体地,如下文更加详细地描述的,控制电路156将读出选通外部信号186和读出选通外部否定信号188提供给读出传输门160和参考传输门164两者,其运行以利用特定时序来将比特线152从读出放大器150耦合和解耦,因此防止电流反注。

[0040] 在该实施例中,读出传输门160由彼此平行布置的PMOS晶体管190和NMOS晶体管192组成。同样地,参考传输门164由彼此平行布置的PMOS晶体管194和NMOS晶体管196组成。因此,为了将比特线152和参考线154分别耦合到第二反相器168和第一反相器172,读出选通外部信号186激活PMOS晶体管190和194,而读出选通外部否定信号188激活NMOS晶体管

192和196。结果,比特线152电压和参考线154电压在锁存模式期间被锁存在读出放大器150中。

[0041] 继续参照图5,为了在锁存模式之后进入读出模式,读出使能信号198在提供给控制电路156的读出使能200上被断言。在该实施例中,读出使能信号198的断言使得读出选通外部信号186停用分别在读出传输门160和参考传输门164中的PMOS晶体管190和194。类似地,这样的断言使得读出选通外部否定信号188停用分别在读出传输门160和参考传输门164中的NMOS晶体管192和196。对PMOS晶体管190和194以及NMOS晶体管192和196的这样的停用将比特线152和参考线154分别从第二反相器168和第一反相器172解耦。这样做时,比特线152在读出期间与读出放大器150隔离,从而防止由读出电流反注到比特线152上导致的电阻式存储器比特单元中的存储的状态的读取干扰。

[0042] 继续参照图5,读出使能信号198的断言使得读出选通内部信号182激活NMOS晶体管178,从而将第一反相器172和第二反相器168耦合到低电压源174。如下文更加详细地描述的,这样的激活将读出放大器150内锁存的值拉低到较低的电压。在激活NMOS晶体管178之后,读出选通内部否定延迟信号184激活PMOS晶体管180,从而将第一反相器172和第二反相器168耦合到高电压源176。重要的是,在该示例中,控制电路156被配置为在读出选通内部否定延迟信号184被耦合到高电压源176之前对其进行延迟,使得读出放大器150内锁存的值被拉低,如先前描述的。该顺序使得锁存的值在完成读出之前被拉低到较低的电压。结果,当比特线152电压值和参考线154电压值接近时,这允许读出放大器150更精确地读出存储的值。

[0043] 作为非限制性示例,当图5中的读出放大器150在锁存模式中时,比特线152电压是1.0V并且参考线154电压是0.8V。先前描述的顺序将比特线152电压拉低到0.5V并且将参考线154电压拉低到0.3V。在被拉低之前,比特线152电压和参考线154电压的0.2V的差相当于百分之二十(20%)的差别。然而,在分别将比特线152和参考线154电压拉低之后,0.2V的电压差相当于百分之四十(40%)的差别。因此,在该示例中,比特线152电压和参考线154电压之间的较大的百分比差别更容易被图5中的读出放大器150检测到,即使电压差依然仅为0.2V。

[0044] 继续参照图5,一旦NMOS晶体管178和PMOS晶体管180两者被激活,如先前描述的,就读出所存储的状态并且将其提供在第一反相器172的输出202上。更具体地,在读出期间,第一反相器172和第二反相器168互相“竞争”。例如,如果比特线152电压高于参考线154电压,则第二反相器168的输入166接收与第二反相器172的输入170高的电压。这激活了第二反相器168内的NMOS晶体管208,使得第二反相器168的输出210被驱动为逻辑‘0’值。因为第二反相器168的输出210耦合到第一反相器172的输入170,所以逻辑‘0’值被提供给第一反相器172。这激活了第一反相器172中的PMOS晶体管212,使得第一反相器172中的输出202被驱动为逻辑‘1’值。这指示逻辑‘1’值被存储在电阻式存储器比特单元内。

[0045] 相反地,如果参考线154电压高于比特线152电压,则第一反相器172的输入170接收比第二反相器168的输入166高的电压。这激活了第一反相器172内的NMOS晶体管214,使得第一反相器172的输出202被驱动为逻辑‘0’值。因为第一反相器172的输出202耦合到第二反相器168的输入166,所以逻辑‘0’值被提供给第二反相器168。这激活了第二反相器168中的PMOS晶体管216,使得第二反相器168的输出210被驱动为逻辑‘1’值。这指示逻辑‘0’值

被存储在电阻式存储器比特单元内。此外,在该实施例中,第一反相器172的输出202耦合到输出锁存218,其将存储的状态提供给读出输出220。

[0046] 继续参照图5,可以调整特定的元件,以便改善读出放大器150的性能。例如,可以调整第一反相器172和第二反相器168,以便提供较低的差错率,所述差错率是由制造工艺不同所导致的设备不匹配造成。更具体地,在该实施例中,分别在第一反相器172和第二反相器168中的NMOS晶体管214和NMOS晶体管208具有相等或大体相等的驱动强度。类似地,分别在第一反相器172和第二反相器168中的PMOS晶体管212和PMOS晶体管216也具有相等或大体相等的驱动强度。然而,为了降低先前描述的差错率,NMOS晶体管214和208的驱动强度是等于或大体等于PMOS晶体管212和216的驱动强度的四(4)倍。

[0047] 继续参照图5,现在更详细地论述该实施例中的控制电路156。更具体地,描述了为读出放大器150提供所要求的时序的特定的电路元件。在这一点上,在该实施例中,控制电路156包括或(OR)门222和与(AND)门234。此外,控制电路156包括电容器226和四个反相器228、230、232和234。这样的元件被包含在控制电路156中,以便按照先前描述的顺序来激活读出放大器150中的电路。例如,在读出使能信号198的断言之前,或门222提供具有逻辑‘0’值的读出选通外部信号186。反相器234将读出选通外部信号186反转以生成读出选通外部否定信号188。在这一点上,在读出使能信号198的断言之前(例如,在锁存模式期间),控制电路156分别通过读出传输门160和参考传输门164的方式将比特线152和参考线154耦合到读出放大器150。此外,根据读出使能信号198的断言,电容器226、反相器228和反相器230一起延迟读出使能信号198并且提供读出使能延迟信号236。信号198和236两者都耦合到与门224,这引起读出选通内部信号182在读出使能信号198的断言之后接下来的一段时间内断言逻辑‘1’值。在这一点上,读出选通内部信号182不拉低读出放大器150中的电压,直到读出传输门160和参考传输门164分别将比特线152和参考线154从读出放大器150解耦之后为止。此外,并且重要的是,反相器232提供在将读出放大器150拉低到低电压与将读出放大器150连接到高电压之间的延迟,如先前描述的。在该实施例中,通过调整反相器232来产生这样的延迟,以在反相器232接收到读出选通内部信号182之后的时间提供读出选通内部否定延迟信号184。在其它实施例中,反相器232所产生的延迟可以使用不同的元件(例如,门)来产生。虽然该实施例中的控制电路156包括本文描述的电路元件,但是相同的时序和结果可以在控制电路156的不同的实施例中实现。

[0048] 在这一点上,图6示出了当执行采用读出放大器150的MRAM系统中的存储器读取访问时生成的图5中在读出放大器150内的信号238的示例性时序。图6中的信号238的时序包括与图5中的读出放大器150共同的元素。这些共同元素在图6中用与在图5中相同的数字指示。如先前描述的,在读出之前,由于读出选通外部信号186和读出选通外部否定信号188分别激活读出传输门160和参考传输门164,所以比特线152和参考线154被在锁存模式期间被提供给读出放大器150,如箭头240所示。为了进入读出模式,读出使能信号198被断言,如箭头242所示。根据读出使能信号198的断言,读出选通外部信号186转变为高值,如箭头244所示,并且读出选通外部否定信号188转变为低值,如箭头246所示。如先前描述的,这将比特线152和参考线154从读出放大器150解耦。此外,在第一延迟248之后,读出选通内部信号182转变为高值,如箭头250所示,这将读出放大器150拉低为低电压,如先前描述的。在第二延迟252之后,读出选通内部否定延迟信号184转变为低值,如箭头254所示。如先前描述的,

第二延迟252允许在将读出放大器150连接到高值之前,将读出放大器150拉低到低值,使得读出模式可以完成。重要的是,在图5中的电容器226和反相器228和230所提供的的第一延迟248之后,读出使能延迟信号236转换为高,如箭头256所示。最后,在第三延迟258之后,存储的状态被读出放大器150读出到并且被提供给读出输出220,如箭头260所示。通过使用图5中读出放大器150内的控制电路156来产生信号238的时序,读出放大器150能够在较低的电压电平处进行读出,同时还防止反注,如先前描述的。此外,这还向读出放大器150提供较大的容限以克服由制造工艺不同导致的设备不匹配。

[0049] 在这一点上,图7是示出了与现有技术中存在的两个示例性CLSA (CLSA 264和CLSA 266) 相比,在图5中的读出放大器150的仿真期间经历的失败计数和读出延迟的表格262。更具体地,表格262详细示出了每种读出放大器设计在一百(100)次仿真中失败的次数。此外,每种仿真包括每种设计的一百(100)个读出放大器,其中,一百(100)个读出放大器中的每一个的构成因每个读出放大器内的设备不匹配(例如,对设备不匹配进行仿真以反映制造工艺的不同)而不同。另外, V_m 表示图5中的参考线154的电压,而 V_s 表示比特线152和参考线154之间的电压差。电压和计时单位已经被从原始仿真归一化以提供清晰。继续参照表格262,仿真结果显示当参考线154为其最低值1.0V,并且比特线152等于1.1V时,CLSA 264和266两者在读出期间遭受一百(100)次失败,同时需要超过一百四十五(145)个计时单位来完成读出模式。然而,在相同的电压电平处,图5中的读出放大器150在读出期间遭受了零(0)次失败,并且仅需要1.19个计时单位来完成读出模式。此外,当参考线154电压是24V并且比特线152电压是23.9V时,CLSA 264在读出期间遭受了二十七(27)次失败,并且需要1.16个计时单位来完成读出模式。类似地,在相同的电压电平处,CLSA 266在读出期间遭受了二十四(24)次失败,并且需要1.09个计时单位来完成读出模式。因此,对CLSA 264和266来说,该电压电平提供了最差情况的场景。相反地,对读出放大器150来说最差情况的场景出现在参考线154电压是24V并且比特线152电压是24.1V时。然而,即使在其最差的情况下,读出放大器150在读出期间仅有一(1)次失败,并且仅需要1.11个计时单位的读出时间。因此,与CLSA 264和266不同,读出放大器150提供在所有电压电平(包括较低的电压电平)处的快速读出,同时还防止了由反注造成的读取干扰。此外,与CLSA 264和266不同,读出放大器150具有针对由制造工艺不同造成的设备不匹配的高容限范围,这是因为即使存在这样的不同,读出放大器150在读出期间也不会产生错误。

[0050] 根据本文公开的实施例的采用控制电路来在状态读出期间解耦电阻式存储器读出输入以防止电流反注的读出放大器可以被提供在或集成在任何基于处理器的设备中。示例不受限制地包括机顶盒、娱乐单元、导航设备、通信设备、固定位置数据单元、移动位置数据单元、移动电话、蜂窝电话、计算机、便携式计算机、桌面型计算机、个人数字助理(PDA)、监视器、计算机显示器、电视机、调谐器、无线单元、卫星无线单元、音乐播放器、数字音乐播放器、便携式音乐播放器、数字视频播放器、视频播放器、数字视频光盘(DVD)播放器以及便携式数字视频播放器。

[0051] 在这一点上,图8示出了可以采用图5中示出的读出放大器150的基于处理器的系统268的示例。在该示例中,基于处理器的系统268包括一个或多个中央处理单元(CPU) 270,每个CPU 270包括一个或多个处理器272。CPU 270可以具有耦合到处理器272的高速缓存存储器274,以用于快速地存取暂时存储的数据。CPU 270耦合到系统总线276并且可以与包括

在基于处理器的系统268中的主设备和从设备相互耦合。如公知的,CPU 270通过在系统总线276上交换地址、控制和数据信息来与这些其它设备进行通信。例如,CPU 270可以将总线事务请求传送到作为从设备的示例的存储器控制器278。虽然未在图8中示出,但是可以提供多个系统总线276,其中,每个系统总线276构成不同的结构。

[0052] 其它主设备和从设备可以连接到系统总线276。如图8所示,作为示例,这些设备可以包括存储器系统280、一个或多个输入设备282、一个或多个输出设备284、一个或多个网络接口设备286、以及一个或多个显示器控制器288。输入设备282可以包括任何类型的输入设备,包括但不限于输入键、开关、语音处理器等。输出设备284可以包括任何类型的输出设备,包括但不限于音频指示器、视频指示器、其它视觉指示器等。网络接口设备286可以是被配置为允许去往和来自网络290的数据的交换的任何设备。网络290可以是任何类型的网络,包括但不限于有线或无线网络、私人或公共网络、局域网(LAN)、广域网(WLAN)以及互联网。网络接口设备286可以被配置为支持期望的任何类型的通信协议。存储器系统280可以包括一个或多个存储器单元292(0-N)。

[0053] CPU 270还可以被配置为通过系统总线276来接入显示器控制器288,以控制发送给一个或多个显示器294的信息。显示器控制器288经由一个或多个视频处理器296向显示器294发送要显示的信息,所示视频处理器296将要显示的信息处理成适用于显示器294的格式。显示器294可以包括任何类型的显示器,包括但不限于阴极射线管(CRT)显示器、液晶显示器(LCD)、等离子体显示器等。

[0054] 本领域技术人员将进一步认识到的是,结合本文公开的实施例描述的各种说明性的逻辑框、模块、电路以及算法可以别实现为电子硬件、存储在存储器中或另一计算机可读介质中并且由处理器或其它处理设备执行的指令、或两者的组合。作为示例,本文所描述的主设备和从设备可以用在任何电路、硬件组件、集成电路(IC)或IC芯片中。本文公开的存储器可以是任何类型和大小的存储器并且可以被配置为存储期望的任何类型的信息。为了清楚地说明这种互换性,上文围绕各种说明性的组件、框、模块、电路和步骤的功能,已经对它们进行了一般性描述。至于如何实现这样的功能,取决于特定的应用、设计选择和/或施加在整个系统上的设计约束。熟练的技术人员可以针对各特定的应用,以变通的方式来实现所描述的功能,但是这样的实现决策不应当被解释为引起脱离本公开内容的范围。

[0055] 结合本文公开的实施例描述的各种说明性的逻辑框、模块和电路可以利用被设计为执行本文描述的功能的处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件或者其任意组合来实现或执行。处理器可以是微处理器,但是在替代的方式中,处理器可以是任何常规的处理器、控制器、微控制器或者状态机。处理器也可以被实现为计算设备的组合,例如,DSP和微处理器的组合、多个微处理器、一个或多个微处理器与DSP内核的结合,或者任何其它这样的配置。

[0056] 本文公开的实施例可以体现在硬件和存储在硬件中的指令中,并且可以位于例如随机存取存储器(RAM)、闪速存储器、只读存储器(ROM)、电可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、寄存器、硬盘、可移动盘、CD-ROM、或本领域内已知的任何其他形式的计算机可读介质中。将示例性的存储介质耦合到处理器,以使处理器可以从存储介质读取信息,以及向存储介质写入信息。在替代的方式中,存储介质可以被整合到处理器中。处理器和存

储介质可以位于ASIC中。ASIC可以位于远程站点中。在替代的方式中,处理器和存储介质可以作为分立组件存在于远程站点、基站或服务器中。

[0057] 还要注意的,描述了在本文的示例性实施例中的任何实施例中描述的操作步骤以提供示例和论述。可以以不同于所示出的顺序的大量不同的顺序来执行所描述的操作。此外,在单个可操作步骤中描述的操作实际上可以在多个不同步骤中执行。另外,可以组合在示例性实施例中论述的一个或多个可操作步骤。要理解的是,如对于本领域的技术人员将是显而易见的,在流程图中示出的可操作步骤可以受到大量不同的修改。本领域的技术人员还将理解的是,信息和信号可以使用多种不同的工艺和技术中的任何一种来表示。例如,遍及以上描述所提及的数据、指令、命令、信息、信号、比特、符号和码片可以由电压、电流、电磁波、磁场或粒子、光场或粒子或者其任意组合来表示。

[0058] 提供本公开内容的前述描述,以使本领域的任何技术人员能够实现或使用本公开内容。对本公开内容的各种修改对于本领域的技术人员将是显而易见的,以及在不脱离本公开内容的精神或范围的情况下,本文所定义的通用原则可以应用到其它变形中。因此,本公开内容不旨在受限于本文描述的示例和设计,而是要符合与本文所公开的原则和新颖性特征相一致的最宽的范围。

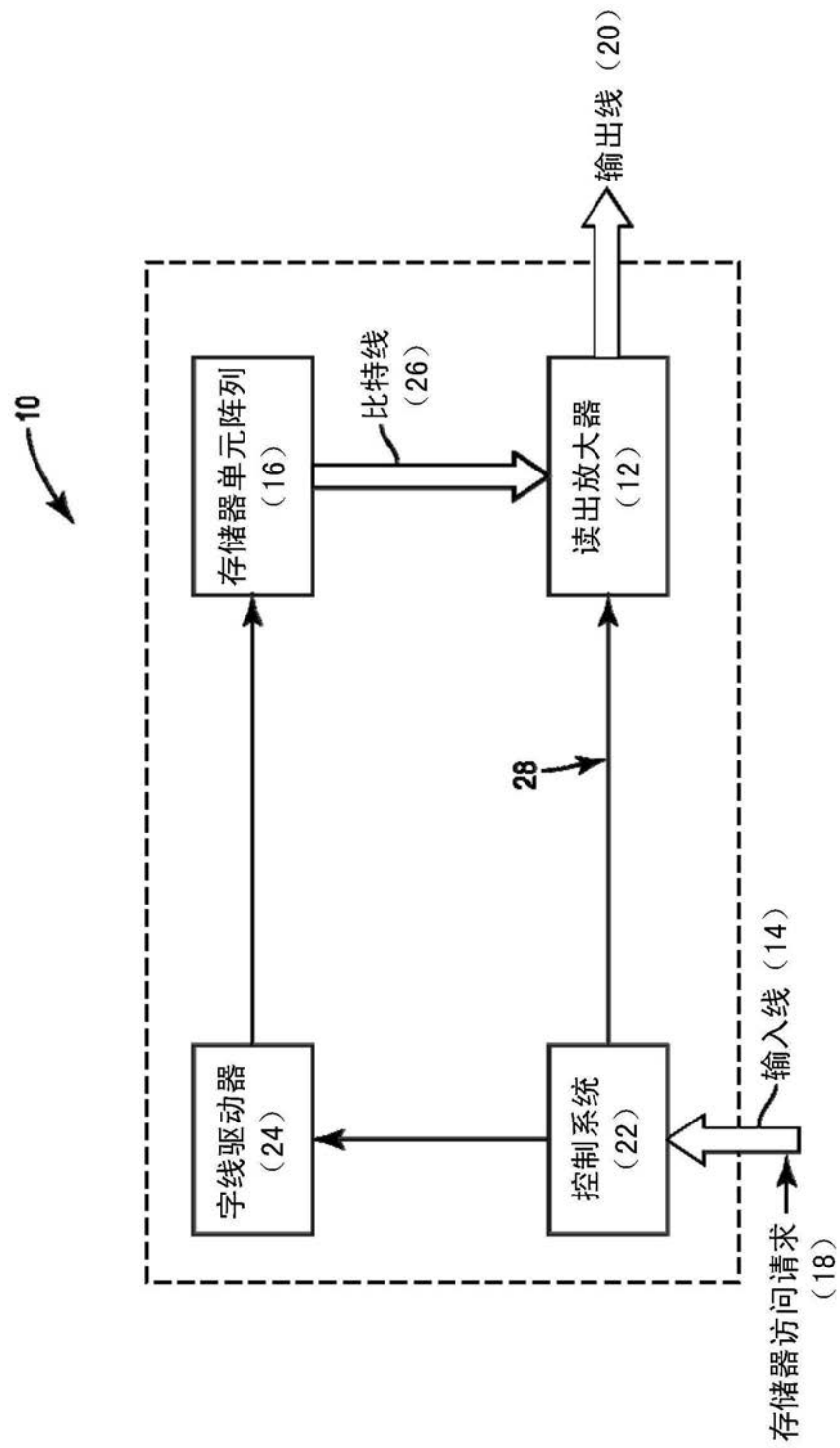


图1

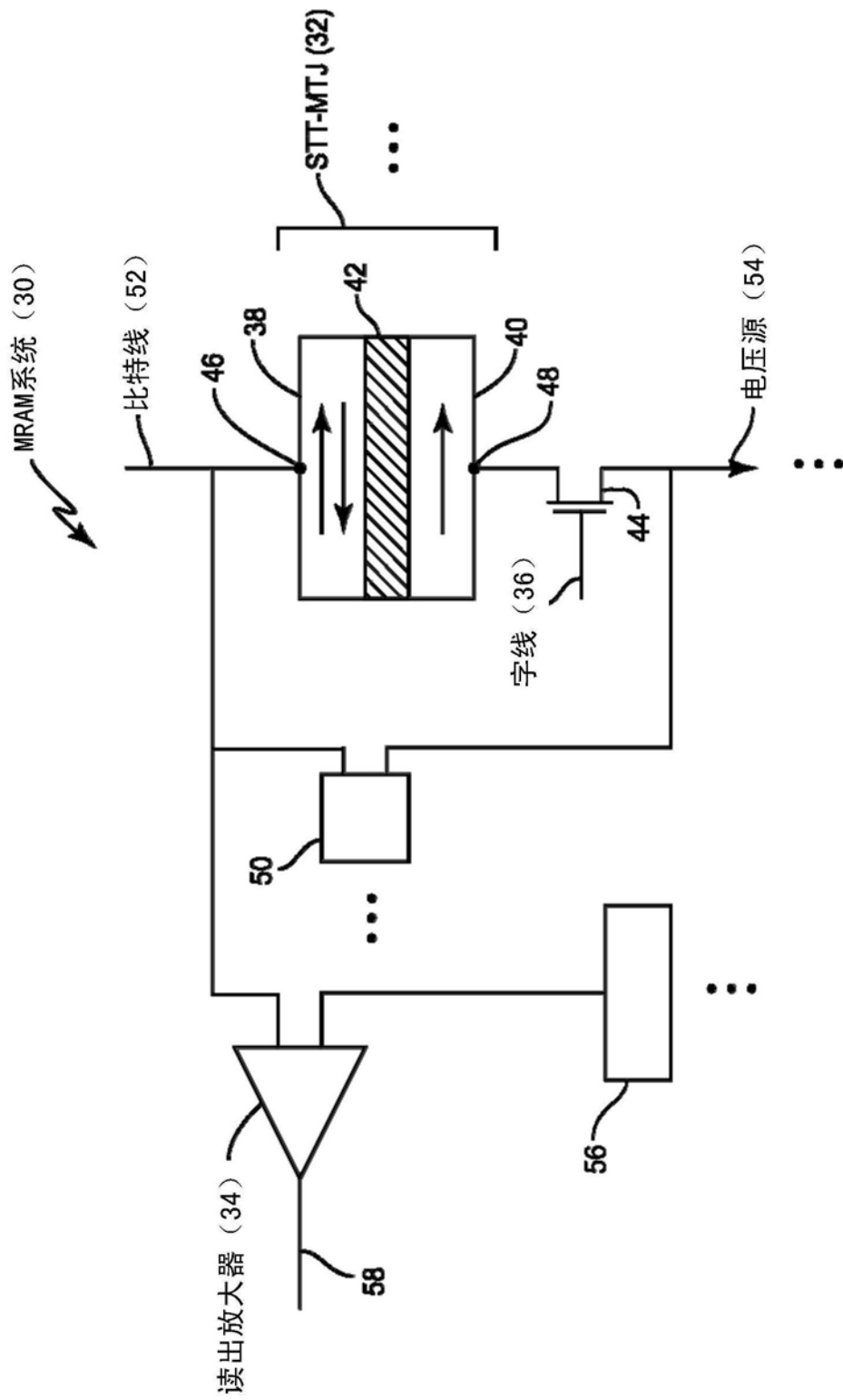


图2

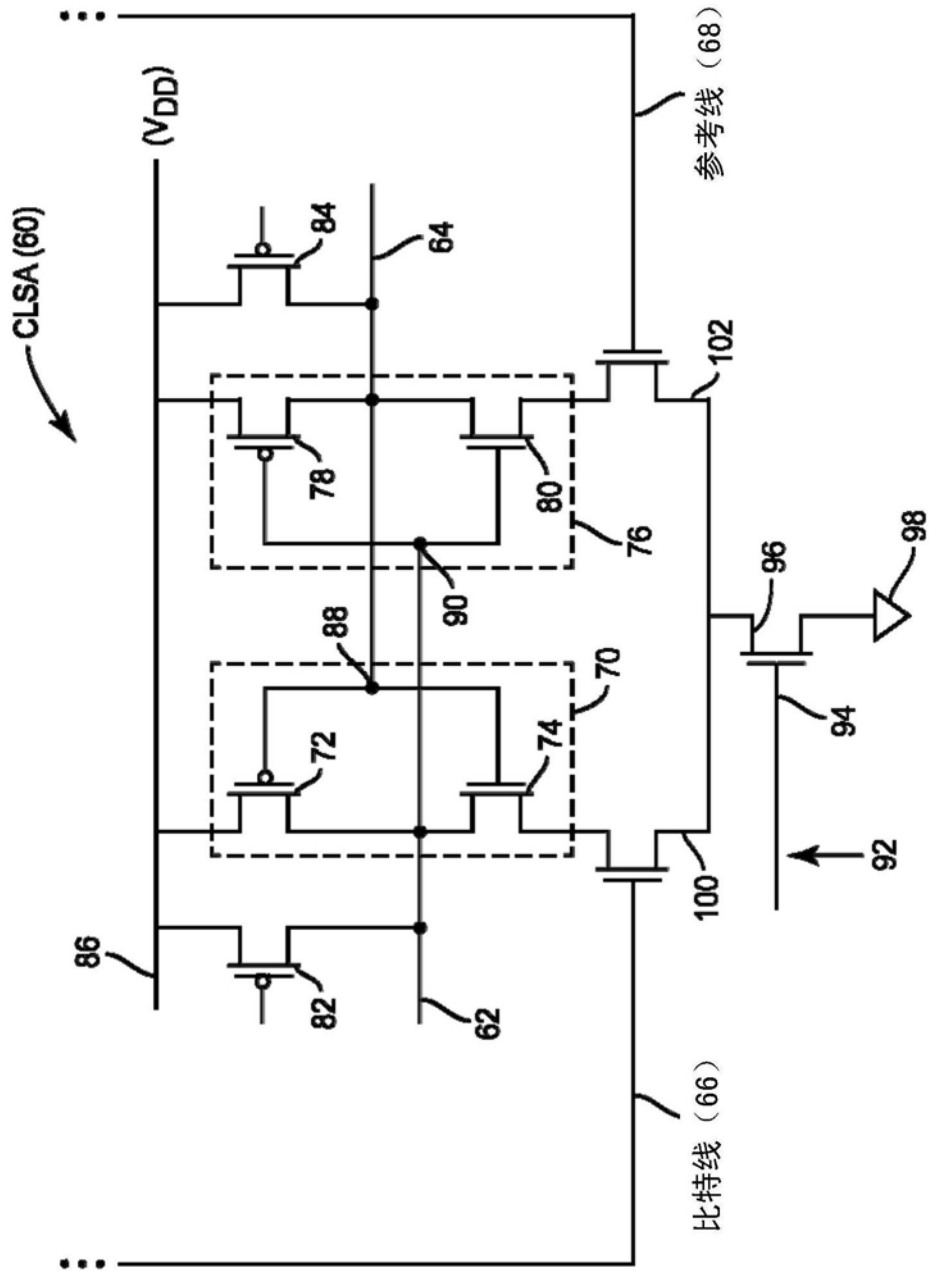


图3

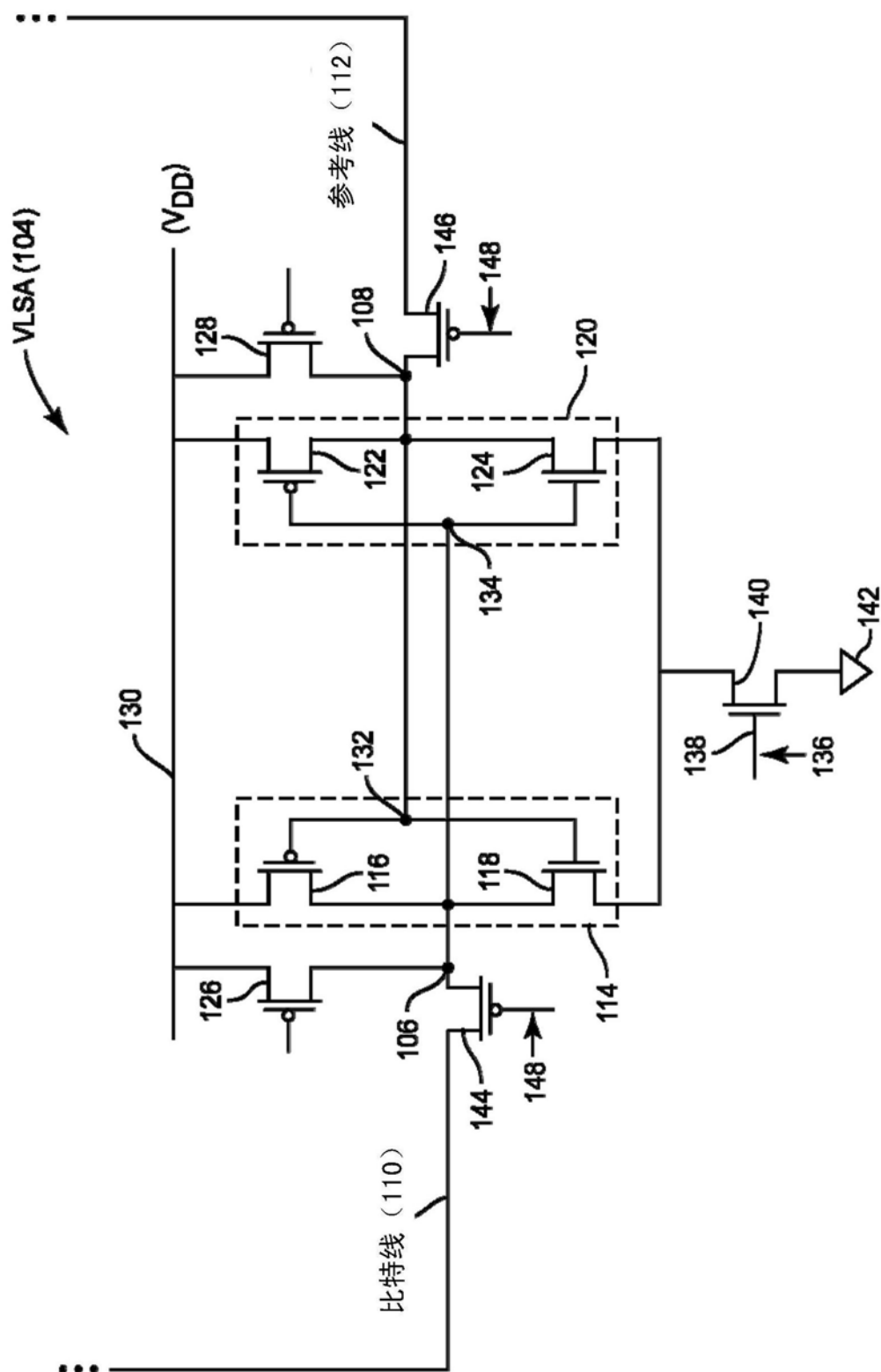


图4

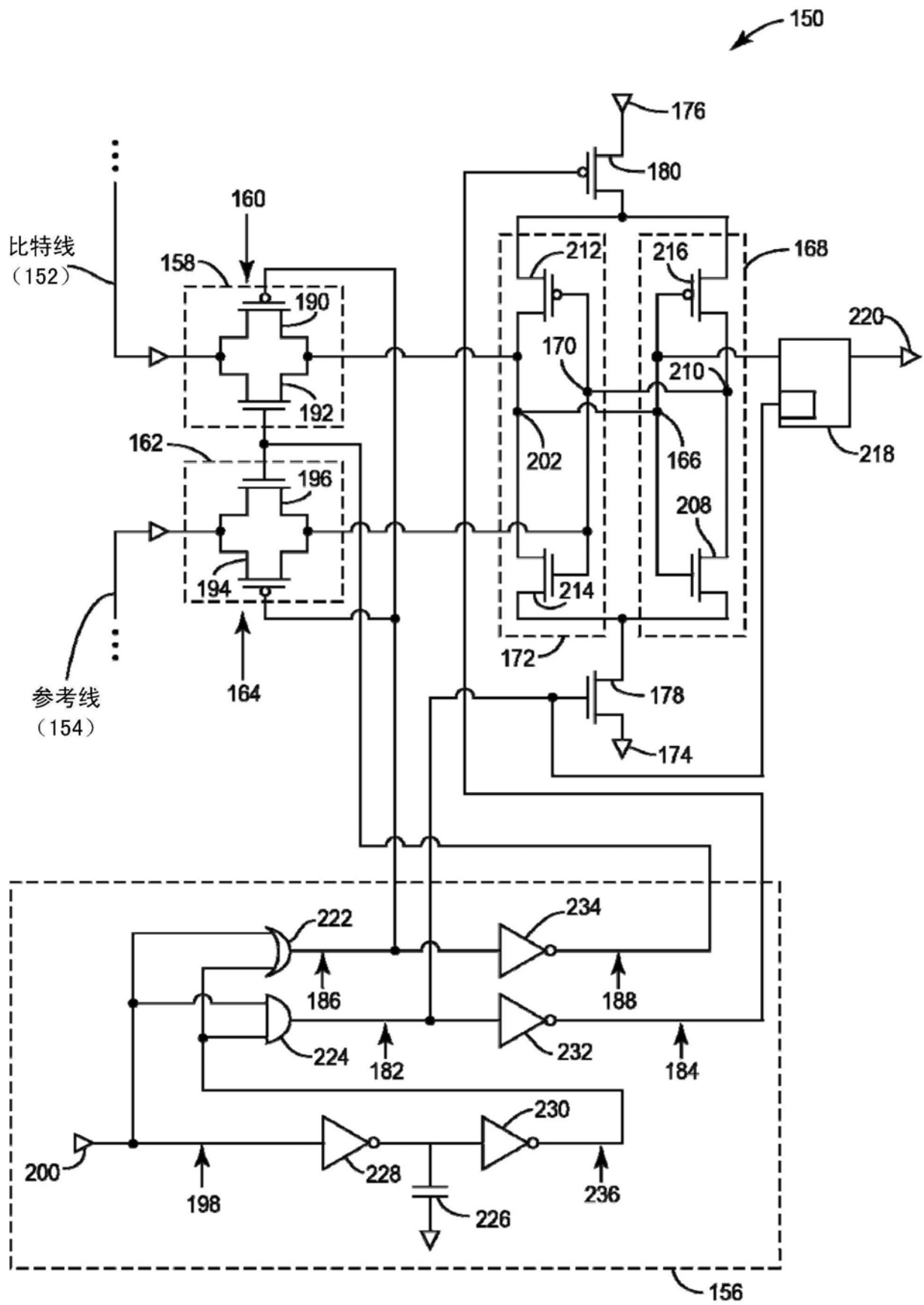


图5

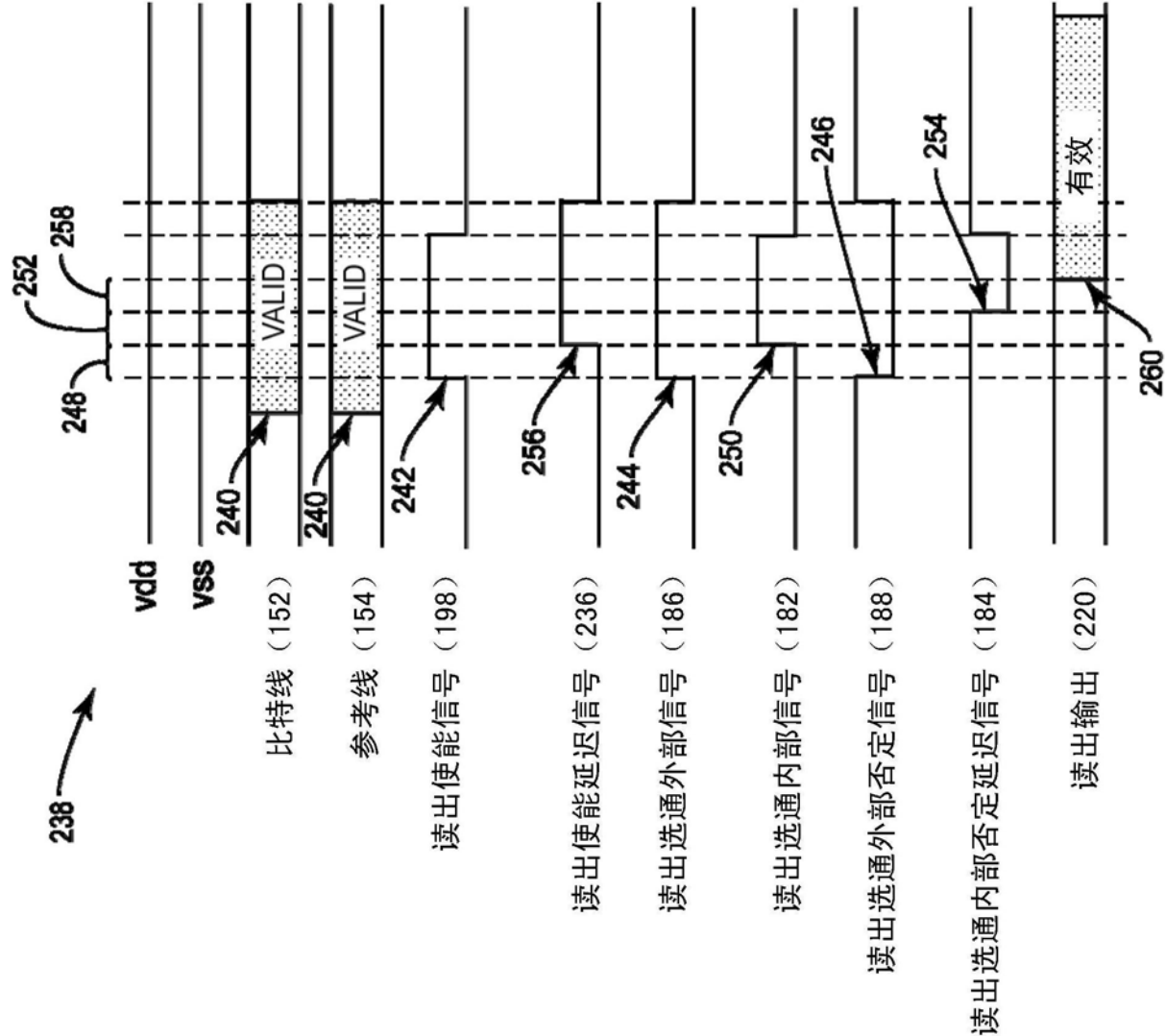


图6

262

	示例性CLSA 1 (264)	示例性CLSA 2 (266)	读出放大器 (150)
	失败计数 (每100次仿真), 读出延迟		
Vm, Vs (V)	100, 10	100, >145	0, 1.19
	250, 10	100, >145	0, 1.20
	300, 10	22, 140	0, 1.18
	500, 10	22, 5.53	0, 1.11
	1000, 10	20, 1.60	0, 1.08
	1500, 10	20, 1.27	0, 1.08
	2000, 10	16, 1.25	1, 1.08
	2400, 10	21, 1.16	1, 1.11
	100, -10	0, 0.00	0, 1.12
	250, -10	0, 0.00	0, 1.11
	300, -10	19, 145	0, 1.10
	500, -10	25, 6.42	0, 0.80
	1000, -10	23, 1.61	0, 1.04
	1500, -10	24, 1.17	0, 1.05
	2000, -10	26, 1.13	0, 1.05
	2400, -10	27, 1.16	0, 1.05

超过100点/
情况的仿真

图7

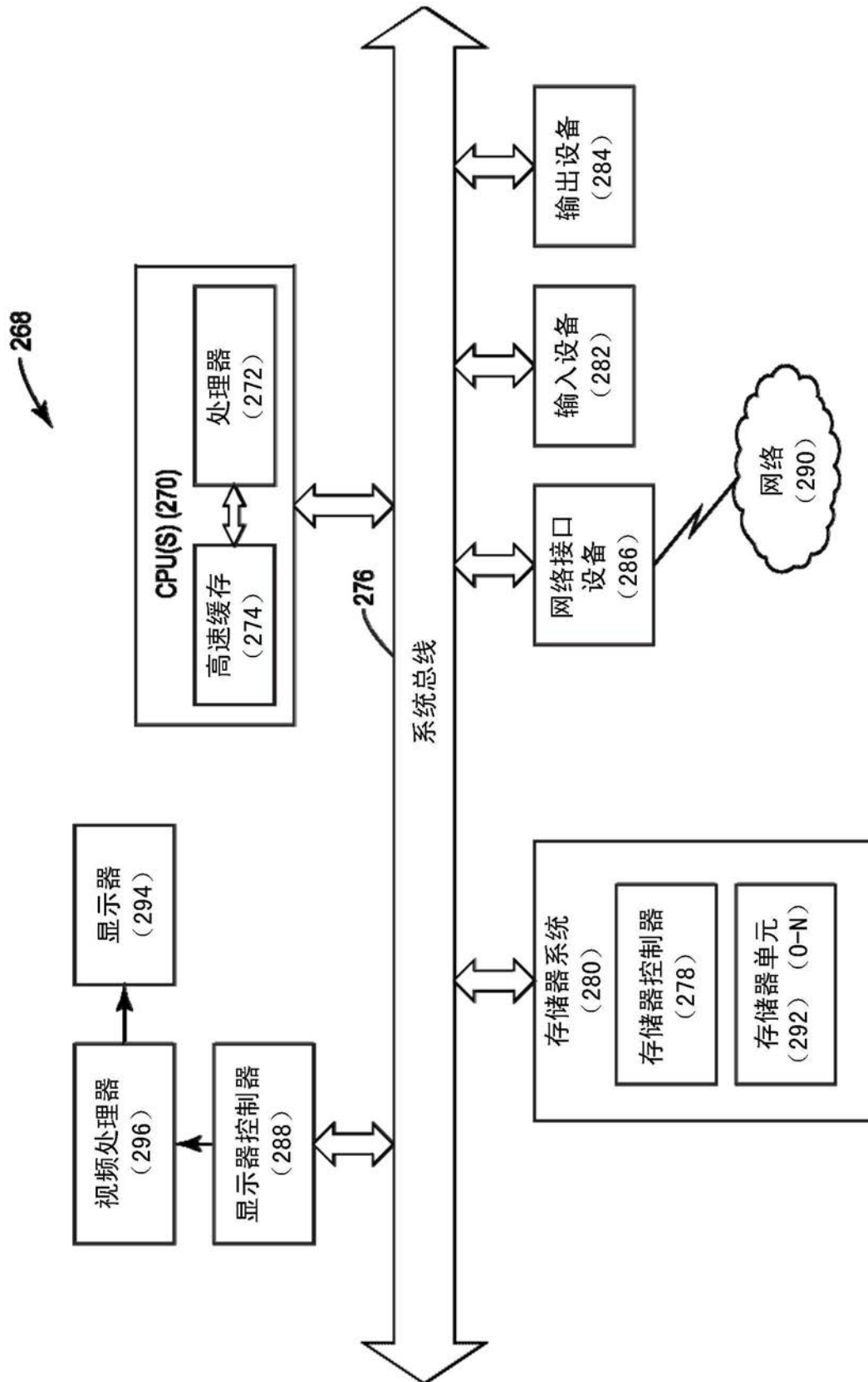


图8