

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6067400号
(P6067400)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl. F I
H O 1 L 33/38 (2010.01) H O 1 L 33/38

請求項の数 15 (全 29 頁)

(21) 出願番号	特願2013-24999 (P2013-24999)	(73) 特許権者	000003078
(22) 出願日	平成25年2月12日 (2013.2.12)		株式会社東芝
(65) 公開番号	特開2014-154788 (P2014-154788A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成26年8月25日 (2014.8.25)	(74) 代理人	100108062
審査請求日	平成27年9月8日 (2015.9.8)		弁理士 日向寺 雅彦
		(72) 発明者	勝野 弘
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	三木 聡
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	伊藤 俊秀
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 半導体発光素子

(57) 【特許請求の範囲】

【請求項1】

第1領域と第2領域とを含む内側領域と、前記内側領域の外側に設けられ第3領域と第4領域とを含む外側領域と、を含む主面を有し、前記第1領域及び前記第2領域は、前記第3領域と前記第4領域との間に配置された、金属層と、

前記金属層の前記主面上に設けられた積層構造体であって、

前記第1領域の上に設けられた第1部分と、前記第2領域の上に設けられた第2部分と、前記第4領域の上に設けられた第3部分と、を含む第1導電形の第1半導体層と、

前記第1領域と前記第1部分との間に設けられ前記第3領域と重ならない第2導電形の第2半導体層と、

前記第1部分と前記第2半導体層との間に設けられた発光層と、

を含む前記積層構造体と、

前記第2領域と前記第2部分との間に設けられ、前記第2部分と電氣的に接続された第1電極と、

前記第3領域の上に設けられたパッド電極と、

前記第2領域と前記第1電極との間、及び、前記第3領域と前記パッド電極との間に設けられ、前記第1電極と前記パッド電極とを電氣的に接続する第1導電層と、

前記第4領域の上に設けられ前記第1導電層と電氣的に接続された第2導電層であって、前記第1半導体層から前記第2半導体層に向かう第1方向において前記第3部分と重なる重畳部と、前記第1方向において前記第3部分と重ならない非重畳部と、を含む前記第

10

20

2 導電層と、

前記第 1 領域と前記第 2 半導体層との間に設けられ前記第 2 半導体層及び前記金属層と電氣的に接続された第 2 電極と、

絶縁層であって、

前記第 2 領域と前記第 1 導電層との間に設けられた第 1 絶縁部と、

前記第 3 領域と前記第 1 導電層との間に設けられた第 2 絶縁部と、

前記第 4 領域と前記第 2 導電層との間に設けられた第 3 絶縁部と、

第 4 絶縁部と、

を含む前記絶縁層と、

を備え、

前記第 4 絶縁部の一部は、前記重畳部と前記第 3 部分との間に配置され、

前記第 4 絶縁部の前記一部は、前記第 1 方向において前記第 3 部分と直接接し、

前記第 2 導電層は、前記第 4 絶縁部と前記第 4 領域との間に配置され、

前記第 2 導電層は、前記第 1 方向に対して垂直な第 2 方向において前記第 3 絶縁部の一部と前記第 2 電極との間に配置された、半導体発光素子。

【請求項 2】

前記第 1 絶縁部は、前記第 1 半導体層の前記第 1 部分の第 1 側面、前記第 2 半導体層の第 2 側面、及び、前記発光層の第 3 側面に沿う第 1 側面部を含み、

前記第 1 側面部は、前記第 1 側面と前記金属層との間、前記第 2 側面と金属層との間、及び、前記第 3 側面と前記金属層との間を電氣的に絶縁する請求項 1 記載の半導体発光素子。

【請求項 3】

前記第 2 方向において、前記非重畳部と前記第 1 領域との間に、前記重畳部が配置される請求項 1 記載の半導体発光素子。

【請求項 4】

前記第 2 方向において、前記非重畳部と前記発光層との間に、前記重畳部が配置される請求項 1 記載の半導体発光素子。

【請求項 5】

前記第 4 絶縁部は、前記第 1 半導体層の前記第 1 部分の第 4 側面、前記第 2 半導体層の第 5 側面、及び、前記発光層の第 6 側面に沿う第 2 側面部を含み、

前記第 2 側面部は、前記第 4 側面と前記金属層との間、前記第 5 側面と金属層との間、及び、前記第 6 側面と前記金属層との間を電氣的に絶縁する請求項 1 ~ 4 のいずれか 1 つに記載の半導体発光素子。

【請求項 6】

前記第 1 方向に対して垂直な平面に投影したときの前記第 2 導電層の面積は、前記平面に投影したときに前記第 1 導電層と第 1 電極とが重なる部分の面積の 2 倍以上である請求項 1 ~ 5 のいずれか 1 つに記載の半導体発光素子。

【請求項 7】

前記第 1 導電層の厚さは、前記第 1 電極の厚さよりも厚い請求項 1 ~ 6 のいずれか 1 つに記載の半導体発光素子。

【請求項 8】

前記第 1 導電層の抵抗率は、前記第 1 電極の抵抗率よりも低い請求項 1 ~ 7 のいずれか 1 つに記載の半導体発光素子。

【請求項 9】

前記絶縁層は、前記第 1 導電層と前記第 2 部分との間に設けられた第 5 絶縁部をさらに含み、

前記第 5 絶縁部の少なくとも一部は、前記第 1 方向に対して垂直な平面に投影したときに、前記第 1 電極と前記パッド電極との間に配置される請求項 1 ~ 8 のいずれか 1 つに記載の半導体発光素子。

【請求項 10】

10

20

30

40

50

前記第 2 電極の面積は、前記第 1 電極の面積よりも大きい請求項 1 ~ 9 のいずれか 1 つに記載の半導体発光素子。

【請求項 1 1】

前記第 1 電極の延在方向に対して直交する方向の前記パッド電極の長さは、前記直交する方向の前記第 1 電極の長さよりも長い請求項 1 ~ 1 0 のいずれか 1 つに記載の半導体発光素子。

【請求項 1 2】

前記第 1 電極のうちの、前記第 2 部分に対向する部分は、A g、A l、A u 及び R h の少なくともいずれかを含む請求項 1 ~ 1 1 のいずれか 1 つに記載の半導体発光素子。

【請求項 1 3】

前記第 2 導電層のうちの、前記第 1 半導体層に対向する部分は、A g、A l、A u 及び R h のうちの少なくともいずれかを含む請求項 1 ~ 1 2 のいずれか 1 つに記載の半導体発光素子。

【請求項 1 4】

前記絶縁層と前記金属層との間に設けられ、前記第 1 方向において、前記第 1 導電層と前記第 2 電極との間の領域、及び、前記第 2 導電層と前記第 2 電極との間の領域と重なる反射層をさらに備えた請求項 1 ~ 1 3 のいずれか 1 つに記載の半導体発光素子。

【請求項 1 5】

支持基板をさらに備え、

前記金属層は、前記積層構造体と前記支持基板との間に配置され、

前記支持基板の少なくとも一部は、導電性を有する請求項 1 ~ 1 4 のいずれか 1 つに記載の半導体発光素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明の実施形態は、半導体発光素子に関する。

【背景技術】

【0 0 0 2】

L E D (Light Emitting Diode) などの半導体発光素子として、例えばサファイア等の基板上に形成した結晶層を導電性基板に接合した後に、基板を除去した構造がある。半導体発光素子において、静電気放電 (E S D : electro-static discharge) への耐性の改善が求められている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 0 5 - 3 2 2 8 4 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

本発明の実施形態は、静電気放電耐性が高い半導体発光素子を提供する。

【課題を解決するための手段】

【0 0 0 5】

本発明の実施形態によれば、金属層と、積層構造体と、第 1 電極と、パッド電極と、第 1 導電層と、第 2 導電層と、第 2 電極と、絶縁層と、を含む半導体発光素子が提供される。前記金属層は、主面を有する。前記主面は、内側領域と、前記内側領域の外側に設けられた外側領域と、を含む。前記内側領域は、第 1 領域と第 2 領域とを含む。前記外側領域は、第 3 領域と第 4 領域とを含む。前記第 1 領域及び前記第 2 領域は、前記第 3 領域と前記第 4 領域との間に配置される。前記積層構造体は前記金属層の前記主面上に設けられている。前記積層構造体は、第 1 半導体層と、第 2 半導体層と、発光層と、を含む。前記第 1 半導体層は、第 1 導電形であり、前記第 1 領域の上に設けられた第 1 部分と、前記第 2

10

20

30

40

50

領域の上に設けられた第 2 部分と、前記第 4 領域の上に設けられた第 3 部分と、を含む。
 前記第 2 半導体層は、第 2 導電層であり、前記第 1 領域と前記第 1 部分との間に設けられ
 前記第 3 領域と重ならない。前記発光層は、前記第 1 部分と前記第 2 半導体層との間に設
 けられる。前記第 1 電極は、前記第 2 領域と前記第 2 部分との間に設けられる。前記第 1
 電極は、前記第 2 部分と電氣的に接続される。前記パッド電極は、前記第 3 領域の上に設
 けられる。前記第 1 導電層は、前記第 2 領域と前記第 1 電極との間、及び、前記第 3 領域
 と前記パッド電極との間に設けられる。前記第 1 導電層は、前記第 1 電極と前記パッド電
 極とを電氣的に接続する。前記第 2 導電層は、第 4 領域の上に設けられる。前記第 2 導電
 層は、前記第 1 導電層と電氣的に接続される。前記第 2 導電層は、前記第 1 半導体層から
 前記第 2 半導体層に向かう第 1 方向において前記第 3 部分と重なる重畳部と、前記第 1 方
 向において前記第 3 部分と重ならない非重畳部と、を含む。前記第 2 電極は、前記第 1 領
 域と前記第 2 半導体層との間に設けられる。前記第 2 電極は、前記第 2 半導体層及び前記
 金属層と電氣的に接続される。前記絶縁層は、第 1 絶縁部と、第 2 絶縁部と、第 3 絶縁部
 と、第 4 絶縁部と、を含む。前記第 1 絶縁部は、前記第 2 領域と前記第 1 導電層との間に
 設けられる。前記第 2 絶縁部は、前記第 3 領域と前記第 1 導電層との間に設けられる。前
 記第 3 絶縁部は、前記第 4 領域と前記第 2 導電層との間に設けられる。前記第 4 絶縁部の
 一部は、前記重畳部と前記第 3 部分との間に配置される。前記第 4 絶縁部の前記一部は、
 前記第 1 方向において前記第 3 部分と直接接する。前記第 2 導電層は、前記第 4 絶縁部と
 前記第 4 領域との間に配置される。前記第 2 導電層は、前記第 1 方向に対して垂直な第 2
 方向において前記第 3 絶縁部の一部と前記第 2 電極との間に配置される。

10

20

【図面の簡単な説明】

【0006】

【図 1】図 1 (a) 及び図 1 (b) は、第 1 の実施形態に係る半導体発光素子を示す模式
 図である。

【図 2】第 1 の実施形態に係る半導体発光素子を例示する模式平面図である。

【図 3】図 3 (a) ~ 図 3 (f) は、第 1 の実施形態に係る半導体発光素子を示す模式的
 平面図である。

【図 4】図 4 (a) ~ 図 4 (f) は、第 1 の実施形態に係る半導体発光素子を示す模式的
 平面図である。

【図 5】第 1 の実施形態に係る半導体発光素子の一部を示す模式的断面図である。

30

【図 6】図 6 (a) ~ 図 6 (c) は、第 1 の実施形態に係る半導体発光素子の一部を示す
 模式的断面図である。

【図 7】第 1 の実施形態に係る半導体発光素子の一部を示す模式的断面図である。

【図 8】第 1 の実施形態に係る半導体発光素子の一部を示す模式的断面図である。

【図 9】第 2 の実施形態に係る半導体発光素子を示す模式的断面図である。

【発明を実施するための形態】

【0007】

以下に、各実施の形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の
 大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合
 であっても、図面により互いの寸法や比率が異なって表される場合もある。

40

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同
 一の符号を付して詳細な説明は適宜省略する。

【0008】

(第 1 の実施形態)

図 1 (a) 及び図 1 (b) は、第 1 の実施形態に係る半導体発光素子を例示する模式図
 である。

図 1 (b) は、模式的平面図である。図 1 (a) は、図 1 (b) の A 1 - A 2 線拡大断
 面図である。図 1 (b) は、透視図であり、図 1 (b) においては、絶縁層は省略されて
 いる。

50

【0009】

図1(a)及び図1(b)に表したように、本実施形態に係る半導体発光素子110においては、例えば、裏面電極70の上に支持基板54が設けられ、支持基板54の上に接合層53が設けられ、接合層53の上に金属層60が設けられる。接合層53及び支持基板54は、導電性である。金属層60は、裏面電極70と電氣的に接続される。

【0010】

金属層60の上に、積層構造体90、第1電極40、パッド電極44、第1導電層41、第2導電層42、第2電極50及び絶縁層80が設けられる。

【0011】

本明細書において、「上に設けられる」状態は、直接接して設けられる状態の他に、間に他の要素が挿入される状態も含む。

10

【0012】

金属層60の上に、積層構造体90が設けられる。金属層60の一部と、積層構造体90と、の間に、絶縁層80の一部が配置される。すなわち、金属層60の一部の上に、絶縁層80の一部が設けられる。絶縁層80は、例えば、第1～第6絶縁部81～86などを含む。積層構造体90の一部は、絶縁層80の一部(第1絶縁部81及び第2絶縁部82)の上に配置される。

【0013】

積層構造体90は、第1半導体層10、第2半導体層20、及び、発光層30を含む。

第1半導体層10は第1導電形であり、第2半導体層20は第2導電形である。例えば、第1導電形はn形であり、第2導電形はp形である。第1導電形がp形で、第2導電形がn形でもよい。以下の例では、第1導電形がn形であり、第2導電形がp形である。

20

【0014】

金属層60のうちで絶縁層80が設けられていない部分の上に、第2電極50が設けられる。第2電極50の上に、第2半導体層20が設けられる。第2半導体層20の上に発光層30が設けられる。

【0015】

第2半導体層20から第1半導体層10に向かう方向を積層方向(Z軸方向)とする。Z軸方向と直交する1つの方向をX軸方向とする。Z軸方向及びX軸方向と直交する方向をY軸方向とする。

30

【0016】

例えば、第1半導体層10は、第1～第3部分11～13を含む。第1部分11は、発光層30の上に配置される。すなわち、第1部分11と第2半導体層20との間に、発光層30が配置される。第2部分12は、Z軸方向に対して垂直な方向に沿って、第1部分11と並ぶ。第3部分13は、Z軸方向に対して垂直な方向に沿って、第1部分11と並ぶ。

【0017】

絶縁層80の一部(第1絶縁部81及び第2絶縁部82)の上に、第1導電層41が設けられる。第1導電層41の一部の上に、第1電極40が設けられる。第1導電層41の別の部分の上に、パッド電極44が設けられる。

40

【0018】

第1電極40の上に、第1半導体層10の第2部分12が設けられる。第2部分12は、第1電極40及び第1導電層41を介して、パッド電極44と電氣的に接続される。第2半導体層20の側面と第1導電層41との間、及び、発光層30の側面と第1導電層41との間には、絶縁層80の一部(第1絶縁部81の一部)が配置されている。この例では、第1絶縁部81は、第1膜部81aと第2膜部81bとを含む。第1膜部81aは、第2絶縁部82と連続している。第1膜部81aの上に第2膜部81bが設けられる。第1膜部81aと第2膜部81bとの間の境界は、観測される場合と観測されない場合とがある。

【0019】

50

この例では、第1導電層41のさらに別の一部と、第1半導体層10の一部(第2部分12の一部)と、の間に、第5絶縁部85が配置されている。

【0020】

第1半導体層10は、第1主面10a(例えば上面)と、第2主面10b(例えば下面)と、を有する。第2主面10bは、発光層30に対向する。第1主面10aは、第2主面10bとは反対の主面である。この例では、第1主面10aは、凹凸10dpを有する。凹凸10dpは、複数の凸部10pを含む。

【0021】

第1半導体層10は、第1電極40及び第1導電層41を介して、パッド電極44と電氣的に接続される。第2半導体層20は、第2電極50、金属層60、接合層53及び支持基板54を介して、裏面電極70に電氣的に接続される。第1半導体層10は、絶縁層80により、金属層60、接合層53、支持基板54及び裏面電極70と、絶縁されている。第2半導体層20は、絶縁層80により、第1導電層41、第1電極40及びパッド電極44と、絶縁されている。

10

【0022】

裏面電極70とパッド電極44との間に電圧を印加することで、支持基板54、接合層53、金属層60、第2電極50、第2半導体層20、第1導電層41、第1電極40及び第1半導体層10を介して、発光層30に電流が供給される。例えば、第1電極40から、キャリア(例えば電子)が第1半導体層10に注入される。例えば、第2電極50から、キャリア(例えばホール)が第2半導体層20に注入される。これにより、発光層30から、光が放出される。光は、主に、第1半導体層10の上面(第1主面10a)から、素子の外部に放出される。第1主面10aは、光射出面となる。半導体発光素子110は、例えば、発光ダイオード(LED)である。

20

【0023】

このように、金属層60の一部の上に、積層構造体90が設けられる。積層構造体90が設けられるのは、半導体発光素子110の内側部である。

【0024】

一方、半導体発光素子110の周辺部に、第2導電層42が設けられる。例えば、第2導電層42の少なくとも一部は、積層構造体90の外側の部分に設けられる。第2導電層42と金属層60との間に、絶縁層80の一部(第3絶縁部83)が配置される。この例では、第2導電層42の一部の上に、第1半導体層10の第3部分13が配置されている。第2導電層42と第1半導体層10との間、第2導電層42と発光層30との間、及び、第2導電層42と第2半導体層20との間には、絶縁層80の一部(第4絶縁部84の一部)が配置される。第3絶縁部83と第4絶縁部84との間の境界は、観測される場合と観測されない場合とがある。

30

【0025】

半導体発光素子110の導電部分の平面パターンの例は、図2、図3(a)~図3(f)、及び、図4(a)~図4(f)を参照して説明する。以下では、導電部分の平面パターンの概要を、図1(b)により簡単に説明する。

図1(b)に表したように、金属層60の主面60mfの形状は、例えば、矩形である。この例では、主面60mfの外縁60r(後述する)に沿って、第2導電層42が設けられている。第2導電層42の形状は、矩形の環状である。この例では、第2導電層42の1つの辺の2つのコーナーのそれぞれに、パッド電極44が設けられている。第1導電層41は、第2導電層42の環状の形状の内側に設けられている。この例では、第1導電層41は、矩形の4つの辺に沿う部分と、矩形の中心部分に設けられX軸方向に沿って延在する部分と、を有する。X-Y平面に投影したときに、第1電極40は、第1導電層41の一部に重なる。第1半導体層10、第2半導体層20及び発光層30は、金属層60の主面60mfの一部(パッド電極44が設けられていない部分)の上に設けられる。各構成要素の構成については、後述する。

40

【0026】

50

第2導電層42は、例えば、グランド電位に設定される。第2導電層42は、接地部となる。積層構造体90の周囲に、第2導電層42による接地部を設けることで、フィールドプレート効果が得られる。これにより、電界集中が抑制され、素子内の電界分布を安定化することができる。その結果、静電気放電(ESD)耐性を高めることができる。

【0027】

半導体発光素子110の構成の例について、さらに説明する。

図1(a)及び図1(b)に表したように、金属層60の上面(主面60mf)の一部の上に、積層構造体90が設けられる。

【0028】

金属層60の主面60mfは、Z軸方向に対して実質的に垂直である。主面60mfは、X-Y平面(第1半導体層10から第2半導体層20に向かう積層方向に対して垂直な平面)に対して実質的に平行である。但し、図1(a)に例示したように、金属層60の主面60mfは、例えば、金属層60の上に設けられる層等の形状に沿った凹凸を有していてもよい。

【0029】

金属層60の主面60mfは、内側領域60iと外側領域60oとを含む。外側領域60oは、内側領域60iの外側に設けられる。内側領域60iは、第1領域60aと第2領域60bとを含む。外側領域60oは、第3領域60cと第4領域60dとを含む。

【0030】

第1半導体層10の第1部分11は、第1領域60aの上に設けられる。第2部分12は、第2領域60bの上に設けられる。第3部分13は、第4領域60dの上に設けられる。

【0031】

第1導電層41は、第2領域60bの上、及び、第3領域60cの上に設けられる。第1電極40は、第2領域60bの上(第1導電層41の上)に設けられる。パッド電極44は、第3領域60cの上(第1導電層41の上)に設けられる。パッド電極44は、X-Y平面に投影したときに第1半導体層10と重ならない。第2電極50は、第1領域60aの上に設けられる。第2半導体層20及び発光層30は、第1領域60aの上に設けられる。

【0032】

例えば、第1導電層41は、第1電極40の補助配線として機能する。例えば、第1導電層41の厚さは、第1電極40の厚さよりも厚い。例えば、第1導電層41の抵抗率は、第1電極40の抵抗率よりも低い。

【0033】

第2導電層42は、第4領域60dの上に設けられる。この例では、第2導電層42の一部の上に第1半導体層10の一部(第3部分13)が配置されている。例えば、第2導電層42は、重畳部42aと、非重畳部42bと、を含む。重畳部42aは、X-Y平面に投影したときに、第3部分13と重なる。非重畳部42bは、X-Y平面に投影したときに、第3部分13と重ならない。

X-Y平面に投影したときに、非重畳部42bと第1領域60aとの間に、重畳部42aが配置される。X-Y平面に投影したときに、非重畳部42bと発光層30との間に、重畳部42aが配置される。

【0034】

第2導電層42は、例えば、第1導電層41と電氣的に接続される。例えば、パッド電極44の近傍において、第2導電層42は、第1導電層41と電氣的に接続される。例えば、第2導電層42の少なくとも一部は、第1導電層41の少なくとも一部と、同層である。例えば、第2導電層42の少なくとも一部のZ軸方向の位置は、第1導電層41の少なくとも一部のZ軸方向の位置と同じである。第2導電層42の少なくとも一部の材料は、第1導電層41の少なくとも一部の材料と同じである。

【0035】

10

20

30

40

50

絶縁層 80 の第 1 絶縁部 81 は、金属層 60 の主面 60 m f の第 2 領域 60 b の上に少なくとも設けられる。例えば、第 1 絶縁部 81 は、金属層 60 の一部と第 1 導電層 41 との間に設けられる。第 1 絶縁部 81 は、主面 60 m f の第 2 領域 60 b において、金属層 60 と第 1 導電層 41 とを電氣的に絶縁する。

【 0 0 3 6 】

絶縁層 80 の第 2 絶縁部 82 は、金属層 60 の主面 60 m f の第 3 領域 60 c の上に少なくとも設けられる。第 2 絶縁部 82 は、金属層 60 の一部とパッド電極 44 (第 1 導電層 41) との間に設けられる。第 2 絶縁部 82 は、主面 60 m f の第 3 領域 60 c において、金属層 60 とパッド電極 (第 1 導電層 41) とを電氣的に絶縁する。

【 0 0 3 7 】

絶縁層 80 の第 3 絶縁部 83 は、金属層 60 の主面 60 m f の第 4 領域 60 d の上に少なくとも設けられる。第 3 絶縁部 83 は、金属層 60 と第 2 導電層 42 との間に設けられる。第 3 絶縁部 83 は、主面 60 m f の第 4 領域 60 d において、金属層 60 と第 2 導電層 42 とを電氣的に絶縁する。

【 0 0 3 8 】

絶縁層 80 の第 4 絶縁部 84 は、重畳部 42 a と第 1 半導体層 10 の第 3 部分 13 との間に設けられる。第 4 絶縁部 84 は、X - Y 平面に投影したときに、第 2 導電層 42 の重畳部 42 a と第 1 半導体層 10 の第 3 部分 13 との間に少なくとも設けられている。例えば、第 4 絶縁部 84 は、第 2 導電層 42 及び第 1 半導体層 10 (第 3 部分 13) と接している。第 4 絶縁部 84 は、第 3 部分 13 において、第 1 半導体層 10 と第 2 導電層 42 とを電氣的に絶縁する。第 4 絶縁部 84 は、さらに、非重畳部 42 b の上、及び、第 3 絶縁部 83 の上にも設けられる。

【 0 0 3 9 】

絶縁層 80 の第 5 絶縁部 85 は、例えば、X - Y 平面に投影したときに、第 1 電極 40 とパッド電極 44 との間に少なくとも設けられる。第 5 絶縁部 85 の例については、後述する。

【 0 0 4 0 】

この例では、絶縁層 80 は、第 6 絶縁部 86 をさらに含む。第 6 絶縁部 86 は、X - Y 平面に投影したときに、例えば、金属層 60 の外縁 60 r (後述する) と、パッド電極 44 と、の間に設けられる。

【 0 0 4 1 】

この例では、第 1 絶縁部 81 の少なくとも一部は、金属層 60 と接し、第 1 導電層 41 と接している。第 2 絶縁部 82 の少なくとも一部は、金属層 60 と接し、第 1 導電層 41 と接している。第 3 絶縁部の少なくとも一部は、金属層 60 と接し、第 2 導電層 42 と接している。これにより、放熱性を高めることができる。

【 0 0 4 2 】

第 4 絶縁部 84 の少なくとも一部は、第 2 導電層 42 と接し、積層構造体 90 (第 1 半導体層 10、第 2 半導体層 20、発光層 30) の少なくとも一部と接している。また、第 5 絶縁部 85 は、第 1 導電層 41 と接し、積層構造体 90 (第 1 半導体層 10) の少なくとも一部と接している。これにより、放熱性を高めることができる。

【 0 0 4 3 】

図 2 は、第 1 の実施形態に係る半導体発光素子を例示する模式平面図である。

図 2 は、金属層 60 の主面 60 m f を例示している。

図 2 に表したように、主面 60 m f は、例えば矩形である。主面 60 m f の形状は任意である。主面 60 m f は、例えば、六角形でもよい。以下では、主面 60 m f が矩形である例として説明する。

【 0 0 4 4 】

金属層 60 (主面 60 m f) の X 軸方向の長さは、例えば、0.1 mm 以上 5 mm 以下である。金属層 60 (主面 60 m f) の Y 軸方向の長さは、例えば、0.1 mm 以上 5 mm 以下である。X 軸方向の長さは、Y 軸方向の長さとは異なってよい。実施形態において

10

20

30

40

50

、これらの長さは任意である。

【0045】

主面60mfは、外縁60rを有している。外縁60rは、例えば、第1～第4の辺60r1～60r4を含む。第2の辺60r2は、第1の辺60r1と交わり、第1の辺60r1に対して非平行である。第3の辺60r3は、第1の辺60r1と交わり、第1の辺60r1に対して非平行であり、第2の辺60r2と離間している。第4の辺60r4は、第2の辺60r2及び第3の辺60r3と交わり、第1の辺60r1と離間している。

【0046】

金属層60の主面60mfは、内側領域60iと外側領域60oとを含む。外側領域60oは、内側領域60iの外側に設けられる。外側領域60oの少なくとも一部は、外縁60rに沿う。外側領域60oは、例えば、外縁60rに沿って環状に設けられる。外側領域60oの少なくとも一部が、外縁60rと接していてもよい。この例では、外側領域60oは、外縁60rから離間している。

10

【0047】

外側領域60oと外縁60rとの距離(最短距離)は、内側領域60iと外縁60rとの距離(最短距離)よりも短い。なお、外側領域60oが外縁60rと接する場合、外側領域60oと外縁60rとの距離(最短距離)は、零である。

【0048】

図3(a)～図3(f)は、第1の実施形態に係る半導体発光素子を例示する模式平面図である。

20

図3(a)～図3(f)は、金属層60の主面60mfにおける、内側領域60i、外側領域60o、第1領域60a、第2領域60b、第3領域60c及び第4領域60dのパターンの例を、それぞれ示している。

【0049】

図3(a)に表したように、金属層60の主面60mfの内側の部分に、内側領域60iが設けられる。

【0050】

図3(b)に表したように、内側領域60iの外側に、外側領域60oが設けられる。

【0051】

30

図3(c)及び図3(d)に表したように、内側領域60iに、第1領域60aと、第2領域60bと、が設けられる。この例では、第2領域60bは、X軸方向に沿って延在する複数の部分と、Y軸方向に沿って延在する複数の部分と、を有する。すなわち、第2領域60bは、複数の部分を有する。第1領域60aの一部は、第2領域60bの複数の部分どうしの間に配置されている。一方、この例では、第1領域60aも、X軸方向に沿って延在する複数の部分と、Y軸方向に沿って延在する複数の部分と、を有する。すなわち、第1領域60aも、複数の部分を有する。第2領域60bの少なくとも一部は、第1領域60aの複数の部分どうしの間に配置されている。この例では、内側領域60iのうちで、第1領域60aを除く部分が、第2領域60bとなる。この例では、内側領域60iのうちで、第2領域60bを除く部分が、第1領域60aとなる。但し、内側領域60iは、第1領域60a及び第2領域60bとは異なる領域をさらに含んでも良い。

40

【0052】

図3(e)及び図3(f)に表したように、外側領域60oに、第3領域60cと、第4領域60dと、が設けられる。この例では、2つの第3領域60cが設けられる。2つの第3領域60cのうちの1つは、主面60mfの1つのコーナー部(第1の辺60r1との第2の辺60r2とが交わるコーナー部)の近傍に設けられる。2つの第3領域60cのうちの別の1つは、主面60mfの別のコーナー部(第1の辺60r1と第3の辺60r3とが交わるコーナー部)の近傍に設けられる。

【0053】

第4領域60dの少なくとも一部は、主面60mfの外縁60rに沿っている。この例

50

では、第4領域60dは、主面60mfの外縁60rに沿った環状である。

【0054】

図3(e)に例示したように、例えば、内側領域60iの少なくとも一部は、第3領域60cの一部(少なくとも一部)と、第4領域60dの少なくとも一部(この例では第4の辺60r4に沿う部分)と、の間に設けられている。図3(f)に表したように、第3領域60cの少なくとも一部は、内側領域60iの少なくとも一部と、第4領域60dの少なくとも一部(この例では第1の辺60r1に沿う部分)と、の間に設けられている。

【0055】

図4(a)~図4(f)は、第1の実施形態に係る半導体発光素子を例示する模式的平面図である。

図4(a)~図4(f)は、X-Y平面に投影したときの、半導体発光素子の各構成要素の例をそれぞれ表している。

【0056】

図4(a)は、第1半導体層10のパターン形状を例示している。

図4(a)に表したように、X-Y平面に投影したときに、第1半導体層10は、金属層60の主面60mfの内側領域60i(第1領域60a及び第2領域60b)と重なる。X-Y平面に投影したときに、第1半導体層10の第1部分11及び第2部分12が、内側領域60iと重なる。この例では、第1半導体層10の一部(第3部分13)は、外側領域60oの第4領域60dと重なる(図3(b)及び図4(a)参照)。

【0057】

図4(b)は、第1導電層41及び第2導電層42のパターン形状を例示している。

図4(b)に表したように、X-Y平面に投影したときに、第1導電層41は、金属層60の主面60mfの第2領域60bの少なくとも一部と重なる。第1導電層41は、さらに、主面60mfの第3領域60cの少なくとも一部とも重なる。すなわち、第1導電層41は、主面60mfの内側領域60i(第2領域60b)から外側領域60o(第3領域60c)に延出する。第1導電層41は、外側領域60oから内側領域60iに延出する。

【0058】

X-Y平面に投影したときに、第2導電層42は、金属層60の主面60mfの第4領域60dの少なくとも一部と重なる。

【0059】

この例では、第2導電層42は、第1導電層41と連続している。第1導電層41及び第2導電層42となる導電膜41fのうちで、第2領域60b及び第3領域60cの上に設けられる部分が、第1導電層41となる。導電膜41fのうちで第4領域60dの上に設けられる部分が、第2導電層42となる。

【0060】

図3(f)に関して既に説明したように、金属層60の主面60mfの第4領域60dは、主面60mfの外縁60rに沿っている。第2導電層42も、主面60mfの外縁60rに沿っている。例えば、X-Y平面に投影したときに、発光層30(積層構造体90)の周りに、第2導電層42が配置される。

【0061】

実施形態において、第2導電層42は、必ずしも連続して、外縁60rに沿って設けられていなくてもよい。例えば、第2導電層42の少なくとも一部は、主面60mfの外縁60rの少なくとも一部に沿っていてもよい。例えば、第2導電層42の少なくとも一部は、外縁60rの第1~第4の辺60r1~60r4の少なくともいずれかに沿う。複数の第2導電層42が設けられ、それらが互いに、導電部材により互いに電氣的に接続されてもよい。

【0062】

図4(c)は、第2半導体層20及び発光層30のパターン形状を例示する。

図4(c)に表したように、X-Y平面に投影したときに、第2半導体層20と発光層

10

20

30

40

50

30とは、実質的に互いに重なる。X-Y平面に投影したときに、第2半導体層20及び発光層30は、金属層60の主面60mfの第1領域60aと重なる。X-Y平面に投影したときに、第2半導体層20及び発光層30は、金属層60の主面60mfの内側領域60iの少なくとも一部と重なる。

【0063】

図4(d)は、第2電極50のパターン形状を例示する。

図4(d)に表したように、X-Y平面に投影したときに、第2電極50は、金属層60の主面60mfの第1領域60aの少なくとも一部と重なる。第2電極50の少なくとも一部は、第2半導体層20の少なくとも一部と重なる(図4(c)及び図4(d)参照)。

10

【0064】

図4(e)は、第1電極40及びパッド電極44のパターン形状を例示する。

図4(e)に表したように、X-Y平面に投影したときに、第1電極40は、金属層60の主面60mfの第2領域60bの一部と少なくとも重なる。すなわち、第1電極40は、内側領域60iの一部の上に設けられる。パッド電極44は、金属層60の主面60mfの第3領域60cの少なくとも一部と重なる。すなわち、パッド電極44は、外側領域60oの一部の上に設けられる。パッド電極44は、第1電極40と離間している。内側領域60iに配置された第1電極40と、外側領域60oに配置されたパッド電極44とは、第1導電層41により電氣的に接続される(図4(b)及び図4(e)参照)。

【0065】

パッド電極44の数は、1つでも、2以上でもよい。X-Y平面に投影したときのパッド電極44の形状は、矩形、五角形以上の多角形、円形、または、扁平円形などである。パッド電極44の形状は、多角形及び円形の組み合わせでもよい。パッド電極44の形状は、任意である。

20

【0066】

図4(e)に例示したように、第1電極40の延在方向に対して直交する方向(例えばY軸方向)のパッド電極44の長さ(幅wp)は、第1電極40の延在方向に対して直交する方向(例えばY軸方向)の第1電極40の長さ(幅wn)よりも広い。例えば、パッド電極44の外縁の一辺の長さ(幅)は、第1電極40の幅wnよりも長い。これにより、ボンディングワイヤを、安定してパッド電極44に接続できる。パッド電極44の幅wpは、例えば50µm以上200µm以下であり、例えば約130µmである。

30

【0067】

図4(f)は、第5絶縁部85のパターン形状を例示している。

図4(f)に表したように、この例では、第5絶縁部85は、島状である。図4(e)及び図4(f)に表したように、X-Y平面に投影したときに、第5絶縁部85の少なくとも一部は、第1電極40とパッド電極44との間に配置される。既に説明したように、第5絶縁部85は、積層方向において、第1導電層41の一部と、第1半導体層10の一部(第2部分12の一部)と、の間に設けられる。第5絶縁部85が設けられるのは、第1導電層41のパッド電極44側の一部と、第1半導体層10の第2部分12と、の間である。X-Y平面に投影したときに、第1導電層41のパッド電極44側の一部と、第1半導体層10の第2部分12と、の間にも第5絶縁部85が設けられる。第5絶縁部85は、第1電極40から第1半導体層10へのキャリアの注入を部分的にブロックし、発光領域の調整を行う。これにより、光取り出し効率の低いパッド電極44付近での発光を抑え、発光効率を向上できる。

40

【0068】

以上説明したように、本実施形態に係る半導体発光素子110においては、金属層60と、積層構造体90と、第1電極40と、パッド電極44と、第1導電層41と、第2導電層42と、第2電極50と、絶縁層80と、が設けられる。

【0069】

金属層60は、主面60mfを有する。主面60mfは、内側領域60iと、外側領域

50

600と、を含む。内側領域60iは、第1領域60aと第2領域60bとを含む。外側領域60oは、内側領域60iの外側に設けられる。外側領域60oは、第3領域60c及び第4領域60dとを含む。

【0070】

例えば、図1(a)に表したように、金属層60は、内側部分65i(内側領域60iに対応する部分)と、外側部分65o(外側領域60oに対応する部分)と、を含む。外側部分65oは、金属層60から積層構造体90に向かう積層方向(すなわち、第2半導体層20から第1半導体層10に向かう方向であり、Z軸方向に対応)に対して垂直な方向に沿って内側部分65iと並ぶ。積層方向に対して垂直な平面に投影したときに、外側部分65oは、内側部分65iの外側に設けられる。内側部分65iは、第1領域部分65a(第1領域60aに対応する)と、第2領域部分65b(第2領域60bに対応する部分)と、を含む。外側部分65oは、第3領域部分65c(第3領域60cに対応する部分)と、第4領域部分65d(第4領域60dに対応する部分)と、を含む。第2領域部分65bは、積層方向に対して垂直な方向に沿って第1領域部分65aと並ぶ。第4領域部分65dは、積層方向に対して垂直な方向に沿って第3領域部分65cと並ぶ。

10

【0071】

積層構造体90は、金属層60の上(例えば主面60mf上)に設けられる。積層構造体90は、第1導電形の第1半導体層10と、第2導電形の第2半導体層20と、発光層30と、を含む。第1半導体層10は、第1領域60a(第1領域部分65a)の上に設けられた第1部分11と、第2領域60b(第2領域部分65b)の上に設けられた第2部分12と、を含む。第2半導体層20は、第1領域60aと第1部分11との間に設けられる。発光層30は、第1領域60aと第2半導体層20との間に設けられる。

20

【0072】

第1電極40は、第2領域60b(第2領域部分65b)と第2部分12との間に設けられる。第1電極40は、第2部分12と電氣的に接続される。パッド電極44は、第3領域60c(第3領域部分65c)の上に設けられる。

【0073】

第1導電層41は、第2領域60b(第2領域部分65b)と第1電極40との間、及び、第3領域60c(第3領域部分65c)とパッド電極44との間に設けられる。第1導電層41は、第1電極40とパッド電極44とを電氣的に接続する。第2導電層42は、第4領域60d(第4領域部分65d)の上に設けられ、第1導電層41と電氣的に接続される。

30

【0074】

第2電極50は、第1領域60a(第1領域部分65a)と第2半導体層20との間に設けられ、第2半導体層20と電氣的に接続される。

【0075】

絶縁層80は、少なくとも第1~第3絶縁部81~83を含む。第1絶縁部81は、第2領域60b(第2領域部分65b)と第1導電層41との間に設けられる。第2絶縁部82は、第3領域60c(第3領域部分65c)と第1導電層41との間に設けられる。第3絶縁部83は、第4領域60d(第4領域部分65d)と第2導電層42との間に設けられる。

40

【0076】

本実施形態においては、図4(b)に表したように、X-Y平面に投影したときに、第2導電層42が、素子の外側の部分に設けられ、発光層30の周囲に配置される。そのため、前述のように、フィールドプレート効果によって、静電気放電(ESD)耐性を向上できる。

【0077】

さらに、第2導電層42に重畳部42aを設けて、第2導電層42の一部と第1半導体層10の一部とを重畳させることで、第2導電層42による接地部と、第2半導体層20(第2電極50)と、の間のZ軸方向に対して垂直な方向の距離を短くする。これにより

50

、フィールドプレート効果がより効果的になる。これにより、ESD耐性はさらに高くなる。

【0078】

上記のように、X-Y平面に投影したときに、第2導電層42は、絶縁層80を介して、金属層60と重なる。これにより、積層構造体90の静電容量に、第2導電層42と金属層60の間の静電容量を加えることができる。その結果、半導体発光素子110の全体の静電容量を増大できる。

【0079】

例えば、積層構造体90の静電容量よりも、第2導電層42と金属層60との間の静電容量が大きいと、半導体発光素子110に入力される高周波成分（例えばパルス電流）は、主に第2導電層42に流れる。ESDを引き起こすような高周波成分は、第2導電層42に主に流れる。これにより、発光層30を含む積層構造体90をESDから守ることができる。これによって、ESDへの耐圧を上げることができる。

10

【0080】

ESDによるLEDの破壊は、pn接合（発光層30）の逆方向にESDが印加され、電力消費により局所加熱が起こり、この熱によりpn接合付近が破壊される場合がほとんどである。従って、逆方向バイアスを考慮することで、ESDへの対策が可能になる。LEDの逆方向バイアスでの静電容量は、バイアスを掛けるほど発光層30での空乏層が広がるため、単調に減少する。そのため、ESD印加後のLEDの静電容量は、ゼロバイアスでの静電容量未満となる。以下では、LEDの静電容量として、ゼロバイアスでの静電容量を用いることとする。

20

【0081】

本願発明者は、第2導電層42のような接地部を設けない窒化ガリウム系青色LEDの静電容量 C_1 が、以下の第1式で実質的に表されることを多くの実験から見出した。

$$C_1 = 80 \text{ (pF/m)} \times S_1 \text{ (m}^2\text{)} / d_1 \text{ (m)} \quad \dots (1)$$

第1式において、 $S_1 \text{ (m}^2\text{)}$ は、X-Y平面に投影したときの発光層30の面積である。 $d_1 \text{ (m)}$ は、発光層30の厚さである。例えば、半導体発光素子110において、X-Y平面に投影したときの積層構造体90の形状が、1辺の長さが0.68mmの正方形である場合は、素子の静電容量は、約400pFである。

30

【0082】

一方、第1導電層41及び第2導電層42となる導電層（導電膜41f）と金属層60との間の静電容量 C_2 は、以下の第2式で表される。

$$C_2 = \epsilon_0 \epsilon_r \times S_2 / d_2 \quad \dots (2)$$

第2式において、 ϵ_0 は、真空の誘電率である。 ϵ_r は、誘電体（絶縁層80）の比誘電率である。 S_2 は、導電層と金属層60とが互いに対向する領域の面積である。 d_2 は、導電層と金属層60との間隔である。 d_2 は、導電層と金属層60との間に設けられる絶縁層80の厚さに対応する。

40

【0083】

導電層の幅（面積）が広いと、静電容量 C_2 は大きくなる。絶縁層80の厚さが薄いと、静電容量 C_2 は大きくなる。絶縁層80の比誘電率 ϵ_r が大きいと、静電容量 C_2 は大きくなる。第2導電層42において、例えば、重畳部42a、及び、非重畳部42bの面積を大きくする。これにより、第2導電層42と金属層60との間における静電容量 C_2 を大きくすることができる。

【0084】

図3(b)及び図3(e)に表したように、この例では、X-Y平面に投影したときの第2導電層42の面積が、X-Y平面に投影したときに第1導電層41と第1電極40と

50

が重なる部分の面積の2倍以上である。

【0085】

例えば、第2導電層42の幅が100 μ mであり、絶縁層80の厚さが0.2 μ mであり、絶縁層80の材料がTiO₂(比誘電率 ϵ_r が100)である場合、静電容量C₂は、1400pF程度となる。静電容量C₂は、静電容量C₁と並列で設けられることになる。このため、第1導電層41及び第2導電層42を設けることによる素子全体の静電容量C_{total}は、C₁+C₂=1800pF程度となる。素子全体の静電容量C_{total}は、静電容量C₁の4倍以上にできる。このように、素子全体の静電容量を大きくすることによって、ESDへの耐圧を上げることができる。

【0086】

第1導電層41及び第2導電層42のそれぞれ幅は、例えば、素子サイズ及びダイシングストリート幅などを考慮して設計される。絶縁層80の厚さ、及び、比誘電率(すなわち材料)は、例えば、絶縁層80が第1電極40と第2電極50の層間絶縁層として機能するように、定められる。

【0087】

図3(c)及び図3(d)に表したように、第1領域60aの面積は、第2領域60bの面積よりも大きい。図4(c)に表したように、第2半導体層20及び発光層30の面積も、比較的大きい。図4(d)に表したように、第2電極50の面積も比較的大きい。一方、図4(e)に表したように、第1電極40の面積は比較的小さい。第2電極50の面積は、第1電極40の面積よりも大きい。第1電極40のパターン形状は、線状(例えば細線形状)である。

【0088】

p形の半導体層の抵抗率は、n形の半導体層の抵抗率よりも高い。p形の半導体層の抵抗率は、例えばn形の半導体層の抵抗率の100倍以上1000倍以下である。第1半導体層10がn形で第2半導体層20がp形である場合、第1半導体層10におけるキャリアの広がり、第2半導体層20におけるキャリアの広がりよりも広い。電流は、第1半導体層10内において広がり易く、第2半導体層20内において広がり難い。

【0089】

第1電極40の形状を、上記のような線状(細線形状)とすることにより、第2電極50が第2半導体層20に接する部分の面積を拡大することができる。このようなパターン形状により、限られた素子面積内において、電流をより広げて発光領域を拡張することができる。

【0090】

実施形態において、第2導電層42の第1半導体層10側の部分(第2導電層42のうち第1半導体層10に対向する部分)に、発光光に対する反射率の高い材料を用いることが好ましい。例えば、少なくともこの部分に、アルミニウム(Al)、銀(Ag)、金(Au)及びロジウム(Rh)の少なくともいずれかを含む材料を用いる。これにより、発光光を反射して、素子の上面に向けて効率良く出射させることができる。

【0091】

さらに、第2導電層42は、X-Y平面に投影したときに、積層構造体90の一部と重なることが好ましい。例えば、第2導電層42の一部(重畳部42a)を、X-Y平面に投影したときに、第1半導体層10の第3部分13と重なるようにする。もし、重畳部42aを設けない場合には、第1半導体層10を伝搬する光の一部が、金属層60に入射する。金属層60には、絶縁層80への密着性など、素子の電極として十分な機能を果たすために、比較的反射率が低い材料が用いられる。このため、金属層60に入射した光の多くが吸収され効率が低下する。

【0092】

このとき、第2導電層42に重畳部42aを設けることで、第1半導体層10を伝搬するその光は、重畳部42aで反射されて、実質的には金属層60に到達しない。このように、第2導電層42の第1半導体層10側の部分に高反射率の材料を用いつつ、重畳部4

10

20

30

40

50

2 aを設けることで、第1半導体層10(第3部分13)を伝搬する光を反射させて、素子の外部に効率よく出射させることができる。

【0093】

半導体発光素子110の構成の例について説明する。

図5は、第1の実施形態に係る積層構造体を例示する模式的断面図である。

図5に表したように、第1半導体層10は、例えば、第1n側層16と、第2n側層17と、を含む。第2n側層17は、発光層30と第1n側層16との間に配置される。第1n側層16は、例えばコンタクト層である。第2n側層17は、例えばクラッド層である。この例では、第1半導体層10は、第3n側層18をさらに含む。第2n側層17と第3n側層18との間に第1n側層16が配置される。第3n側層18における不純物濃度は、第1n側層16における不純物濃度よりも低い。第2n側層17における不純物濃度は、第1n側層16における不純物濃度よりも低い。

10

【0094】

第1n側層16として、例えば、Siドープn形GaNが用いられる。第2n側層17として、例えば、Siドープn形AlGaNが用いられる。第3n側層18として、例えば、不純物濃度が低いGaN(ノンドープGaN)などが用いられる。

【0095】

発光層30は、例えば、多重量子井戸(MQW)構造を有する。MQW構造においては、複数のバリア層31と、複数の井戸層32と、が交互に積層される。例えば、1つのバリア層31が、井戸層32と第1半導体層10との間に配置される。第2半導体層20と井戸層32との間には、p側バリア層31pが設けられている。さらに、発光層30は、スペーサ層31qを含んでもよい。第2半導体層20とp側バリア層31pとの間にスペーサ層31qが配置される。

20

【0096】

バリア層31として、例えば、Siドープn形AlGaN(例えば、Siドープn形Al_{0.11}Ga_{0.89}N)が用いられる。井戸層32として、例えば、InGaNが用いられる。p側バリア層31pとして、例えば、Al_{0.11}Ga_{0.89}Nが用いられる。

【0097】

第2半導体層20は、例えば、第1p側層26、第2p側層27、第3p側層28及び第4p側層29を含む。第2p側層27は、第1p側層26と発光層30との間に配置される。第3p側層28は、第2p側層27と発光層30との間に配置される。第4p側層29は、第3p側層28と発光層30との間に配置される。

30

【0098】

第4p側層29には、例えば、ノンドープAlGaNが用いられる。第3p側層28には、例えば、Mgドープp形AlGaNが用いられる。第2p側層27には、例えば、Mgドープp形GaNが用いられる。第1p側層26には、例えば、高濃度Mgドープp形GaNが用いられる。第1p側層26は、例えば、p側のコンタクト層である。

【0099】

第1半導体層10、第2半導体層20及び発光層30のそれぞれは、窒化物半導体を含む。窒化物半導体としては、例えば、Al_xGa_{1-x-y}In_yN(x>0、y>0、x+y=1)等の窒化ガリウム系化合物半導体を用いられる。発光層からの発光波長は、210nm以上650nm以下から選ぶことができる。

40

【0100】

既に説明したように、第1半導体層10の第1主面10aは、凹凸10dpを有している。凹凸10dpは、複数の凸部10pを含む。複数の凸部10pのうちで、隣接する凸部10pどうし間の間隔は、例えば、発光層30から放出される光の発光波長(ピーク波長)以上である。ここでの発光波長は、第1半導体層10中における波長である。

【0101】

凸部10pどうし間の間隔が、発光波長よりも短いと、凹凸10dpに入射した光は

50

、凹凸10dpの表面で、散乱や回折等の波動光学で説明される挙動を示す。このため、光の一部が取り出されなくなる。さらに、凸部10pどうしの間隔が発光波長よりも十分に短いと、凹凸10dpは、連続的に屈折率が変化する表面として見なされる。このため、凹凸のない平坦な面と同様になり、光取り出し効率の向上効果が小さくなる。

【0102】

第1主面10aに設けられる凹凸10dpの凸部10pの平面形状は、例えば六角形である。隣接する凸部10pどうしの間隔は、六角形の対角する2つの頂点のどうし間隔に相当する。例えば、凹凸10dpは、第1半導体層10をKOH溶液にて異方性エッチングすることにより形成される。このような凹凸10dpにより、第1半導体層10と外界との界面において、発光層30からの発光光はランバート反射される。

10

【0103】

マスクを用いたドライエッチングにより、凹凸10dpを形成してもよい。この方法においては、設計どおりの凹凸10dpを形成できる。このため、光取り出し効率や均一性、再現性を高め易い。

【0104】

図6(a)~図6(c)は、第1の実施形態に係る半導体発光素子の一部を例示する模式的断面図である。

図6(a)は、第1電極40、第1半導体層10及び第1導電層41の例を示している。

図6(a)に表したように、第1電極40は、第1半導体層10の第1n側層16(例えばコンタクト層)と接触している。第1電極40は、第1半導体層10の第2部分12と接触している。第1電極40は、例えば、第1半導体層10に対してオーミック接触する。

20

【0105】

第1電極40は、第1半導体層10(第2部分12)に対向する部分40cを有している。部分40cは、例えば第1半導体層10と接する。第1電極40のうちで第1半導体層10に対向する部分40cは、例えば、チタン(Ti)及びアルミニウム(Al)の少なくともいずれかを含む。部分40cは、例えば、導電性透明酸化物(例えばITO)を含む。これらの材料は、n形の半導体層に対して良好なオーミック特性を有する。これらの材料の光反射率は低い。

30

【0106】

部分40cは、アルミニウム(Al)、銀(Ag)、金(Au)及びロジウム(Rh)の少なくともいずれかを含んでもよい。これらの材料の光反射率は高い。第1電極40の反射率を上げることで、半導体発光素子からの光取り出し効率を向上させることができる。

【0107】

図6(a)に表したように、第1導電層41は、第1電極40に対向する側の部分41c(上側の部分)を有する。部分41cは、第1導電層41のうちの、第1電極40および第1半導体層10の側の部分である。部分41cは、例えばアルミニウム(Al)、銀(Ag)、金(Au)及びロジウム(Rh)の少なくとも含む。部分41cが、このような反射金属を含むことで、光取り出し効率をさらに向上できる。

40

【0108】

図6(b)は、第4絶縁部84、第1半導体層10及び第2導電層42の例を示している。

図6(b)に表したように、第2導電層42(の一部)は、第1半導体層10の第3部分13に対向する。第2導電層42と第3部分13との間に第4絶縁部84(絶縁層80の一部)が少なくとも配置される。第2導電層42は、第1半導体層10に対向する部分42c(例えば上側部分)を有する。部分42cは、アルミニウム(Al)、銀(Ag)、金(Au)及びロジウム(Rh)の少なくともいずれかを含む。部分42cが、このような反射金属を含むことで、光取り出し効率をより向上できる。

50

【 0 1 0 9 】

第2導電層42は、例えば、第1導電層41と同時に形成される。実施形態において、第2導電層42が第1導電層41とは別に形成されてもよい。

【 0 1 1 0 】

図6(c)は、第2電極50、第2半導体層20および金属層60を例示している。

図6(c)に表したように、第2電極50は、第2半導体層20に対向する部分50cを有する。部分50cは、例えば、第2半導体層20と接触する。部分50cは、例えば、Agを含む。

【 0 1 1 1 】

Ag以外の金属の反射効率は、400nm以下の紫外域では、波長が短くなるほど低下する傾向にある。これに対して、Agは、370nm以上400nm以下の紫外帯域の光に対しても高い反射効率特性を有する。そのため、紫外発光の半導体発光素子においては、第2電極50のうちの第2半導体層20に対向する部分50cには、銀を用いることが好ましい。例えば、第2電極50のうちの第2半導体層20に対向する部分50cにおけるAgの成分比は、第2電極50のうちのその他の部分におけるAgの成分比よりも高いことが好ましい。第2電極50の厚さは、例えば、100nm以上である。これにより、光に対する高い反射効率が得られる。これによって、第2電極50と第2半導体層20との界面における反射率が向上する。これにより、半導体発光素子110における光の外部取り出し効率が向上する。

10

【 0 1 1 2 】

図6(c)に表したように、金属層60は、例えば、Ti層61、Pt層62、及び、Au層63と、を含む。Pt層62は、Au層63と第2電極50との間に配置される。Ti層61は、Pt層62と第2電極50との間に配置される。Ti層61は、例えば、第2電極50と接する。

20

【 0 1 1 3 】

図7は、第1の実施形態に係る半導体発光素子を例示する模式的断面図である。

図7は、半導体発光素子110の発光層30を含む領域の拡大図である。

図7に表したように、この例では、第1絶縁部81は、第1膜部81aと第2膜部81bとを含む。第1膜部81aは、第2膜部81bと金属層60との間に配置される。第1膜部81aは、例えば金属層60と接する。第2膜部81bは、積層構造体90と接する。第1膜部81aと第2膜部81bとの間の境界は、観測される場合と、観測されない場合がある。

30

【 0 1 1 4 】

第1絶縁部81の第2膜部81bは、第1側面部81bsを含む。第1側面部81bsは、例えば、第1半導体層10の第1部分11の第1側面s1に沿う。第1側面部81bsは、第2半導体層20の第2側面s2にさらに沿う。第1側面部81bsは、発光層30の第3側面s3にさらに沿う。第1側面部81bsは、第1側面s1と金属層60との間、第2側面s2と金属層60との間、及び、第3側面s3と金属層60との間を電氣的に絶縁する。

40

【 0 1 1 5 】

この例では、第4絶縁部84は、第2側面部84sを含む。第2側面部84sは、第1半導体層10の第1部分11の第4側面s4に沿う。第2側面部84sは、第2半導体層20の第5側面s5にさらに沿う。第2側面部84sは、発光層30の第6側面s6にさらに沿う。第2側面部84sは、第4側面s4と金属層60との間、第5側面s5と金属層60との間、及び、第6側面s6と金属層60との間を電氣的に絶縁する。

【 0 1 1 6 】

第1絶縁部81、第2絶縁部82、第3絶縁部83、第4絶縁部84及び第5絶縁部85(図1(a)参照)は、例えば互いに同じ材料が用いられる。実施形態において、第1絶縁部81、第2絶縁部82、第3絶縁部83、第4絶縁部84及び第5絶縁部85には、互いに異なる材料が用いられてもよい。絶縁部どうしの間界面は、観測される場合と

50

観測されない場合とがある。絶縁層 80 には、例えば SiO_2 が用いられる。絶縁層 80 の厚さは、10 nm 以上 2000 nm 以下であり、例えば約 400 nm である。

【0117】

絶縁層 80 の、第 1 絶縁部 81 及び第 4 絶縁部 84 は、積層構造体 90 の保護層として機能する。特に、発光層 30 の露出した部分（脇）を保護する。これにより、半導体発光素子 110 の劣化やリークが抑制される。第 4 絶縁部 84 の厚さは、例えば、100 nm 以上 2000 nm 以下であり、例えば約 600 nm である。

【0118】

パッド電極 44 は、第 1 電極 40 から離間して配置される。X - Y 平面に投影したときに、パッド電極 44 と、第 1 電極 40 と、の間に少なくとも第 5 絶縁部 85 が設けられる。これにより、例えば、第 1 電極 40 からの電子の注入領域が、第 1 電極 40 のパッド電極 44 側の部分に集中することが抑制される。例えば、第 1 電極 40 のパッド電極 44 が配置される側に、電子が集中した領域が形成されることが抑制される。

10

【0119】

図 8 は、第 1 の実施形態に係る半導体発光素子の一部を例示する模式的断面図である。

図 8 は、金属層 60、接合層 53、支持基板 54 及び裏面電極 70 を例示している。

裏面電極 70 と金属層 60 との間に支持基板 54 が配置される。支持基板 54 と金属層 60 との間に接合層 53 が配置される。支持基板 54 と積層構造体 90 との間に、金属層 60 が配置される。

【0120】

20

支持基板 54 は、例えば、導電性である。裏面電極 70 は、支持基板 54、接合層 53 および金属層 60 を介して第 2 電極 50 と電氣的に接続されている。支持基板 54 には、例えば、Si または Ge などの半導体基板が用いられる。支持基板 54 には、例えば CuW または Cu などの金属基板が用いられる。支持基板 54 として、メッキ層を用いてもよい。メッキ層を用いた場合、例えば、接合層 53 を省略できる。これにより、接合工程での熱履歴もなくなる。コストが下がり、熱劣化も抑えることができる。

【0121】

支持基板 54 の少なくとも一部が、導電性を有する。支持基板 54 として金属配線を含む樹脂層やシリコン基板などを用いてもよい。支持基板 54 の面積は、例えば、第 1 半導体層 10 の面積以上である。

30

【0122】

接合層 53 には、金属層 60 とは異なる材料が用いられる。接合層 53 には、例えば AuSn 合金のはんだが用いられる。

【0123】

裏面電極 70 は、支持基板 54 と電氣的に接続される。裏面電極 70 は、例えば Ti 層 71、Pt 層 72、および Au 層 73 を含む。Au 層 73 と支持基板 54 との間に Pt 層 72 が配置される。Pt 層 72 と支持基板 54 との間に、Ti 層 71 が配置される。裏面電極 70 の厚さは、例えば、200 nm 以上 2000 nm 以下であり、例えば、約 800 nm である。

【0124】

40

第 2 電極 50 と支持基板 54 とは、互いに電氣的に接続されている。X - Y 平面に投影したときに、支持基板 54 は、第 1 電極 40 と重なる。線状の第 1 電極 40 がパッド電極 44 から延出している。第 1 電極 40 は、第 2 電極 50 と支持基板 54 との間の電氣的な接続を阻害しない。

【0125】

半導体発光素子 110 は、積層構造体 90 を覆う封止部をさらに含んでもよい。封止部には、例えば、樹脂が用いられる。また、封止部は、波長変換部を含んでもよい。波長変換部は、例えば、発光層 30 から放出された光を、その光の波長とは異なる波長を有する光に変換する。

【0126】

50

半導体発光素子 110 の製造方法の例について説明する。

例えば、サファイア等の成長用基板の上に、第 1 半導体膜、発光膜及び第 2 半導体膜を順に結晶成長させる。第 1 半導体膜は、第 1 半導体層 10 となる。発光膜は、発光層 30 となる。第 2 半導体膜は、第 2 半導体層 20 となる。これにより、成長用基板の上に、積層構造膜が形成される。

【0127】

積層構造膜の形成には、例えば有機金属気相成長法が用いられる。積層構造膜の形成には、分子線エピタキシャル成長法等の方法を用いてもよい。

積層構造体 90 の形成の例について説明する。

【0128】

例えば、表面がサファイア c 面の成長用基板の上に、バッファ層として、第 1 バッファ層、第 2 バッファ層及び第 3 バッファ層を順次形成する。第 1 バッファ層は、例えば、高炭素濃度の第 1 AlN バッファ層である。第 1 バッファ層においては、例えば、炭素濃度が $3 \times 10^{18} \text{ cm}^{-3}$ 以上、 $5 \times 10^{20} \text{ cm}^{-3}$ 以下で、例えば、厚さが 3 nm 以上、20 nm 以下である。第 2 バッファ層は、例えば、高純度の第 2 AlN バッファ層である。第 2 バッファ層においては、例えば、炭素濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下で、厚さが 2 μm である。第 3 バッファ層は、例えば、ノンドープの GaN バッファ層である。第 3 バッファ層においては、例えば、厚さが 2 μm である。第 1 バッファ層、及び、第 2 バッファ層は、例えば、単結晶の窒化アルミニウムである。第 1 バッファ層及び第 2 バッファ層として単結晶の窒化アルミニウムを用いることで、後述する結晶成長において高品質な半導体層を形成することができ、結晶に対するダメージが大幅に軽減される。

【0129】

バッファ層の上に、第 1 n 側層 16 及び第 2 n 側層 17 を、この順番で順次形成する。第 1 n 側層 16 は、例えば、Si ドープ n 形 GaN コンタクト層である。第 1 n 側層 16 においては、例えば、Si 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下であり、厚さは 6 μm である。第 2 n 側層 17 は、例えば、Si ドープ n 形 Al_{0.10}Ga_{0.90}N クラッド層である。第 2 n 側層 17 においては、例えば、Si 濃度が $1 \times 10^{18} \text{ cm}^{-3}$ であり、厚さが 0.02 μm である。第 1 n 側層 16 及び第 2 n 側層 17 が第 1 半導体層 10 となる。便宜上、バッファ層の全部または一部を第 1 半導体層 10 に含めてもよい。例えば、第 3 バッファ層が第 3 n 側層 18 となる。

【0130】

成長用基板の上に形成されるバッファ層として、例えば、低温成長の Al_xGa_{1-x}N (0 < x < 1) を用いてもよい。

【0131】

第 1 半導体膜 (第 1 半導体層 10) の上に、発光膜 (発光層 30) として、バリア層 31 及び井戸層 32 を交互に積層する。バリア層 31 として、例えば、Si ドープ n 形 Al_{0.11}Ga_{0.89}N を用いる。井戸層 32 として、InGa_{0.89}N を用いる。バリア層 31 及び井戸層 32 の積層の数は、1 周期以上 30 周期以下であり、例えば、3 周期である。さらに、p 側バリア層 31 p として、Al_{0.11}Ga_{0.89}N 層を積層する。バリア層 31 においては、例えば Si 濃度が $1.1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.5 \times 10^{19} \text{ cm}^{-3}$ 以下である。p 側バリア層 31 p においては、例えば Si 濃度が $1.1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.5 \times 10^{19} \text{ cm}^{-3}$ 以下で、例えば厚さが 0.01 μm である。発光膜の厚さは、例えば 0.01 μm 以上 0.15 μm (例えば 0.075 μm) である。この後、スペーサ層 31 q として、Si ドープ n 形 Al_{0.11}Ga_{0.89}N 層を形成する。スペーサ層 31 q においては、例えば、Si 濃度が $0.8 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下で、例えば、厚さは 0.01 μm である。なお、上記の構成においては、発光層 30 における発光光の波長 (ピーク波長) は、例えば 395 nm である。波長は、例えば、210 nm 以上 650 nm 以下である。波長は、370 nm 以上 480 nm 以下でもよい。

10

20

30

40

50

【0132】

発光膜（発光層30）の上に、第2半導体膜（第2半導体層20）を形成する。例えば、第4p側層29、第3p側層28、第2p側層27及び第1p側層26を、この順で順次形成する。第4p側層29には、例えば、ノンドープ $Al_{0.11}Ga_{0.89}N$ スペーサ層が用いられる。第4p側層29の厚さは、例えば $0.02\mu m$ である。第3p側層28には、例えば、Mgドープp形 $Al_{0.28}Ga_{0.72}N$ クラッド層が用いられる。第3p側層28においては、Mg濃度は、例えば $1 \times 10^{19} cm^{-3}$ であり、厚さは、例えば、 $0.02\mu m$ である。第2p側層27として、例えば、Mgドープp形GaNコンタクト層が用いられる。第2p側層27においては、Mg濃度が、例えば $1 \times 10^{19} cm^{-3}$ で、厚さは、例えば $0.4\mu m$ である。第1p側層26として、高濃度Mgドープp形GaNコンタクト層が用いられる。第1p側層26においては、Mg濃度は、例えば $5 \times 10^{19} cm^{-3}$ であり、厚さは、例えば $0.02\mu m$ である。

10

【0133】

なお、上記の組成、組成比、不純物の種類、不純物濃度及び厚さは例であり、種々の変形が可能である。

【0134】

第1p側層26（コンタクト層）におけるMg濃度を、約 $1 \times 10^{20} cm^{-3}$ （例えば、 $0.9 \times 10^{19} cm^{-3}$ 以上 $3 \times 10^{20} cm^{-3}$ 以下）と高く設定することで、第2電極50とのオーミック特性を向上させることができる。

【0135】

半導体発光ダイオードの場合は、半導体レーザダイオードとは異なり、第1p側層26と発光層30との距離が近い。このため、Mg拡散による特性の劣化する場合がある。第2電極50と第1p側層26との接触面積を広くして、動作時の電流密度が低くする。それにより、電気特性を大きく損ねることなく第1p側層26のMg濃度を約 $1 \times 10^{19} cm^{-3}$ に抑えて、Mgの拡散を防ぐことができる。これにより、発光特性を改善させることができる。

20

【0136】

第1バッファ層は、成長用基板との結晶型の差異を緩和し、特に螺旋転位を低減する。第2バッファ層の表面は、原子レベルで平坦化される。そのため、この上に成長する第3バッファ層（例えばノンドープGaNバッファ層）の結晶欠陥が低減される。第2バッファ層の厚さを、 $1\mu m$ よりも厚くすることが好ましい。これにより、例えば、結晶欠陥を十分に低減できる。第2バッファ層の厚さを、 $4\mu m$ 以下にすることが望ましい。これにより、例えば、歪による反りを抑制できる。第2バッファ層には、 $Al_xGa_{1-x}N$ （ $0.8 < x < 1$ ）を用いてもよい。これにより、成長用基板の反りを緩和することができる。

30

【0137】

第3バッファ層は、第2バッファ層の上で、3次元島状に成長する。第3バッファ層は、結晶欠陥を低減する。第3バッファ層の平均の厚さを $2\mu m$ 以上にすることが望ましい。これにより、結晶の表面の平坦性が向上する。第3バッファ層の厚さは、 $2\mu m$ 以上、 $10\mu m$ 以下が好ましい。これにより、結晶品質の再現性が向上し、反りを効果的に低減できる。

40

【0138】

これらのバッファ層を採用することで、低温成長AlNバッファ層を採用する場合と比較して、結晶欠陥を約 $1/10$ に低減することができる。この技術によって、n形GaNコンタクト層への高濃度Siドーピングが可能となる。紫外帯域発光でありながらも高効率な半導体発光素子が得られる。第3バッファ層（ノンドープGaNバッファ層であり、例えば、第3n側層18）における結晶欠陥を低減することにより、第3バッファ層における光の吸収が抑制される。

【0139】

量子井戸層として、AlGaInNの窒化ガリウム系化合物半導体を用いる場合は、例

50

例えば、210 nmから650 nmの波長（ピーク波長）の発光が得られる。量子井戸層として、GaInNの窒化ガリウム系化合物半導体を用いる場合は、例えば、370 nmから650 nmの波長（ピーク波長）の発光が得られる。

【0140】

上記のようにして、積層構造体90となる積層構造膜が得られる。積層構造膜の一部に凹部（溝）を形成する。凹部は、積層構造膜の上面（第2半導体膜の側の面）から第1半導体膜に達する。凹部の底部において第1半導体膜が露出する。

【0141】

例えば、凹部を形成するために、積層構造膜の上面にマスクを形成し、例えばドライエッチングを行う。凹部の側面の角度（X-Y平面と凹部の側面との間の角度）は、例えば、60度以上が好ましい。この角度は、発光層30からの発光光が最大強度を持つ30度の光を進行方向とは逆方向に反射させる角度に相当する。凹部の深さが深いと、積層構造体90内を横方向に伝播する発光光の進行方向を変えることで、光取り出し効率を高めやすい。一方、凹部の深さが深すぎると、後の工程で支持基板54を接合する際に、凹部をはんだで埋めにくくなる。また、凹部を第3パuffa層（例えば、第3n側層18）に到達するまで深くすると、第1n側層16（例えばコンタクト層）上に第1電極40を形成することができなくなる。凹部の深さは、例えば0.2 μm以上、10 μm以下が好ましい。凹部の深さは、例えば、0.3 μm以上、1.5 μm以下である。

【0142】

凹部を含めた積層構造体90の表面を覆うように、第1絶縁膜を形成する。第1絶縁膜は、第1絶縁部81の一部（第2膜部81b）、第4絶縁部84、第5絶縁部85、及び第6絶縁部86となる。このように、第1絶縁部81の一部、第4絶縁部84、第5絶縁部85及び第6絶縁部86は、同時に形成される。第1絶縁膜として、例えばSiO₂が用いられる。第1絶縁膜の厚さは、例えば200 nm以上1500 nm以下（例えば400 nm）である。

【0143】

第1絶縁膜は、高温で成膜することが好ましい。これによって、第1絶縁膜から形成される絶縁層80は、絶縁性、カバレッジ及び信頼性等に優れた高品質な膜になる。

【0144】

第1半導体層10と接する第1電極40を形成する。例えば、第1絶縁膜のうちで凹部の第1半導体層10の上に形成された一部の部分を除去する。露出した第1半導体層10の表面に、オーミック電極となるTi/Al/Ni/Auの積層膜を形成する。積層膜の厚さは、例えば150 nm以上500 nm以下（例えば300 nm）である。例えば、窒素雰囲気中で600 °Cで、5分のシンター処理を行う。第1電極40は、オーミック電極である。

【0145】

第1電極40の上に、第1導電層41及び第2導電層42となる導電膜を形成する。導電膜には、例えば、Ti/Au/Tiの積層膜が用いられる。導電膜の厚さは、例えば800 nm以上2000 nm以下（例えば1200 nm）である。

【0146】

第1電極40に含まれる第1層として、例えば、Al、Ag、Au、Rh等の高反射性材料を用いることができる。第1層は、第1半導体層10と接する層である。これにより、n形コンタクト層との良好なオーミック特性、及び、n形コンタクト層との低コンタクト特性を得つつ、高い反射率が得られる。光取り出し効率が向上し易くなる。第1電極40の設計自由度が向上する。Alは、耐環境性が低いため、例えばSiをわずかに入れたAl合金を採用することで、信頼性や密着性を向上させることができる。

【0147】

オーミック電極である第1電極40を、第1導電層41及び第2導電層42とは別に形成してもよい。第1電極40には、コンタクト抵抗が低い膜構造及び熱処理条件を適用することができる。第1導電層41及び第2導電層42には、抵抗率が低い膜構造を適用す

10

20

30

40

50

ることができる。例えば、第1電極40においては、高温シンターによってコンタクト抵抗を下げる。第1導電層41及び第2導電層42には、Au、Al及びAgの少なくともいずれかの厚い膜を用いる。これによって、第1導電層41及び第2導電層42の抵抗率を下げることができる。

【0148】

第1導電層41と、第2導電層42と、第1絶縁膜と、を覆うように、第2絶縁膜を形成する。第2絶縁膜は、第1絶縁部81の一部(第1膜部81a)、第2絶縁部82、及び、第3絶縁部83となる。このように、第1絶縁部81の一部(第1膜部81a)、第2絶縁部82及び第3絶縁部83は、同時に形成される。第2絶縁膜として、例えばSiO₂が用いられる。第2絶縁膜の厚さは、例えば200nm以上3000nm以下(例えば600nm)である。

10

【0149】

第2絶縁膜は、高温で成膜することができる。先に形成した第1電極40は600程度でシンター処理を行っているため、第1電極40は、同程度の熱処理条件までの耐熱性を備えている。したがって、第2絶縁膜を高温で形成した場合においても、第1電極40のオーミック性及びコンタクト抵抗は低下しない。これによって、第2絶縁膜から形成される絶縁層80は、第1電極40と第2電極50との絶縁性、カバレッジ及び信頼性等に優れた高品質な膜になる。

【0150】

第2絶縁膜は、低温で成膜してもよい。先に形成した第1導電層41及び第2導電層42を合金化させない程度の温度で成膜することで、第1導電層41及び第2導電層42の抵抗率を低く保つことができる。これによって、電流広がりが良好で、実効的な発光面積の広い高い発光効率を持つ半導体発光素子を実現することができる。

20

【0151】

オーミック特性を有する第2電極50を形成する。例えば、第1絶縁膜及び第2絶縁膜のうちで第2半導体層20の上に形成された部分を除去する。露出した第2半導体層20の一部の表面に、Ag/Ptの積層膜を形成する。この積層膜の厚さは、例えば200nmである。そして、酸素雰囲気中で約400、1分でシンター処理を行う。これにより、第2電極50が形成される。

【0152】

第2電極50の上に、金属層60となる金属膜を形成する。金属膜には、例えばTi/Pt/Auの積層膜が用いられる。この積層膜の厚さは、例えば800nmである。

30

【0153】

支持基板54を用意する。支持基板54には、例えば、Si基板を用いる。支持基板54の主面には、接合層53が設けられている。接合層53は、例えばAuSn合金によるはんだ層である。はんだ層の厚さは、例えば0.5µm以上5µm以下(例えば1.5µm)である。金属層60と、はんだ層と、を対向させて、はんだの共晶点以上の温度(例えば280)に加熱する。支持基板54が金属層60と接合される。

【0154】

成長用基板を剥離するため、積層構造体90に対して成長用基板の側から、レーザー光を照射する。レーザー光には、例えばYVO₄の固体レーザーの三倍高調波(355nm)または四倍高調波(266nm)が用いられる。レーザー光は、GaNバッファ層(例えば、上記のノンドーブGaNバッファ層)のGaNの禁制帯幅に基づく禁制帯幅波長よりも短い波長を有する。すなわち、レーザー光は、GaNの禁制帯幅よりも高いエネルギーを有する。

40

【0155】

レーザー光は、GaNバッファ層(ノンドーブGaNバッファ層)のうちの、単結晶バッファ層(第2バッファ層)の側の領域において効率的に吸収される。これにより、GaNバッファ層のうちの、単結晶バッファ層の側のGaNは、発熱により分解する。塩酸処理などによって、分解されたGaNを除去し、成長用基板を剥離する。

50

【0156】

支持基板54の接合時や、成長用基板の剥離時に、結晶に、結晶欠陥やダメージが入り易い。これは、支持基板54とサファイアとの間の熱膨張係数差、支持基板54とGa₂Nとの熱膨張係数差、局所的に加熱されることによる熱、及び、Ga₂Nが分解することにより発生する生成物、などによる。結晶欠陥やダメージが生じると、第2電極50のAgが結晶内に拡散し、結晶内部でのリークや、結晶欠陥の加速度的な増加を招く。

【0157】

単結晶AlNバッファ層を用いると高品質な半導体層を形成することができる。結晶に対するダメージが大幅に軽減される。高熱伝導特性のAlNバッファ層がGa₂Nに近接している。このため、Ga₂Nをレーザー光で分解する際に熱が拡散し易く、局所的な加熱による熱ダメージが抑制できる。

10

【0158】

次に、露出した積層構造体90の第1主面(第1半導体層10の第1主面10a)上に、凹凸10dpを形成する。さらに、パッド電極44を形成する。

例えば、積層構造体90の一部をドライエッチングで除去して、第4絶縁部84の一部、第5絶縁部85の一部、及び、第6絶縁部86を露出させる。積層構造体90の第1主面においては、例えばノンドープGa₂Nバッファ層(第3n側層18)の表面が露出する。

【0159】

次に、ノンドープGa₂Nバッファ層の表面を、例えばKOH溶液によるアルカリエッチングにより加工して、凹凸10dpを形成する。例えば、80の1モル(mol)/リットル(L)のKOH溶液を用いて、20分間のエッチングを行う。これにより、凹凸10dpが形成される。

20

【0160】

第3n側層18が設けられない場合は、第1n側層16(n形コンタクト層)に、凹凸10dpが形成される。n形コンタクト層は、n側電極(第1電極40)との低抵抗のオーミックコンタクトを形成するために、キャリア濃度(例えば不純物濃度)が高く設定される。このようなn形コンタクト層に凹凸や平坦部を形成する場合、表面荒れや不純物析出が生じ易い。その結果として、光取り出し効率を低下させる要因となる場合がある。一方、ノンドープGa₂Nバッファ層の不純物濃度は、n形コンタクト層に比べて低い。このため、表面荒れや不純物析出が生じることが少ない。

30

【0161】

凹凸10dpは、ドライエッチングで形成してもよい。

【0162】

アルカリエッチングでは、Ga₂N結晶の面方位(主に{10-1-1})に沿って、異方性エッチングが行われ、その結果として六角錐の構造が形成される。エッチング温度、エッチング時間、別の物質を添加することで調整される水素イオン指数(pH)、濃度、紫外線(UV)光及びUVレーザー照射の有無などで、エッチングレート、六角錐の大きさ及び密度が大きく変化する。

【0163】

エッチング量が大きいほど、凹凸10dpは大きくなり、かつ、凹凸10dpの密度は高くなる。

40

【0164】

Ga₂Nをドライエッチングで加工する場合、N(窒素)面は、Ga面とは異なり、結晶方位や転位の影響を受けやすく、異方性エッチングされやすい。c面サファイア基板上に成長させたGa₂Nの表面は、通常、Ga面である。サファイア基板を除去することで露出したGa₂Nの表面はN(窒素)面となっている。したがって、ドライエッチングによる異方性エッチングによって凹凸10dpを形成することは容易である。既に説明したように、マスクを用いたドライエッチングにより凹凸10dpを形成してもよい。

【0165】

50

発光光の波長390nmの半導体発光素子(結晶層内の発光波長は約155nm)を用いた実験結果では、凹凸10dpの大きさが大きくなると、光出力が増加する。この光出力の増加は、凹凸10dpの大きさが3μm程度以上において観測される。凹凸10dpの大きさは、好ましくは結晶層内の発光波長の2倍以上、さらに好ましくは10倍以上である。

【0166】

第1導電層41を被覆している第5絶縁部85の一部を除去する。露出した第1導電層41の一部の上にパッド電極44を形成する。パッド電極44として、例えばTi/Pt/Auの積層膜が用いられる。パッド電極44の厚さは、例えば200nm以上1500nm以下(例えば500nm)である。このパッド電極44にはボンディングワイヤが接

10

【0167】

支持基板54を研削などによって100μm程度の厚さまで削り、削った面に裏面電極70を形成する。裏面電極70には、例えばTi/Pt/Auの積層膜が用いられる。裏面電極70の厚さは、例えば200nm以上1500nm以下(例えば500nm)である。裏面電極70は、例えば、ヒートシンクやパッケージに接続される。

【0168】

必要に応じてダイヤモンドブレード等により、支持基板54を切断する。これにより、半導体発光素子110が完成する。

【0169】

上記の製造方法では、成長用基板としてサファイア基板が用いられている。成長用基板として、Siを用いてもよい。Si基板を成長用基板として用いた場合、成長用基板を除去する処理においては、例えば、成長用基板を研削により薄くした後に、残りの成長用基板(Si基板)をエッチングによって除去してもよい。

20

【0170】

(第2の実施の形態)

図9は、第2の実施形態に係る半導体発光素子を例示する模式断面図である。

図9に表したように、本実施形態に係る半導体発光素子120は、金属層60と、積層構造体90と、第1電極40と、パッド電極44と、第1導電層41と、第2導電層42と、第2電極50と、絶縁層80と、を含む。半導体発光素子120においては、さらに

30

反射層56が設けられている。これ以外は、半導体発光素子110と同様なので説明を省略する。

【0171】

反射層56は、絶縁層80と金属層60との間に設けられ、X-Y平面に投影したときに、第1導電層41と第2電極50との間の領域、及び、第2導電層42と第2電極50との間の領域と重なる。反射層56の光反射率は、金属層60の光反射率よりも高い。第1導電層41と第2電極50との間の領域、または、第2導電層42と第2電極50との間の領域から、積層構造体90から金属層60に向けて進む光を、反射層56で反射させる。これにより、光取り出し効率がさらに向上できる。特に、発光層30の側面付近(第1側面s1~第6側面s6)から絶縁層80に入射する発光光は無視できないほど多い。

40

反射層56を設けることで光出力は、例えば、5%ほど向上する。

【0172】

反射層56には、例えば、Ag及びAlの少なくともいずれかを含む。反射層56は、発光層30から放出された光に対して高い反射率を有する。

【0173】

例えば、第1電極40、第2電極50、第1導電層41及び第2導電層42として、AgやAlなどの反射金属を用い、さらに上記の反射層56を用いると、積層構造体90の全体が反射構造となる。これにより、光取り出し効率をさらに向上させることができる。

【0174】

反射層56は、第2電極50または金属層60とは別に形成してもよい。反射層56は

50

、第2電極50または金属層60と一緒に形成してもよい。反射層56を第2電極50とは別の工程で形成する場合は、例えば、それぞれに対して適切な条件（電極構造及びシンター条件など）が適用できる。同時に形成する場合は、例えば、工程数を減らすことができ、コストを下げることができる。

【0175】

実施形態によれば、静電気放電耐性が高い半導体発光素子が提供される。

【0176】

なお、本明細書において「窒化物半導体」とは、 $B_x In_y Al_z Ga_{1-x-y-z} N$ ($0 < x < 1, 0 < y < 1, 0 < z < 1, x + y + z < 1$)なる化学式において組成比 x 、 y 及び z をそれぞれの範囲内で変化させた全ての組成の半導体を含むものとする。またさらに、上記化学式において、 N （窒素）以外のV族元素もさらに含むもの、導電形などの各種の物性を制御するために添加される各種の元素をさらに含むもの、及び、意図せずに含まれる各種の元素をさらに含むものも、「窒化物半導体」に含まれるものとする。

10

【0177】

なお、本願明細書において、「垂直」及び「平行」は、厳密な垂直及び厳密な平行だけではなく、例えば製造工程におけるばらつきなどを含むものであり、実質的に垂直及び実質的に平行であればよい。

【0178】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、半導体発光素子に含まれる半導体層、発光層、バリア層、スペーサ層、井戸層、電極、導電層、パッド電極、接合層、支持基板、反射層、金属層、裏面電極、絶縁層、及び、積層構造体などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

20

【0179】

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

【0180】

その他、本発明の実施の形態として上述した半導体装置及びその製造方法を基にして、当業者が適宜設計変更して実施し得る全ての半導体装置及びその製造方法も、本発明の要旨を包含する限り、本発明の範囲に属する。

30

【0181】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0182】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

【0183】

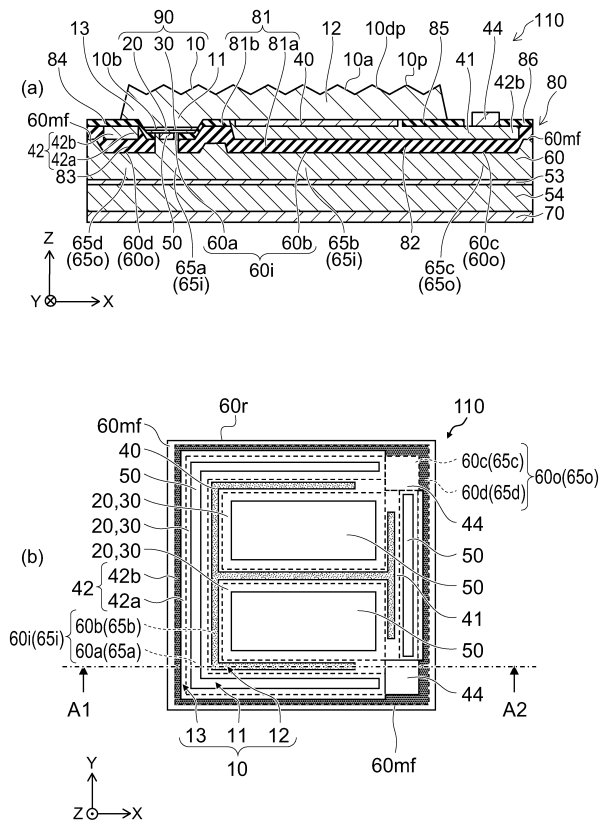
10・・・第1半導体層、 10a・・・第1主面、 10b・・・第2主面、 10d p・・・凹凸、 10p・・・凸部、 11・・・第1部分、 12・・・第2部分、 13・・・第3部分、 16・・・第1n側層、 17・・・第2n側層、 18・・・第3n側層、 20・・・第2半導体層、 26・・・第1p側層、 27・・・第2p側層、 28・・・第3p側層、 29・・・第4p側層、 30・・・発光層、 31・・・バリア層、 31p・・・p側バリア層、 31q・・・スペーサ層、 32・

50

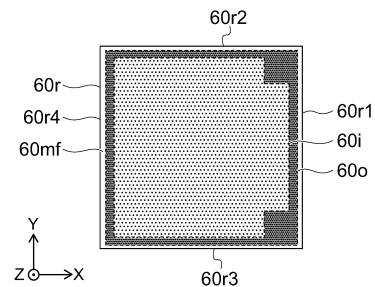
・井戸層、 40・・・第1電極、 40c・・・部分、 41・・・第1導電層、
 41c・・・部分、 41f...導電膜、 42・・・第2導電層、 42a・・・重畳部、
 42b・・・非重畳部、 42c・・・部分、 44・・・パッド電極、 50・・・
 第2電極、 50c・・・部分、 53・・・接合層、 54・・・支持基板、 56
 ・反射層、 60・・・金属層、 60a・・・第1領域、 60b・・・第2領域
 、 60c・・・第3領域、 60d・・・第4領域、 60i・・・内側領域、 60
 mf・・・主面、 60o・・・外側領域、 60r・・・外縁、 60r1~60r4
 ・第1~第4の辺、 61・・・Ti層、 62・・・Pt層、 63・・・Au層
 、 65a・・・第1領域部分、 65b・・・第2領域部分、 65c・・・第3領域
 部分、 65d・・・第4領域部分、 65i・・・内側部分、 65o・・・外側部分
 、 70・・・裏面電極、 71・・・Ti層、 72・・・Pt層、 73・・・Au
 層、 80・・・絶縁層、 81~86・・・第1~第6絶縁部、 81a・・・第1膜
 部、 81b・・・第2膜部、 81bs・・・第1側面部、 84s・・・第2側面部
 、 90・・・積層構造体、 110、120・・・半導体発光素子、 s1~s6・・・
 第1~第6側面、 wn・・・幅、 wp・・・幅

10

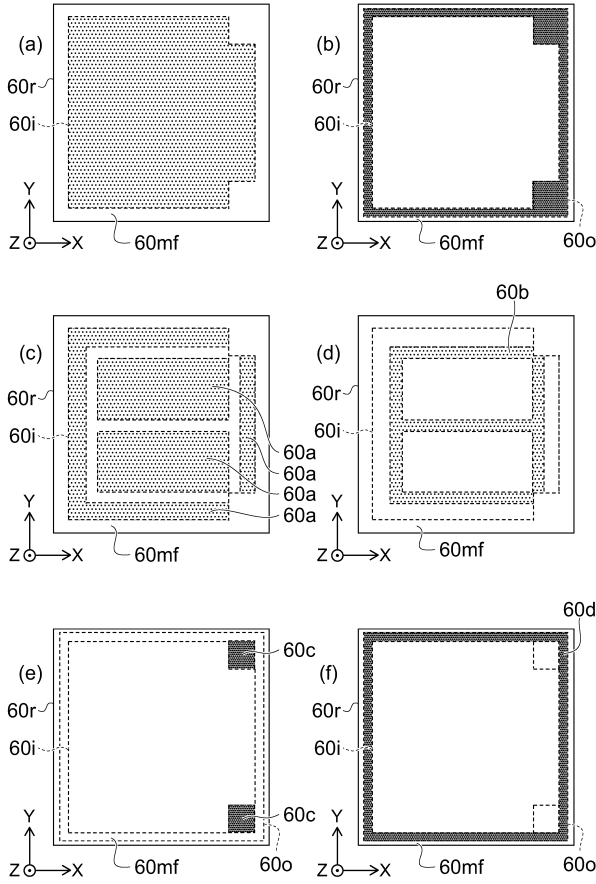
【図1】



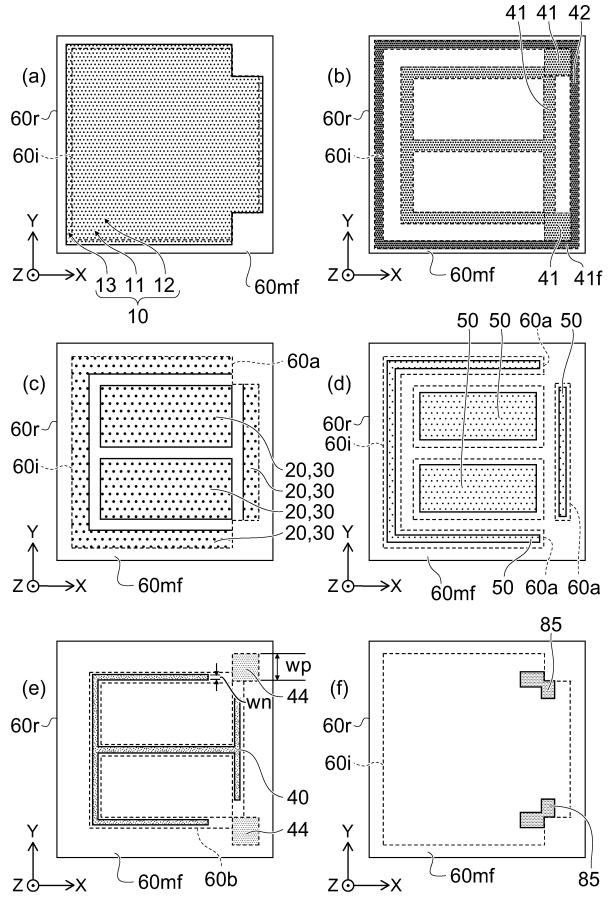
【図2】



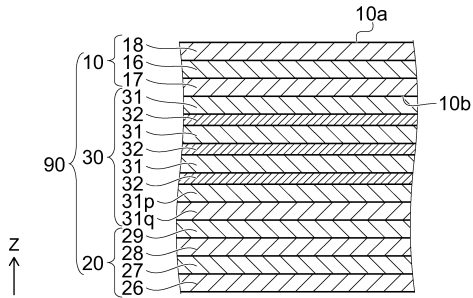
【図3】



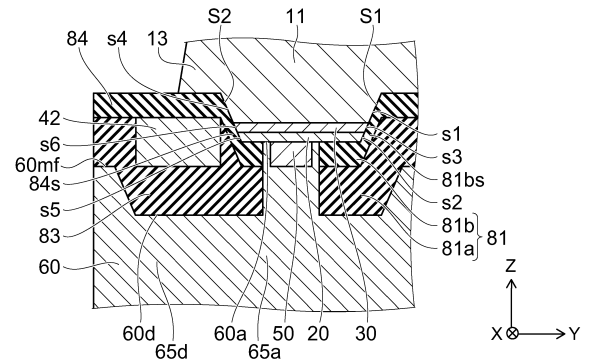
【図4】



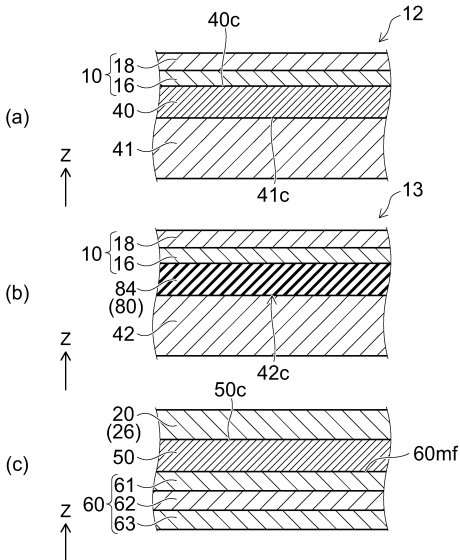
【図5】



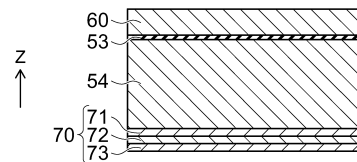
【図7】



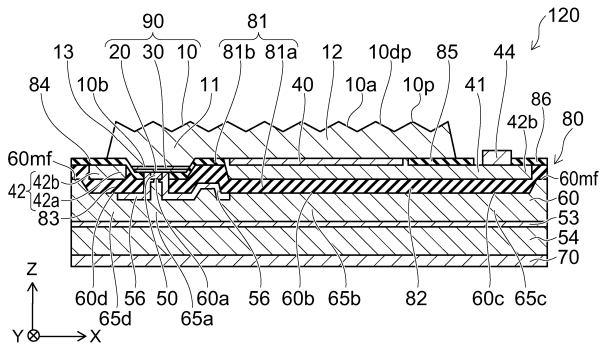
【図6】



【図8】



【 図 9 】



フロントページの続き

(72)発明者 布上 真也
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 金高 敏康

(56)参考文献 米国特許出願公開第2011/0210362(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64