

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2012 年 4 月 26 日 (26.04.2012)

PCT

(10) 国际公布号  
WO 2012/051820 A1

- (51) 国际专利分类号:  
H01L 21/762 (2006.01) H01L 27/04 (2006.01)
- (21) 国际申请号: PCT/CN2011/071224
- (22) 国际申请日: 2011 年 3 月 4 日 (04.03.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201010520798.4 2010 年 10 月 21 日 (21.10.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院  
微电子研究所 (INSTITUTE OF MICROELEC-  
TRONICS, CHINESE ACADEMY OF SCIENCES)  
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Bei-  
jing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 钟汇才 (ZHONG,  
Huicai) [CN/US]; 美国加利福尼亚圣荷西市威尔明  
顿大道 1089 号, CA 95129 (US)。梁擎擎 (LIANG,  
Qingqing) [CN/US]; 美国纽约州拉格郎日镇瑞吉路  
28 号, NY 12540 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHI-  
NA SCIENCE PATENT & TRADEMARK AGENT

LTD.); 中国北京市海淀区王庄路 1 号清华同方科  
技大厦 B 座 25 层, Beijing 100083 (CN)。

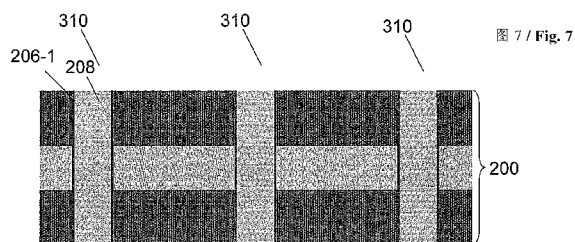
- (81) 指定国 (除另有指明, 要求每一种可提供的国家  
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB,  
BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR,  
CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,  
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,  
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,  
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL,  
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,  
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,  
VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,  
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,  
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,  
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,  
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,  
TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: SUBSTRATE STRUCTURE, SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 衬底结构、半导体器件及其制造方法



(57) Abstract: A substrate structure, a semiconductor device and a manufacturing method thereof are provided. The substrate structure includes: a semiconductor substrate (200); and a first isolation region (310), wherein the first isolation region (310) includes a first trench (206-1), which penetrates the semiconductor substrate (200); and a first dielectric layer (208), which is filled in the first trench (206-1). Since the isolation region penetrates the substrate, two surfaces of the substrate can be used for forming device structures to improve the utilization ratio of the substrate and the integration level of devices.

(57) 摘要:

提供了一种衬底结构、半导体器件及其制造方法。所述衬底结构包括: 半导体衬底 (200); 第一隔离区 (310), 其中所述第一隔离区 (310) 包括第一沟槽 (206-1), 其贯穿所述半导体衬底 (200); 第一介质层 (208), 其填满所述第一沟槽 (206-1)。由于隔离区贯穿衬底, 从而可以利用衬底的两个表面形成器件结构, 以提高衬底的利用率和器件的集成度。

WO 2012/051820 A1

## 衬底结构、半导体器件及其制造方法

### 技术领域

- 5 本发明通常涉及半导体制造技术，具体来说，涉及一种衬底结构、半导体器件及其制造方法。

### 背景技术

- 随着半导体技术的飞速发展，具有更高性能和更强功能的集成电路要求更大的元件密度，CMOS器件和金属连线等部件的尺寸需要进一步缩小，这需要不断提高器件的集成度。隔离是将各元件有源区域分隔开来的部件，目前，浅沟槽隔离（STI，Shallow Trench Isolation）是常用的将有源区隔开的隔离结构，这种浅沟槽隔离只从衬底的一个表面，在衬底内形成由介质材料填充的浅槽隔离，这样只能在衬底的一个表面来形成器件，不利于提高衬底的利用率以及器件的集成度。

15

### 发明内容

鉴于上述问题，本发明提供了一种衬底结构，所述衬底结构包括：半导体衬底；第一隔离区；其中所述第一隔离区包括：第一沟槽，所述沟槽贯穿所述半导体衬底；第一介质层，所述第一介质层填满所述第一沟槽。

- 20 本发明还提供了另一种衬底结构，所述结构包括：半导体衬底；第二隔离区；其中所述第二隔离区包括：第二沟槽，所述第二沟槽贯穿所述半导体衬底；第二介质层，所述第二介质层形成于所述第二沟槽的侧壁；第一散热层，所述第一散热层填满所述第二介质层内壁之间的区域。

- 25 本发明还提供了又一种衬底结构，所述结构包括：半导体衬底；第三隔离区；其中所述第三隔离区包括：第三沟槽，所述第三沟槽贯穿所述半导体衬底；第二散热层，所述第二散热层形成于所述第三沟槽的侧壁；第三介质层，所述第三介质层填满所述第二散热层的内壁之间的区域。

此外，本发明还提供了半导体器件，所述器件形成于上述任一半导体衬底结构的上表面和/或下表面上。

- 30 此外，本发明还提供了上述半导体衬底结构的制造方法，所述方法包括：A) 提

供半导体衬底；B) 在所述半导体衬底上形成支撑层；C) 形成沟槽，所述沟槽贯穿所述半导体衬底且暴露所述支撑层，以及填充所述沟槽以形成隔离区；D) 去除所述支撑层。

此外，还提供了一种半导体器件的制造方法，在上述的衬底结构的上表面和/或下表面上形成半导体器件。

通过形成具有贯穿衬底的穿通隔离区的衬底结构，从而，可以利用衬底的两个表面形成器件结构，进而提高衬底的利用率并提高了器件的集成度。

#### 附图说明

图 1-16 示出了根据本发明的实施例的衬底结构的各个制造阶段的结构示意图；图 17-20 示出了根据本发明部分实施例的半导体器件的结构示意图。

#### 具体实施方式

本发明通常涉及制造半导体器件的方法。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

参考图7，图7示出了本发明衬底结构的第一实施例，在第一实施例中，所述衬底结构包括：半导体衬底200；第一隔离区310；其中所述第一隔离区310包括：第一沟槽206-1，所述第一沟槽206-1贯穿所述半导体衬底200；第一介质层208，所述第一介质层208填满所述第一沟槽206-1。

参考图8，图8示出了本发明衬底结构的第二实施例，在第二实施例中，所述衬底结构包括：半导体衬底200；第二隔离区320；其中所述第二隔离区320包括：第二沟槽206-2，所述第二沟槽206-2贯穿所述半导体衬底200；第二介质层210，所述第二介质层210形成于所述第二沟槽206-2的侧壁上；第一散热层212，所述第一散热层212填

满所述第二介质层210内壁210-2之间的区域。

参考图9，图9示出了本发明衬底结构的第三实施例，在第三实施例中，所述衬底结构包括：半导体衬底200；第三隔离区330；其中所述第三隔离区330包括：第三沟槽206-3，所述第三沟槽206-3贯穿所述半导体衬底200；第二散热层214，所述第二散热层214形成于所述第三沟槽206-3的侧壁上；第三介质层216，所述第三介质层216填满所述第二散热层214的内壁214-2之间的区域。采用本实施例，所述第三隔离区330可同时起到隔离及散热作用。

结合第一实施例，可选地，所述衬底结构还可以包括以下结构的一种或多种：第二实施例中的第二隔离区、第三实施例中的第三隔离区以及散热区，其中，所述散热区340（参考图20）包括：第四沟槽206-4，所述第四沟槽206-4贯穿所述半导体衬底200；第三散热层218，所述第三散热层218填满所述第四沟槽206-4。

结合第二实施例，可选地，所述衬底结构还可以包括以下结构的一种或多种：第一实施例中的第一隔离区、第三实施例中的第三隔离区以及上述散热区。

结合第三实施例，可选地，所述衬底结构还可以包括上述散热区。以上各实施例中，所述半导体衬底可以包括绝缘体上硅（SOI）结构，如图7所示，在另外的实施例中，衬底还可以包括硅衬底（例如晶片），还可以包括其他基本半导体或化合物半导体，例如Ge、GeSi、GaAs、InP或SiC等。根据现有技术公知的设计要求（例如p型衬底或者n型衬底），衬底可以包括各种掺杂配置。此外，可选地，衬底200可以包括外延层，可以被应力改变以增强性能。在以上各实施例中，其中所述第一介质层、第二介质层和第三介质层可包括绝缘材料，所述绝缘材料的例子包括氮化物、氧化物、低k介质材料或其他材料，或其组合，其中所述第一散热层、第二散热层和第三散热层包括金属材料。

以上对具有穿通隔离的半导体衬底结构进行了详细的描述，由于具有贯穿衬底的隔离区，从而，可以利用衬底的两个表面形成器件结构，进而提高衬底的利用率并提高了器件的集成度，在优选的实施例中，还可以进一步包括散热区，以提高器件的散热效果。

此外，本发明还提供了具有上述衬底结构的半导体器件，参考图17-图20，所述半导体器件300形成于上述任一实施例的衬底结构的上表面和/或下表面上，所述半导体器件可以包括晶体管、二极管或其他电学器件。所述图例仅为示例，本发明不限于此。

以上对本发明衬底结构及半导体器件的实施例进行了详细的描述，为了更好地理

解本发明，下面将详细描述其实现步骤。

在步骤S01，提供半导体衬底200，参考图1。所述半导体衬底200与前述实施例中所述的相同，不再赘述。

在步骤S02，在所述半导体衬底200上形成支撑层204，如图2所示。可以通过在所述半导体衬底200上沉积氮化物或氧化物，例如 $\text{SiO}_2$ 或 $\text{Si}_3\text{N}_4$ ，来形成支撑层204。在其他实施例中，所述支撑层204也可适合的其他材料，如金属材料或异于所述半导体衬底材料的其他半导体材料等；所述支撑层204的厚度需足以承载所述半导体衬底200，作为示例，所述支撑层204的厚度可为50微米-200微米，如100微米。可以淀积工艺形成所述支撑层204。

在步骤S03，形成沟槽，所述沟槽贯穿所述半导体衬底且暴露所述支撑层，以及填充所述沟槽以形成隔离区。

具体来说，首先，可以在与所述支撑层204相对的半导体衬底200的表面上形成硬掩膜202，在本发明实施例中，可以在半导体衬底200上依次淀积垫氧化层202-1和垫氮化层202-2，如图2所示，所述垫氧化层202-1可以是二氧化硅等，一般采用热氧化的工艺形成，所述垫氮化层202-2可以是氮化硅，一般采用化学气相沉积的工艺淀积形成，而后通过掩膜进行图形化，例如RIE（反应离子刻蚀）的方法，从而形成有沟槽的硬掩膜202。而后，利用刻蚀技术，例如RIE的方法，以所述硬掩膜202为掩膜刻蚀所述半导体衬底200，并以支撑层204为停止层，形成穿通的沟槽206，参考图3。

在第一实施例中，参考图4，所述沟槽可以全部为暴露所述支撑层204的第一沟槽206-1，并采用第一介质层208填充所述第一沟槽206-1，以形成仅由第一介质层208填充的隔离区结构一310。

可选地，可以进一步进行以下步骤：进一步去除部分所述第一沟槽206-1内的第一介质层208，以恢复部分第一沟槽206-1，参考图10，在一个例子中，在恢复的所述第一沟槽206-1的侧壁上形成第二介质层210，并采用第一散热层212填充所述第二介质层210内壁210-2之间的区域，以形成具有第二介质层210侧壁及第一散热层212填充的隔离结构二320，参考图11，或者在另一个例子中，在恢复的所述第一沟槽206-1的侧壁上形成第二散热层214，并采用第三介质层216填充所述第二散热层214内壁214-2之间区域，以形成具有第二散热层侧壁214及第三介质层216填充的隔离结构三330，参考图12，或者在又一个实施例中，在恢复的所述第一沟槽206-1内填充第三散热层218，以形成散热区340。同时具有隔离区结构一310、隔离区结构二320和隔离区结构三330

的衬底结构参考图13。

可选地，还可以根据需要，去除上述已形成的各隔离结构中的一部分，以恢复部分数目的第一沟槽206-1，在恢复的第一沟槽206-1中填充异于已形成的各隔离结构所需材料，可使同一半导体衬底200上形成多种隔离区结构，或者，在使同一半导体衬底200具有隔离区结构之余，还具有散热结构，利于满足设计需要。此外，还可以通过多次掩膜、刻蚀、填充的方法来形成隔离区结构一310同隔离区结构二320、隔离区结构三330、散热区340任意结构组合的衬底结构。作为示例，在所述半导体衬底200具有隔离区结构一310、隔离区结构三330和散热区340时，可先在所述半导体衬底200中形成第一沟槽，再在所述第一沟槽中形成隔离区结构一310；继而，在所述半导体衬底200中的剩余区域中形成第三沟槽，再在所述第三沟槽中形成隔离区结构三330；最后，在所述隔离区结构一310和隔离区结构三330之外的区域中形成第四沟槽，再在所述第四沟槽中形成散热区340。所述半导体衬底200具有隔离区结构及散热区的组合时，其形成方法与之类似，不再赘述。

在第二实施例中，仅描述同第一实施例不同的地方，相同之处不再赘述。参考图5，可以形成暴露所述支撑层204的第二沟槽206-2，在所述第二沟槽206-2的侧壁上形成第二介质层210，并采用第一散热层212填充所述第二介质层210内壁210-2之间的区域，以形成具有第二介质层侧壁和第一散热层填充的隔离区结构二320。可选地，可采用与第一实施例中描述的方法类似的方法（先填充全部第二沟槽，再恢复部分数目的第二沟槽，在恢复的第二沟槽中形成其他隔离区结构或散热区；或者，分步刻蚀各沟槽，进而分步形成各隔离区结构或散热区），进一步形成其与隔离区结构一310、隔离区结构三330、散热区340中至少一项组合而成的衬底结构，从而形成具有隔离区结构二320或隔离区结构二320同隔离区结构一310、隔离区结构三330、散热区340任意结构组合的衬底结构。

在第三实施例中，仅描述同第一实施例及第二实施例不同的地方，相同之处不再赘述。参考图6，可以形成暴露所述支撑层204第三沟槽206-3，在所述第三沟槽206-3的侧壁上形成第二散热层214，并采用第三介质层216填充所述第二散热层214内壁214-2之间的区域，以形成具有第二散热层侧壁和第三介质层层填充的隔离区结构三330。可选地，可采用与第一实施例及第二实施例中描述的方法类似的方法，可以进一步形成其与隔离区结构一310、隔离区结构二320、散热区340中至少一项组合而成的衬底结构，从而形成具有隔离区结构三330或隔离区结构三330同隔离区结构一310、

隔离区结构2320、散热区340任意结构组合的衬底结构。

而后，进行平坦化处理，去除硬掩膜202及其他填充材料，直至暴露衬底。

在以上各实施例中，其中所述第一介质层、第二介质层和第三介质层包括绝缘材料，所述绝缘材料的例子包括氮化物、氧化物、低k介质材料或其他材料，或其组合，

5 其中所述第一散热层、第二散热层和第三散热层包括金属材料。

在步骤S04，在步骤S04，去除所述支撑层204。可以利用CMP或湿法刻蚀的方法，进一步将支撑层204去除，以暴露衬底，形成衬底结构，参考图7-图9、图14-图16。所述图例仅为示例，本发明不限于此。

而后，根据需要，参考图7-图9、图17-图20，可以在上述任一衬底结构的上表面  
10 和/或下表面上形成半导体器件300，所述半导体器件可以包括晶体管、二极管或其他电学器件。所述图例仅为示例，本发明不限于此。

以上对具有穿通隔离的半导体衬底、半导体器件及其制造方法进行了详细的描述，通过形成贯穿衬底的隔离区，可以利用衬底的两个表面形成器件结构，从而提高衬底的利用率并提高了器件的集成度。此外，在优选的实施例中，还可以进一步形成  
15 散热区，以提高器件的散热性能。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

20 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求  
25 旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

## 权 利 要 求

1. 一种衬底结构，所述衬底结构包括：

半导体衬底；

5 第一隔离区；

其中所述第一隔离区包括：第一沟槽，所述第一沟槽贯穿所述半导体衬底；第一介质层，所述第一介质层填满所述第一沟槽。

2. 根据权利要求 1 所述的衬底结构，还包括第二隔离区，其中所述第二隔离区包括：第二沟槽，所述第二沟槽贯穿所述半导体衬底；第二介质层，所述第二介质层形成于所述第二沟槽的侧壁；第一散热层，所述第一散热层填满所述第二介质层内壁之间的区域。

3. 根据权利要求 1 所述的衬底结构，还包括第三隔离区，其中所述第三隔离区包括：第三沟槽，所述第三沟槽贯穿所述半导体衬底；第二散热层，所述第二散热层形成于所述第三沟槽的侧壁；第三介质层，所述第三介质层填满所述第二散热层的内壁之间的区域。

4. 根据权利要求 1-3 中任一项所述的衬底结构，还包括散热区，所述散热区包括：第四沟槽，所述第四沟槽贯穿所述半导体衬底；第三散热层，所述第三散热层填满所述第四沟槽。

5. 根据权利要求 1 至 4 中任一项所述的衬底结构，其中所述第一介质层、第二介质层和第三介质层包括绝缘材料。

6. 根据权利要求 1 至 4 中任一项所述的衬底结构，其中所述第一散热层、第二散热层和第三散热层包括金属材料。

7. 一种半导体器件，所述半导体器件形成于如权利要求 1-6 中任一项所述的衬底结构的上表面和/或下表面上。

25 8. 一种衬底结构，所述衬底结构包括，

半导体衬底；

第二隔离区；

其中所述第二隔离区包括：第二沟槽，所述第二沟槽贯穿所述半导体衬底；第二介质层，所述第二介质层形成于所述第二沟槽的侧壁；第一散热层，所述第一散热层填满所述第二介质层内壁之间的区域。

9. 根据权利要求 8 所述的衬底结构, 还包括第三隔离区, 其中所述第三隔离区包括: 第三沟槽, 所述第三沟槽贯穿所述半导体衬底; 第二散热层, 所述第二散热层形成于所述第三沟槽的侧壁; 第三介质层, 所述第三介质层填满所述第二散热层的内壁之间的区域。

5        10. 根据权利要求 9 所述的衬底结构, 还包括第一隔离区, 其中所述第一隔离区包括: 第一沟槽, 所述沟槽贯穿所述半导体衬底; 第一介质层, 所述第一介质层填满所述第一沟槽。

11. 根据权利要求 8 至 10 中任一项所述的衬底结构, 还包括散热区, 所述散热区包括: 第四沟槽, 所述第四沟槽贯穿所述半导体衬底; 第三散热层, 所述第三散热层  
10        填满所述第四沟槽。

12. 根据权利要求 8 至 11 中任一项所述的衬底结构, 其中所述第一介质层、第二介质层和第三介质层包括绝缘材料。

13. 根据权利要求 8 至 11 中任一项所述的衬底结构, 其中所述第一散热层、第二散热层和第三散热层包括金属材料。

15        14. 一种半导体器件, 所述半导体器件形成于如权利要求 8-13 中任一项所述的衬底结构的上表面和/或下表面上。

15. 一种衬底结构, 所述衬底结构包括:

半导体衬底;

第三隔离区;

20        其中所述第三隔离区包括: 第三沟槽, 所述第三沟槽贯穿所述半导体衬底; 第二散热层, 所述第二散热层形成于所述第三沟槽的侧壁; 第三介质层, 所述第三介质层填满所述第二散热层的内壁之间的区域。

16. 根据权利要求 15 所述的衬底结构, 还包括散热区, 所述散热区包括: 第四沟槽, 所述第四沟槽贯穿所述半导体衬底; 第三散热层, 所述第三散热层填满所述第四  
25        沟槽。

17. 根据权利要求 15 或 16 中所述的衬底结构, 其中所述第三介质层包括绝缘材料。

18. 根据权利要求 15 或 16 中所述的衬底结构, 其中所述第二和第三散热层包括金属材料。

30        19. 一种半导体器件, 所述半导体器件形成于如权利要求 15-18 中任一项所述的

衬底结构的上表面和/或下表面上。

20. 一种衬底结构的制造方法，所述方法包括：

A) 提供半导体衬底；

B) 在所述半导体衬底上形成支撑层；

5 C) 形成沟槽，所述沟槽贯穿所述半导体衬底且暴露所述支撑层，以及填充所述沟槽以形成隔离区；

D) 去除所述支撑层。

21. 根据权利要求 20 所述的方法，其中所述步骤 C)包括：形成贯穿所述半导体衬底且暴露所述支撑层的第一沟槽，并采用第一介质层填充所述第一沟槽，以形成第一隔离区。

22. 根据权利要求 20 所述的方法，其中所述步骤 C)包括：形成贯穿所述半导体衬底且暴露所述支撑层的第二沟槽，以及在所述第二沟槽的侧壁上形成第二介质层，并采用第一散热层填充所述第二介质层内壁之间的区域，以形成第二隔离区。

23. 根据权利要求 20 所述的方法，其中所述步骤 C)包括：形成贯穿所述半导体衬底且暴露所述支撑层的第三沟槽，以及在所述第三沟槽的侧壁上形成第二散热层，并采用第三介质层填充所述第二散热层内壁之间的区域，以形成第三隔离区。

24. 根据权利要求 21 所述的方法，其中所述步骤 C)还包括：去除部分所述第一沟槽内的第一介质层，以恢复部分第一沟槽，以及在恢复的所述第一沟槽的侧壁上形成第二介质层，并采用第一散热层填充所述第二介质层内壁之间的区域。

25 25. 根据权利要求 21 所述的方法，其中所述步骤 C)还包括：去除部分所述第一沟槽内的第一介质层，以恢复部分第一沟槽，以及在恢复的所述第一沟槽的侧壁上形成第二散热层，并采用第三介质层填充所述第二散热层内壁之间的区域。

26. 根据权利要求 22 所述的方法，其中所述步骤 C)还包括：去除部分所述第二沟槽内的第二介质层以及第一散热层，以恢复部分第二沟槽，以及在恢复的所述第二沟槽的侧壁上形成第二散热层，并采用第三介质层填充所述第二散热层内壁之间的区域。

27. 根据权利要求 24 所述的方法，其中所述步骤 C)还包括：去除部分所述第一沟槽内的第一介质层和/或所述第一散热层及所述第二介质层，以恢复部分第一沟槽，以及在恢复的所述第一沟槽的侧壁上形成第二散热层，并采用第三介质层填充所述第一沟槽。

28. 根据权利要求 20 所述的方法, 在所述步骤 C)之后还包括步骤: 去除部分沟槽内的填充物, 以恢复部分沟槽, 并采用第三散热层填满所述沟槽。

29. 根据权利要求 20-28 中任一项所述的方法, 其中所述第一介质层、第二介质层和第三介质层包括绝缘材料。

5      30. 根据权利要求 20-29 中任一项所述的方法, 其中所述第一散热层、第二散热层和第三散热层包括金属材料。

31. 一种半导体器件的制造方法, 包括步骤: 在如权利要求 20-30 中任一项所述的衬底结构的上表面和/或下表面上形成半导体器件。

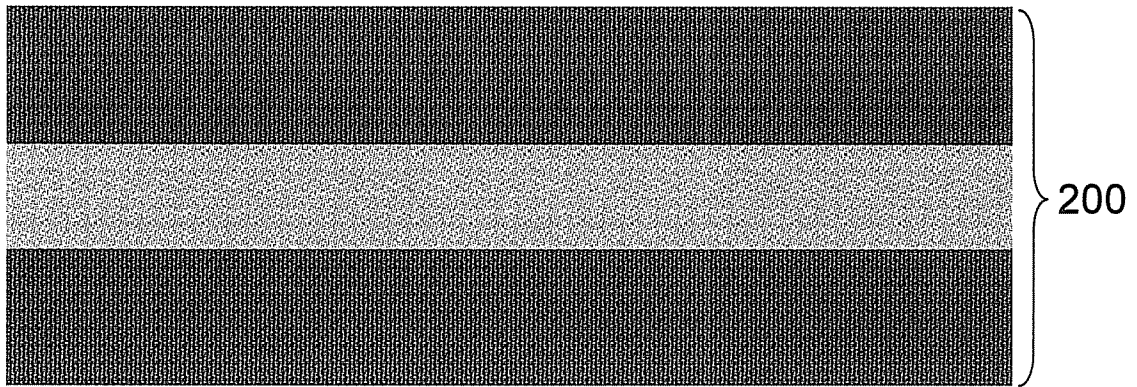


图 1

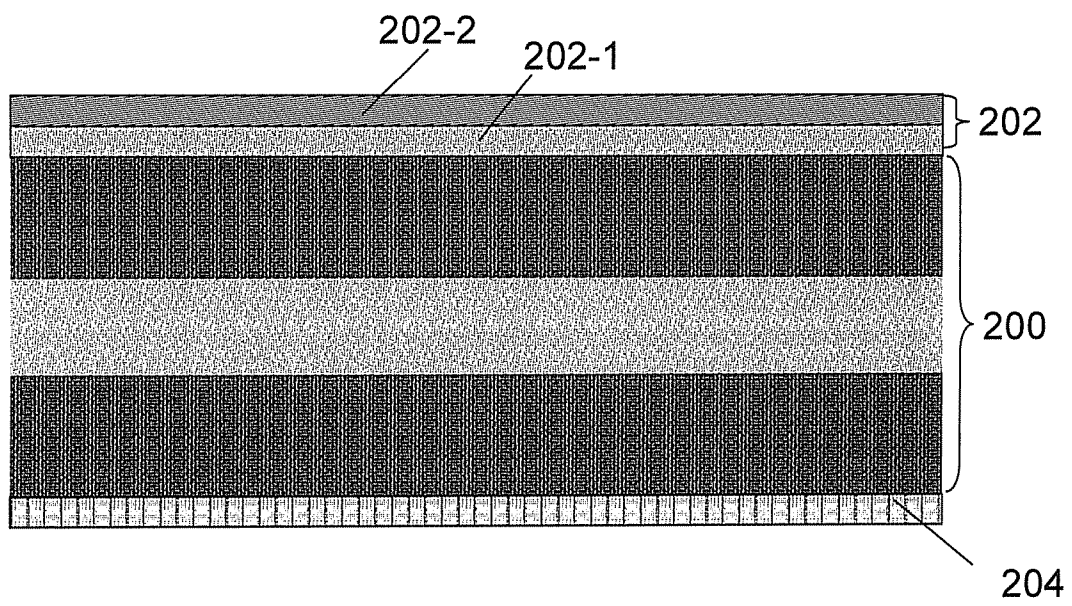


图 2

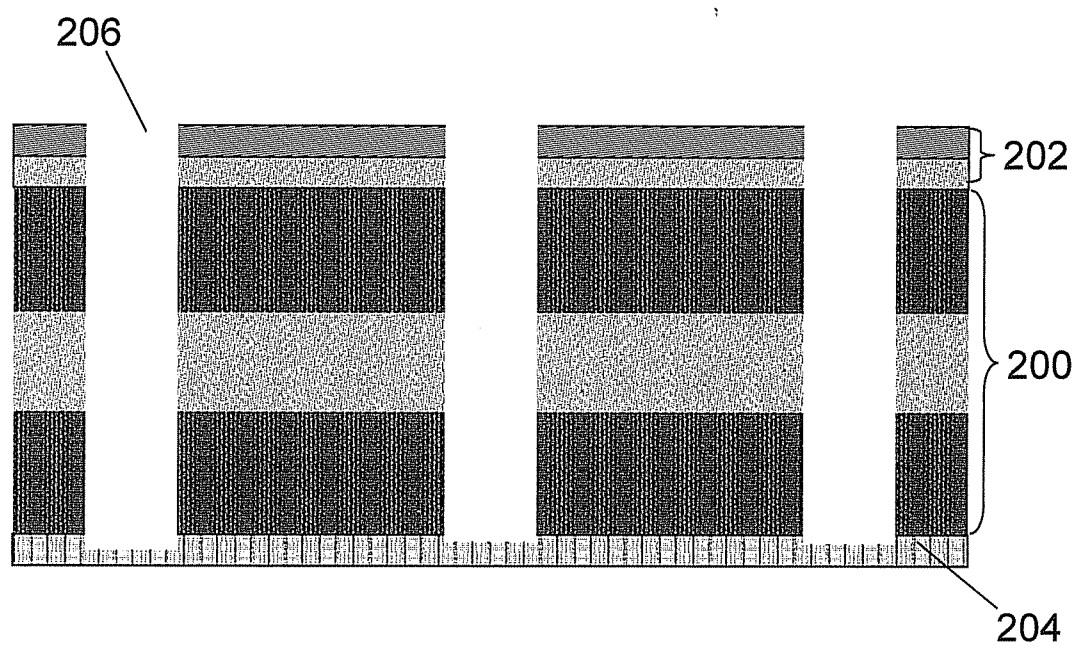


图 3

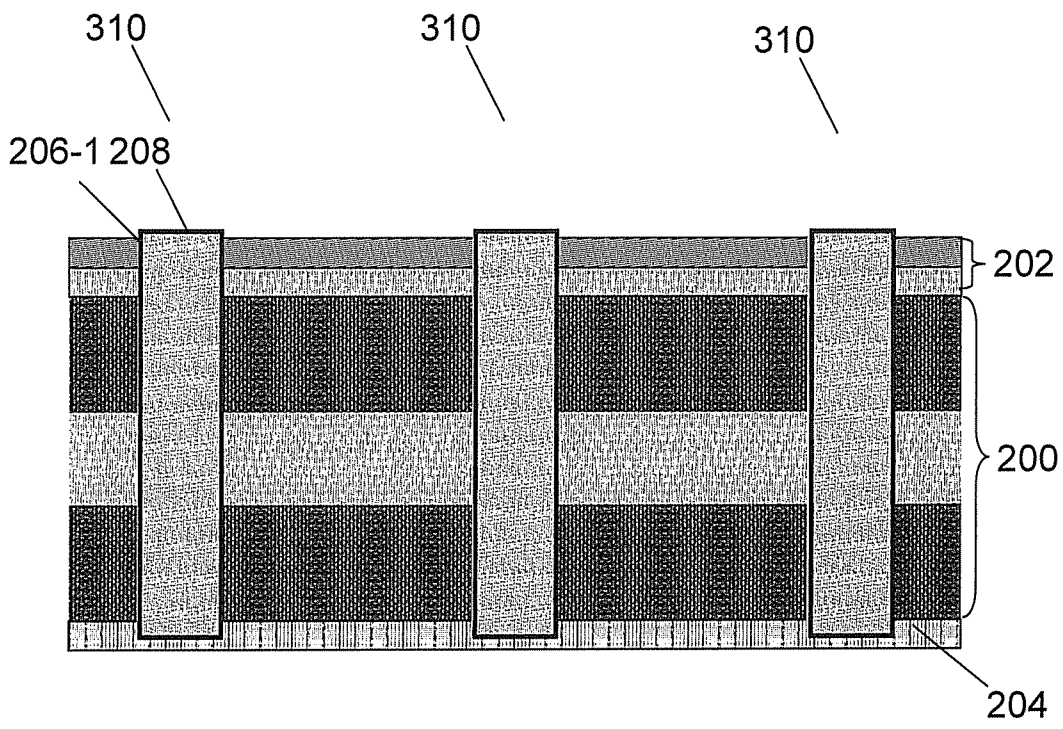


图 4

3/10

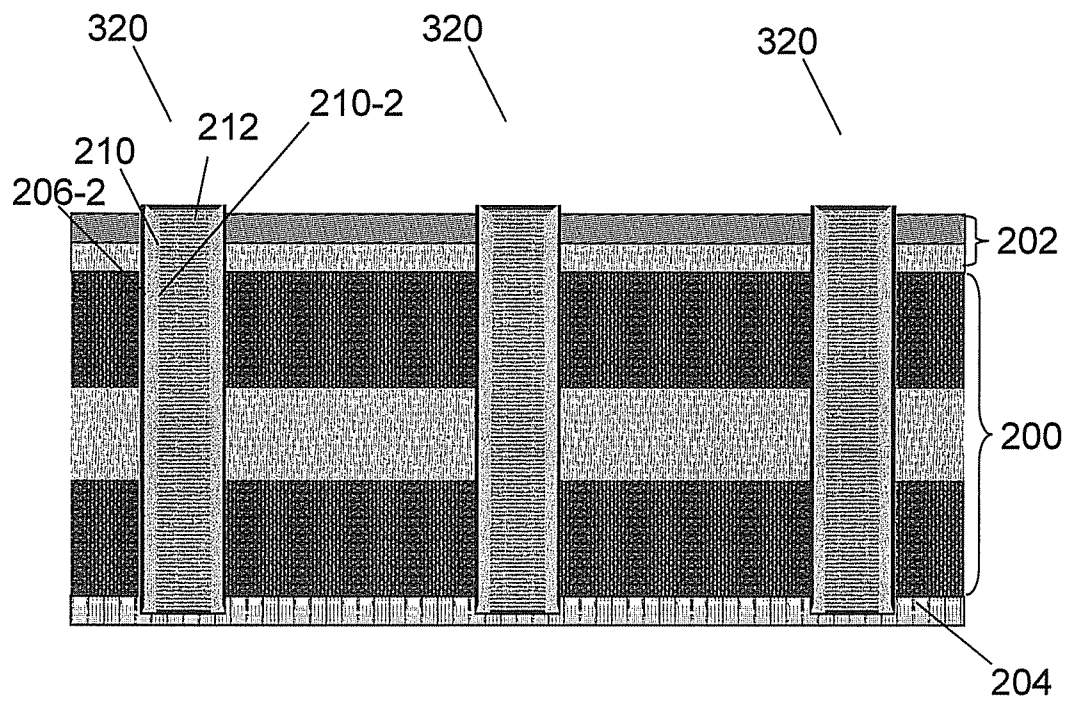


图 5

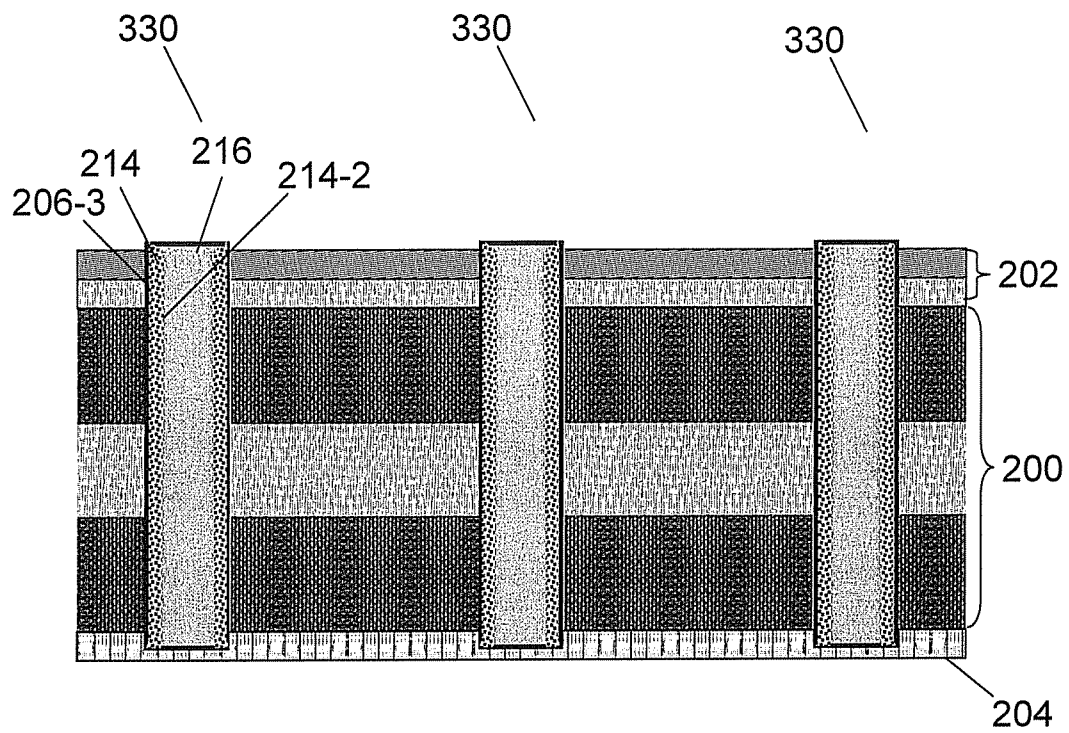


图 6

4/10

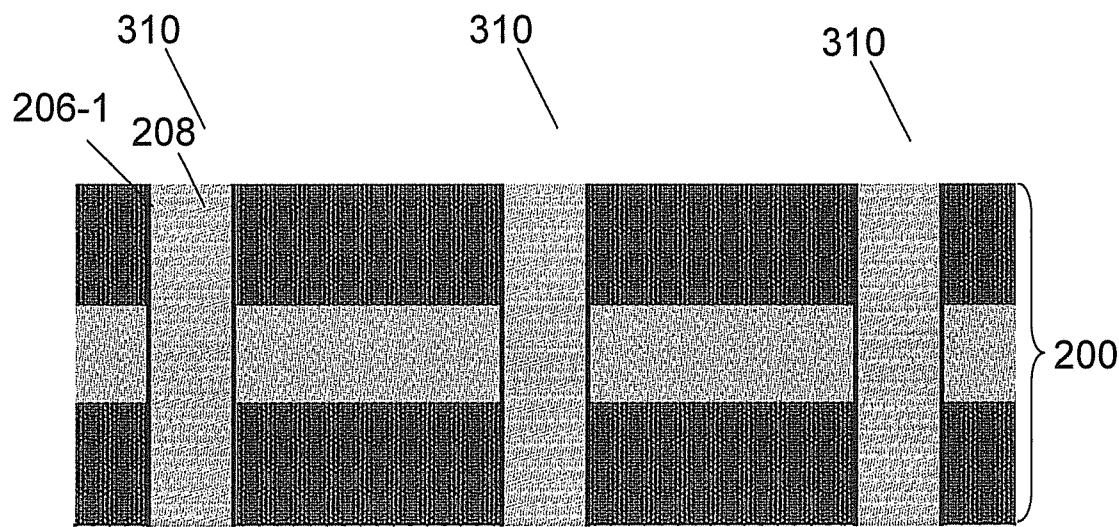


图 7

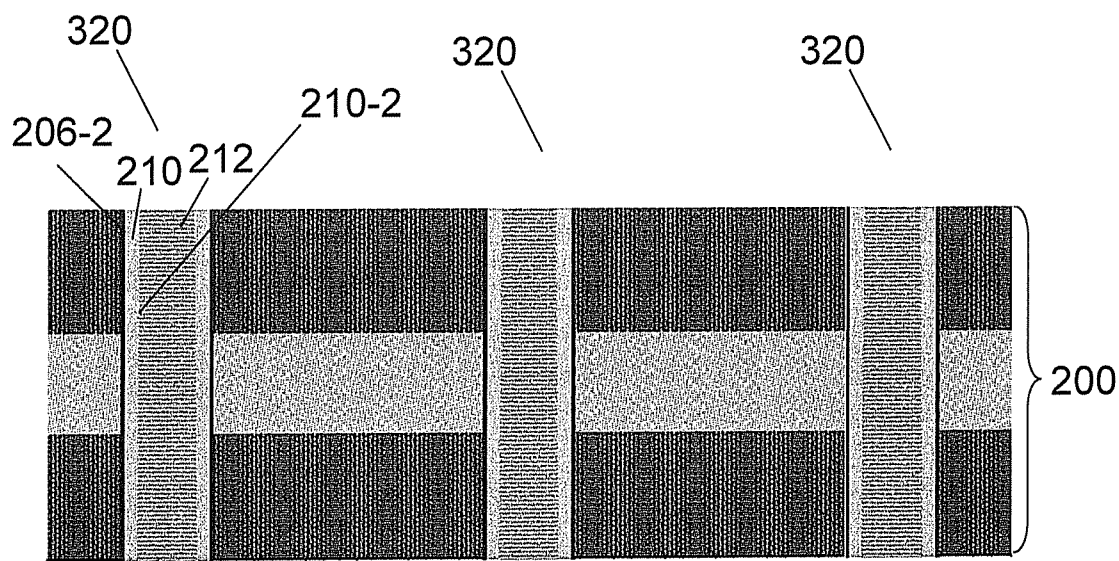


图 8

5/10

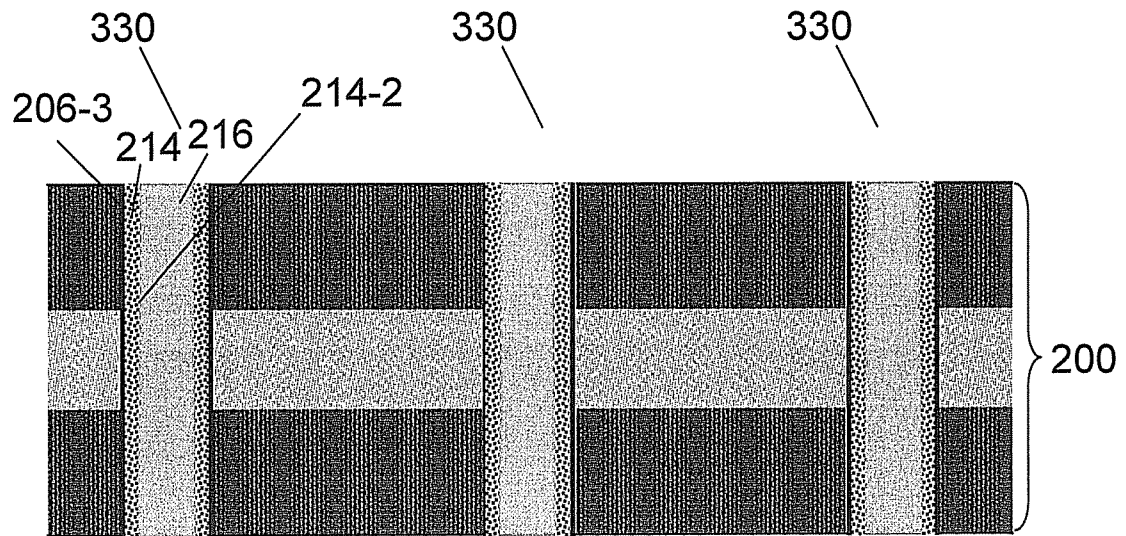


图 9

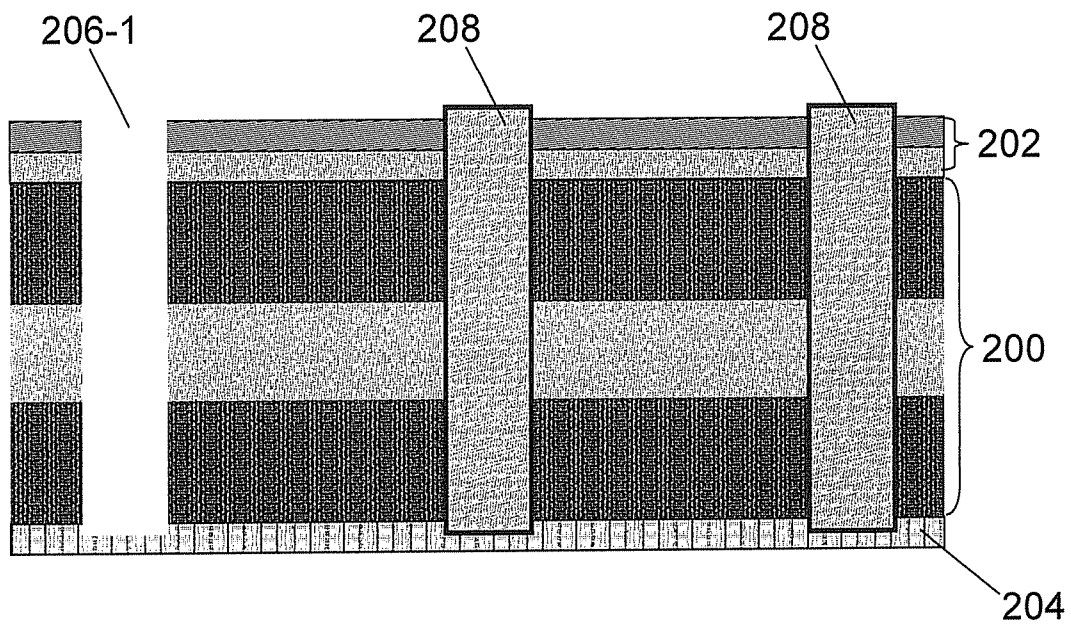


图 10

6/10

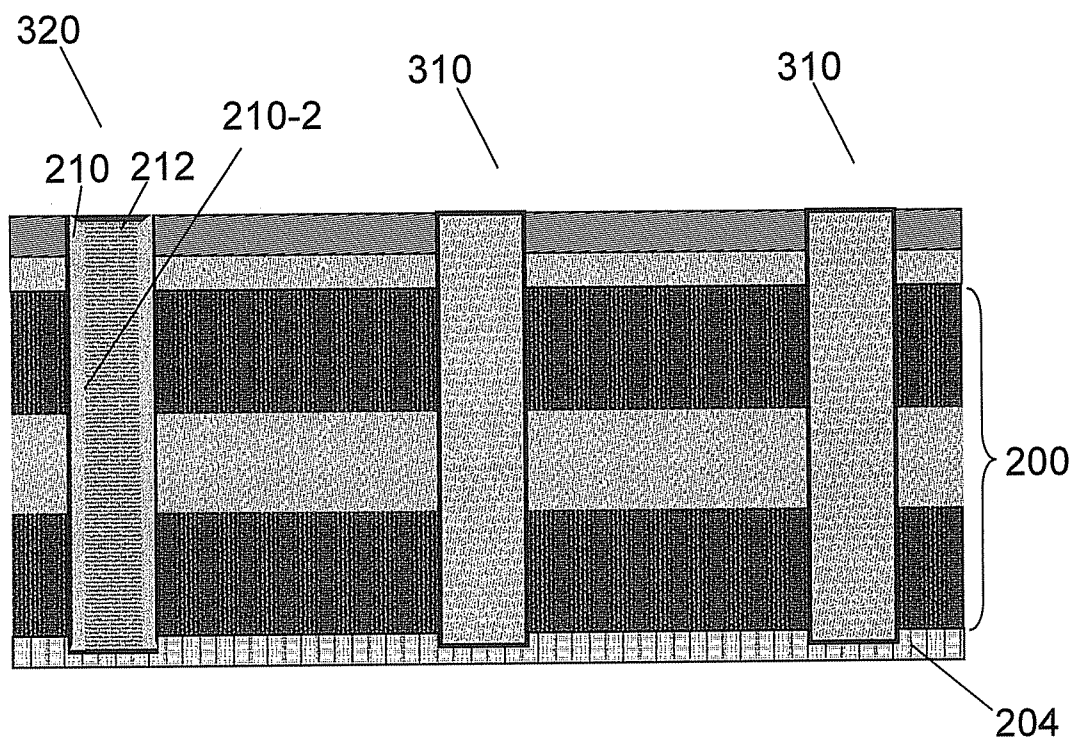


图 11

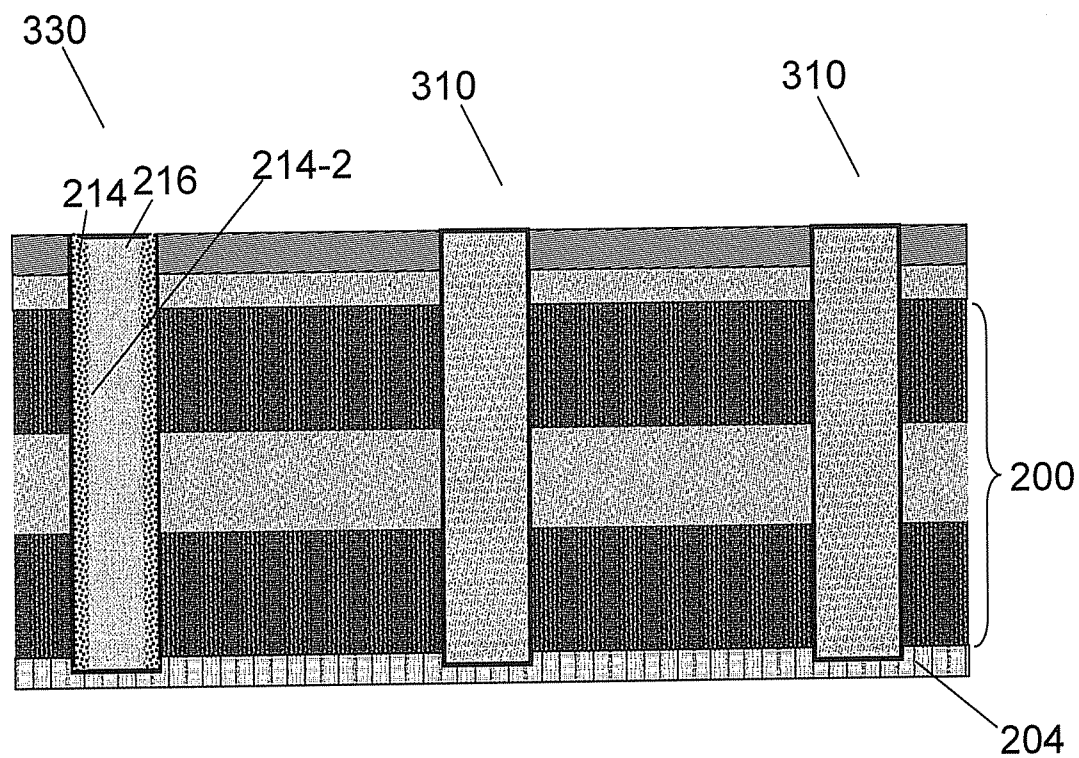


图 12

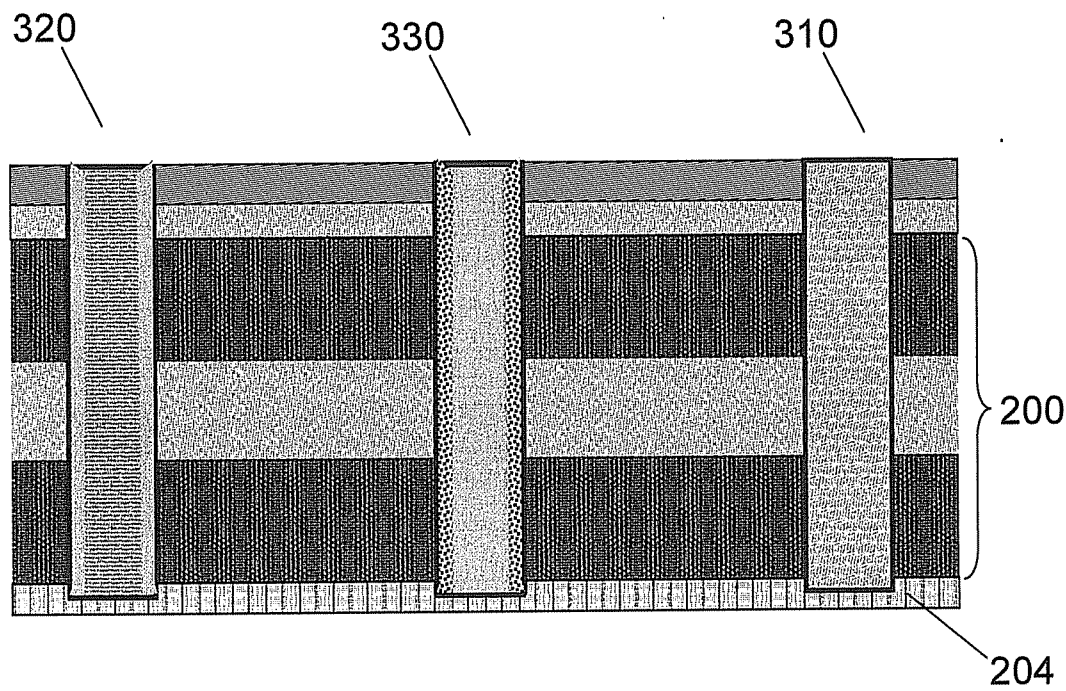


图 13

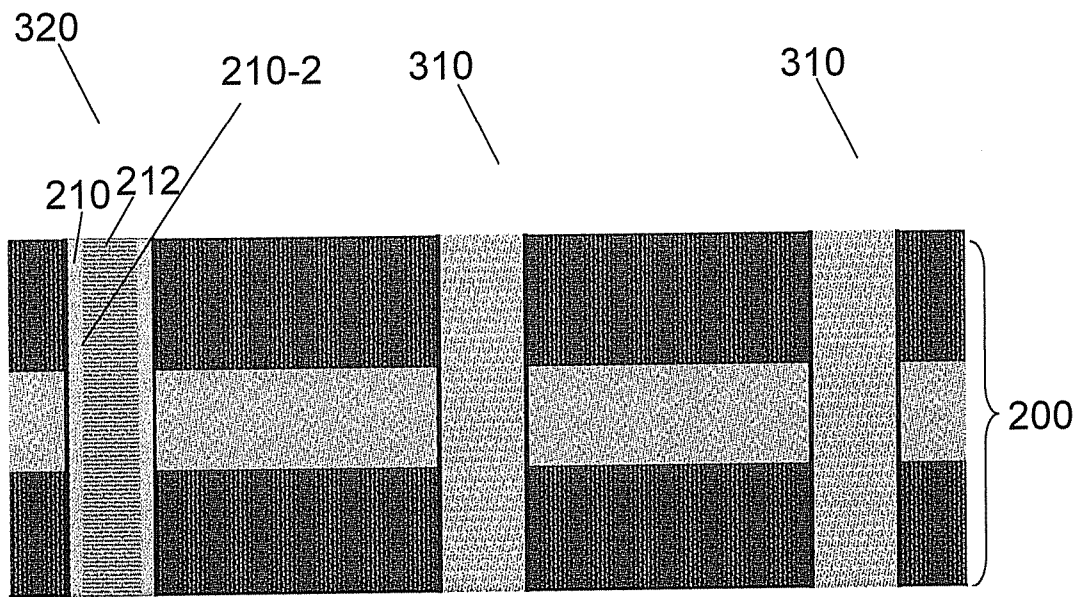


图 14

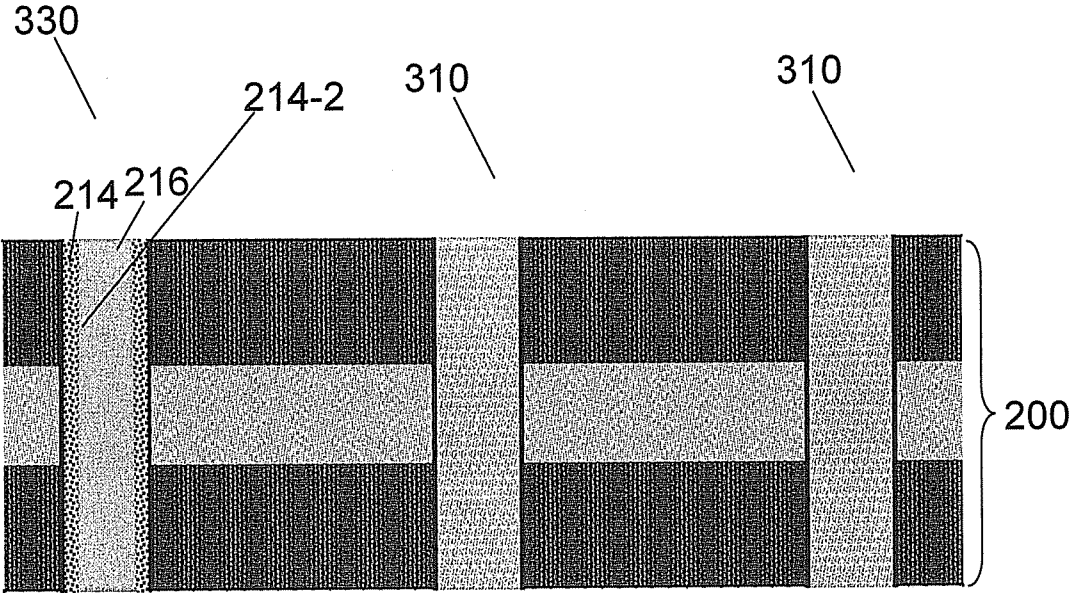


图 15

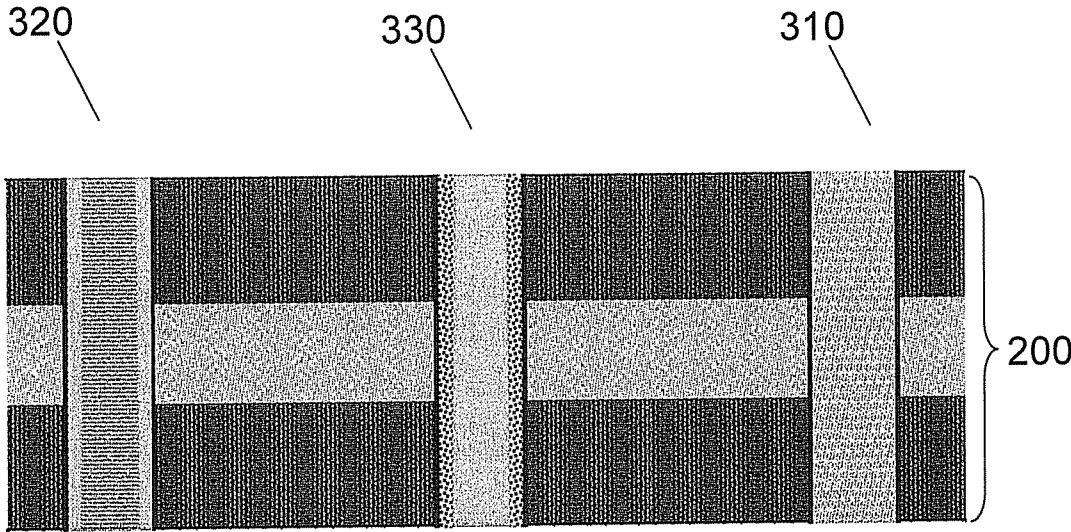


图 16

9/10

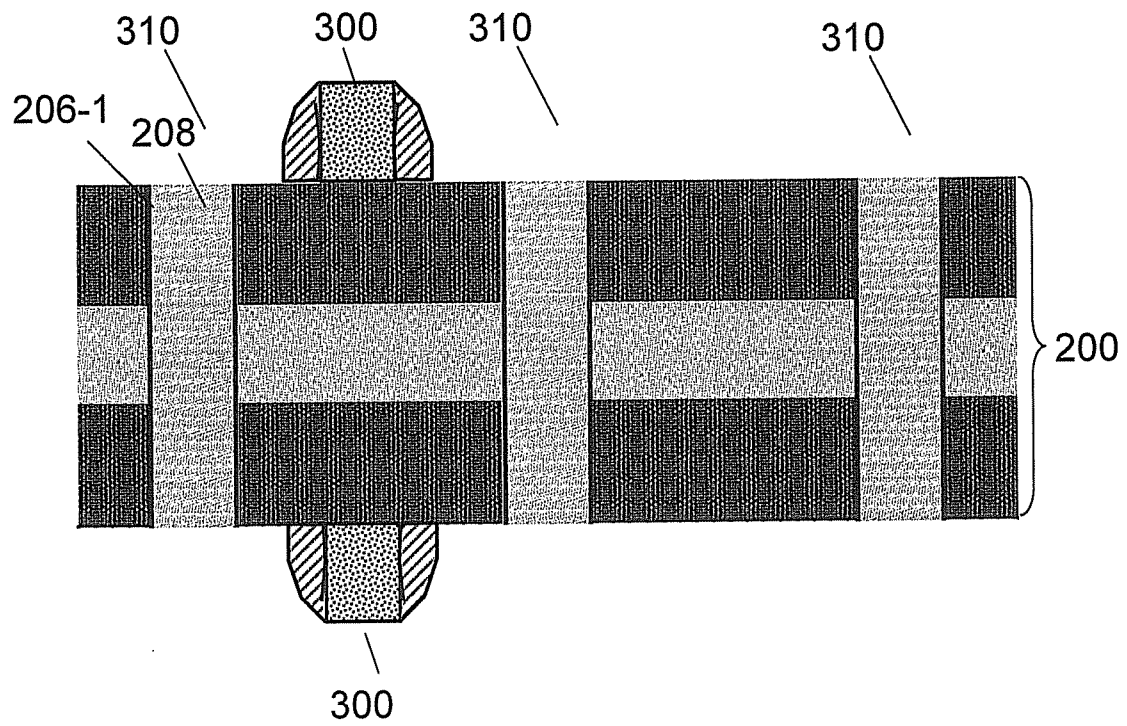


图 17

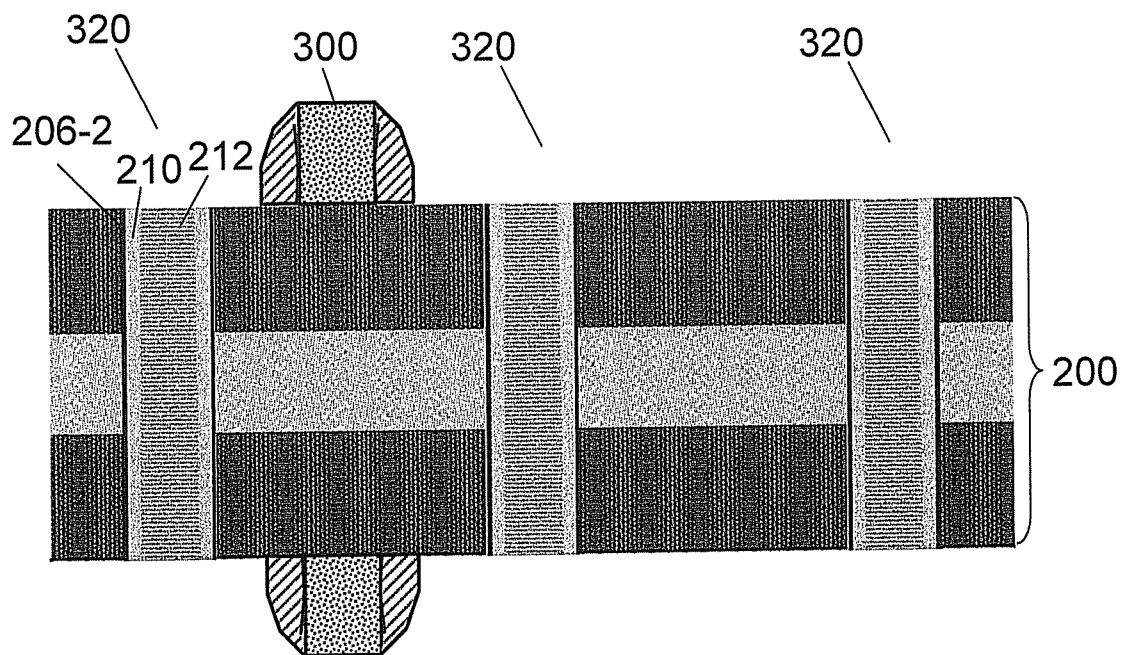


图 18

10/10

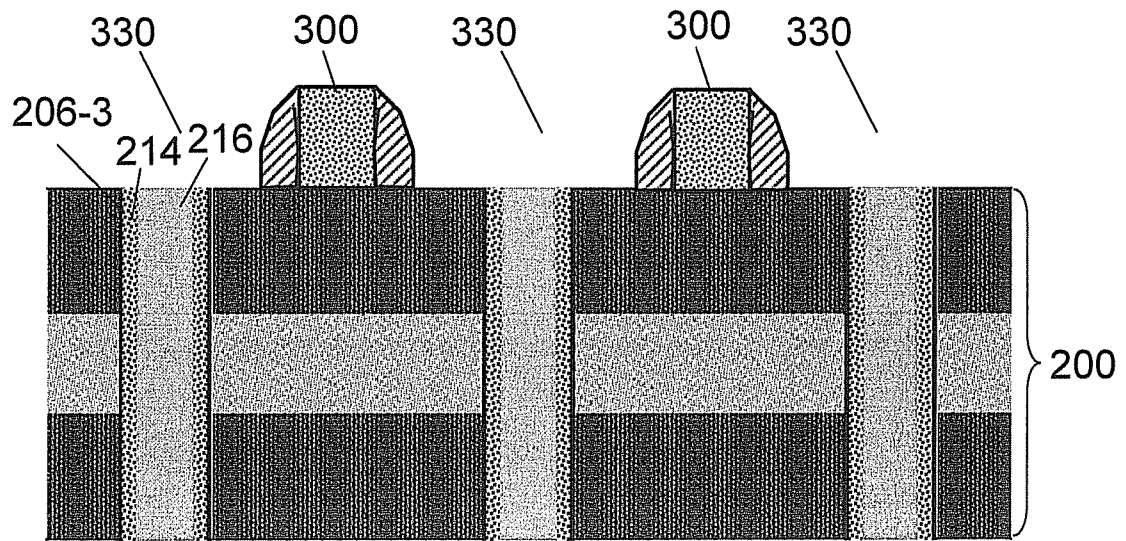


图 19

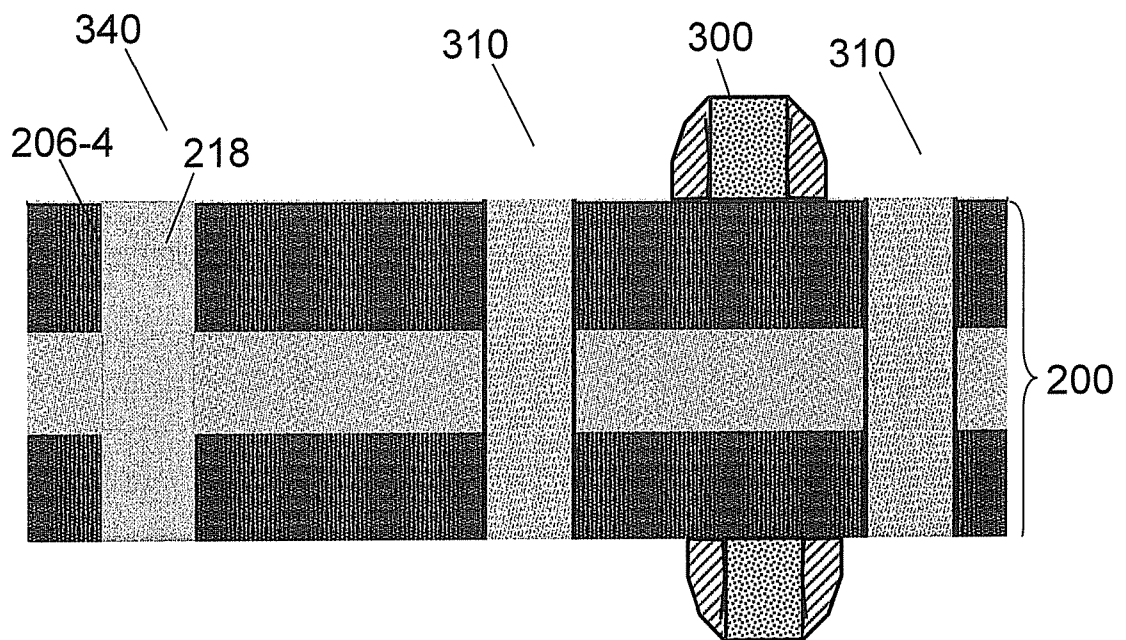


图 20

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071224

## A. CLASSIFICATION OF SUBJECT MATTER

see extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 27/-, H01L 21/-,

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: substrate, isolat+, trench, groove, heat and dissipat+, metal, dielectric, medium,

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                  | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | <b>CN 101783314 A(TAIWAN SEMICONDUCTOR MFG CO., LTD.) 21 Jul. 2010 (21.07.2010) paragraphs [0018],[0020],[0021] of the specification, figure 2c</b> | 1,5,7,20,21,29,31     |
| Y         |                                                                                                                                                     | 2,4-7,22,24,28-31     |
| X         | <b>US 2008/0224257 A1 (DENSO CORPORATION) 18 Sep. 2008 (18.09.2008) paragraphs [0040], [0037], [0026] of the specification, figures 5,7</b>         | 8,11-14               |
| Y         |                                                                                                                                                     | 2,4-7,22,24,28-31     |
| A         | <b>CN 101673701 A (SEMICONDUCTOR MFG INT BEIJING CORP) 17 Mar. 2010 (17.03.2010) the whole document</b>                                             | 1-31                  |

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

|                                                                                                                                                                          |                                                                                                                                                                                                                                                  |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                 | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| “A” document defining the general state of the art which is not considered to be of particular relevance                                                                 | “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| “E” earlier application or patent but published on or after the international filing date                                                                                | “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| “L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified) | “&” document member of the same patent family                                                                                                                                                                                                    |
| “O” document referring to an oral disclosure, use, exhibition or other means                                                                                             |                                                                                                                                                                                                                                                  |
| “P” document published prior to the international filing date but later than the priority date claimed                                                                   |                                                                                                                                                                                                                                                  |

|                                                                                       |                                                                                        |
|---------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>07 Jun. 2011(07.06.2011) | Date of mailing of the international search report<br><b>21 Jul. 2011 (21.07.2011)</b> |
|---------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------|

Name and mailing address of the ISA/CN  
The State Intellectual Property Office, the P.R.China  
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China  
100088  
Facsimile No. 86-10-62019451

Authorized officer

**LIU, Jiaqiu**

Telephone No. (86-10)62411895

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2011/071224

| Patent Documents referred<br>in the Report | Publication Date | Patent Family    | Publication Date |
|--------------------------------------------|------------------|------------------|------------------|
| CN 101783314 A                             | 21.07.2010       | US 2010181638 A1 | 22.07.2010       |
|                                            |                  | US 7897477 B2    | 01.03.2011       |
| US 2008/0224257 A1                         | 18.09.2008       | JP2008258578 A   | 23.10.2008       |
| CN 101673701 A                             | 17.03.2010       | NONE             |                  |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/071224

## CLASSIFICATION OF SUBJECT MATTER

H01L 21/762 (2006.01) i

H01L 27/04 (2006.01) i

# 国际检索报告

国际申请号  
**PCT/CN2011/071224**

## A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 27/-, H01L 21/-,

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNABS, TWABS, VEN, EPODOC, DWPI, IEEE: 衬底, 基板, 沟槽, 隔离, 贯穿, 散热, 金属, 介质, 介电, substrate, isolat+, trench, groove, heat and dissipat+, metal, dielectric, medium,

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                                                          | 相关的权利要求           |
|------|----------------------------------------------------------------------------------------------------------------------------|-------------------|
| X    | <b>CN 101783314 A</b> (台湾积体电路制造股份有限公司) <b>21.7 月 2010</b><br>( <b>21.07.2010</b> ) 说明书第[0018]、[0020]、[0021]段, 图 2c         | 1,5,7,20,21,29,31 |
| Y    |                                                                                                                            | 2,4-7,22,24,28-31 |
| X    | <b>US 2008/0224257 A1 (DENSO CORPORATION)</b> <b>18.9 月 2008</b><br>( <b>18.09.2008</b> ) 说明书第[0040]、[0037]、[0026]段, 图 5、7 | 8,11-14           |
| Y    |                                                                                                                            | 2,4-7,22,24,28-31 |
| A    | <b>CN 101673701 A</b> (中芯国际集成电路制造(北京)有限公司) <b>17.3 月 2010</b><br>( <b>17.03.2010</b> ) 全文                                  | 1-31              |

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期  
07.6 月 2011(07.06.2011)

国际检索报告邮寄日期  
**21.7 月 2011 (21.07.2011)**

ISA/CN 的名称和邮寄地址:  
中华人民共和国国家知识产权局  
中国北京市海淀区蓟门桥西土城路 6 号 100088  
传真号: (86-10)62019451

受权官员  
  
**刘佳秋**  
  
电话号码: (86-10) **62411895**

国际检索报告  
关于同族专利的信息

国际申请号  
**PCT/CN2011/071224**

| 检索报告中引用的<br>专利文件   | 公布日期       | 同族专利             | 公布日期       |
|--------------------|------------|------------------|------------|
| CN 101783314 A     | 21.07.2010 | US 2010181638 A1 | 22.07.2010 |
|                    |            | US 7897477 B2    | 01.03.2011 |
| US 2008/0224257 A1 | 18.09.2008 | JP2008258578 A   | 23.10.2008 |
| CN 101673701 A     | 17.03.2010 | 无                |            |

主题的分类

H01L 21/762 (2006.01) i

H01L 27/04 (2006.01) i