

公告本

申請日期	87.6.-4
案 號	87108826
類 別	H21L ²¹ /26

A4
C4

449869

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	層疊式積體電路之製造方法
	英 文	
二、發明人 創作	姓 名	李家聲
	國 籍	中華民國
	住、居所	新竹市光復路一段 376 巷 171 號 7 樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代 表 人 姓 名	曹興誠

裝 訂 線

五、發明說明 (/)

本發明是有關於一種半導體積體電路之製造方法，且特別是有關於一種層疊式積體電路之製造方法。

一般積體電路(IC)設計時，若存有大量二極體(diode)、井(well)電阻、N⁺電阻、雙載子接面電晶體(BJT)...等接面結構，則接面結構元件將大量且嚴重地耗損晶圓(wafer)面積，因而，降低了元件積集度(integration)。

再者，若將許多二極體、井電阻、N⁺電阻、雙載子接面電晶體...等接面結構與金氧半導體(MOS)電晶體，同時並存於晶圓平面，假如個元件隔離距離不足，將會發生嚴重的閉鎖(latch up)現象，或者操作電位難以精確控制等缺失。

有鑑於此，本發明的主要目的就是在提供一種層疊式積體電路之製造方法，將二極體、井電阻、N⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體以層疊式排列於晶圓上，如此節省元件佔用晶圓之面積，提高晶圓每單位面積積體電路的積集度。

本發明的另一目的是在提供一種層疊式積體電路之製造方法，形成絕緣層上有矽(Silicon On Insulator, SOI)之結構，來隔離接面結構元件與金氧半元件，解決習知技藝中絕緣隔離不足所產生之缺失。

根據本發明之上述目的，提出一種層疊式積體電路之製造方法，包括：首先，提供一半導體基底；接著，形成一第一氧化層，在半導體基底上；之後，形成一氮化矽層，在第一氧化層上；然後，蝕刻部分氮化矽層，定義接面區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

域；再來，進行接面佈植，接面趨入，並進行氧化，在半導體基底內形成複數種接面元件；接著，移除氮化矽層與第一氧化層；之後，形成一第二氧化層，在半導體基底上；接著，對半導體基底，進行氧原子佈植，植入半導體基底表面下；然後，進行回火與氧化，形成一埋入氧化絕緣層，在半導體基底表面之下；之後，移除第二氧化層；再來，進行磊晶成長，形成一磊晶矽層，在埋入氧化絕層上；接著，形成一渠溝隔離層，在磊晶矽層中；以及，形成複數種金氧半元件，在磊晶矽層上。

依照本發明一較佳實施例，其中，形成該些接面元件之方法包括：首先，進行井佈植，形成複數個 P 接面；之後，進行選擇性 N 型離子佈植；然後，進行選擇性 P 型離子佈植；以及，進行離子驅入，在 P 接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

依照本發明一較佳實施例，其中，形成該些接面元件之方法包括：首先，進行井佈植，形成複數個 N 接面；之後，進行選擇性 N 型離子佈植；然後，進行選擇性 P 型離子佈植；以及，進行離子驅入，在 P 接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

依照本發明一較佳實施例，其中，形成該些金氧半元件之方法，更包括：首先，分別進行選擇性 N 井佈植與選擇性 P 井佈植，在磊晶矽層中形成一 N 井與一 P 井；之後，形成一閘極氧化層與一閘極導電層，在磊晶矽層上，並定義閘極圖案；然後，分別選擇性於 N 井中進行 P 型淡摻雜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

汲極佈植，於 P 井中進行 N 型淡摻雜汲極佈植；接著，形成一間隙壁，在磊晶矽層上與閘極導電層側邊；以及，分別選擇性於 N 井中進行 P 型雜質重摻雜佈植，於 P 井中進行 N 型雜質重摻雜佈植。

依照本發明之上述目的，提出另一種層疊式積體電路之製造方法，包括：首先，提供一半導體基底；之後，實施氧化，在半導體基底上形成一第一氧化層；然後，在第一氧化層上沉積一氮化矽層；接著，蝕刻部分氮化矽層，將半導體基底定義複數個接面區域；之後，進行接面佈植，接面趨入，並進行氧化，在該些接面區域對應形成複數種接面元件；然後，移除氮化矽層與第一氧化層；接著，實施氧化，在半導體基底上形成一第二氧化層；之後，對半導體基底，進行氧原子佈植，植入半導體基底表面下一特定深度；然後，進行回火與氧化，在半導體基底表面下之特定深度處，形成一埋入氧化絕緣層；之後，移除第二氧化層；然後，進行磊晶成長，在埋入氧化絕層上形成一磊晶矽層；接著，在磊晶矽層中形成複數個隔離渠溝；以及，在磊晶矽層上形成複數種金氧半元件，該些金氧半元件藉由該些隔離渠溝而相互絕緣隔離。

依照本發明一較佳實施例，其中，形成該些接面元件之方法包括：首先，進行井佈植，形成複數個 P⁺接面；之後，分別進行選擇性 N 型離子佈植與選擇性 P 型離子佈植；以及，進行離子驅入，在該些 P⁺接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

依照本發明一較佳實施例，其中，形成該些接面元件之方法包括：首先，進行井佈植，形成複數個 N 接面；之後，分別進行選擇性 N 型離子佈植與選擇性 P 型離子佈植；以及，進行離子驅入，在該些 P 接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

依照本發明一較佳實施例，其中，形成該些金氧半元件之方法，更包括：首先，分別進行選擇性 N 井佈植與選擇性 P 井佈植，在磊晶矽層中形成一 N 井與一 P 井；之後，在磊晶矽層上，形成一閘極氧化層與一閘極導電層，並定義閘極導電層與閘極氧化層，形成閘極圖案；然後，分別選擇性於 N 井中進行 P 型淡摻雜汲極佈植，於 P 井中進行 N 型淡摻雜汲極佈植；接著，在磊晶矽層上與閘極導電層側邊，形成一間隙壁；以及，分別選擇性於 N 井中進行 P 型雜質重摻雜佈植，於 P 井中進行 N 型雜質重摻雜佈植。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

- 第 1 圖是習知一種 SOI 結構之剖面示意圖；
- 第 2 圖是本發明一較佳實施例之一種層疊式積體電路結構之剖面示意圖；以及
- 第 3A 至 3I 圖是依照本發明一較佳實施例之一種層疊式積體電路之製造流程剖面圖。

圖式之標記說明：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

- 100：半導體矽基底
- 101：埋入氧化層
- 102：矽薄膜層
- 200：半導體基底
- 201：氧化絕緣層
- 202：磊晶矽層
- 203, 205, 208：P⁻接面
- 204, 206：N⁺接面
- 207, 209：P⁺接面
- 210：N⁺電阻
- 211：二極體
- 212：P⁻井電阻
- 213：渠溝
- 214：NMOS
- 215：PMOS
- 216：P⁻通道區
- 217：N⁻區
- 218：N⁺源極/汲極區
- 219：閘極氧化層
- 220：閘極導電層
- 222：N⁻通道區
- 223：P⁻區 223
- 224：P⁺源極/汲極區
- 225：閘極氧化層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

- 226：閘極導電層
- 221, 227：間隙壁
- 228：內層介電層
- 229, 230, 231, 232, 233：接觸插塞
- 234：金屬層
- 235：保護層
- 236：第一氧化層
- 237：氮化矽層
- 238, 239, 240：接面區域
- 241：第二氧化層
- 242：特定深度

實施例

本發明利用絕緣層上有矽(Silicon On Insulator, SOI)結構，配合渠溝隔離(trench isolation)之技術，來隔離接面結構元件與金氧半元件。

如第 1 圖所示，SOI 結構包括一半導體矽基底 100、一埋入氧化層(buried oxide)101 與一矽薄膜層(silicon film)102。氧化絕緣層 101 上有矽層 102，所以被稱為絕緣層上有矽結構。其中，矽薄膜層 102 可以是 N⁻磊晶層(N⁻exptaxy film)或 P⁻磊晶層。半導體基底 100 可以是 N⁻基底或 P⁻基底。

本發明較佳實施例所提出之一種層疊式積體電路之製造方法，係將二極體、井電阻、N⁺電阻、雙載子接面電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

體...等接面結構元件與金氧半導體電晶體，以 SOI 結構的埋入氧化絕緣層隔離，使得二極體、井電阻、N⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體分別位於埋入氧化絕緣層上下兩面，層疊式排列於晶圓上。

第 2 圖繪示依照本發明一較佳實施例的一種層疊式積體電路結構之剖面示意圖。以下請參照第 2 圖，用以說明解釋本發明一較佳實施例之一種層疊式積體電路結構。

如第 2 圖所示，本發明較佳實施例，將 P⁻、N⁻、P⁺、N⁺等接面安排在氧化絕緣層 201 之下的半導體基底 200 中，上述之接面結構可組合成二極體、電阻、雙載子接面電晶體...等各種接面元件。例如，P⁻接面 203 與 N⁺接面 204 構成一 N⁺電阻 210，P⁻接面 205、N⁺接面 206 與 P⁺接面 207 構成一二極體 211，P⁻接面 208 與 P⁺接面 209 構成一 P⁻井電阻 212。其中，P⁻接面 203, 205, 208 可以是一 P⁻井(P⁻ well)。上述之接面元件結構僅為舉例，並不用以限定本發明之結構應用，例如，可以是 P⁺電阻、以 N⁻當作井之二極體、N⁻井電阻等。

再來，參照第 2 圖所示，本發明較佳實施例，將金氧半導體(MOS)安置於氧化絕緣層 201 之上的磊晶矽層 202 上。並且以渠溝隔離技術，在磊晶矽層 202 內形成一渠溝 213 絕緣隔離相鄰的 MOS 元件 214 或 215。其中，MOS 元件 214 為 NMOS，其結構包括一 P⁻通道區 216、一 N⁻區 217、一 N⁺源極/汲極區 218、一閘極氧化層 219 與一閘極導電層 220；MOS 元件 215 為 PMOS，其結構包括一 N⁻通道區 222、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

一 P⁻區 223、一 P⁺源極/汲極區 224、一閘極氧化層 225 與一閘極導電層 226。另外，NMOS 214 更包括一間隙壁(spacer)221，PMOS 215 更包括一間隙壁 227。

再者，如第 2 圖所示，本發明較佳實施例，更在 MOS 元件之上安置一內層介電層(Inter-Layer Dielectric, ILD)228，接觸插塞(contact plug)229, 230, 231, 232, 233，一金屬層 234 與一保護層(passivation layer)235。接觸插塞 229, 230, 231, 232, 233 分別連接不同元件的各個操作電極，使得金屬層 234 得以電性接觸不同元件的各個操作電極。

因此，本發明所提供之一種層疊式積體電路結構，如第 2 圖所示，其包括一半導體基底 200、一埋入絕緣層 201、一磊晶矽層 202、複數種接面元件 210, 211, 212、複數個金氧半元件 214, 215 與複數個渠溝 213。其中，埋入絕緣層 201，位於半導體基底 200 之上，可以是一氧化絕緣層。磊晶矽層 202，位於埋入絕緣層 201 之上，可以是一 P-磊晶矽層 N-磊晶矽層。複數種接面元件包括 N⁺電阻、P⁺電阻、N-井電阻、P-井電阻、二極體或雙載子雙接面電晶體等之各種元件任一組合，位於埋入絕緣層 201 之下，建構在半導體基底 200 內。複數個金氧半元件包括 NMOS 或 PMOS 之任一組合，位於埋入絕緣層 201 之上，建構在磊晶矽層 202 上。複數個渠溝 213，用以隔離相鄰之各個金氧半元件。

第 3A 至 3I 圖是依照本發明一較佳實施例之一種層疊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

式積體電路之製造流程剖面圖。以下請參照第 3A 至 3I 圖，用以說明本發明一較佳實施例之一種層疊式積體電路之製造方法。

首先，如第 3A 圖所示，提供一半導體基底 200，並於其上依序形成一第一氧化層 236 與一氮化矽層 237；之後，蝕刻部分氮化矽層 237，定義接面區域(junction area)238, 239, 240。

接著，如第 3B 圖所示，進行接面佈植(junction implant)，接面趨入(junction drive in)，並進行氧化，在半導體基底 200 內形成複數種接面元件 210, 211, 212。其中，N⁺電阻 210 由 P⁻接面 203 與 N⁺接面 204 所構成，且 N⁺接面 204 位於 P⁻接面 203 內；二極體 211 由 P⁻接面 205、N⁺接面 206 與 P⁺接面 207 所構成，且 N⁺接面 206 與 P⁺接面 207 相接位於 P⁻接面 205 中；P⁻井電阻 212 由 P⁻接面 208 與 P⁺接面 209 所構成，且 P⁺接面 209 位於 P⁻接面 208 內。

形成上述接面元件的方法更可包括：首先，進行井佈植，形成複數個 P⁻接面 203, 205, 208；接著，分別進行選擇性 N 型離子佈植與選擇性 P 型離子佈植；以及，進行離子驅入，在 P⁻接面 203, 205, 208 中選擇形成複數個 N⁺接面 204, 206 與複數個 P⁺接面 207, 209。例如，在接面區域 238 中形成 P⁻接面 203 與 N⁺接面 204；在接面區域 239 中形成 P⁻接面 205、N⁺接面 206 與 P⁺接面 207；在接面區域 240 中形成 P⁻接面 208 與 P⁺接面 209。

上述之接面元件 203, 205, 208 結構僅為舉例，並不用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

以限定本發明之結構應用，例如，更可以是 P⁺電阻、以 N⁻當作井之二極體、N⁻井電阻等。因此，P⁺電阻由 N⁻接面與 P⁺接面所構成，且 P⁺接面位於 N⁻接面內；二極體由 N⁻接面、N⁺接面與 P⁺接面所構成，且 N⁺接面與 P⁺接面相接位於 N⁻接面中；N⁻井電阻由 N⁻接面與 N⁺接面所構成，且 N⁺接面位於 N⁻接面 208 內。

再來，如第 3C 圖所示，移除半導體基底 200 上之氮化矽層 237 與第一氧化層 236。

之後，如第 3D 圖所示，在半導體基底 200 上，形成一第二氧化層 241。

接著，如第 3E 圖所示，對半導體基底 200，進行氧原子佈植，植入半導體基底 200 表面下一特定深度 242。

之後，如第 3F 圖所示，進行回火與氧化，在半導體基底 200 表面下特定深度 242，形成一埋入氧化絕緣層 201。

接著，如第 3G 圖所示，移除半導體基底 200 上方之第二氧化層 241。

再來，如第 3H 圖所示，進行磊晶成長，在埋入氧化絕層 201 上，形成一磊晶矽層 202。

接著，如第 3I 圖所示，在磊晶矽層 202 中，形成一溝隔離層 213；之後，在磊晶矽層 202 上，形成複數種金氧半元件 214, 215。形成該些金氧半元件之方法，更包括：分別對該磊晶矽層 202 進行選擇性 N 井佈植與選擇性 P 井佈植，在磊晶矽層 202 中形成一 N 井 222 與一 P 井 216；接著，在磊晶矽層 202 上，形成一閘極氧化層 225 (219)與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (I I)

一閘極導電層 226(220)，並定義閘極導電層 226(220)與閘極氧化層 225(219)，形成閘極圖案；之後，分別選擇性於 N 井 222 中進行 P 型淡摻雜汲極佈植，於 P 井 216 中進行 N 型淡摻雜汲極佈植；接著，在磊晶矽層 202 上與閘極導電層 226(220)側邊，形成一間隙壁 227(227)；以及，分別選擇性於 N 井 222 中進行 P 型雜質重摻雜佈植，形成 P 區 223 與 P⁺源極/汲極區 224，並且，另於 P 井 216 中進行 N 型雜質重摻雜佈植，形成 N 區 217 與 N⁺源極/汲極區 218。如此，於磊晶矽層 202 上，形成金氧半元件，如 PMOS 215 與 NMOS 214。

由上述本發明較佳實施例可知，本發明所提出之層疊式積體電路之製造方法，係將二極體、井電阻、N⁺電阻、P⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體，以 SOI 結構的埋入氧化絕緣層隔離，使得二極體、井電阻、N⁺電阻、P⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體分別位於埋入氧化絕緣層上下兩面，層疊式排列於晶圓上。再者，以渠溝隔離結構將建構在磊晶矽層上之金氧半元件作個別隔離。因此，本發明所提供之層疊式積體電路之製造方法，可形成一種元件可以上下疊置的積體電路結構，如此可增加晶圓每單位面積積體電路的積集度。並且，以 SOI 結構與渠溝結構隔離各種元件，元件可以較緊密排列，而隔離效果亦較習知技藝好，不易產生滲漏電流(leakage current)，也不會發生習知之閉鎖現象。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 層疊式積體電路之製造方法)

本發明所提出之層疊式積體電路之製造方法，係將二極體、井電阻、N⁺電阻、P⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體，以 SOI 結構的埋入氧化絕緣層隔離，使得二極體、井電阻、N⁺電阻、P⁺電阻、雙載子接面電晶體...等接面結構元件與金氧半導體電晶體分別位於埋入氧化絕緣層上下兩面，層疊式排列於晶圓上。再者，以渠溝隔離結構將建構在磊晶矽層上之金氧半元件作個別隔離。因此，本發明所提供之層疊式積體電路之製造方法，可形成一種元件可以上下疊置的積體電路結構，如此可增加晶圓每單位面積積體電路的積集度。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種層疊式積體電路之製造方法，包括：

提供一半導體基底；

形成一第一氧化層，在該半導體基底上；

形成一氮化矽層，在該第一氧化層上；

蝕刻部分該氮化矽層，定義接面區域；

進行接面佈植，接面趨入，並進行氧化，在該半導體基底內形成複數種接面元件；

移除該氮化矽層與該第一氧化層；

形成一第二氧化層，在該半導體基底上；

對該半導體基底，進行氧原子佈植，植入該半導體基底表面下；

進行回火與氧化，形成一埋入氧化絕緣層，在該半導體基底表面之下；

移除該第二氧化層；

進行磊晶成長，形成一磊晶矽層，在該埋入氧化絕層上；

形成一渠溝隔離層，在該磊晶矽層中；以及

形成複數種金氧半元件，在該磊晶矽層上。

2. 如申請專利範圍第 1 項所述之製造方法，其中，形成該些接面元件之方法包括：

進行井佈植，形成複數個 P⁺接面；

進行選擇性 N 型離子佈植；

進行選擇性 P 型離子佈植；以及

進行離子驅入，在該些 P⁺接面中選擇形成複數個 N⁺接

六、申請專利範圍

面與複數個 P⁺接面。

3.如申請專利範圍第 2 項所述之製造方法，其中，該 P⁻接面、該 N⁺接面與該 P⁺接面形成一二極體結構，並且該 N⁺接面與該 P⁺接面接觸且位於該 P⁻接面內。

4.如申請專利範圍第 2 項所述之製造方法，其中，該 P⁻接面與該 N⁺接面形成一 N⁺電阻結構，並且該 N⁺接面位於該 P⁻接面內。

5.如申請專利範圍第 2 項所述之製造方法，其中，該 P⁻接面與該 P⁺接面形成一 P⁻井電阻結構，並且該 P⁺接面位於該 P⁻接面內。

6.如申請專利範圍第 1 項所述之製造方法，其中，形成該些接面元件之方法包括：

進行井佈植，形成複數個 N⁻接面；

進行選擇性 N 型離子佈植；

進行選擇性 P 型離子佈植；以及

進行離子驅入，在該些 P⁻接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

7.如申請專利範圍第 6 項所述之製造方法，其中，該 N⁻接面、該 P⁺接面與該 N⁺接面形成一二極體結構，並且該 P⁺接面與該 N⁺接面接觸而位於該 N⁻接面內。

8.如申請專利範圍第 6 項所述之製造方法，其中，該 N⁻接面與該 P⁺接面形成一 P⁺電阻結構，並且該 P⁺接面位於該 N⁻接面內。

9.如申請專利範圍第 6 項所述之製造方法，其中，該

六、申請專利範圍

N-接面與該 N⁺接面形成一 N-井電阻結構，並且該 N⁺接面位於該 N-接面內。

10.如申請專利範圍第 1 項所述之製造方法，其中，形成該些金氧半元件之方法，更包括：

分別進行選擇性 N 井佈植與選擇性 P 井佈植，在該磊晶矽層中形成一 N 井與一 P 井；

形成一閘極氧化層與一閘極導電層，在該磊晶矽層上，並定義閘極圖案；

分別選擇性於該 N 井中進行 P 型淡摻雜汲極佈植，於該 P 井中進行 N 型淡摻雜汲極佈植；

形成一間隙壁，在該磊晶矽層上與該閘極導電層側邊；以及

分別選擇性於該 N 井中進行 P 型雜質重摻雜佈植，於該 P 井中進行 N 型雜質重摻雜佈植。

11.一種層疊式積體電路之製造方法，包括：

提供一半導體基底；

實施氧化，在該半導體基底上形成一第一氧化層；

在該第一氧化層上沉積一氮化矽層；

蝕刻部分該氮化矽層，將該半導體基底定義複數個接面區域；

進行接面佈植，接面趨入，並進行氧化，在該些接面區域對應形成複數種接面元件；

移除該氮化矽層與該第一氧化層；

實施氧化，在該半導體基底上形成一第二氧化層；

六、申請專利範圍

對該半導體基底，進行氧原子佈植，植入該半導體基底表面下一特定深度；

進行回火與氧化，在該半導體基底表面下之該特定深度處，形成一埋入氧化絕緣層；

移除該第二氧化層；

進行磊晶成長，在該埋入氧化絕層上形成一磊晶矽層；

在該磊晶矽層中形成複數個隔離渠溝；以及

在該磊晶矽層上形成複數種金氧半元件，該些金氧半元件藉由該些隔離渠溝而相互絕緣隔離。

12.如申請專利範圍第 11 項所述之製造方法，其中，形成該些接面元件之方法包括：

進行井佈植，形成複數個 P⁻接面；

分別進行選擇性 N 型離子佈植與選擇性 P 型離子佈植；以及

進行離子驅入，在該些 P⁻接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

13.如申請專利範圍第 12 項所述之製造方法，其中，該 P⁻接面、該 N⁺接面與該 P⁺接面形成一二極體結構，並且該 N⁺接面與該 P⁺接面接觸且位於該 P⁻接面內。

14.如申請專利範圍第 12 項所述之製造方法，其中，該 P⁻接面與該 N⁺接面形成一 N⁺電阻結構，並且該 N⁺接面位於該 P⁻接面內。

15.如申請專利範圍第 12 項所述之製造方法，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

該 P 接面與該 P⁺接面形成一 P 井電阻結構，並且該 P⁺接面位於該 P 接面內。

16.如申請專利範圍第 11 項所述之製造方法，其中，形成該些接面元件之方法包括：

進行井佈植，形成複數個 N 接面；

分別進行選擇性 N 型離子佈植與選擇性 P 型離子佈植；以及

進行離子驅入，在該些 P 接面中選擇形成複數個 N⁺接面與複數個 P⁺接面。

17.如申請專利範圍第 16 項所述之製造方法，其中，該 N 接面、該 P⁺接面與該 N⁺接面形成一二極體結構，並且該 P⁺接面與該 N⁺接面接觸而位於該 N 接面內。

18.如申請專利範圍第 16 項所述之製造方法，其中，該 N 接面與該 P⁺接面形成一 P⁺電阻結構，並且該 P⁺接面位於該 N 接面內。

19.如申請專利範圍第 16 項所述之製造方法，其中，該 N 接面與該 N⁺接面形成一 N 井電阻結構，並且該 N⁺接面位於該 N 接面內。

20.如申請專利範圍第 11 項所述之製造方法，其中，形成該些金氧半元件之方法，更包括：

分別進行選擇性 N 井佈植與選擇性 P 井佈植，在該磊晶矽層中形成一 N 井與一 P 井；

在該磊晶矽層上，形成一閘極氧化層與一閘極導電層，並定義該閘極導電層與該閘極氧化層，形成閘極圖案；

六、申請專利範圍

分別選擇性於該 N 井中進行 P 型淡摻雜汲極佈植，於該 P 井中進行 N 型淡摻雜汲極佈植；

在該磊晶矽層上與該閘極導電層側邊，形成一間隙壁；以及

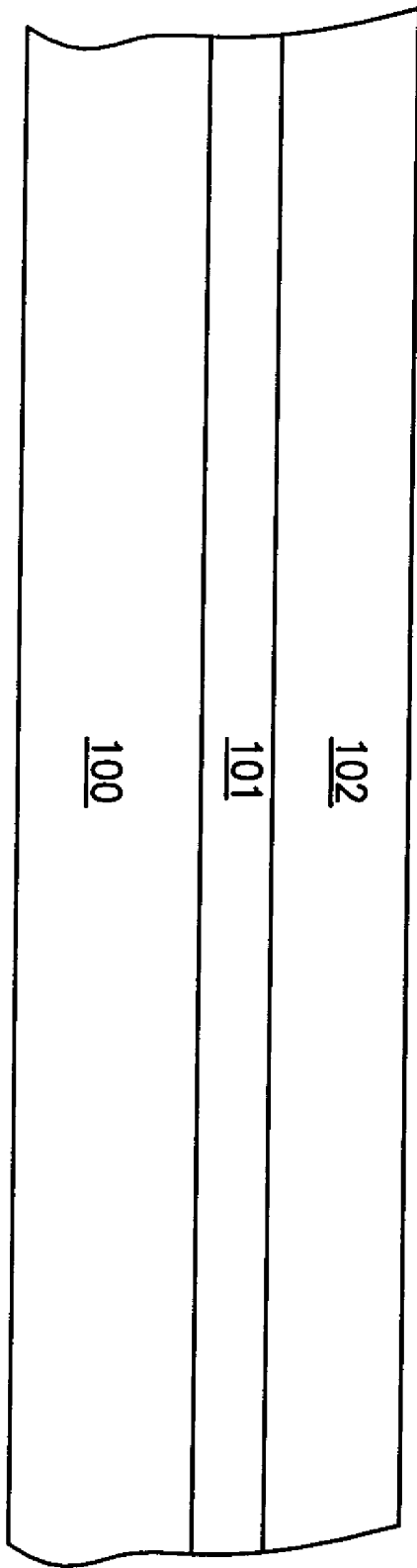
分別選擇性於該 N 井中進行 P 型雜質重摻雜佈植，於該 P 井中進行 N 型雜質重摻雜佈植。

(請先閱讀背面之注意事項再填寫本頁)

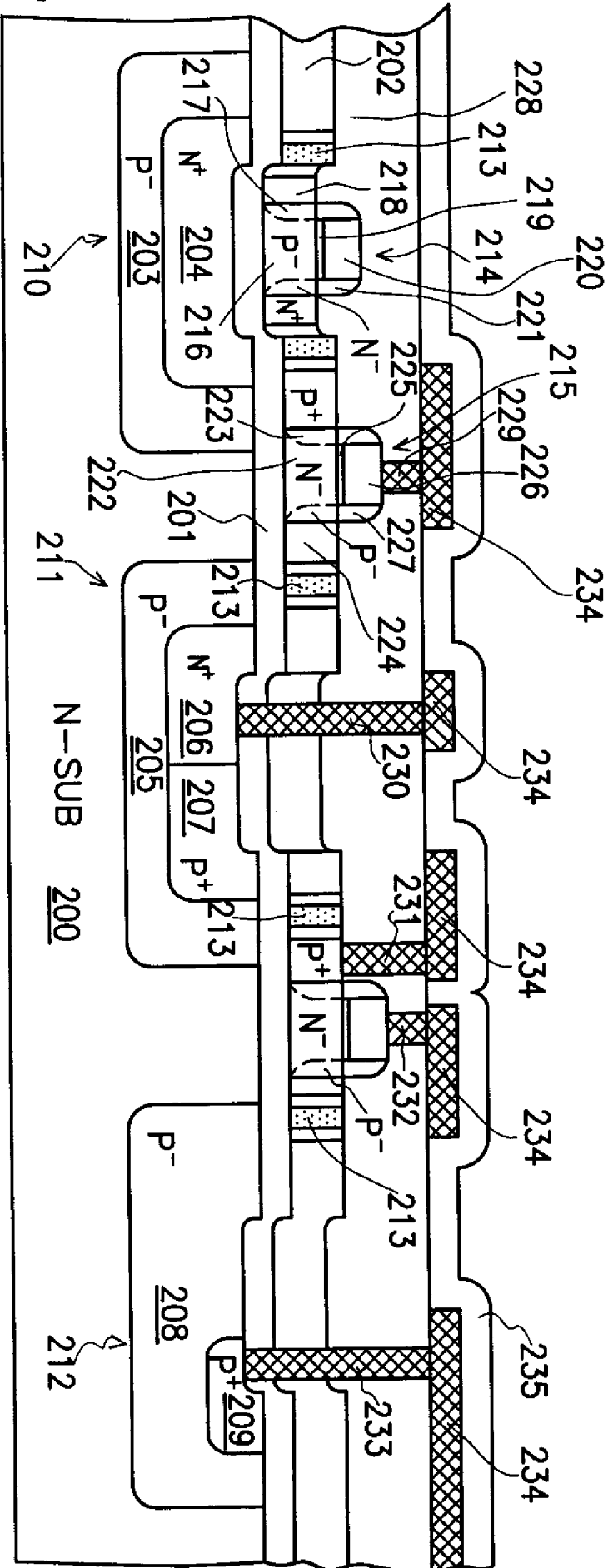
裝

訂

線

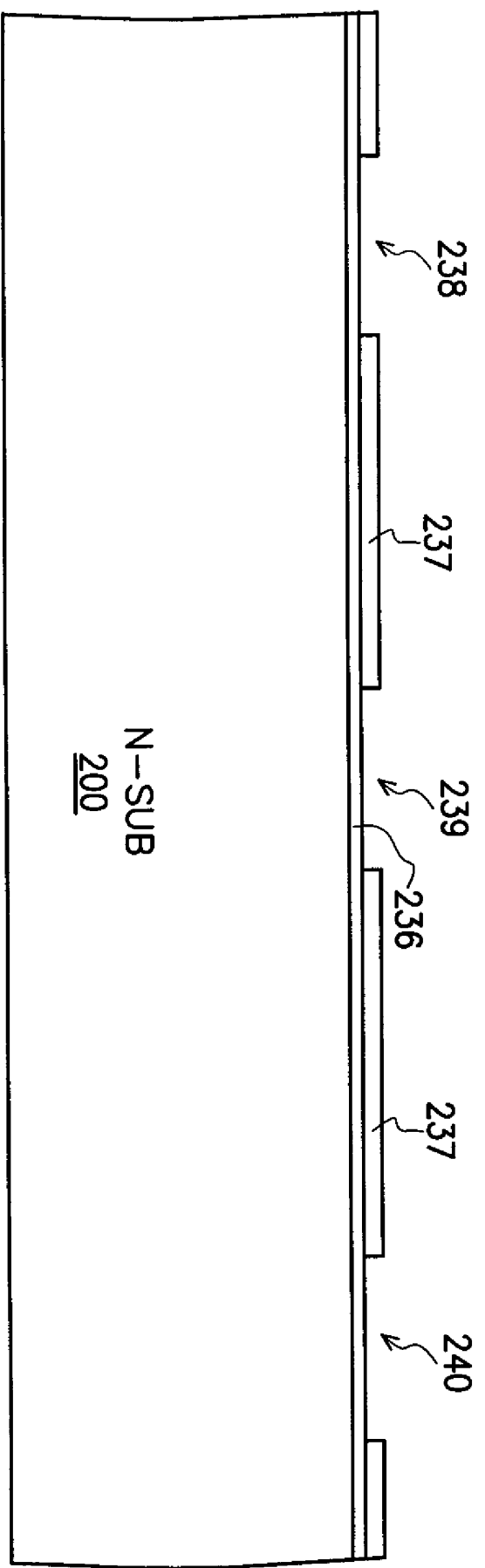


第 1 圖

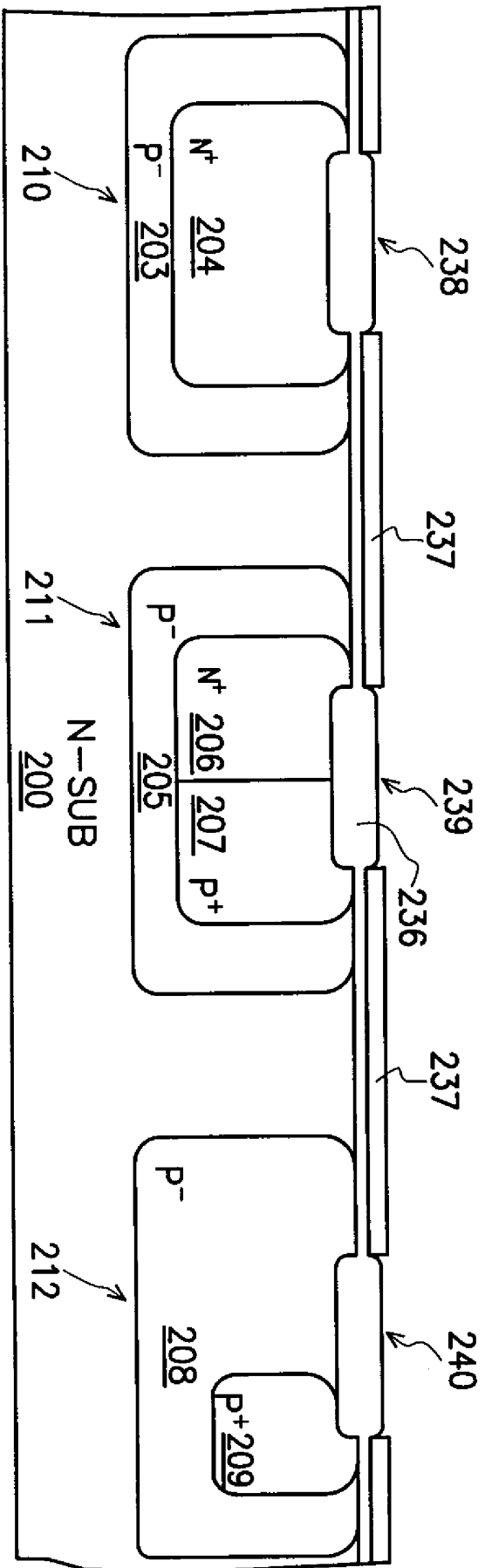


第 2 圖

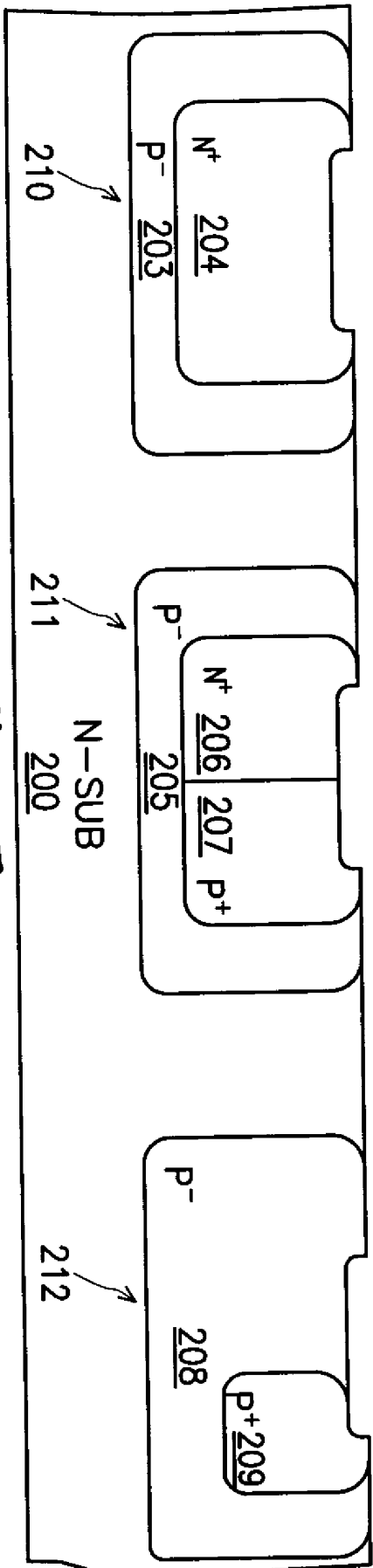
2850T/MPA



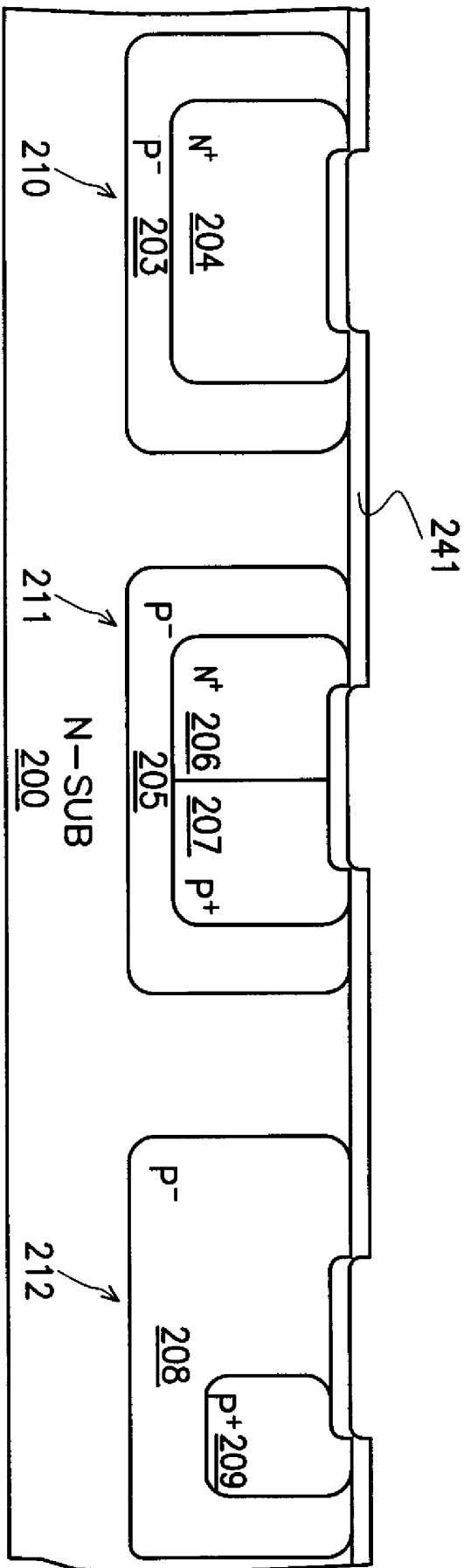
第3A圖



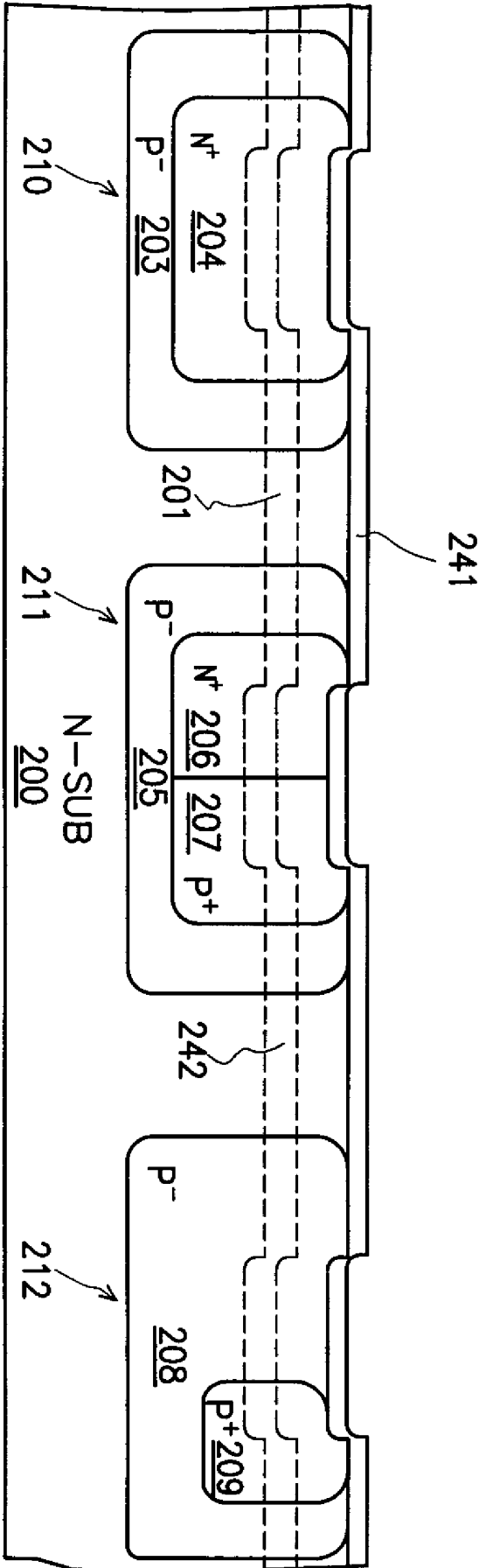
第3B圖



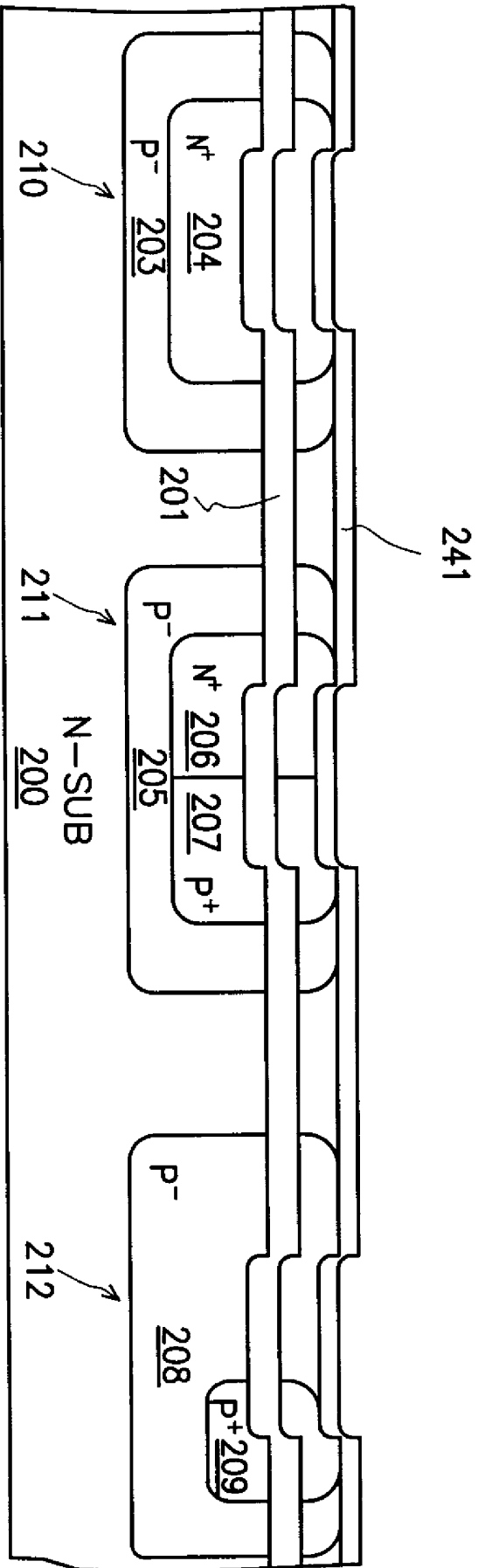
第3C圖



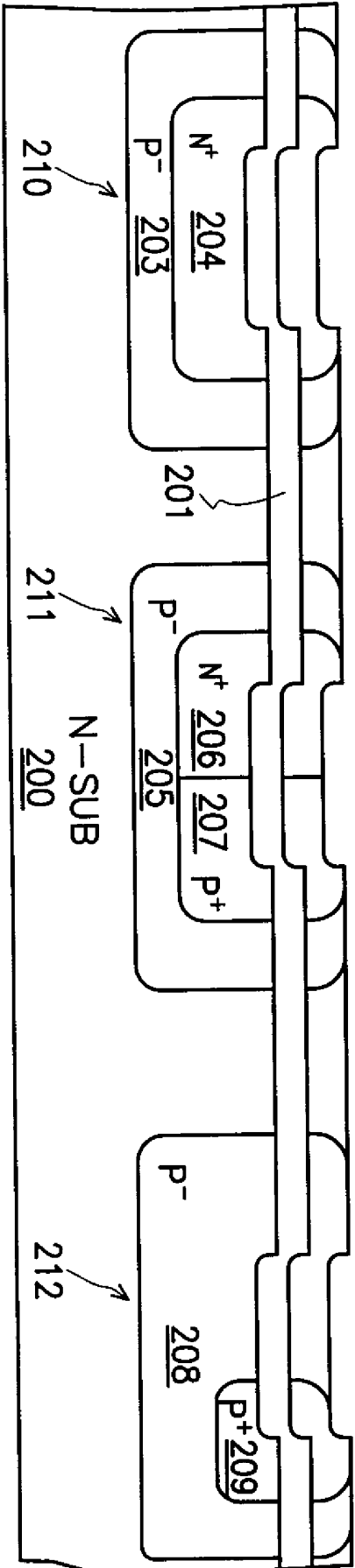
第3D圖



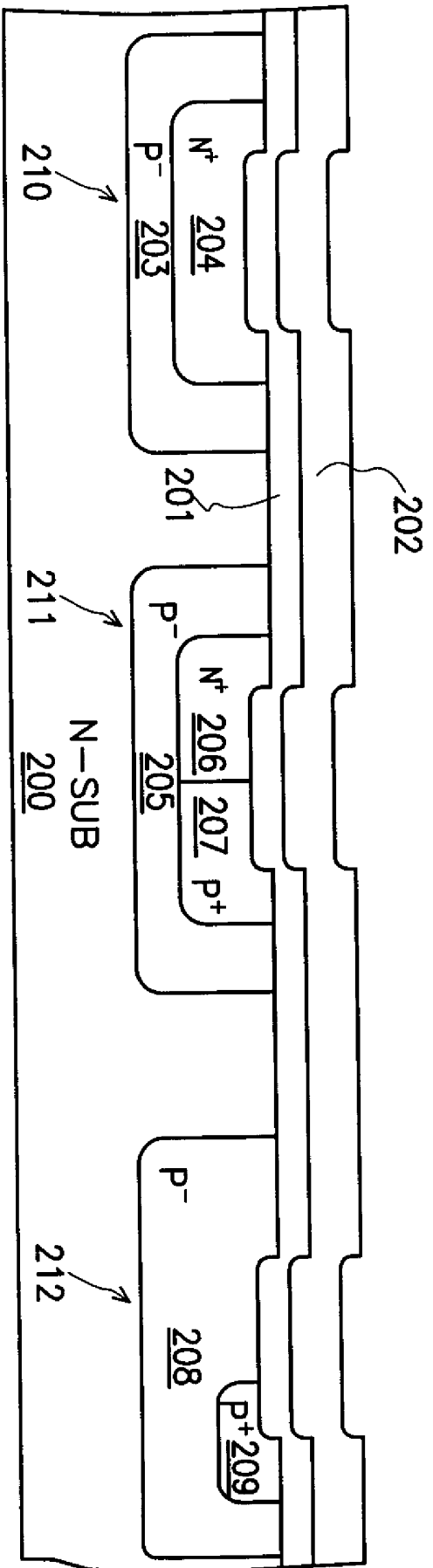
第3E圖



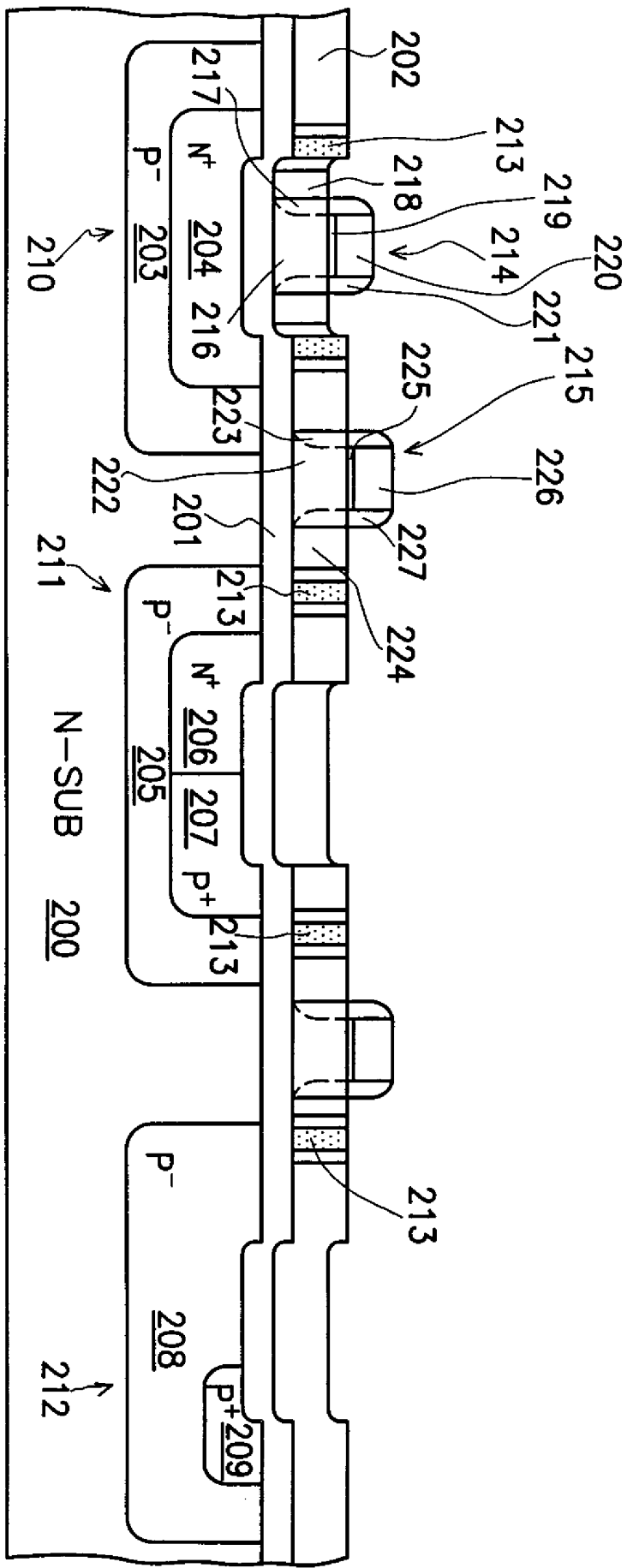
第3F圖



第 3G 圖



第3H圖



第31圖