



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201203499 A1

(43) 公開日：中華民國 101 (2012) 年 01 月 16 日

(21) 申請案號：100122186

(22) 申請日：中華民國 100 (2011) 年 06 月 24 日

(51) Int. Cl. : H01L25/04 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2010/06/25 世界智慧財產權組織 PCT/CN2010/074540

(71) 申請人：合勝科技有限公司 (香港地區) BIWIN TECHNOLOGY LIMITED (HK)
香港

(72) 發明人：孫日欣 SUN, RIXIN (CN) ; 李振華 LI, ZHENHUA (CN)

(74) 代理人：吳磻慶

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 24 頁

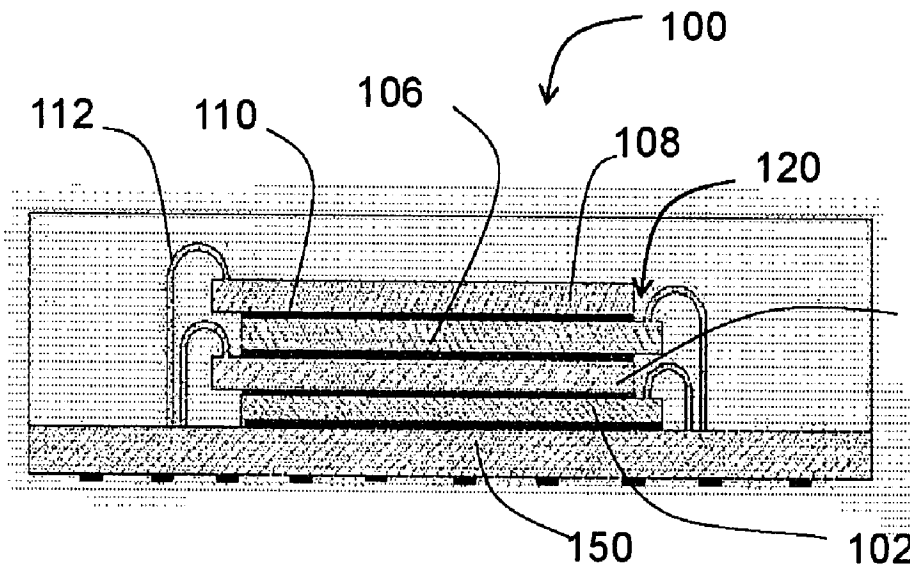
(54) 名稱

記憶體裝置

MEMORY DEVICE

(57) 摘要

一種多通道快閃記憶體裝置，該裝置包含晶粒堆疊式快閃記憶體晶粒。該快閃記憶體裝置由於該堆疊式晶粒配置而可小型化，且由於其多重資料通道配置而可提供高速效能。一特定範例為包含具有四個平行資料通道之四個堆疊的快閃記憶體晶粒的一快閃記憶體。本發明可減輕已知的晶粒堆疊式快閃記憶體裝置的瓶頸問題。



100：快閃記憶體組
件

102-108：快閃記憶體
晶粒

110：絕緣膠薄膜

112：接合線

120：接點終端

150：印刷電路板



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201203499 A1

(43) 公開日：中華民國 101 (2012) 年 01 月 16 日

(21) 申請案號：100122186

(22) 申請日：中華民國 100 (2011) 年 06 月 24 日

(51) Int. Cl. : H01L25/04 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2010/06/25 世界智慧財產權組織 PCT/CN2010/074540

(71) 申請人：合勝科技有限公司 (香港地區) BIWIN TECHNOLOGY LIMITED (HK)
香港

(72) 發明人：孫日欣 SUN, RIXIN (CN) ; 李振華 LI, ZHENHUA (CN)

(74) 代理人：吳磻慶

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 24 頁

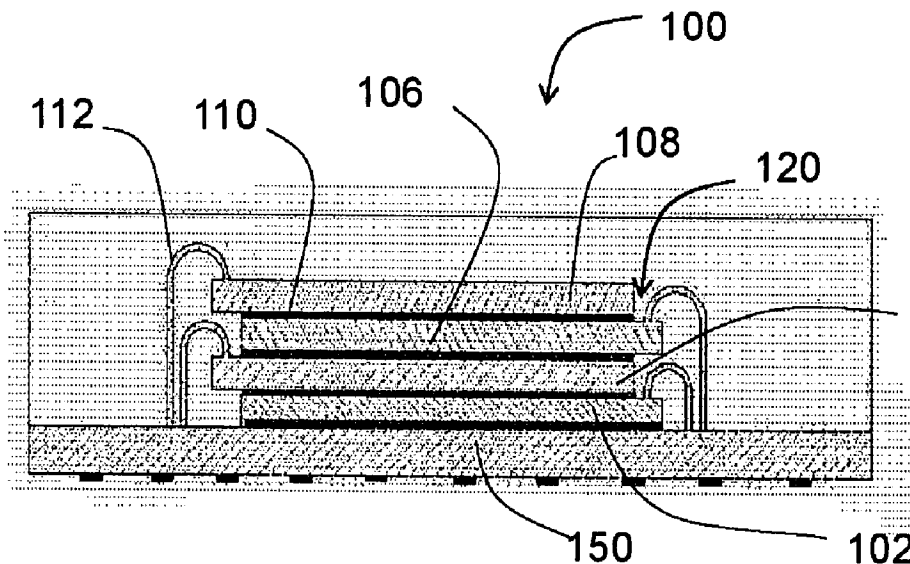
(54) 名稱

記憶體裝置

MEMORY DEVICE

(57) 摘要

一種多通道快閃記憶體裝置，該裝置包含晶粒堆疊式快閃記憶體晶粒。該快閃記憶體裝置由於該堆疊式晶粒配置而可小型化，且由於其多重資料通道配置而可提供高速效能。一特定範例為包含具有四個平行資料通道之四個堆疊的快閃記憶體晶粒的一快閃記憶體。本發明可減輕已知的晶粒堆疊式快閃記憶體裝置的瓶頸問題。



100：快閃記憶體組
件

102-108：快閃記憶體
晶粒

110：絕緣膠薄膜

112：接合線

120：接點終端

150：印刷電路板

六、發明說明：

【發明所屬之技術領域】

本發明關於記憶體裝置，尤指包含諸如快閃記憶體晶片或晶粒等快閃記憶體構件之堆疊的記憶體裝置。本發明亦關於包含快閃記憶體構件之堆疊組合件的電子設備。

【先前技術】

做為電子資料儲存器的記憶體裝置為許多電子設備運作的基本要件，特別是由電腦或微處理器所控制或可控制的電子設備。這種記憶體裝置包括通用序列匯流排(Universal serial bus, USB)記憶棒，固態碟(Solid state disks, SSD)，行動網際網路裝置(Mobile Internet Device, MID)等。在許多種記憶體裝置當中，快閃記憶體由於其高效能對成本比、高資料儲存密度、為固態及非揮發性而逐漸增加其普遍性。然而快閃記憶體已經代表一種超越先前記憶體裝置的實質改進與進步，但是對於更高的資料儲存容量裝置有日漸增加的需求，因此永遠需要將更多的快閃記憶體封裝到單一小型外殼當中。

圖 1 與 1A 所示為習知技術的堆疊式快閃記憶體組合件之示意圖，該組合件利用多層結構來增加資料儲存容量。該記憶體組合件包含複數快閃記憶體晶粒 102、104、106、108，該等資料存取終端以串聯方式接合。但是，這種堆疊式快閃記憶體組合件的效能由於在該堆疊中底部快閃記憶體構件處的資料存取瓶頸而無法完全令人滿意。另外，一個快閃記憶體構件上的有缺陷資料存取終端亦會造成在該堆疊中其它快閃記憶體構件上相對應資料存取終端的故障。

【發明內容】

根據本發明，提供一種記憶體裝置，其包含安裝在一基板上的複數快閃記憶體構件的堆疊，其中每個快閃記憶體構件包含一資料存取終端的集合，例如資料輸入與輸出終端，且該等

複數快閃記憶體構件之每一者的每個資料存取終端被個別地接合在該基板上，且可個別地經由該基板上的接點終端存取。該記憶體裝置利用多層或晶粒堆疊結構的優點，並且由於對該快閃記憶體構件之堆疊的組合件中個別的構件作個別或平行資料存取而減輕了瓶頸效應。

在該基板上提供可個別存取的資料終端代表該記憶體裝置包括一晶粒堆疊配置並且促成多通道資料通訊。例如，對於本發明中具有四個堆疊的快閃記憶體晶粒之記憶體裝置，可使用四個資料通道。這種多通道能力由於其促成平行資料存取與資料傳輸而具優勢，藉此提供大眾一種小型化但快速的記憶體裝置。

在一範例中，在該堆疊中一快閃記憶體構件之至少該等資料輸入與輸出終端藉由接合線來接合至該基板。該快閃記憶體構件之所有接合線可位在該快閃記憶體構件的一側端或側邊上。將一晶粒的所有接合線都設在一單一側端代表在該相對側端處的空間可被保留用於在該堆疊中一相鄰晶粒的打線接合。在該堆疊中一相鄰快閃記憶體構件上的該等接合線可被接合在相對於該個側端或側邊的一側邊上。藉由堆疊該等快閃記憶體構件使得該等接合線位在該堆疊之正相對末端處的接點部處，因此有更多空間可用於將該等接合線連接至該基板，特別是當該等接合線為裸導體時。

在一範例中，在該堆疊中一快閃記憶體構件的方向相對於在該堆疊中一緊鄰的快閃記憶體構件偏移大約 90 度。此可提供甚至更多的空間用於接合線連接，並使得該堆疊之周圍空間能更有效應用。在這種範例中，該等快閃記憶體構件之堆疊設置成使得被夾在兩個緊鄰的快閃記憶體構件之間的一快閃記憶體構件之該等接合線在該等相鄰的快閃記憶體構件之接合的側邊中間。

在該堆疊中一快閃記憶體構件的該等接合線可被接合在該快閃記憶體構件之一側端處，而在該堆疊中該等快閃記憶體

構件之該等接合的側端可分佈在一大致上或概略螺旋形路徑上。此更可提供該堆疊周圍空間的更佳應用來用於接合線連接。

一般而言，該堆疊可由該等快閃記憶體構件之接合線所環繞，或由在該堆疊的至少四個側邊上的該等接合線所環繞。熟習本技術者將可瞭解，此種配置之空間利用相較於圖 1 與 1A 之習知技術的配置更加有效率且更具優勢。

另外，該堆疊可設置成使得在該堆疊之相對側端上的該等接合線繞著該堆疊的一中央面對稱地分佈。相較於習知的設計，如此可提供更為平衡的堆疊結構，並允許更多的快閃記憶體構件穩定地堆疊。

例如，該等資料存取終端可由接合線接合至該基板，且該等接合線可設置成使得在該堆疊上一下方快閃記憶體構件上的接合線被在該堆疊中較上方的接合線所套疊。此套疊組態，例如圖 2A 與 3A 所示，提供將更多的接合線連接在該堆疊的一側邊上或是在一基板上的一局部區域上之可撓性，藉此使得快閃記憶體構件之晶粒堆疊更有可能或更實際地在該基板上具有個別的輸入/輸出(Input/Output, I/O)存取。

例如，該等接合線可設置成使得在該堆疊底部處的該快閃記憶體構件由接合至該堆疊的一接合線聚集所環繞。這種配置提供該等接合線的整齊排列，以降低在該堆疊之相同側邊上接合線之間的接合線交叉。

此外或作為另一選擇，該等接合線可圍繞該堆疊之整個周邊分佈。同樣地，這能更有效運用該基板上環繞該堆疊的空間以求有效率的個別 I/O 連接。

在一範例中，該堆疊之一快閃記憶體構件之接合部份懸伸於其正下方的一快閃記憶體。此可有利於提供額外的頂部空間來將該等接合線由一快閃記憶體構件繞行到該基板，而最適化晶粒堆疊的空間效率。

例如，在該堆疊中一快閃記憶體構件的方向大致上可垂直

於在該堆疊中一緊鄰的快閃記憶體構件。該垂直配置可提供圍繞該堆疊與該基板上的有效率空間利用來用於個別的 I/O 存取。

例如，該基板可包含一印刷電路板，其包括一多層印刷電路板。一多層印刷電路板(Printed circuit board, PCB)可提供甚至更多的可撓性，以允許快閃記憶體構件甚至有更多的存取終端可個別地由該基板存取。

較佳是，該堆疊可包含至少四個快閃記憶體構件，每一者都包含一資料輸入與輸出終端的通道，且該等四個快閃記憶體構件之四個通道可在該基板上個別地存取。包含這種記憶體晶粒之堆疊的記憶體裝置提供較快的資料 I/O 速度，因為相較於習用之晶粒堆疊式快閃記憶體僅有的一單一通道，其可使用四個資料通道。

例如，該堆疊可包含 N 個快閃記憶體構件，其中 $N=2^n$ ， n 為整數。

概言之，該資料輸入與輸出終端的集合共同地形成一通訊通道，且該等接點終端更包含電壓與其它非資料終端。

該記憶體裝置更可包含一資料控制器，其中該資料控制器設置成平行地存取該等複數快閃記憶體構件之該等資料輸入與輸出終端。

該記憶體裝置可為包含至少一根據本發明的記憶體裝置之一資料儲存設備的一部份，其中該資料儲存設備包括一 USB 記憶棒、一固態硬碟或類似者。

【實施方式】

圖 2 與 2A 中的快閃記憶體組套件 100 為一記憶體裝置的範例，其包含四個快閃記憶體晶粒 102、104、106 及 108 的堆疊，每一者都具有複數接點終端 120 或接點埠用於構成外部電性連接。每個記憶體晶粒以固態與非揮發性記憶胞預先製成，並具有限定的儲存容量。目前快閃記憶體晶粒可具有 1、2、4

或 8 Gb 的容量。當然一個別記憶體晶粒或晶片的儲存容量是根據晶粒大小而定，且預期其密度會隨著晶粒設計與製造技術的進一步改善而增加。本範例中所使用的記憶體晶粒為一長方形晶粒，其示範性尺寸為 10.8 mm x 13 mm。例如，藉由將四個 1 Gb 的晶粒堆疊在一起，形成一單一 4 Gb 快閃記憶體晶片。同樣地，一單一 16 Gb 快閃記憶體是藉由堆疊四個 4 Gb 快閃記憶體晶粒而形成。

每個記憶體晶粒 102-108 之接點終端 120 包括資料存取終端 130(諸如資料輸入與資料輸出終端)，以及其它的終端 140(諸如控制終端與電源終端)。該等資料存取終端共同定義一用於存取該晶粒之多位元資料通訊通道。每個晶粒上 I/O 終端的數目基本上由位元組大小所決定。例如，如果位元組大小為 8 位元，每個資料通訊通道將包括 8 個 I/O 終端以促成 8 位元通訊。同樣地，如果該位元組大小為 16 位元，I/O 終端將共同定義一通訊通道。因為可使用資料的單位是根據該位元組大小，一記憶體裝置的速度主要由該資料通訊通道的速度決定，因為自該晶粒傳入與傳至該晶粒的所有資料必須通過該通訊通道。

該等快閃記憶體晶粒作為快閃記憶體構件的範例使用「晶粒堆疊」技術以多層方式堆疊，而且，相鄰的快閃記憶體晶粒，也就是在該晶粒上方與下方的晶粒，藉由施加一絕緣膠薄膜 110 而結合在一起。然後包含膠合的晶粒之堆疊的組件藉由施加一絕緣膠的薄膜而被膠合在一 PCB 150(一基板的範例)上。在一記憶體晶粒上的該等接點終端藉由接合線 112 連接至該 PCB 上的該等接點終端。

由圖 2、2A 與 4 可清楚看出，一晶粒的所有該等接點終端位於一接點部上，該接點部位於該晶粒的一側端部處。該等晶粒的堆疊設置成使得該接點部在堆疊之後被暴露，以允許構成外部電性連接。一晶粒的該接點部自該堆疊突出，並懸伸於該堆疊中相鄰的晶粒，藉以為該等接合線提供路徑與空間，以

使其自該晶粒通到該基板。特別如圖 2 與 4 所示，在一晶粒上該等 I/O 終端之每一者利用接合線 112 個別地接合在該基板上，使得在一晶粒上每一 I/O 終端(因此連同資料)可被直接地存取，而不會干涉到其它晶粒之 I/O 終端或被其干涉。此個別 I/O 連接配置在當使用該晶粒堆疊結構時可促成平行資料存取，如圖 5 中示意性例示。如圖 6A 與 6B 所示，該 PCB 設置成使得一晶粒的所有該等接點終端位在該 PCB 上的一特定區域中。此在該 PCB 上局部的連接組織可便於簡易辨識及追蹤在該堆疊中一個別晶粒之該等個別終端。

特別如圖 2 與 2A 所示，該等晶粒之組織使得一晶粒的該接點部在一側端上，而一相鄰晶粒之接點部在該正相對的側端上。此鋸齒形堆疊促成一更為平衡與對稱的堆疊，以促成更為穩定的結構，並使得在一堆疊中可堆疊更多的晶粒來更增加儲存容量。此外，此堆疊配置亦為該接合線提供更有空間效率的配置以便其自該晶粒延伸至該 PCB 時通過。

圖 3 與 3A 之堆疊組合作件 200 之結構大致上相同於圖 2 與 2A 之結構，並使用相同的編號來代表相同、共通或同等的零件。堆疊組合作件 200 包含一厚絕緣膠層 212，其亦做為相鄰晶粒之間的分隔物，以替代在該等記憶體晶粒之間施加一絕緣膠的薄膜。該絕緣分隔物提供了充分的間隔，使得接合線在初始時能夠向上延伸，而不會受到上方晶粒的阻礙，且不需要具有一退縮的晶粒，如圖 2 中範例的晶粒。特別要注意，此組合作件之該等晶粒的該等側端或該等打線接合末端大致上為齊平。

圖 8 與 8A 的堆疊組合作件 300 示意性地顯示一快閃記憶體裝置的第三範例。該等快閃記憶體晶粒與 PCB 之結構與連接相同於圖 2 所示者，除了晶粒之該接點部的方向有些不同。同樣地，相同的編號用於代表相同、共通或同等的零件。具體而言，一晶粒的方向垂直於一相鄰晶粒的方向，使得該等相鄰晶粒之方向(特別是該等晶粒的該等接點部)相隔 90 度。在這種配置中，設置在該 PCB 上的該等接點終端設置成繞著該堆疊

分佈並環繞該堆疊，且在該 PCB 上有更多空間可用於打線接合。

圖 5 與 5A 描繪 USB 記憶棒作該記憶體裝置的示範性應用，其為本發明之一種方便的應用。

雖然本發明已經在以上參照該等示範性範例做說明，熟習本技術者應瞭解該等範例僅為參照之用，且不應被視為對本發明之範圍的限制。例如，當使用一長方形晶粒做為範例時，其它的形狀，例如正方形、圓形或橢圓形皆亦可做為該晶粒的形狀。同時，雖然該示範性堆疊包含四個晶粒，應瞭解可將四個以上的晶粒堆疊在一起，且一記憶體裝置可由一個以上的堆疊組合而成。

【圖式簡單說明】

本發明將藉由範例並參照附屬圖式做說明，其中：

圖 1 與 1A 為一習知技術的堆疊式快閃記憶體組套件之個別側視圖與透視圖，

圖 2 與 2A 分別為例示本發明一第一範例的記憶體裝置之側視圖與透視示意圖，

圖 3 與 3A 分別為例示本發明一第二範例的記憶體裝置之側視圖與透視示意圖，

圖 4 為顯示圖 2 之記憶體裝置的打線接合與打線接合終端之關係的示意平面圖，

圖 5 與 5A 分別為描繪圖 2、3 與 8 之記憶體裝置，及做為一 USB 裝置的示範性應用的示意方塊圖，

圖 6A 與 6B 分別為例示圖 2 之裝置的 PCB 上接點終端之分佈的示意圖，及該等接點區域其中之一的放大圖，

圖 7 為更詳細顯示圖 2 之裝置的 I/O(輸入/輸出終端)的透視示意圖，以及

圖 8 與 8A 分別為描繪本發明之第三範例的記憶體組套件之組合與部份組合型式的透視示意圖。

【主要元件符號說明】

- 100 快閃記憶體組合件
- 102-108 快閃記憶體晶粒
- 110 絕緣膠薄膜
- 112 接合線
- 120 接點終端
- 130 資料存取終端
- 140 終端
- 150 印刷電路板
- 200 堆疊組合件
- 212 絕緣膠層
- 300 堆疊組合件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100122186

※申請日： 00. 6. 24

※IPC 分類： H01L 25/18 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/60 (2006.01)

記憶體裝置/MEMORY DEVICE

二、中文發明摘要：

一種多通道快閃記憶體裝置，該裝置包含晶粒堆疊式快閃記憶體晶粒。該快閃記憶體裝置由於該堆疊式晶粒配置而可小型化，且由於其多重資料通道配置而可提供高速效能。一特定範例為包含具有四個平行資料通道之四個堆疊的快閃記憶體晶粒的一快閃記憶體。本發明可減輕已知的晶粒堆疊式快閃記憶體裝置的瓶頸問題。

三、英文發明摘要：

A multi-channel flash memory device comprising die-stacked flash memory dies. The flash memory device is compact due to the stacked dies arrangement while providing high speed performance due to its multiple data channel arrangement. A specific example is a flash memory comprising 4 stacked flash memory dies with 4 parallel data channels. This invention alleviates the bottle neck problems of know die-stacked flash memory devices.

七、申請專利範圍：

1. 一種記憶體裝置，其包含安裝在一基板上的複數快閃記憶體構件的堆疊，其中每個快閃記憶體構件包含一資料存取終端的集合，例如資料輸入與輸出終端，且該等複數快閃記憶體構件之每一者的每個資料存取終端被個別地接合在該基板上，且可個別地經由該基板上的接點終端來存取。
2. 如申請專利範圍第 1 項之記憶體裝置，其中在該堆疊中一快閃記憶體構件之至少該等資料輸入與輸出終端藉由接合線接合至該基板，且該快閃記憶體構件之所有該等接合線在該快閃記憶體構件之一側端或側邊上。
3. 如申請專利範圍第 2 項之記憶體裝置，其中在該堆疊中一相鄰快閃記憶體構件上的該等接合線可被接合在相對於該個側端或側邊的一側邊上。
4. 如申請專利範圍第 2 項之記憶體裝置，其中在該堆疊中一快閃記憶體構件的該方向相對於在該堆疊中一緊鄰的快閃記憶體構件偏移大約 90 度。
5. 如申請專利範圍第 4 項之記憶體裝置，其中該等快閃記憶體構件之該堆疊設置成使得被夾在兩個緊鄰的快閃記憶體構件之間的一快閃記憶體構件之該等接合線在該等相鄰的快閃記憶體構件之接合的側邊中間。
6. 如前述申請專利範圍中任一項之記憶體裝置，其中在該堆疊中一快閃記憶體構件之該等接合線被接合於該快閃記憶體構件之一側端處，且在該堆疊中該等快閃記憶體構件之該等接合的側端在一大致上或概略為螺旋形路徑上。
7. 如前述申請專利範圍中任一項之記憶體裝置，其中該堆疊被該等快閃記憶體構件之接合線所環繞，或由在該堆疊的至少四個側邊上的該等接合線所環繞。
8. 如前述申請專利範圍中任一項之記憶體裝置，其中該堆疊設置成使得在該堆疊的相對側端上該等接合線繞著該堆疊的一中央面對稱地分佈。

9. 如前述申請專利範圍中任一項之記憶體裝置，其中該等資料存取終端藉由接合線被接合至該基板，且該等接合線設置成使得在該堆疊上一下方快閃記憶體構件上的接合線由在該堆疊中較上方的接合線所套疊。
10. 如申請專利範圍第 9 項中記憶體裝置，其中該等接合線設置成使得在該堆疊底部處的該快閃記憶體構件由接合至該堆疊的一接合線聚集所環繞。
11. 如前述申請專利範圍中任一項之記憶體裝置，其中該等接合線圍繞該堆疊的整個周邊分佈。
12. 如前述申請專利範圍中任一項之記憶體裝置，其中該堆疊的一快閃記憶體構件之該接合部懸伸於正下方的一快閃記憶體。
13. 如前述申請專利範圍中任一項之記憶體裝置，其中在該堆疊中一快閃記憶體構件之方向大致上垂直於在該堆疊中一緊鄰的快閃記憶體構件。
14. 如前述申請專利範圍中任一項之記憶體裝置，其中每個快閃記憶體構件包含一快閃記憶體晶粒。
15. 如前述申請專利範圍中任一項之記憶體裝置，其中該基板包含一印刷電路板，其包括一多層印刷電路板。
16. 如前述申請專利範圍中任一項之記憶體裝置，其中該堆疊包含至少四個快閃記憶體構件，每個快閃記憶體構件包含一資料輸入與輸出終端的通道；且該等四個快閃記憶體構件之該等四個通道可在該基板上個別地存取。
17. 如前述申請專利範圍中任一項之記憶體裝置，其中該堆疊包含 N 個快閃記憶體構件，其中 $N=2^n$ ， n 為一整數。
18. 如前述申請專利範圍中任一項之記憶體裝置，其中該等資料輸入與輸出終端的集合共同地形成一通訊通道，且該等接點終端更包含電壓與其它非資料終端。
19. 如前述申請專利範圍中任一項之記憶體裝置，更包含一資料控制器，其中該資料控制器設置成平行地存取該等複數

快閃記憶體構件之該等資料輸入與輸出終端。

20. 一種資料儲存設備，其包含至少一如前述申請專利範圍中任一項之記憶體裝置，其中該資料儲存設備包括一 USB 記憶棒、一固態硬碟或類似者。

八、圖式：

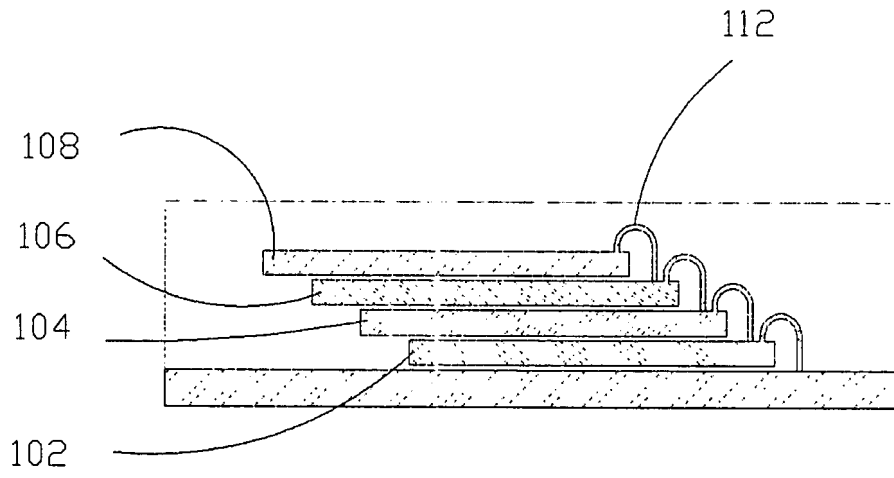


圖 1(習知技術)

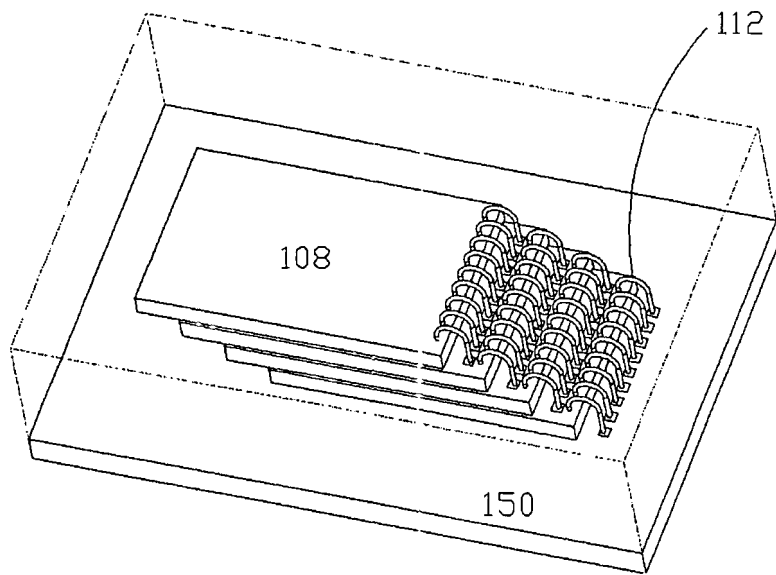


圖 1A(習知技術)

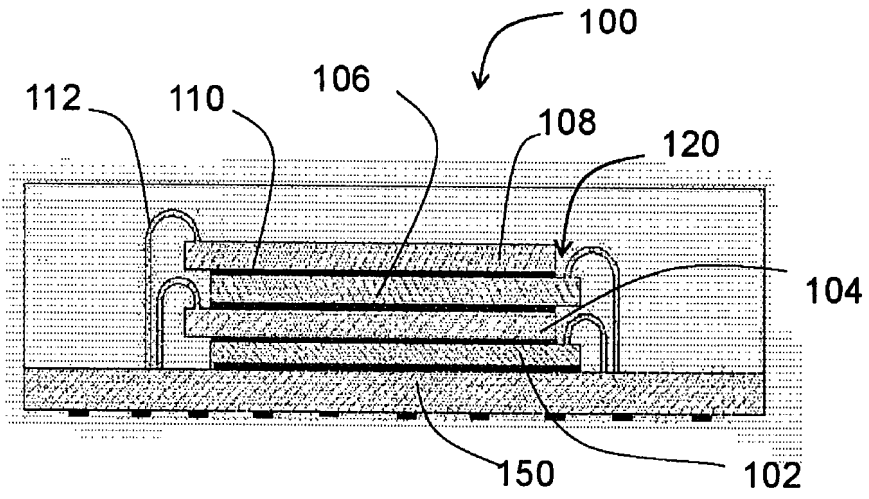


圖 2

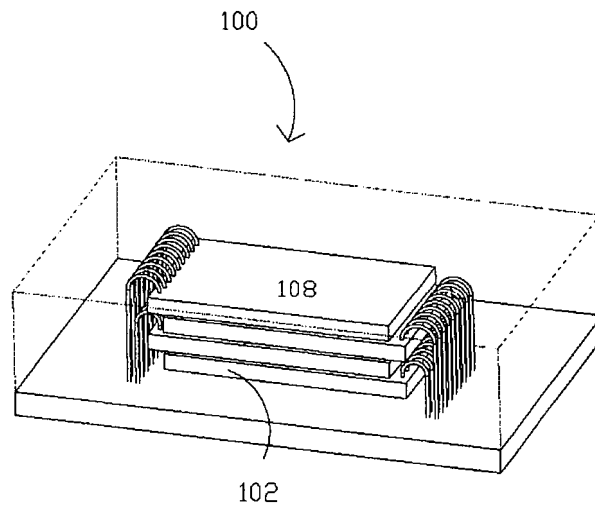


圖 2A

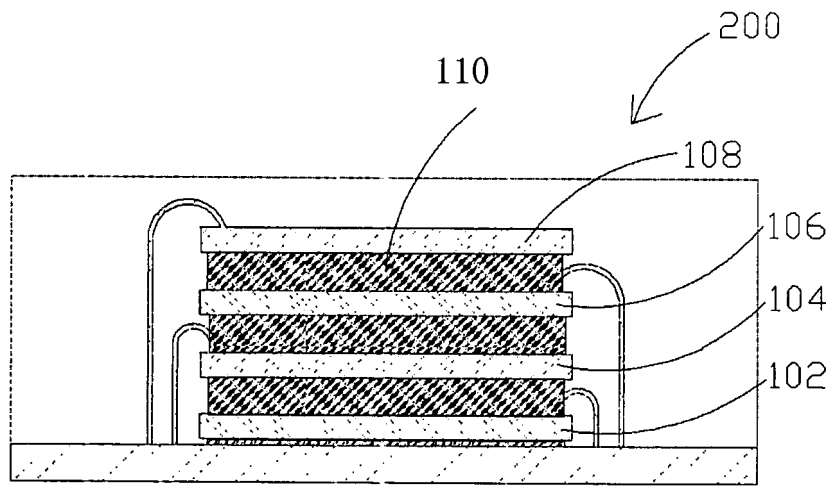


圖 3

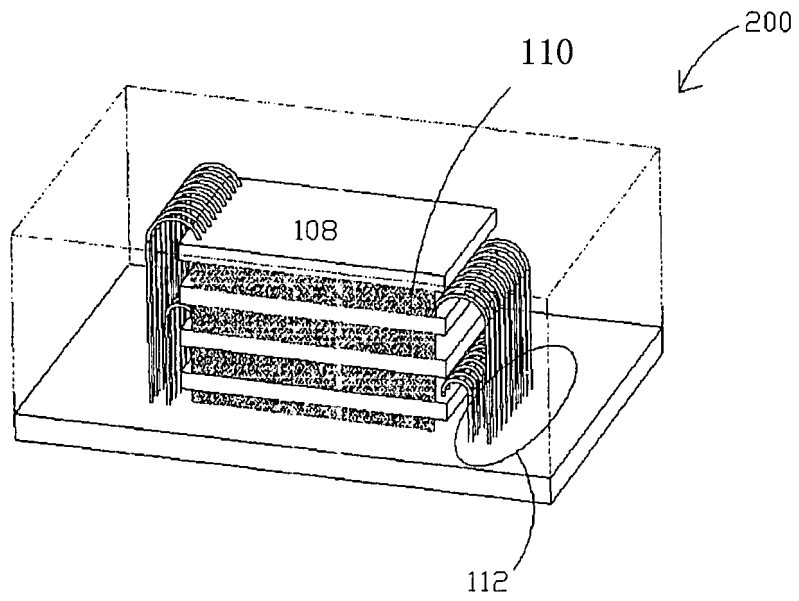


圖 3A

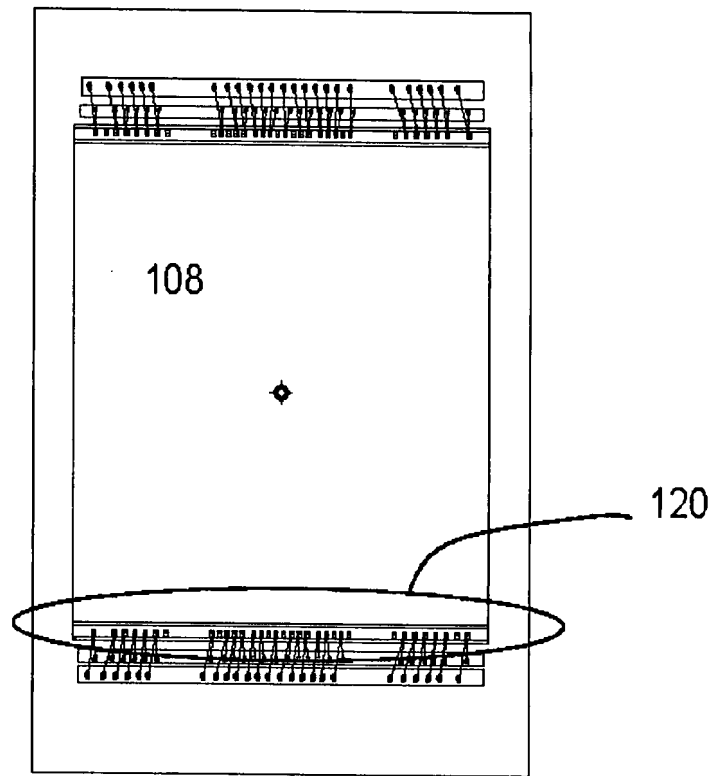


圖 4

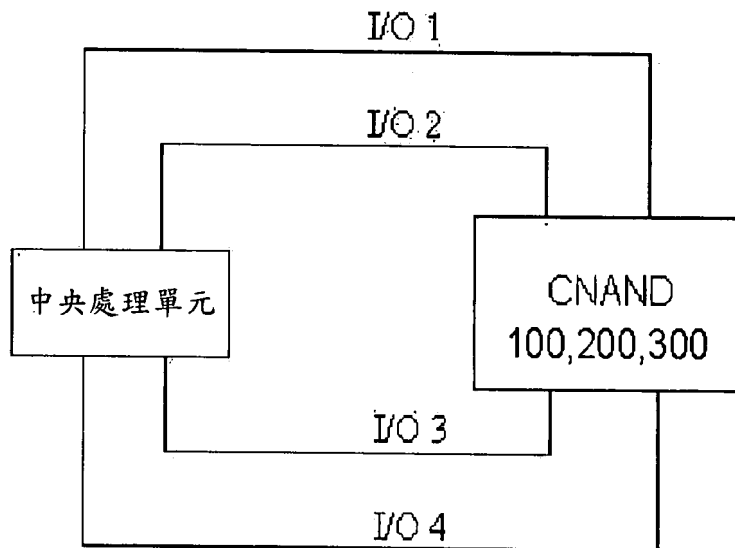


圖 5

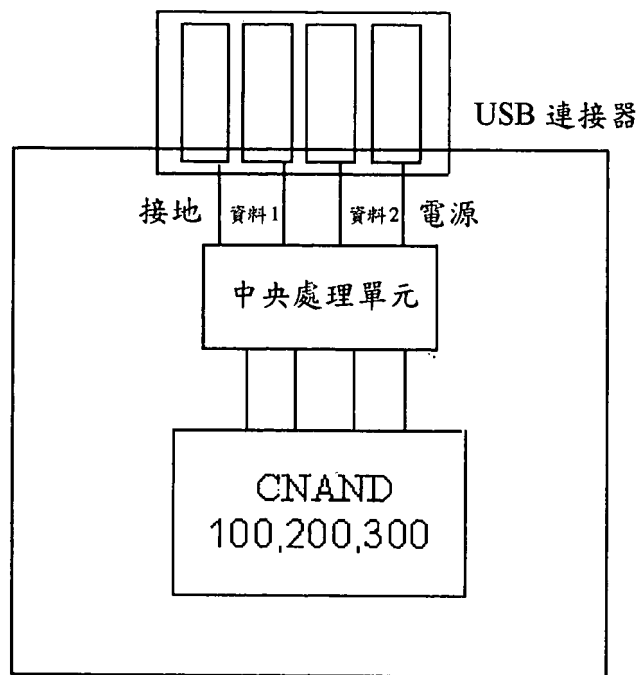


圖 5A

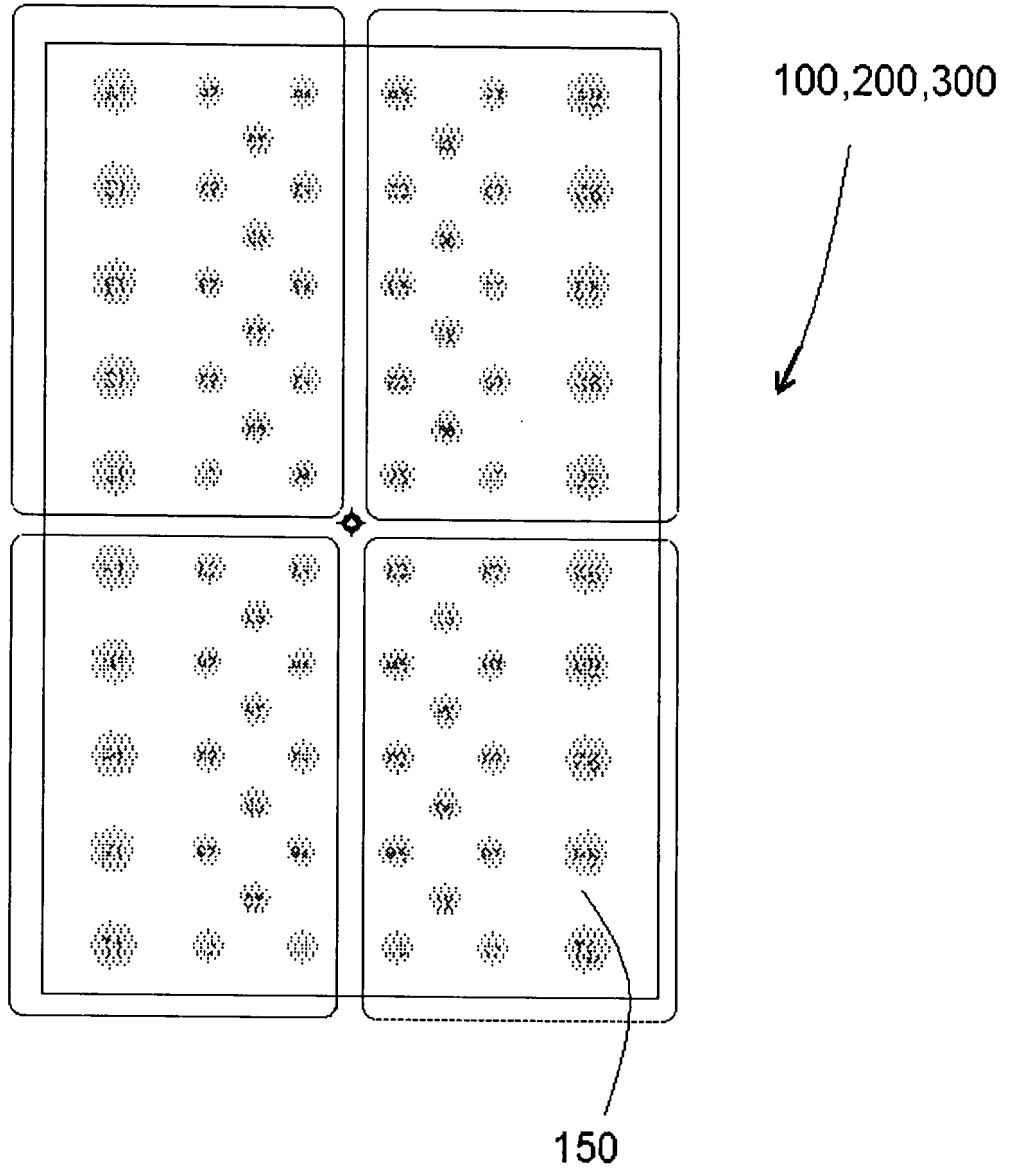


圖 6A

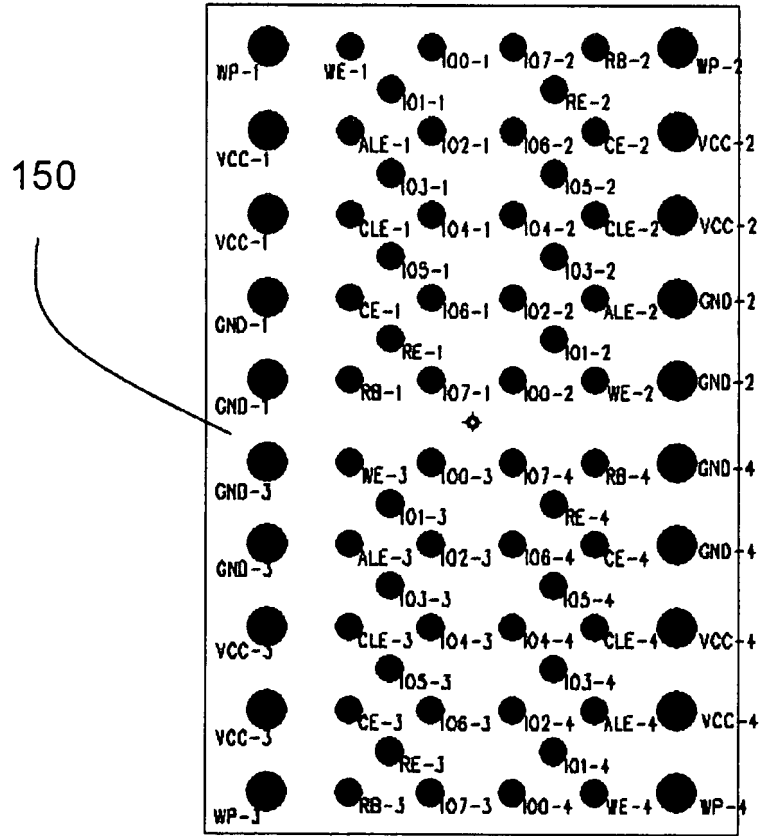


圖 6B

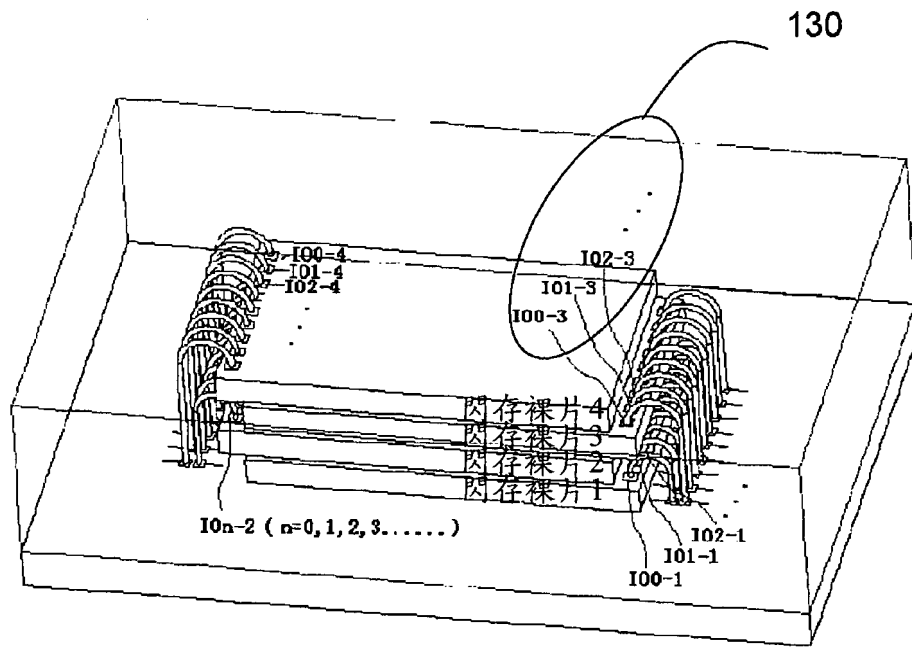


圖 7

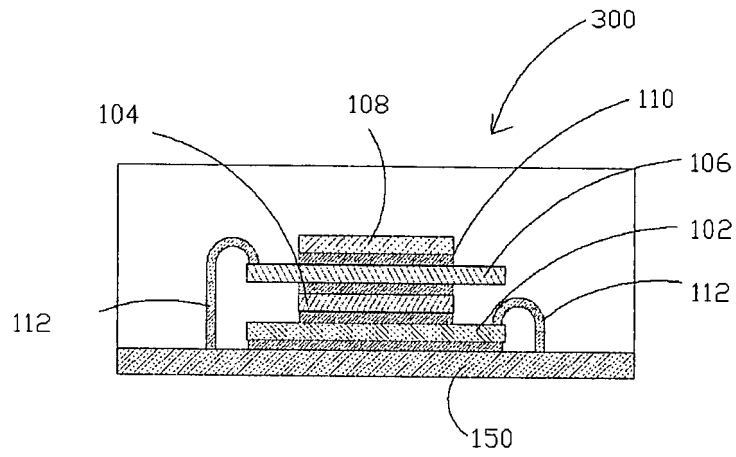


圖 8

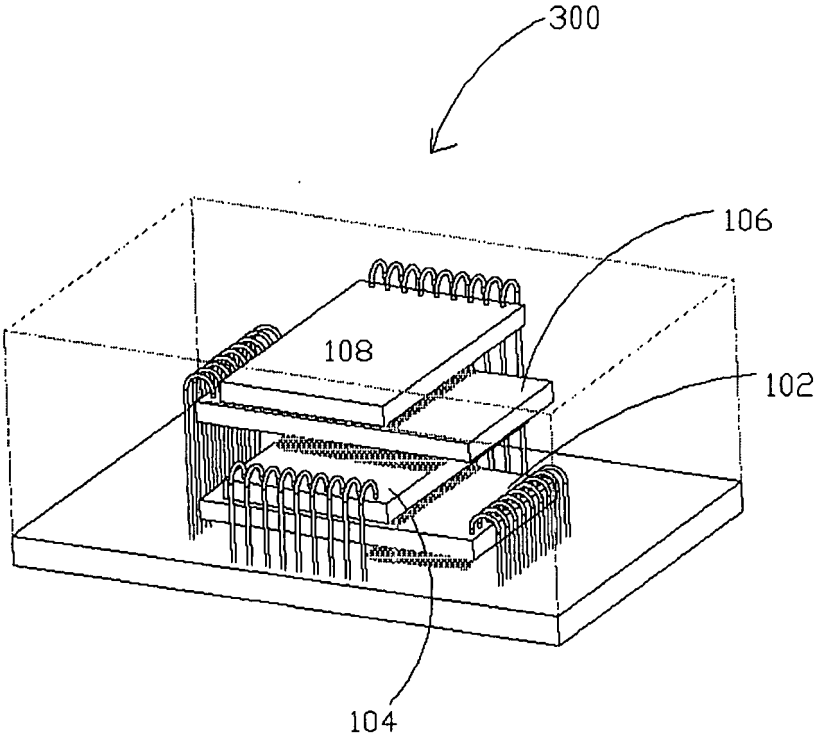


圖 8A

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 100 快閃記憶體組件
- 102-108 快閃記憶體晶粒
- 110 絕緣膠薄膜
- 112 接合線
- 120 接點終端
- 150 印刷電路板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：