

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-512765

(P2014-512765A)

(43) 公表日 平成26年5月22日(2014.5.22)

(51) Int.Cl. F I テーマコード (参考)
H03K 17/06 (2006.01) H03K 17/06 C 5 J 0 5 5

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2014-505149 (P2014-505149)
 (86) (22) 出願日 平成24年3月22日 (2012.3.22)
 (85) 翻訳文提出日 平成25年10月19日 (2013.10.19)
 (86) 国際出願番号 PCT/US2012/030045
 (87) 国際公開番号 W02012/141859
 (87) 国際公開日 平成24年10月18日 (2012.10.18)
 (31) 優先権主張番号 13/085,648
 (32) 優先日 平成23年4月13日 (2011.4.13)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501315784
 パワー・インテグレーションズ・インコー
 ポレーテッド
 アメリカ合衆国・95138・カリフォル
 ニア州・サン ホゼ・ヘリヤー アベニュー
 ・5245
 (74) 代理人 100100181
 弁理士 阿部 正博
 (72) 発明者 スプリングETT ニージェル
 アメリカ合衆国 39759 ミシシッピ
 州 スタークヴィル、リサーチ ブール
 ヴァード 201、ケア オヴ セミサウ
 ス ラボラトリーズ インコーポレイテッ
 ド

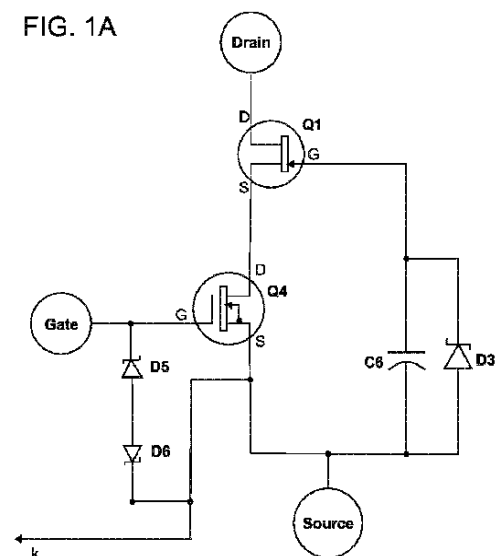
最終頁に続く

(54) 【発明の名称】 ノーマリーオフ装置およびノーマリーオン装置を含むカスケードスイッチ並びに本スイッチを備える回路

(57) 【要約】

カスケード構成のノーマリーオフ半導体装置およびノーマリーオン半導体装置を備えるスイッチについて説明する。スイッチは、ノーマリーオン装置のゲートとノーマリーオフ装置のソースとの間に接続されたコンデンサを含む。スイッチは、ノーマリーオン装置のゲートとノーマリーオフ装置のソースとの間でコンデンサに並列接続されたツェナーダイオードをさらに含んでもよい。スイッチは、ノーマリーオフ装置のゲートとソースとの間で逆向に直列接続された1組のツェナーダイオードをさらに含んでもよい。複数のノーマリーオンおよび/または複数のノーマリーオフ装置を備えるスイッチについてさらに説明する。ノーマリーオン装置は、SiC JFETなどのJFETであってもよい。ノーマリーオフ装置は、Si MOSFETなどのMOSFETであってもよい。ノーマリーオン装置は、高電圧装置であってもよく、ノーマリーオフ装置は、低電圧装置であってもよい。スイッチを備える回路についてさらに説明する。

FIG. 1A



【特許請求の範囲】**【請求項 1】**

ゲート、ソースおよびドレインを含む第 1 のノーマリーオン半導体装置と、
ゲート、ソースおよびドレインを含む第 1 のノーマリーオフ半導体装置と、
第 1 のコンデンサと、
第 1 のダイオードと、を備え、
前記第 1 のノーマリーオン半導体装置の前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、

前記第 1 のノーマリーオン半導体装置の前記ゲートが、第 1 のコンデンサを介して、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、

前記第 1 のダイオードが、前記第 1 のノーマリーオン半導体装置の前記ゲートと前記第 1 のノーマリーオフ半導体装置の前記ソースとの間で、前記第 1 のコンデンサと並列に接続され、前記第 1 のダイオードのカソードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続され、前記第 1 のダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続されている、
スイッチ。

【請求項 2】

前記第 1 のダイオードが、第 1 のツェナーダイオードである、
請求項 1 のスイッチ。

【請求項 3】

前記第 1 のツェナーダイオードのツェナー電圧が、15 - 25 V である、
請求項 2 のスイッチ。

【請求項 4】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記ソースとの間で逆向きに直列接続された第 2 のツェナーダイオードおよび第 3 のツェナーダイオードをさらに備える、
請求項 1 のスイッチ。

【請求項 5】

前記第 1 のノーマリーオン半導体装置の前記ドレインと前記第 1 のノーマリーオフ半導体装置の前記ソースとの間で互いに並列接続された第 1 および第 2 のダイオードをさらに備え、前記第 1 および第 2 のダイオードのそれぞれのカソードが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続されている、
請求項 1 のスイッチ。

【請求項 6】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の電気接続部との間で直列接続されたダイオードおよび抵抗器をさらに備え、前記ダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、
請求項 1 のスイッチ。

【請求項 7】

前記第 1 のノーマリーオン半導体装置の前記ゲートと前記第 1 のコンデンサとの間で、互いに並列に配置され、さらに、前記第 1 のコンデンサと直列に配置された抵抗器およびダイオードをさらに備える、
請求項 1 のスイッチ。

【請求項 8】

前記ダイオードのカソードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されている、
請求項 7 のスイッチ。

【請求項 9】

前記ダイオードのアノードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されている、

10

20

30

40

50

請求項 7 のスイッチ。

【請求項 10】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記第 1 のノーマリーオン半導体装置の前記ドレインとの間で直列に配置された抵抗器および第 2 のコンデンサをさらに備える、請求項 1 のスイッチ。

【請求項 11】

前記第 1 のノーマリーオン半導体装置が、高電圧装置である、
請求項 1 のスイッチ。

【請求項 12】

前記第 1 のノーマリーオン半導体装置が、接合型電界効果トランジスタである、請求項 10 1 のスイッチ。

【請求項 13】

前記第 1 のノーマリーオン半導体装置が、SiC 接合型電界効果トランジスタである、
請求項 1 のスイッチ。

【請求項 14】

前記第 1 のノーマリーオフ半導体装置が、低電圧装置である、
請求項 1 のスイッチ。

【請求項 15】

前記第 1 のノーマリーオフ半導体装置が、金属酸化膜半導体電界効果トランジスタである、請求項 1 のスイッチ。

【請求項 16】

前記第 1 のノーマリーオフ半導体装置が、Si 金属酸化膜半導体電界効果トランジスタである、請求項 1 のスイッチ。

【請求項 17】

前記スイッチが、1 以上の付加的なノーマリーオン半導体装置を更に備え、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、

前記第 1 のノーマリーオン半導体装置の前記ゲートが、前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ゲートに接続されて共通ゲートを形成し、前記共通ゲートが、前記第 1 のコンデンサを介して前記第 2 のノーマリーオフ半導体装置の前記ソースに接続されている、

請求項 1 のスイッチ。

【請求項 18】

前記回路が、1 以上の付加的なノーマリーオン半導体装置を更に備え、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、前記 1 以上の付加的なノーマリーオン半導体装置の前記ゲートのそれぞれが、コンデンサを介して前記第 2 のノーマリーオフ半導体装置の前記ソースに接続されている、

請求項 1 のスイッチ。

【請求項 19】

前記回路が、1 以上の付加的なノーマリーオン半導体装置と 1 以上の付加的なノーマリーオフ半導体装置と、を更に備え、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ゲートが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されて共通ゲートを形成し、前記共通ゲ

ートが、前記第 1 のコンデンサを介して前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記 1 以上の付加的なノーマリーオフ半導体装置のうちの個別の 1 の付加的なノーマリーオフ半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオフ半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、前記 1 以上の付加的なノーマリーオフ半導体装置のそれぞれの前記ゲートが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、

請求項 1 のスイッチ。

10

【請求項 2 0】

前記第 1 のコンデンサの容量が、1 0 0 0 - 1 0 0 0 0 0 n F である、

請求項 1 のスイッチ。

【請求項 2 1】

前記第 1 のコンデンサの容量が、2 2 0 0 - 6 8 0 0 p F である、

請求項 1 のスイッチ。

【請求項 2 2】

前記第 1 のコンデンサの定格電圧が、少なくとも 2 5 V である、

請求項 1 のスイッチ。

【請求項 2 3】

20

前記第 1 のノーマリーオン半導体装置が、禁止帯の幅が広い接合型電界効果トランジスタである、

請求項 1 のスイッチ。

【請求項 2 4】

直流電圧源をさらに備え、

前記直流電圧源が、前記第 1 のコンデンサに直流バイアスを供給することに適合している、

請求項 1 のスイッチ。

【請求項 2 5】

前記直流電圧源と前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の前記接続部との間で直列接続されたダイオードおよび抵抗器をさらに備え、前記ダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、

30

請求項 2 4 のスイッチ。

【請求項 2 6】

前記ノーマリーオフ半導体装置の前記ゲートに接続された直流電圧源をさらに備え、前記直流電圧源が、

前記第 1 のノーマリーオフ半導体装置の前記ゲートと、前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の前記接続部と、の間に直列接続された前記ダイオードおよび前記抵抗器を介して、前記第 1 のコンデンサに、および、

40

前記ノーマリーオフ半導体装置の前記ゲートに、

直流バイアスを供給することに適合している、

請求項 6 のスイッチ。

【請求項 2 7】

請求項 1 に記載のスイッチを備える回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本明細書で用いられる見出しは、体系化を目的とするにすぎず、決して本明細書に記載

50

される主題を限定するように解釈するべきではない。

【0002】

本出願は、概して半導体装置に関し、特に、カスケード構成のノーマリーオフ装置およびノーマリーオン高電圧装置を含むスイッチ並びに本スイッチを備える回路に関する。

【背景技術】

【0003】

ソーススイッチ回路は、多くの場合「カスケード」と呼ばれ、ノーマリーオフゲーティング装置をノーマリーオン高電圧装置と共に含む複合回路であり、その組合せがノーマリーオフ大電力半導体装置として動作する。この装置は、ソース、ゲート、およびドレインという3つの外部端子を搭載している。ゲーティング装置は、小さな駆動信号を使用して高速にスイッチング可能な低電圧出力半導体装置であってもよい。このゲーティング装置は、そのドレイン端子が高電圧ノーマリーオン装置のソース端子に接続された低電圧電界効果トランジスタであってもよい。制御装置のゲートに保護装置を追加することを利用して、配置を簡素化し、さらに装置の信頼性を高めることができる。この複合回路は、トランジスタの代用品として使用するよう、3端子装置としてパッケージングするのに適している。

10

【0004】

カスケード回路は、米国特許第4,663,547号明細書、米国特許第7,719,055号明細書、米国特許第6,822,842B2号明細書、米国特許第6,55,050B2号明細書および、米国特許第6,633,195B2号明細書に開示されている。

20

【0005】

しかし、いまだ、スイッチング損失が小さく、さらにスイッチング速度の制御性に優れたカスケードスイッチング装置が求められている。

【発明の概要】

【0006】

ゲート、ソースおよびドレインを含む第1のノーマリーオン半導体装置と、ゲート、ソースおよびドレインを含む第1のノーマリーオフ半導体装置と、を備え、第1のノーマリーオン半導体装置のソースが、第1のノーマリーオフ半導体装置のドレインに接続され、第1のノーマリーオン半導体装置のゲートが、第1のコンデンサを介して第1のノーマリーオフ半導体装置のソースに接続されたスイッチが提供される。

30

【0007】

前述のスイッチを備える回路が、さらに提供される。

【0008】

本教示に関するこれらの特徴および他の特徴を、本明細書で説明する。

【図面の簡単な説明】

【0009】

当業者であれば、以下で説明する図面が、例示を目的とするにすぎないことを理解すると考えられる。図面は、決して、本教示の範囲を限定することを意図していない。

【0010】

40

【図1A】図1Aは、カスケード構成のノーマリーオフ装置Q4およびノーマリーオン装置Q1を備えるスイッチの回路図であり、図中、コンデンサC6およびツェナーダイオードD3は、ノーマリーオフ装置のソースとノーマリーオン装置のゲートとの間で互いに並列接続され、さらに、1組のツェナーダイオードD5およびD6が、ノーマリーオフ装置のゲートとソースとの間で逆向きに直列接続されている。

【図1B】図1Bは、図1Aに示すスイッチの回路図であり、さらにノーマリーオフ装置Q4のソースとノーマリーオン装置Q1のドレインとの間で互いに並列接続された1組のダイオードD1を備え、ダイオードD1のカソードがノーマリーオン装置のドレインに接続されている。

【図1C】図1Cは、図1Aに示すスイッチの回路図であり、さらにノーマリーオフ装置

50

Q 4 をまたぐコンデンサ C 7 およびツェナーダイオード D 7 を備える。

【図 2 A】図 2 A は、図 1 A に示すスイッチであり、さらにノーマリーオフ装置 Q 4 のゲートと、コンデンサ C 6 およびノーマリーオン装置 Q 1 のゲートの間の電気接続部との間で直列接続されたダイオード D 2 および抵抗器 R 1 を備える。

【図 2 B】図 2 B は、図 1 A に示すスイッチであり、さらに、コンデンサ C 6 とノーマリーオン装置 Q 1 のゲートとの間の電気接続部に、ダイオード D 2 および抵抗器 R 1 を介して直列接続された直流電源を備える。

【図 3】図 3 は、カスケード構成で接続されたノーマリーオフ装置 Q 4 およびノーマリーオン装置 Q 1 を備えるスイッチの回路図であり、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1 のゲートとの間で、コンデンサ C 6 およびツェナーダイオード D 3 が互いに並列接続されているのが示され、さらに、抵抗器 R 100 およびダイオード D 100 が互いに並列接続されるとともに、コンデンサ C 6 およびツェナーダイオード D 3 とノーマリーオン装置 Q のゲートとの間でコンデンサ C 6 およびツェナーダイオード D 3 と直列接続されているのが示され、さらに、ツェナーダイオード D 3 およびダイオード D 100 のカソードが両方、ノーマリーオン装置のゲートに接続されている。

10

【図 4】図 4 は、カスケード構成で接続されたノーマリーオフ装置 Q 4 およびノーマリーオン装置 Q 1 を備えるスイッチの回路図であり、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1 のゲートとの間で、コンデンサ C 6 およびツェナーダイオード D 3 が互いに並列接続されているのが示され、さらに、抵抗器 R 100 およびダイオード D 101 が互いに並列接続されるとともに、コンデンサ C 6 およびツェナーダイオード D 3 とノーマリーオン装置のゲートとの間でコンデンサ C 6 およびツェナーダイオード D 3 と直列接続されているのが示され、さらに、ツェナーダイオード D 3 のカソードおよびダイオード D 101 のアノードが、ノーマリーオン装置 Q 1 のゲートに接続されている。

20

【図 5】図 5 は、図 1 A に示すスイッチの回路図であり、さらにノーマリーオフ装置 Q 4 のゲートとノーマリーオン装置 Q 1 のドレインとの間で直列接続された抵抗器 R 200 およびコンデンサ C 200 を備える。

【図 6】図 6 は、ゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 Q 4、並びに、各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 Q 1₁ - Q 1_n を備えるスイッチの回路図であり、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1₁ - Q 1_n の共通ゲートとの間で互いに並列接続された単一のコンデンサ C 6 および単一のツェナーダイオード D 3 が示されている。

30

【図 7】図 7 は、ゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 Q 4、並びに、各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 Q 1₁ - Q 1_n を備えるスイッチの回路図であり、離して配置されたコンデンサ C 6₁ - C 6_n およびツェナーダイオード D 3₁ - D 3_n が、ノーマリーオフ装置 Q 4 のソースと各ノーマリーオン装置 Q 1₁ - Q 1_n のゲートとの間で互いに並列に接続されている。

【図 8】図 8 は、各々がゲート、ソースおよびドレインを有する複数のノーマリーオフ装置 Q 4_n、並びに各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 Q 1_n を備えるスイッチの回路図であり、ノーマリーオフ装置の共通ソースとノーマリーオン装置の共通ゲートとの間で互いに並列接続された単一のコンデンサ C 6 および単一のツェナーダイオード D 3 が示されている。

40

【図 9】図 9 は、ゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 Q 4、並びに、第 1 の群 Q 1₁ - Q 1_n (Q 1₁ および Q 1₂ を図示) と第 2 の群 Q 2₁ - Q 2_n (Q 2₁ および Q 2₂ を図示) とに分類された各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置を備えるスイッチの回路図であり、ノーマリーオフ装置のソースと第 1 の群の 1 以上のノーマリーオン装置 Q 1₁ - Q 1_n の共通ゲートとの間で互いに並列接続された第 1 のコンデンサ C 6₁ および第 1 のツェナーダイオード D 3₁ が示され、さらに、ノーマリーオフ装置のソースと第 2 の群の 1 以上のノーマリーオン装置 Q 2₁ - Q 2_n の共通ゲートとの間で互いに並列接続された第 2 のコンデンサ C 6₂ および第 2 のツェナーダイオード D 3₂ が示され、さらに、ノーマリーオフ装置 Q 4 のゲート

50

トと第1のコンデンサ C_{61} および第1の群のノーマリーオン装置 $Q_{11} - Q_{1n}$ の共通ゲートの間の電気接続部との間で直列接続されたダイオード D_2 および抵抗器 R_{11} が示され、さらに、ノーマリーオフ装置 Q_4 のゲートと第2のコンデンサ C_{62} および第2の群のノーマリーオン装置 $Q_{21} - Q_{2n}$ の共通ゲートの間の電気接続部との間で直列接続されたダイオード D_2 および抵抗器 R_{12} が示されている。

【図10A】図10Aおよび10Bは、動作中の、図1Bの装置内での様々な位置における電圧を示す回路図であり、オン切替え時の装置が図10Aに示され、オフ切替え後の装置が図10Bに開示されている。

【図10B】同上。

【図11A】図11A - 11Cは、図1Bに示すスイッチのスイッチング波形を示す。

【図11B】同上。

【図11C】同上。

【発明を実施するための形態】

【0011】

本明細書を解釈する目的において、本明細書での「または(or)」の使用は、「および(and)/または(or)」を意味するが、これと異なる指定がある場合または「および/または」の使用が明らかに不適切な場合はこの限りではない。本明細書での「1の(a)」の使用は、「1以上の(one or more)」を意味するが、これと異なる指定がある場合または「1以上の」の使用が明らかに不適切な場合はこの限りではない。「備える(comprise)」、「備える(comprises)」、「備える(comprising)」、「含む(include)」、「含む(includes)」、および「含む(including)」の使用は、互いに代用可能であり、限定することを意図しない。さらに、1以上の実施形態の説明で、「備える(comprising)」という用語を使用する場合、当業者であれば、いくつかの特定の実施例において、「実質的に～からなる(consisting essentially of)」および/または「からなる(consisting of)」という表現を使用して、その実施形態(単数または複数)を代替的に説明できることを理解すると考えられる。いくつかの実施形態において、本教示が動作可能に保たれる限り、ステップの順序または特定の行為を実施する順序が重要ではないことも、理解できるはずである。さらに、いくつかの実施形態では、2以上のステップまたは行為を、同時に実行してもよい。

【0012】

カスケード構成ノーマリーオフ装置およびノーマリーオン高電圧装置を備えるスイッチについて説明する。スイッチは、ノーマリーオン(例えば、高電圧)装置のゲートとノーマリーオフ(例えば、低電圧)装置のソースとの間に接続されたコンデンサを備える。コンデンサは、ゲート電荷を再利用するため、および、スイッチング遷移速度の制御を簡素化するために使用できる。特に、オフ切替え遷移中にミラー(すなわち、ゲート-ドレイン)容量内で移動する電荷は、次のオン切替え期間に必要な電荷を提供するために使用できる。この電荷は、ノーマリーオン装置のゲートとノーマリーオフ装置のソースとの間に接続されたコンデンサに蓄えられる。コンデンサの容量値の選択により、スイッチング速度を決定することができ、さらに、スイッチング速度は、スイッチングされる電流から半独立している。これにより、電氣的な振動を減衰させる大きな受動素子(スナッパと呼ばれる)を搭載せずに、より適切な電磁妨害(EMI; Electro-Magnetic Interference)制御が可能となる。電荷を再利用せず、スイッチング速度の制御に他の技術を使用する従来のカスケード回路が、コンデンサの追加により著しく改善される。さらに、本明細書に記載されているコンデンサの使用法は、実質的に無損失であり、さらに、最小限の構成要素しか必要としない。

【0013】

本明細書で使用する場合、「ノーマリーオン」は、ゲートバイアスが印加されていない時に電流を流し、電流を遮断するためにゲートバイアスを必要とする装置を意味する。本明細書で使用する場合、「ノーマリーオフ」は、ゲートバイアスが印加されていない時に

10

20

30

40

50

電流を遮断し、ゲートバイアスが印加されると電流を流す装置を意味する。本明細書で使用する場合、「高電圧」は、100ボルト以上の電圧であり、「低電圧」は、100ボルト未満の電圧（例えば、20 - 50 V）である。

【0014】

本明細書で使用する場合、回路内の別の構成要素もしくは位置「に接続された」、または、回路内の2つの構成要素もしくは位置「の間に接続された」回路の構成要素は、回路内の他の構成要素（単数または複数）もしくは位置（単数または複数）に、直接接続されていてもよく、または間接的に接続されていてもよい。接続部に介在要素がない場合、構成要素は、回路内の別の構成要素または位置に直接接続され、接続部に1以上の介在要素がある場合、構成要素は、回路内の別の構成要素または位置に間接的に接続されている。回路内の第1の構成要素または位置が、第3の構成要素を介して回路内の第2の構成要素または位置に接続されていると記載されている場合、第3の構成要素は、回路内の第1の構成要素または位置と回路内の第3の構成要素または位置との間に電氣的に接続されている。回路内の第1の構成要素または位置と第3の構成要素は、互いに直接接続されていてもよく、または間接的に接続されていてもよい。同様に、回路内の第2の構成要素または位置と第3の構成要素は、互いに直接接続されていてもよく、または間接的に接続されていてもよい。

【0015】

ソース - スイッチングされる（すなわち、カスケード）構成の、ノーマリーオフ装置のソースとノーマリーオン装置のゲートとの間に接続されたコンデンサを含むいくつかのスイッチについて説明する。いくつかの実施形態に係るスイッチが、図1Aに示されている。図1Aは、ゲート、ソースおよびドレインを有するノーマリーオフ装置Q4並びにゲート、ソースおよびドレインを有するノーマリーオン装置Q1を、カスケード構成で備えるスイッチの回路図であり、ノーマリーオフ装置のソースとノーマリーオン装置のゲートとの間で並列接続されたコンデンサC6およびダイオードD3が示されている。図1AにはツェナーダイオードD3が示されているが、別の種類のダイオードを使用してもよい。図1Aに示すように、ツェナーダイオードD3のカソードは、ノーマリーオン装置のゲートに接続されている。ツェナーダイオードD3は、ノーマリーオン装置のゲート電圧が負の値になるのを防ぐと同時に、ノーマリーオン装置のゲート電圧が過度に高くなってノーマリーオフ装置のなだれ降伏を引き起こす事態を防ぐことができる。図1Aで、「k」は、ノーマリーオフ装置Q4のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途に用いることができる。

【0016】

図1Aでさらに示すように、1組のツェナーダイオードD5およびD6が、ノーマリーオフ装置のゲートとソースとの間で逆向きに直列接続されている。図1Aに示すツェナーダイオードD5およびD6は、Q4のゲートが動作限界を越えないようにするために使用できる随意的なクランプダイオードである。例えば、ツェナーダイオードD5およびD6は、漂遊インダクタンスおよび高い di/dt に起因するスパイク電圧によって低電圧スイッチング装置Q4（例えば、Si MOSFETまたはSiC JFET）を損傷する事態を防ぐことができる。図1Aに示すダイオードD5およびD6は、本明細書に記載されるいずれの実施形態でも使用することができる。

【0017】

ノーマリーオン装置Q1は、高電圧（例えば、100V以上）のノーマリーオン電界効果トランジスタであってもよい。ノーマリーオフ装置Q4は、低電圧（例えば、100V未満）のノーマリーオフトランジスタであってもよい。

【0018】

図1Bは、ノーマリーオフ装置のソースとノーマリーオン装置のドレインとの間で互いに並列に接続された1組のダイオードD1を更に備えるスイッチの回路図であり、ダイオードD1のカソードがノーマリーオン装置のドレインに接続されている。ダイオードD1は、随意的である。図1Bに示すダイオードD1は、本明細書に記載されるいずれの実施

形態でも使用することができる。ダイオードは、スイッチが同期整流器として動作している時に、伝導損を低減することができる。図 1 B で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用することができる。図 1 B にはツェナーダイオード D 3 が示されているが、別の種類のダイオードを使用してもよい。

【0019】

出力キャパシタンスの比に応じて、スイッチ内のノーマリーオフ装置（単数または複数）をまたいでコンデンサおよび/またはツェナーダイオードを追加してもよい。図 1 C は、ノーマリーオフ装置 Q 4 をまたぐコンデンサ C 7 およびツェナーダイオード D 7 を更に備えるスイッチの回路図である。ツェナーダイオード D 7 は、ドレイン電圧が過度に上昇した場合に、ノーマリーオフ装置 Q 4 からなだれ降伏エネルギーを解放することができる。コンデンサ C 7 は、オフ切替えを減速させることができる。図 1 C に示すコンデンサおよび/またはツェナーダイオードは、本明細書に記載されるいずれの実施形態でも使用することができる。図 1 C で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用することができる。図 1 C にはツェナーダイオード D 3 が示されているが、別の種類のダイオードを使用してもよい。

【0020】

本明細書に記載されるスイッチは、スイッチング速度をさらに変更するため、および伝導損を低減させるため、様々な拡張機能とともに単一のパッケージに一体化されていてもよい。いくつかの実施形態によれば、ゲート駆動源または直流電源からコンデンサ C 6 に、小さな直流バイアスを印加することにより、伝導損を低減してもよい。ゲート駆動源からコンデンサ C 6 に直流バイアスが印加される一実施形態が、図 2 A に示されている。図 2 A に示すように、ダイオード D 2 および抵抗器 R 1 は、ノーマリーオフ装置のゲートとコンデンサ C 6 およびノーマリーオン装置のゲートの間の電気接続部との間で直列接続されている。図 2 A に示すダイオード D 2 および抵抗器 R 1 は、本明細書に記載されるいずれの実施形態でも使用することができる。図 2 A で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用することができる。図 2 A にはツェナーダイオード D 3 が示されているが、別の種類のダイオードを使用してもよい。

【0021】

直流電源からコンデンサ C 6 に直流バイアスが印加される一実施形態が、図 2 B に示されている。図 2 B に示すように、直流電源が、直列接続されたダイオード D 2 および抵抗器 R 1 を介して、コンデンサ C 6 とノーマリーオン装置 Q 1 のゲートとの間の電気接続部に接続されている。図 2 B に示す直流電源、ダイオード D 2 および抵抗器 R 1 は、本明細書に記載されるいずれの実施形態でも使用することができる。図 2 B で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用することができる。図 2 B にはツェナーダイオード D 3 が示されているが、別の種類のダイオードを使用してもよい。

【0022】

図 3 は、カスケード構成で接続された、ゲート、ソースおよびドレインを有するノーマリーオフ装置 Q 4 並びにゲート、ソースおよびドレインを有するノーマリーオン装置 Q 1 を備えるスイッチの回路図である。図 3 に示すように、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1 のゲートとの間で、コンデンサ C 6 とダイオード D 3 とが互いに並列接続されているのが示されている。ツェナーダイオード D 3 が図 3 に示されているが、別の種類のダイオードを使用してもよい。図 3 でさらに示すように、抵抗器 R 100 とダイオード D 100 とが互いに並列接続されるとともに、コンデンサ C 6 およびツェナーダイオード D 3 とノーマリーオン装置のゲートとの間でコンデンサ C 6 およびツェナーダイオード D 3 に直列接続されている。図 3 でさらに示すように、ツェナーダイオード D 3 およびダイオード D 100 のカソードが両方とも、ノーマリーオン装置のゲートに接続されている。この構成は、スイッチのオン切替えを高速化するために使用できる。随意的

なクランプダイオード D 5 および D 6 を、さらに図 3 に示す。図 3 に示す抵抗器 R 1 0 0 およびダイオード D 1 0 0 は、本明細書に記載されるいずれの実施形態でも使用することができる。図 3 で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用する事ができる。

【0023】

図 4 は、カスケード構成で接続された、ゲート、ソースおよびドレインを有するノーマリーオフ装置 Q 4 並びにゲート、ソースおよびドレインを有するノーマリーオン装置 Q 1 を備えるスイッチの回路図であり、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1 のゲートとの間で、コンデンサ C 6 とダイオード D 3 とが互いに並列接続されているのが示されている。ツェナーダイオード D 3 が図 4 に示されているが、別の種類のダイオードを使用してもよい。図 4 に示すように、抵抗器 R 1 0 0 およびダイオード D 1 0 1 が互いに並列接続されているとともに、コンデンサ C 6 およびツェナーダイオード D 3 とノーマリーオン装置のゲートとの間で、コンデンサ C 6 およびツェナーダイオード D 3 に列接続されているのが、さらに示されている。図 4 でさらに示すように、ツェナーダイオード D 3 のカソードおよびダイオード D 1 0 1 のアノードが、ノーマリーオン装置のゲートに接続されている。この構成は、スイッチのオフ切替えを高速化するために使用できる。随意的なクランプダイオード D 5 および D 6 を、さらに図 4 に示す。図 4 に示す抵抗器 R 1 0 0 およびダイオード D 1 0 1 は、本明細書に記載されるいずれの実施形態でも使用することができる。図 4 で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用する事ができる。

【0024】

図 5 は、図 1 A に示すスイッチの回路図であり、ノーマリーオフ装置のゲートとノーマリーオン装置のドレインとの間で直列接続された、抵抗器 R 2 0 0 およびコンデンサ C 2 0 0 をさらに備える。コンデンサ C 2 0 0 は、スイッチのスイッチング速度を制御するために使用できる。随意的なクランプダイオード D 5 および D 6 を、さらに図 5 に示す。図 5 に示すようにノーマリーオフ装置のゲートとノーマリーオン装置のドレインとの間で直列接続された、抵抗器 R 2 0 0 およびコンデンサ C 2 0 0 は、本明細書に記載されるいずれの実施形態でも使用することができる。図 5 で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用する事ができる。ツェナーダイオード D 3 が図 5 に示されているが、別の種類のダイオードを使用してもよい。

【0025】

複数のノーマリーオン装置と単一または複数のノーマリーオフ装置とを備えるスイッチが、さらに提供される。複数のノーマリーオン装置と単一または複数のノーマリーオフ装置とを備える実施形態の回路図を、図 6 - 9 に示し、以下で説明する。これらの図にはツェナーダイオード D 3 が示されているが、別の種類のダイオードを使用してもよい。

【0026】

図 6 は、ゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 Q 4 並びに各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 Q 1₁ - Q 1_n を備えるスイッチの回路図であり、ノーマリーオン装置 Q 1₁ - Q 1_n のゲートが互いに接続されて共通ゲートを形成し、さらに、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1₁ - Q 1_n の共通ゲートとの間で、単一のコンデンサ C 6 と単一のツェナーダイオード D 3 とが互いに並列接続されているのが示されている。図 6 に、ノーマリーオフ装置 Q 4 のソースとノーマリーオン装置 Q 1₁ - Q 1_n の共通ドレインとの間で、ダイオード D 1 が互いに並列接続されているのが、さらに示されている。ダイオード D 1 は、随意的である。随意的なクランプダイオード D 5 および D 6 を、さらに図 6 に示す。図 6 で、「k」は、ノーマリーオフ装置 Q 4 のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で使用する事ができる。

【0027】

図 7 は、ゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 Q 4 並びに

各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 $Q1_1 - Q1_n$ を備えるスイッチの回路図であり、ノーマリーオフ装置 $Q4$ のソースと各ノーマリーオン装置 $Q1_1 - Q1_n$ のゲートとの間で、離して配置されたコンデンサ $C6_n$ とツェナーダイオード $D3_n$ とが互いに並列接続されているのが示されている。図7に、ノーマリーオフ装置 $Q4$ のソースとノーマリーオン装置 $Q1_1 - Q1_n$ の共通ドレインとの間で、ダイオード $D1$ が互いに並列接続されているのが、さらに示されている。ダイオード $D1$ は、随意的である。随意的なクランプダイオード $D5$ および $D6$ を、さらに図7に示す。図7で、「 k 」は、ノーマリーオフ装置 $Q4$ のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で 사용할 ことができる。

【0028】

図8は、各々がゲート、ソースおよびドレインを有する複数のノーマリーオフ装置 $Q4_1 - Q4_n$ 並びに各々がゲート、ソースおよびドレインを有する複数のノーマリーオン装置 $Q1_1 - Q1_n$ を備えるスイッチの回路図である。図8に示すように、ノーマリーオン装置 $Q1_1 - Q1_n$ のゲートが互いに接続されて、共通ゲートを形成している。図8に示すように、ノーマリーオフ装置 $Q4_1 - Q4_n$ のゲートが互いに接続されて共通ゲートを形成し、ノーマリーオフ装置 $Q4_1 - Q4_n$ のソースが互いに接続されて共通ソースを形成し、さらに、各ノーマリーオフ装置 $Q4_1 - Q4_n$ のドレインが、複数のノーマリーオン装置のうちの1のノーマリーオン装置のソースに接続されている。図8でさらに示すように、ノーマリーオフ装置の共通ソースとノーマリーオン装置の共通ゲートとの間で、単一のコンデンサ $C6$ と単一のツェナーダイオード $D3$ とが互いに並列に接続されている。図8で、ノーマリーオフ装置 $Q4_1 - Q4_n$ の共通ソースとノーマリーオン装置 $Q1_1 - Q1_n$ の共通ドレインとの間で、ダイオード $D1$ が互いに並列接続されているのがさらに示されている。ダイオード $D1$ は、随意的である。随意的なクランプダイオード $D5$ および $D6$ を、さらに図8に示す。

【0029】

図9は、各々がゲート、ソースおよびドレインを有する単一のノーマリーオフ装置 $Q4$ 並びに各々がゲート、ソースおよびドレインを有する2つの群のノーマリーオン装置 $Q1_1 - Q1_n$ および $Q2_1 - Q2_n$ を備えるスイッチの回路図である。図9に示すように、第1の群のノーマリーオン装置 $Q1_1$ および $Q1_2$ のゲートが互いに接続されて第1の群のノーマリーオン装置の共通ゲートを形成し、さらに、第2の群のノーマリーオン装置 $Q2_1$ および $Q2_2$ のゲートが互いに接続されて第2の群のノーマリーオン装置の共通ゲートを形成している。図9でさらに示すように、ノーマリーオフ装置のソースと第1の群のノーマリーオン装置の共通ゲートとの間で、第1のコンデンサ $C6_1$ および第1のツェナーダイオード $D3_1$ が互いに並列接続されているのが示され、さらに、ノーマリーオフ装置のソースと第2の群のノーマリーオン装置の共通ゲートとの間で、第2のコンデンサ $C6_2$ と第2のツェナーダイオード $D3_2$ とが互いに並列接続されているのが示されている。図9でさらに示すように、ノーマリーオフ装置のゲートと第1の群のノーマリーオン装置の共通ゲートとの間で直列接続されたダイオード $D2$ および抵抗器 $R1_1$ が示され、さらに、ノーマリーオフ装置のゲートと第2の群のノーマリーオン装置の共通ゲートとの間で直列接続されたダイオード $D2$ および抵抗器 $R1_2$ が示されている。ダイオード $D2$ および抵抗器 $R1_1$ および $R1_2$ は、随意的である。随意的なクランプダイオード $D5$ および $D6$ を、さらに図9に示す。図9で、「 k 」は、ノーマリーオフ装置 $Q4$ のソースへのケルビン接続を表す。ケルビン接続は随意的であり、大電力用途で 使用することができる。

【0030】

回路には3端子しかないため、回路は、3端子装置として搭載およびパッケージ化されていてもよく、さらに単一のトランジスタの代わりに用いられてもよい。

【0031】

いくつかの実施形態によれば、ノーマリーオン装置 $Q1$ は、高電圧 J F E T などの高電圧装置（例えば、S i C J F E T）であってもよい。ノーマリーオン装置は、主電力ス

10

20

30

40

50

スイッチングを実行する。高電圧装置の定格電圧は、100Vより大きくてもよい。いくつかの実施形態によれば、ノーマリーオン装置は、米国特許第6,767,783号明細書に開示されたSiC JFETであってもよく、同明細書はその全体が参照により本明細書に援用される。適切な市販のノーマリーオン装置は、Semisouth Laboratories, Inc.製の製品番号SJDP120R085の、1200VノーマリーオンSiC JFETである。

【0032】

いくつかの実施形態によれば、Q4は低電圧スイッチング装置であってもよく、その非限定的な例はSi MOSFETである。低電圧装置の定格電圧は、100V未満であってもよい。例示的な低電圧装置の定格電圧は、約40V（例えば、38 - 42V）であり、低電圧装置の R_{ds} は、ノーマリーオン装置Q1の抵抗の5 - 10%である。この装置のスイッチングにより、主スイッチが導通する。

10

【0033】

ノーマリーオン装置のゲートとノーマリーオフ装置のソースとの間に接続されたコンデンサC6を使用して、主スイッチのゲート - ドレイン容量の電荷を再循環させる。所望のスイッチング速度のスイッチを提供するように、コンデンサの容量値が選択されていてもよい。いくつかの実施形態によれば、コンデンサC6の容量値は、1000 - 100000nFであってもよい。いくつかの実施形態によれば、コンデンサC6の容量値は、2200 - 6800pFであってもよい。

【0034】

20

ノーマリーオン装置のゲートとノーマリーオフ装置のソースとの間でコンデンサC6と並列に接続されたツェナーダイオードD3の阻止電圧は、通常、約20V（例えば、18 - 22V）である。ツェナーダイオードD3は、ノーマリーオン装置Q1のゲートが負の値になるのを防ぐことができ、それにより、ノーマリーオン装置Q1がオンに切り替わることができない。ツェナーダイオードD3は、なだれ降伏または漏れ電流によって、ノーマリーオン装置Q1のゲートが過度に高くなるのを防ぐこともでき、その結果、Q4はなだれ降伏を引き起こさない。

【0035】

ノーマリーオフ装置Q4のゲートとソースとの間で逆向きに直列接続されたツェナーダイオードD5およびD6は、クランプダイオードであり、例えば、漂遊インダクタンスおよび高い di/dt によってもたらされる高いスパイク電圧に起因して、Q4のゲートが製造元の定める限界を上回るのを防ぐことができる。ダイオードD5およびD6は、随意的である。

30

【0036】

ダイオードD1は、随意的な逆方向導通ダイオードである。スイッチング周波数の低いいくつかの用途では、別のダイオードを使用することで、Q4/Q1の同期整流器の能力より伝導損を小さくしてもよい。

【0037】

図10Aおよび10Bは、動作中の装置内における様々な位置での電圧を示す回路図である。図10Aおよび10Bに示すように、ノーマリーオン装置の閾値に達し、それ以上電流が流れなくなるまで、Q4のソースが上昇する。その結果、スイッチングがまったく起こらない。オン切替え時の装置が、図10Aに示されている。図10Aに示すように、Q4のゲートが高く（10V）、Q4のドレインが低い（0V）ため、ノーマリーオン装置Q1が導通している。オン切替え遷移中、Q4のドレイン - ゲート容量がC6を放電させる結果、それが負に向かうが、ツェナーダイオードD3にクランプされる。

40

【0038】

オフ切替え後の装置が図10Bに示されている。図10Bに示すように、ノーマリーオフ装置Q4のゲートがゼロに向かい、ノーマリーオン装置Q1が導通してノーマリーオフ装置Q4のドレインを引き上げ、Q1のドレイン - ゲート容量がコンデンサC6を引き上げ、さらに、最大電圧がD3にクランプされる。

50

【0039】

本明細書に記載されるスイッチでは、オン切替え遷移中、ノーマリーオフ装置Q4のゲート電荷がコンデンサC6から供給され、これによりオン切替えが速くなる。オフ切替え中、コンデンサC6が充電される。特に、オフ切替え後、ノーマリーオン装置Q1のドレイン-ゲート容量が、コンデンサC6の電圧を引き上げる。

【0040】

コンデンサC6の容量値を変えて、スイッチングの挙動に影響を与えてもよい。例えば、C6の容量を小さくすると、オン切替えは速くなるが、オフ切替えは遅くなる。ノーマリーオン装置の容量 C_{gs} は、Q4出力キャパシタンスを充電するために使用できる。

【0041】

前述のスイッチを備える回路が、さらに提供される。スイッチは、スイッチングトランジスタを利用するあらゆる用途で使うことができる。例示的な回路として、バック型、ブースト型、フォワード型、ハーフブリッジ型、およびCuk型などの電源があげられる。

【0042】

実験

【0043】

本発明の実践手法は、以下の例を参照することでさらに理解することができるが、以下の例は、例証のためにのみ提供するものであって、限定することは意図していない。

【0044】

本明細書に記載されているスイッチを製造して試験した。スイッチは、単一のノーマリーオン装置および単一のノーマリーオフ装置を備えるようにし、さらに、図1Bに示す構成とした。ノーマリーオン装置Q1は、SiC JFETとした。ノーマリーオフ装置は、Si MOSFETとした。スイッチで使われるコンデンサC6の容量は、4700 pFとした。スイッチで使われるツェナーダイオードD3、D5、およびD6の各ツェナー電圧は、18Vとした。図1Bに示すように、スイッチには、さらに1組のダイオードD1が含まれるようにした。

【0045】

図11A-11Cは、スイッチのスイッチング波形を示す。図11Aは、オフ切替え時の、スイッチのスイッチング波形である。図11Bは、オン切替え時の、スイッチのスイッチング波形である。図11A-11Cで、51は、ノーマリーオン装置のドレイン（すなわち、カスケードドレイン）で測定された電圧であり、52は、ノーマリーオン装置のソースで測定された電圧であり、53は、ノーマリーオン装置のゲートで測定された電圧であり、さらに、54は、ノーマリーオフ装置のドレイン（すなわち、カスケードソース）で測定された電圧である。di/dtの測定値は、約2 A/nSであったが、使用プローブは100 MHzプローブであったので、di/dtの実値はもっと大きかった可能性がある。

【0046】

図11A-11Cに示すように、ノーマリーオフ装置のゲートが高くなり（例えば、10V）、その結果、ノーマリーオン装置Q1のオン切替えが起こる。オン切替え中、C6の電圧はゼロに落ちて、ノーマリーオフ装置Q4のゲートに電流を供給し、Q4のドレイン-ゲート容量を補償する。これにより、スイッチのオン切替えが速くなる。

【0047】

明細書のここまでの記載で、例示の目的のための例と併せて、本発明の原則について教示しているが、本開示を読んだ当業者であれば、本発明の真の範囲から逸脱することなく、様々な、形態上の変更および細部の変更が可能なことを理解すると考えられる。

10

20

30

40

【図 1 A】

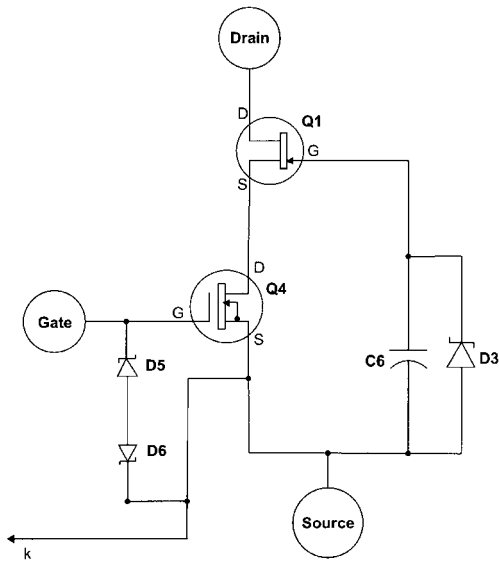


FIG. 1A

【図 1 B】

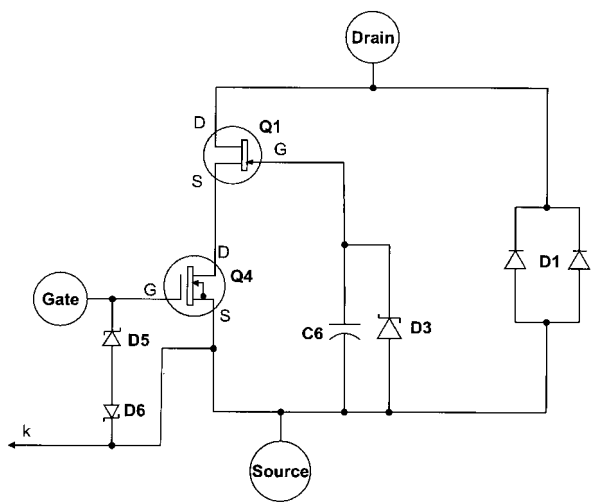


FIG. 1B

【図 1 C】

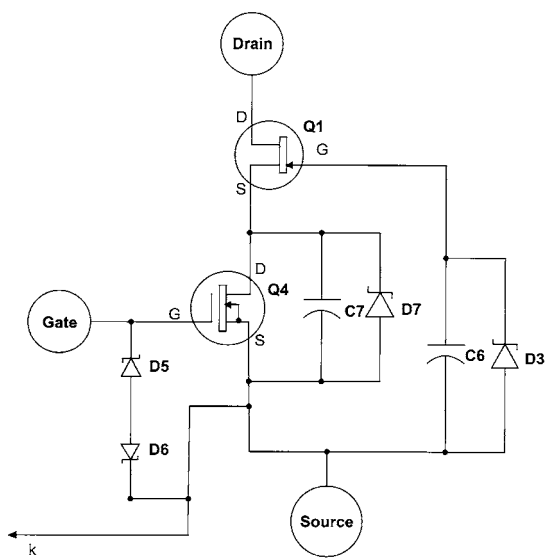


FIG. 1C

【図 2 A】

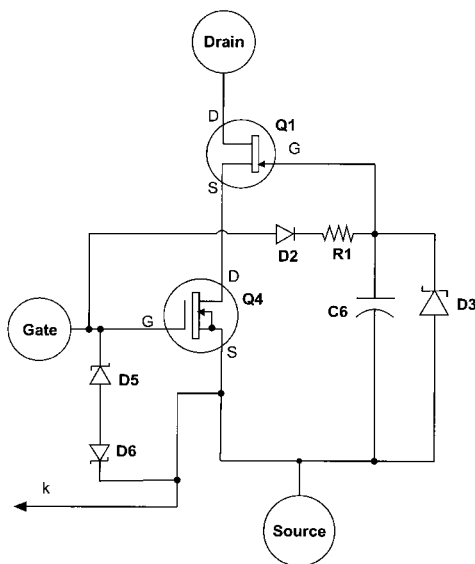


FIG. 2A

【 図 2 B 】

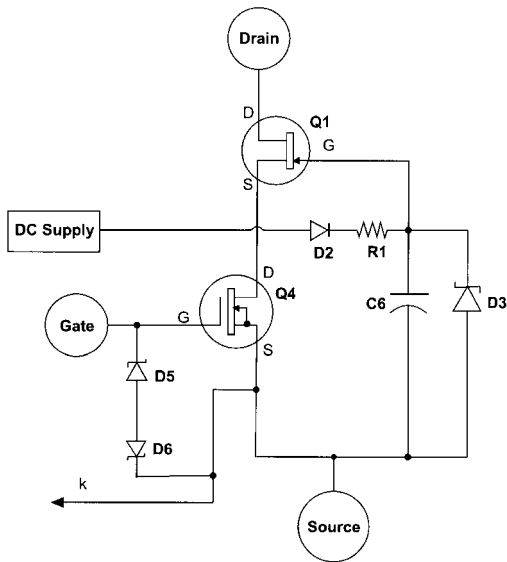


FIG. 2B

【 図 3 】

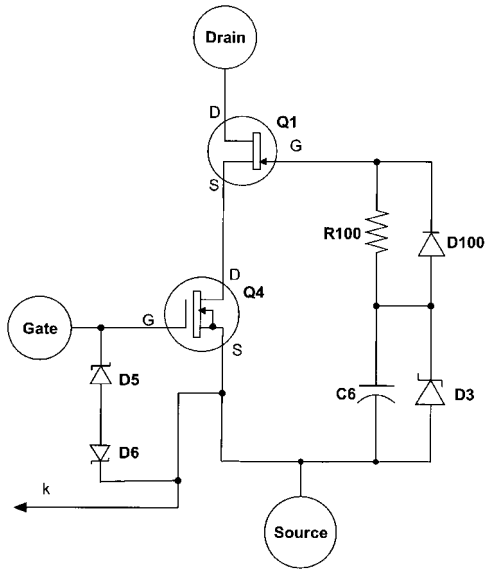


FIG. 3

【 図 4 】

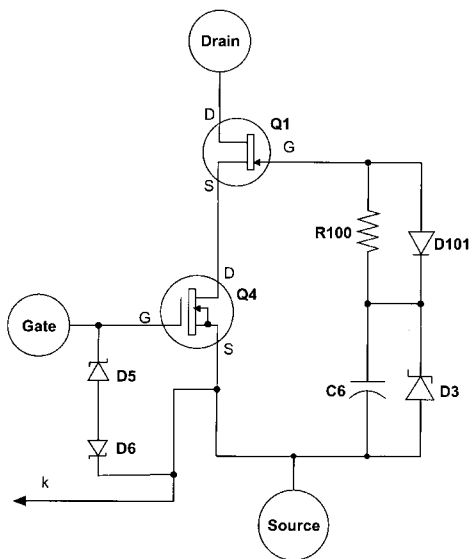


FIG. 4

【 図 5 】

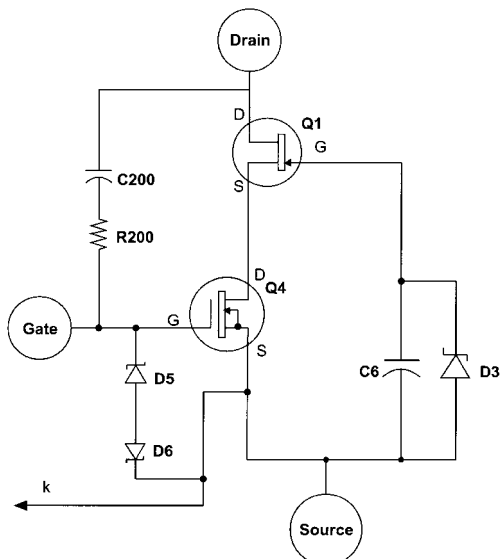


FIG. 5

【 図 6 】

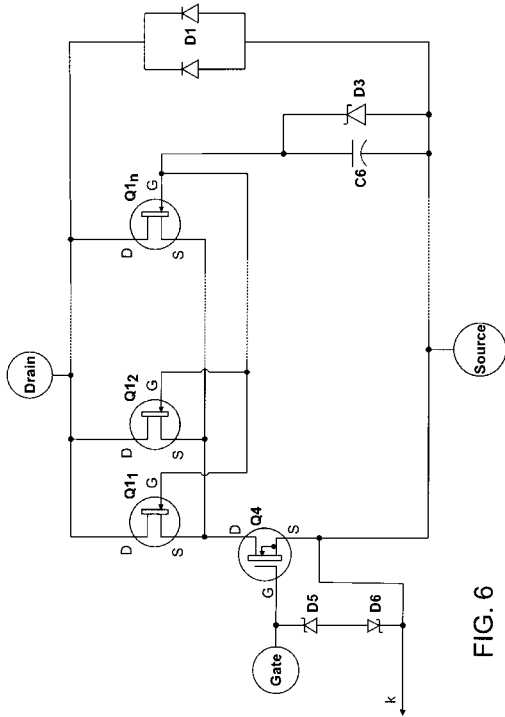


FIG. 6

【 図 7 】

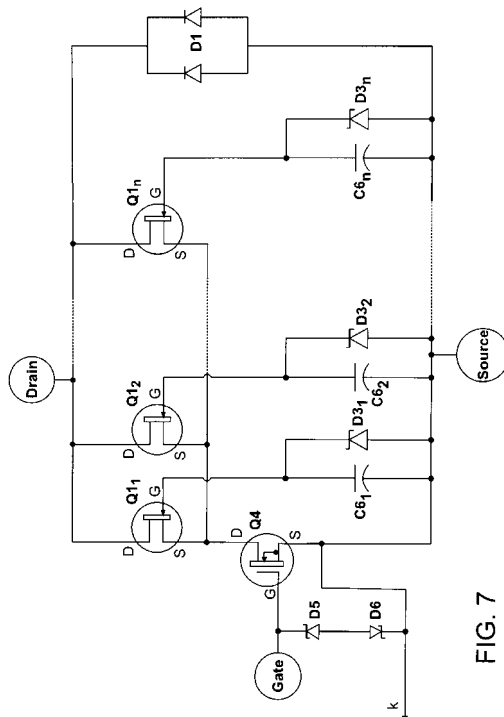


FIG. 7

【 図 8 】

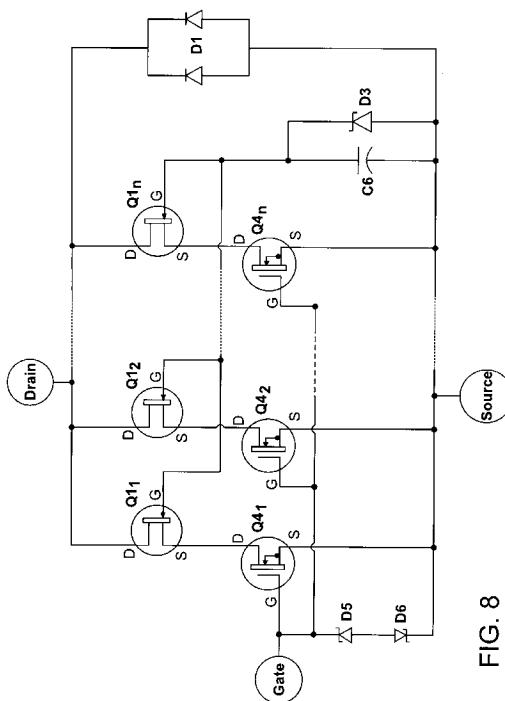


FIG. 8

【 図 9 】

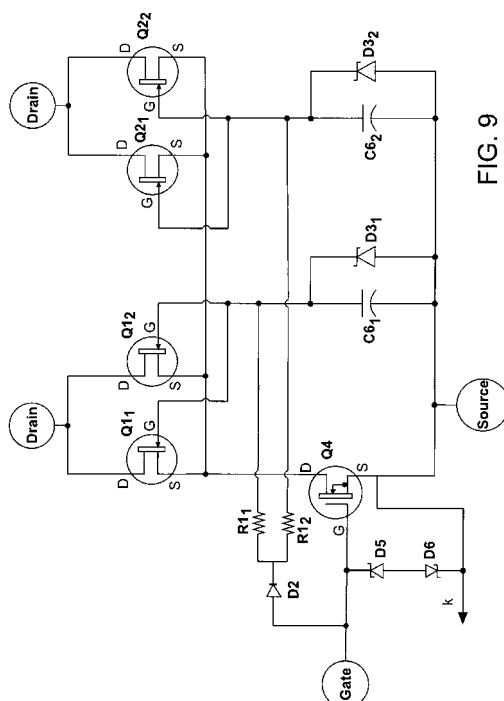


FIG. 9

【図 10 A】

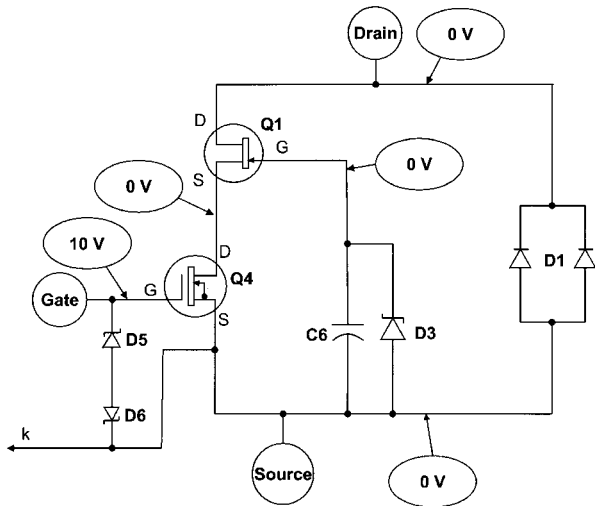


FIG. 10A

【図 10 B】

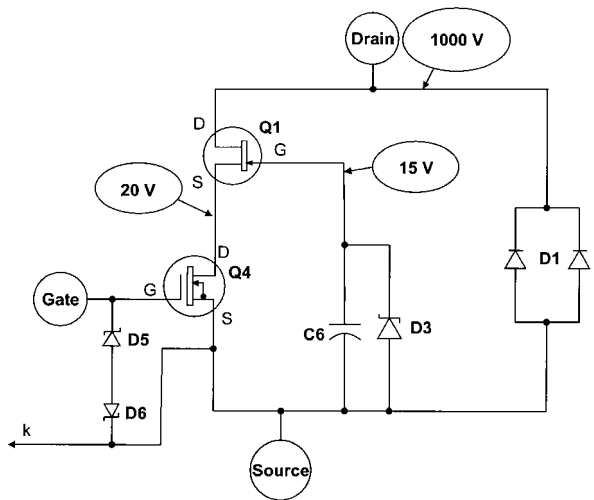


FIG. 10B

【図 11 A】

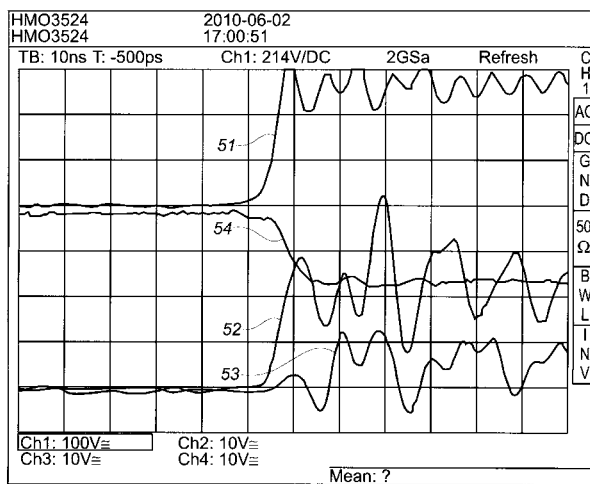


FIG. 11A

【図 11 B】

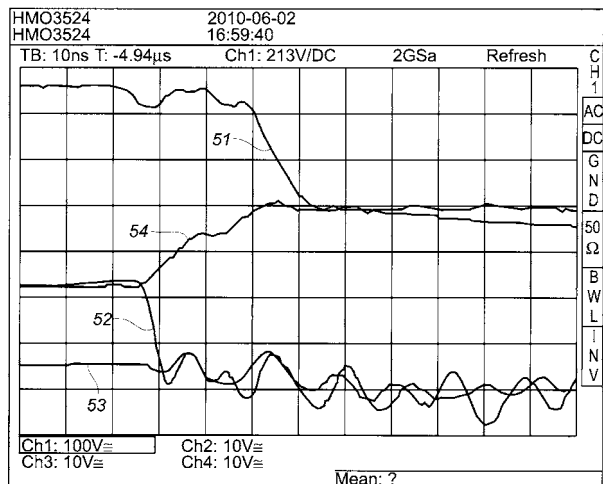


FIG. 11B

【図 1 1 C】

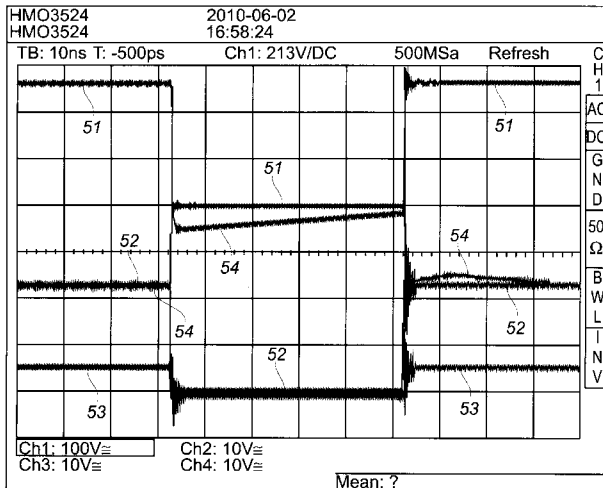


FIG. 11C

【手続補正書】

【提出日】平成26年2月26日(2014.2.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲート、ソースおよびドレインを含む第 1 のノーマリーオン半導体装置と、
 ゲート、ソースおよびドレインを含む第 1 のノーマリーオフ半導体装置と、
 第 1 のコンデンサと、
 第 1 のダイオードと、を備え、

前記第 1 のノーマリーオン半導体装置の前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、

前記第 1 のノーマリーオン半導体装置の前記ゲートが、第 1 のコンデンサを介して、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、

前記第 1 のダイオードが、前記第 1 のノーマリーオン半導体装置の前記ゲートと前記第 1 のノーマリーオフ半導体装置の前記ソースとの間で、前記第 1 のコンデンサと並列に接続され、前記第 1 のダイオードのカソードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続され、前記第 1 のダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続されている、

スイッチ。

【請求項 2】

前記第 1 のダイオードが、第 1 のツェナーダイオードである、

請求項 1 のスイッチ。

【請求項 3】

前記第 1 のツェナーダイオードのツェナー電圧が、15 - 25 V である、
請求項 2 のスイッチ。

【請求項 4】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記ソースとの間で逆向きに直列接続された第 2 のツェナーダイオードおよび第 3 のツェナーダイオードをさらに備える、
請求項 1 のスイッチ。

【請求項 5】

前記第 1 のノーマリーオン半導体装置の前記ドレインと前記第 1 のノーマリーオフ半導体装置の前記ソースとの間で互いに並列接続された第 1 および第 2 のダイオードをさらに備え、前記第 1 および第 2 のダイオードのそれぞれのカソードが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続されている、
請求項 1 のスイッチ。

【請求項 6】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の電気接続部との間で直列接続されたダイオードおよび抵抗器をさらに備え、前記ダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、
請求項 1 のスイッチ。

【請求項 7】

前記第 1 のノーマリーオン半導体装置の前記ゲートと前記第 1 のコンデンサとの間で、互いに並列に配置され、さらに、前記第 1 のコンデンサと直列に配置された抵抗器およびダイオードをさらに備える、
請求項 1 のスイッチ。

【請求項 8】

前記ダイオードのカソードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されている、
請求項 7 のスイッチ。

【請求項 9】

前記ダイオードのアノードが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されている、
請求項 7 のスイッチ。

【請求項 10】

前記第 1 のノーマリーオフ半導体装置の前記ゲートと前記第 1 のノーマリーオン半導体装置の前記ドレインとの間で直列に配置された抵抗器および第 2 のコンデンサをさらに備える、請求項 1 のスイッチ。

【請求項 11】

前記第 1 のノーマリーオン半導体装置が高電圧装置である、ノーマリーオフ半導体装置が低電圧装置である、
請求項 1 のスイッチ。

【請求項 12】

前記第 1 のノーマリーオン半導体装置が、SiC 接合型電界効果トランジスタである、
請求項 1 のスイッチ。

【請求項 13】

前記スイッチが、1 以上の付加的なノーマリーオン半導体装置を更に備え、
前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、
前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、

前記第 1 のノーマリーオン半導体装置の前記ゲートが、前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ゲートに接続されて共通ゲートを形成し、前記共通ゲートが、前記第 1 のコンデンサを介して前記第 2 のノーマリーオフ半導体装置の前記ソースに接続されている、

請求項 1 のスイッチ。

【請求項 1 4】

前記回路が、1 以上の付加的なノーマリーオン半導体装置を更に備え、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ドレインに接続され、前記 1 以上の付加的なノーマリーオン半導体装置の前記ゲートのそれぞれが、コンデンサを介して前記第 2 のノーマリーオフ半導体装置の前記ソースに接続されている、

請求項 1 のスイッチ。

【請求項 1 5】

前記回路が、1 以上の付加的なノーマリーオン半導体装置と 1 以上の付加的なノーマリーオフ半導体装置と、を更に備え、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ドレインが、前記第 1 のノーマリーオン半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ゲートが、前記第 1 のノーマリーオン半導体装置の前記ゲートに接続されて共通ゲートを形成し、前記共通ゲートが、前記第 1 のコンデンサを介して前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、

前記 1 以上の付加的なノーマリーオン半導体装置のそれぞれの前記ソースが、前記 1 以上の付加的なノーマリーオフ半導体装置のうちの個別の 1 の付加的なノーマリーオフ半導体装置の前記ドレインに接続され、

前記 1 以上の付加的なノーマリーオフ半導体装置のそれぞれの前記ソースが、前記第 1 のノーマリーオフ半導体装置の前記ソースに接続され、前記 1 以上の付加的なノーマリーオフ半導体装置のそれぞれの前記ゲートが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、

請求項 1 のスイッチ。

【請求項 1 6】

前記第 1 のコンデンサの容量が、1000 - 100000 nF である、

請求項 1 のスイッチ。

【請求項 1 7】

前記第 1 のコンデンサの容量が、2200 - 6800 pF である、

請求項 1 6 のスイッチ。

【請求項 1 8】

直流電圧源をさらに備え、

前記直流電圧源が、前記第 1 のコンデンサに直流バイアスを供給することに適合している、

請求項 1 のスイッチ。

【請求項 1 9】

前記直流電圧源と前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の前記接続部との間で直列接続されたダイオードおよび抵抗器をさらに備え、前記ダイオードのアノードが、前記第 1 のノーマリーオフ半導体装置の前記ゲートに接続されている、

請求項 1 8 のスイッチ。

【請求項 2 0】

前記ノーマリーオフ半導体装置の前記ゲートに接続された直流電圧源をさらに備え、

前記直流電圧源が、



前記第 1 のノーマリーオフ半導体装置の前記ゲートと、前記第 1 のコンデンサおよび前記第 1 のノーマリーオン半導体装置の前記ゲートの間の前記接続部と、の間で直列接続された前記ダイオードおよび前記抵抗器を介して、前記第 1 のコンデンサに、および、

前記ノーマリーオフ半導体装置の前記ゲートに、

直流バイアスを供給することに適合している、

請求項 6 のスイッチ。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2012/030045
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/687(2006.01)i, H03K 17/74(2006.01)i</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K 17/687; H02M 7/537; H02H 3/00; H01H 83/00; H01L 21/337; H01L 27/098		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: normally-on, normally-off, switch		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7206178 B2 (FRIEDRICHS, PETER et al.) 17 April 2007 See abstract; claim 1; and figure 3.	1-27
A	US 7852137 B2 (MACHIDA, OSAMU et al.) 14 December 2010 See abstract; claim 1; and figure 3.	1-27
A	US 2008-0174184 A1 (ARPILLIERE, MICHEL et al.) 24 July 2008 See abstract; claims 1, 3; and figures 3, 6-8.	1-27
A	US 2008-0258184 A1 (SANKIN, IGOR et al.) 23 October 2008 See abstract; claim 1; and figure 5.	1-27
A	US 2007-0147099 A1 (TAI, LIANG-PIN et al.) 28 June 2007 See abstract; claim 1; and figure 2.	1-27
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 25 OCTOBER 2012 (25.10.2012)		Date of mailing of the international search report 29 OCTOBER 2012 (29.10.2012)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer Kim, Nam In Telephone No. 82-42-481-8583 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2012/030045

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7206178 B2	17.04.2007	CN 1481615 A CN 1481615 C0 DE 10062026 A1 DE 50113130 D1 EP 1342318 A1 EP 1342318 B1 HK 1062504 A1 US 2004-0027753 A1 WO 02-49215 A1	10.03.2004 06.12.2006 04.07.2002 22.11.2007 10.09.2003 10.10.2007 09.03.2007 12.02.2004 20.06.2002
US 7852137 B2	14.12.2010	JP 2009-159222 A US 2009-0167411 A1	16.07.2009 02.07.2009
US 2008-0174184 A1	24.07.2008	AT 470266 T DE 602008001381 D1 EP 1950885 A1 EP 1950885 B1 ES 2346267 T3 FR 2911736 A1 FR 2911736 B1 JP 2008-182884 A US 7723869 B2	15.06.2010 15.07.2010 30.07.2008 02.06.2010 13.10.2010 25.07.2008 20.03.2009 07.08.2008 25.05.2010
US 2008-0258184 A1	23.10.2008	AU 2005-312067 A1 AU 2005-333516 A1 AU 2005-333516 A8 AU 2005-333516 A8 AU 2005-333516 B2 CA 2576960 A1 CA 2589031 A1 CA 2729299 A1 CN 100565908 C CN 101103464 A0 CN 101124678 A0 CN 101124678 B CN 101124678 C EP 1779435 A2 EP 1779435 B1 EP 1779435 B8 EP 1829113 A2 EP 2171757 A2 JP 2008-506274 A JP 2008-522436 A JP 2010-532920 A JP 2010-532920 T KR 10-1187084 B1 KR 10-2007-0091162 A KR 10-2010-0054787 A TW 200910464 A	08.06.2006 15.02.2007 25.09.2008 04.01.2007 21.04.2011 04.01.2007 08.06.2006 15.01.2010 02.12.2009 09.01.2008 13.02.2008 14.04.2010 14.04.2010 02.05.2007 07.12.2011 07.03.2012 05.09.2007 07.04.2010 28.02.2008 26.06.2008 14.10.2010 14.10.2010 28.09.2012 07.09.2007 25.05.2010 01.03.2009

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2012/030045

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 2006-0113593 A1	01.06.2006
		US 2007-0243668 A1	18.10.2007
		US 2010-0295102 A1	25.11.2010
		US 2011-291112 A1	01.12.2011
		US 7202528 B2	10.04.2007
		US 7556994 B2	07.07.2009
		US 7820511 B2	26.10.2010
		US 8017981 B2	13.09.2011
		WO 2006-060337 A2	08.06.2006
		WO 2006-060337 A3	08.06.2006
		WO 2007-001316 A2	04.01.2007
		WO 2007-001316 A3	04.01.2007
		WO 2009-009380 A2	15.01.2009
		WO 2009-009380 A3	05.03.2009
		WO 2009-009380 A3	15.01.2009
US 2007-0147099 A1	28.06.2007	TW 1242928B	01.11.2005
		TW 242928 A	01.11.2005
		TW 242928 B	01.11.2005
		US 2006-0055446 A1	16.03.2006
		US 2007-0146046 A1	28.06.2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

Fターム(参考) 5J055 AX05 BX16 CX07 DX13 DX16 DX22 DX24 DX61 DX72 EY01
EY10 EY12 EY13 EY21 EZ63 GX01 GX05