

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



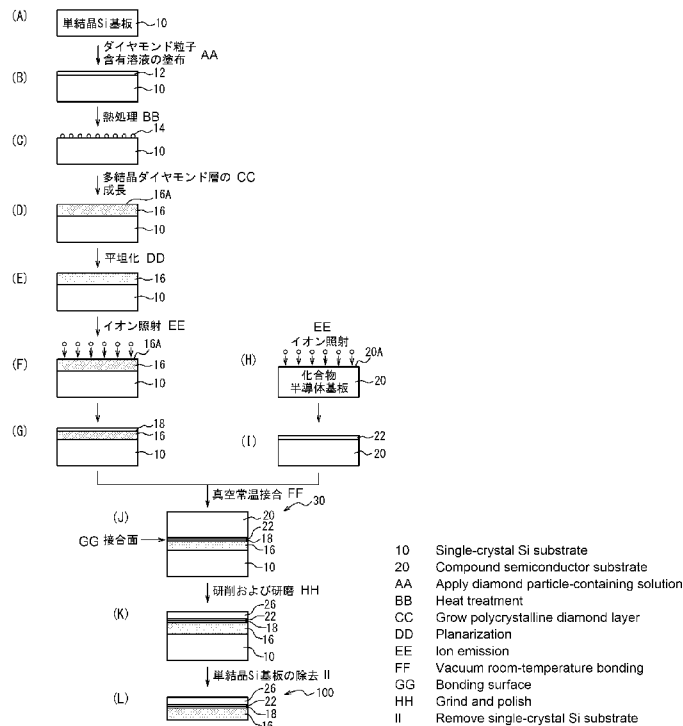
(10) 国際公開番号

WO 2020/137052 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) C23C 16/27 (2006.01)
- (21) 国際出願番号: PCT/JP2019/037652
- (22) 国際出願日: 2019年9月25日(25.09.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-241750 2018年12月25日(25.12.2018) JP
- (71) 出願人: 株式会社SUMCO (SUMCO CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦一丁目2番1号 Tokyo (JP).
- (72) 発明者: 古賀 祥泰(KOGA Yoshihiro); 〒1058634 東京都港区芝浦一丁目2番1号 株式会社SUMCO内 Tokyo (JP).
- (74) 代理人: 杉 村 憲 司 (SUGIMURA Kenji); 〒1000013 東京都千代田区霞が関三丁目2番1号 霞が関コモンゲート西館36階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: POLYCRYSTALLINE DIAMOND FREE-STANDING SUBSTRATE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 多結晶ダイヤモンド自立基板及びその製造方法



(57) Abstract: Provided is a method for manufacturing a polycrystalline diamond free-standing substrate in which high-quality compound semiconductor layers are laminated. Using, as nuclei, diamond particles 14 deposited on a single-crystal silicon substrate 10, a polycrystalline diamond layer 16 having a thickness of at least 100 μm is grown on the single-crystal silicon substrate 10 by means of a chemical vapor deposition method, wherein the value obtained by dividing the maximum grain size of crystal grains on the surface 16A of the polycrystalline diamond layer by the thickness

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

of the polycrystalline diamond layer 16 is set to 0.20 or less. The surface 16A of the polycrystalline diamond layer 16 is then planarized. A compound semiconductor substrate 20 is then bonded to the polycrystalline diamond layer 16 by a vacuum room-temperature bonding method or a plasma bonding method. The compound semiconductor substrate 20 is then reduced in thickness to form a compound semiconductor layer 22. The single crystal silicon substrate 10 is removed. Accordingly, a polycrystalline diamond free-standing substrate 100 in which the polycrystalline diamond layer 16 acts as a substrate for supporting the compound semiconductor layer 22 is obtained.

(57) 要約: 高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を製造する方法を提供する。単結晶シリコン基板 10 上に付着させたダイヤモンド粒子 14 を核として、化学気相成長法により、単結晶シリコン基板 10 上に厚さが 100 μm 以上の多結晶ダイヤモンド層 16 を成長させる。その際、多結晶ダイヤモンド層の表面 16A における結晶粒の最大粒径を多結晶ダイヤモンド層 16 の厚さで割った値を 0.20 以下とする。その後、多結晶ダイヤモンド層の表面 16A を平坦化する。その後、真空常温接合法又はプラズマ接合法により、多結晶ダイヤモンド層 16 に化合物半導体基板 20 を貼り合わせる。その後、化合物半導体基板 20 を減厚して、化合物半導体層 22 とする。単結晶シリコン基板 10 を除去する。こうして、多結晶ダイヤモンド層 16 が化合物半導体層 22 の支持基板として機能する多結晶ダイヤモンド自立基板 100 を得る。

明 細 書

発明の名称：多結晶ダイヤモンド自立基板及びその製造方法

技術分野

[0001] 本発明は、支持基板としての多結晶ダイヤモンド層上に化合物半導体層が形成されてなる多結晶ダイヤモンド自立基板及びその製造方法に関する。

背景技術

[0002] 高周波デバイスやパワーデバイス等の高耐圧の半導体デバイスにおいては、デバイスの自己発熱が問題となる。この対策として、デバイス形成領域の下に熱伝導率が高い材料を配置する技術が知られている。

[0003] 例えば、半導体デバイスを形成するためのデバイス層となる窒化ガリウム（GaN）層等の化合物半導体層の直下に、放熱性の高いダイヤモンド層を配置する技術が知られている。特許文献1には、ダイヤモンド上の窒化ガリウム型ウェーハの製造方法が開示されている。この方法は、支持基板上に位置するGaN層上に60nm以下の薄い窒化珪素膜を形成した後に、当該窒化珪素膜の表面に乾式スクラッチによりダイヤモンド粒子を埋め込み固定する工程と、前記表面に固定されたダイヤモンド粒子を核として、化学気相成長法によりGaN層上に前記窒化ケイ素膜を介してダイヤモンド層を成長させる工程と、前記支持基板を除去する工程と、を含み、ダイヤモンド上に窒化ガリウム層が形成されたウェーハを製造するものである。

[0004] また、特許文献2には、表面からイオンを注入して内部にイオン注入層を有する窒化物半導体基板を得る工程と、前記窒化物半導体基板の前記イオン注入した表面と、前記窒化物半導体基板と貼り合わせる支持基板の表面との少なくとも一方に表面活性化処理を施す工程と、前記窒化物半導体基板の前記イオン注入した表面と前記支持基板の前記表面とを対向して重ね合わせ、0.5～5.0MPaの圧力下で貼り合わせる工程と、前記窒化物半導体基板を前記イオン注入層に沿って剥離し、前記支持基板上に窒化物半導体薄膜を転写する工程とを少なくとも含む、窒化物半導体薄膜を支持基板に備えた

複合基板の製造方法（請求項１）が記載されている。特許文献２では、前記窒化物半導体基板が、GaN基板またはAlN基板であるものとされており（請求項６）、前記支持基板が、シリコン、サファイア、アルミナ、SiC、AlN、SiN及びダイヤモンドからなる群から選択されるものとされている（請求項７）。

先行技術文献

特許文献

[0005] 特許文献１：特表２０１５－５０９４７９号公報

特許文献２：特開２０１５－４６４８６号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明者の検討によると、特許文献１に記載の方法では、前記埋め込みに起因してGaN層にクラックが入り、その後の化学気相成長法による高温長時間の熱処理の過程でGaN層内をクラックが進展し、転位が発生することが判明した。このようなGaN層に半導体デバイスを形成すると、リーク電流が増加して、デバイス特性が悪化するおそれがある。

[0007] そこで本発明者は、化合物半導体層上にダイヤモンド層を成長させるのではなく、別の基板（すなわち単結晶シリコン基板）上に予め成長させた多結晶ダイヤモンド層に、真空常温接合法又はプラズマ接合法を用いて化合物半導体基板を貼り合わせることを着想した。しかしながら、本発明者の検討によると、単結晶シリコン基板上に成長させた多結晶ダイヤモンド層と化合物半導体基板とを貼り合わせることができないことが判明した。

[0008] 特許文献２には、シリコン、サファイア、アルミナ、SiC、AlN、SiN及びダイヤモンドからなる群から選択される支持基板と窒化物半導体基板とを接合することが記載されている。しかしながら、実施例において接合できたことが確認されているのは、サファイア基板とGaN基板、及びシリコン基板とGaN基板のみであり、ダイヤモンド基板と窒化物半導体基板と

の接合は確認されていない。また、特許文献2では、単結晶シリコン基板上に成長させた多結晶ダイヤモンド層と窒化物半導体基板との接合を可能とする条件については、何ら示唆されていない。

[0009] 上記課題に鑑み、本発明は、真空常温接合法又はプラズマ接合法を用いて高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を製造することが可能な、多結晶ダイヤモンド自立基板の製造方法を提供することを目的とする。また、本発明は、高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を提供することを目的とする。

課題を解決するための手段

[0010] 上記課題を解決すべく、本発明者は鋭意研究を進め、以下の知見を得た。すなわち、単結晶シリコン基板上に成長させた多結晶ダイヤモンド層と化合物半導体基板との接合の可否は、多結晶ダイヤモンド層の表面における結晶粒の最大粒径と密接に関連しており、単に多結晶ダイヤモンド層の表面を研磨して平坦化しただけでは、貼り合わせることはできないことが分かった。そして、本発明者がさらに検討を進めたところ、多結晶ダイヤモンド層の表面に関して、成膜した多結晶ダイヤモンド層が厚くなるにつれて、多結晶ダイヤモンド層の表面における結晶粒が大きくなり、表面の凹凸も大きくなった。詳細な評価解析の結果、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になれば、多結晶ダイヤモンド層と化合物半導体基板とを貼り合わせ接合できることが分かった。

[0011] 上記知見に基づき完成した本発明の要旨構成は以下のとおりである。

(1) 単結晶シリコン基板上にダイヤモンド粒子を付着させる付着工程と

、

前記ダイヤモンド粒子を核として、化学気相成長法により、前記単結晶シリコン基板上に厚さが100 μ m以上の多結晶ダイヤモンド層を成長させ、その際、該多結晶ダイヤモンド層の表面における結晶粒の最大粒径を前記多結晶ダイヤモンド層の厚さで割った値を0.20以下とする工程と、

前記多結晶ダイヤモンド層の表面を平坦化する平坦化工程と、
その後、真空常温接合法又はプラズマ接合法により、前記多結晶ダイヤモンド層に化合物半導体基板を貼り合わせて、貼り合わせ基板を得る工程と、
その後、前記化合物半導体基板を減厚して、化合物半導体層とする工程と、
、
前記貼り合わせ基板から前記単結晶シリコン基板を除去して、前記多結晶ダイヤモンド層が、前記化合物半導体層の支持基板として機能する多結晶ダイヤモンド自立基板を得る工程と、
を有することを特徴とする多結晶ダイヤモンド自立基板の製造方法。

[0012] (2) 前記真空常温接合法は、

前記多結晶ダイヤモンド層の表面及び前記化合物半導体基板の表面に、真空常温下でイオンビーム又は中性原子ビームを照射して、前記両方の表面を活性化面とする工程と、

引き続き真空常温下で、前記両方の活性化面を接触させることで、前記多結晶ダイヤモンド層と前記化合物半導体基板とを貼り合わせる工程と、
を有する、上記(1)に記載の多結晶ダイヤモンド自立基板の製造方法。

[0013] (3) 前記プラズマ接合法は、

(i) 前記多結晶ダイヤモンド層の表面に厚さ100nm以上1 μ m以下のシリコン酸化膜を形成すること、及び、(ii) 前記化合物半導体基板の表面に厚さ100nm以上1 μ m以下のシリコン酸化膜を形成する、又は、前記化合物半導体基板を熱酸化して、その表層部に厚さ100nm以上1 μ m以下の酸化膜を形成すること、の少なくとも一方を行う工程と、

酸素、窒素、水素及びアルゴンの1種類以上からなる雰囲気下で、前記シリコン酸化膜及び前記酸化膜の表面と、前記多結晶ダイヤモンド層の表面及び前記化合物半導体基板の表面のうち前記シリコン酸化膜及び前記酸化膜が形成されていない表面をプラズマ処理する工程と、

前記シリコン酸化膜及び前記酸化膜を介して、前記多結晶ダイヤモンド層と前記化合物半導体基板とを重ね合わせて、雰囲気温度が300℃以上10

00℃以下の熱処理を行うことで、前記多結晶ダイヤモンド層と前記化合物半導体基板とを貼り合わせる工程と、

を有する、上記（１）に記載の多結晶ダイヤモンド自立基板の製造方法。

[0014] （４）前記単結晶シリコン基板の酸素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である、上記（１）～（３）のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[0015] （５）前記付着工程は、前記単結晶シリコン基板上に平均粒径が50nm以下のダイヤモンド粒子を含有する溶液を塗布し、その後、前記単結晶シリコン基板に熱処理を施すことにより行う、上記（１）～（４）のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[0016] （６）前記溶液中の前記ダイヤモンド粒子が負電荷に帯電している、上記（５）に記載の多結晶ダイヤモンド自立基板の製造方法。

[0017] （７）前記熱処理では、前記単結晶シリコン基板の温度を100℃未満に1分以上30分以下保持する、上記（５）又は（６）に記載の多結晶ダイヤモンド自立基板の製造方法。

[0018] （８）前記平坦化工程では、前記多結晶ダイヤモンド層の表面粗さRaを3nm以下とする、上記（１）～（７）のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[0019] （９）前記化合物半導体基板は、GaN、AlN、InN、SiC、Al₂O₃、Ga₂O₃、MgO、ZnO、CdO、GaAs、GaP、GaSb、InP、InAs、InSb、又はSiGeからなる、上記（１）～（８）のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[0020] （１０）前記化合物半導体層の厚さを1μm以上500μm以下とする、上記（１）～（９）のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[0021] （１１）厚さが100μm以上の多結晶ダイヤモンド層からなる支持基板と、

前記多結晶ダイヤモンド層の表面上に形成された化合物半導体層と、

を有し、前記多結晶ダイヤモンド層の表面における結晶粒の最大粒径を前記多結晶ダイヤモンド層の厚さで割った値が0.20以下であることを特徴とする多結晶ダイヤモンド自立基板。

[0022] (12) 前記多結晶ダイヤモンド層の表面と前記化合物半導体層との間に、合計厚さが2nm以上10nm以下の、ダイヤモンドのアモルファス層及び前記化合物半導体層を構成する化合物半導体のアモルファス層を有する、上記(11)に記載の多結晶ダイヤモンド自立基板。

[0023] (13) 前記多結晶ダイヤモンド層の表面と前記化合物半導体層との間に、合計厚さが200nm以上2μm以下の、シリコン酸化膜及び前記化合物半導体層を構成する化合物半導体の酸化膜の少なくとも一方を有する、上記(11)に記載の多結晶ダイヤモンド自立基板。

[0024] (14) 前記化合物半導体層は、Ga₃N、AlN、InN、SiC、Al₂O₃、Ga₂O₃、MgO、ZnO、CdO、GaAs、GaP、GaSb、InP、InAs、InSb、又はSiGeからなる、上記(11)～(13)のいずれか一項に記載の多結晶ダイヤモンド自立基板。

[0025] (15) 前記化合物半導体層の厚さが1μm以上500μm以下である、上記(11)～(14)のいずれか一項に記載の多結晶ダイヤモンド自立基板。

発明の効果

[0026] 本発明の多結晶ダイヤモンド自立基板の製造方法によれば、真空常温接合法又はプラズマ接合法を用いて高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を製造することが可能である。また、本発明の多結晶ダイヤモンド自立基板は、高品質な化合物半導体層が積層されたものである。

図面の簡単な説明

[0027] [図1](A)～(L)は、本発明の第1の実施形態による、真空常温接合法を用いた多結晶ダイヤモンド自立基板100の製造方法を説明する模式断面図である。

[図2] (A) ~ (K) は、本発明の第2の実施形態による、プラズマ接合法を用いた多結晶ダイヤモンド自立基板200の製造方法を説明する模式断面図である。

[図3] 本発明の一実施形態において用いる真空常温接合装置50の模式断面図である。

発明を実施するための形態

[0028] (多結晶ダイヤモンド自立基板の製造方法)

図1を参照して、本発明の第1の実施形態による、真空常温接合法を用いた多結晶ダイヤモンド自立基板100の製造方法を説明する。まず、図1(A), (B)に示すように、単結晶シリコン基板10上にダイヤモンド粒子を含有する溶液を塗布する。これにより、単結晶シリコン基板10上にダイヤモンド粒子含有液膜12が形成される。その後、図1(B), (C)に示すように、単結晶シリコン基板10に熱処理を施すことによって、ダイヤモンド粒子含有液膜12中の溶媒を蒸発させ、かつ単結晶シリコン基板10の表面とダイヤモンド粒子14との結合力を強化して、単結晶シリコン基板10上にダイヤモンド粒子14を付着させる。その後、図1(C), (D)に示すように、ダイヤモンド粒子14を核として、化学気相成長法(CVD法: Chemical Vapor Deposition)により、単結晶シリコン基板10上に厚さが100 μ m以上の多結晶ダイヤモンド層16を成長させる。その後、図1(D), (E)に示すように、多結晶ダイヤモンド層の表面16Aを平坦化する。

[0029] その後、図1(F), (G), (H), (I)に示すように、多結晶ダイヤモンド層の表面16A及び化合物半導体基板20の表面20Aに、真空常温下でイオンビーム又は中性原子ビームを照射して、両方の表面16A, 20Aを活性化面とする。この時、図1(G)に示すように、多結晶ダイヤモンド層16の表層部には、ダイヤモンド(sp^3)粒子の一部が sp^2 化された領域18(以下、「 sp^2 領域」と称する)が形成される。また、図1(I)に示すように、化合物半導体基板20の表層部には、化合物半導体のアモル

ファス層 22 が形成される。その後、図 1 (G), (I), (J) に示すように、引き続き真空常温下で、両方の活性化面を接触させることで、当該活性化面を貼り合わせ面（接合面）として、多結晶ダイヤモンド層 16 と化合物半導体基板 20 とを貼り合わせて、貼り合わせ基板 30 を得る。その後、図 1 (J), (K) に示すように、化合物半導体基板 20 を減厚して、化合物半導体層 26 とする。その後、図 1 (K), (L) に示すように、貼り合わせ基板 30 から単結晶シリコン基板 10 を除去する。

[0030] 本実施形態では、以上の工程を経て、多結晶ダイヤモンド層 16 が化合物半導体層 26 の支持基板として機能する多結晶ダイヤモンド自立基板 100 を製造することができる。ここで、化合物半導体層 26 は、半導体デバイスを形成するためのデバイス層となる。多結晶ダイヤモンド自立基板 100 において、多結晶ダイヤモンド層 16 の表面と化合物半導体層 26 との間には、ダイヤモンドのアモルファス層（ sp^2 領域）18 及び化合物半導体のアモルファス層 22 が存在する。

[0031] 図 2 を参照して、本発明の第 2 の実施形態による、プラズマ接合法を用いた多結晶ダイヤモンド自立基板 200 の製造方法を説明する。図 2 (A) ~ (E) の工程は、図 1 (A) ~ (E) の工程と同様であるため、説明を省略する。

[0032] その後、図 2 (E), (F), (G), (H) に示すように、多結晶ダイヤモンド層の表面 16 A 及び化合物半導体基板 20 の表面 20 A に、それぞれ密着層として機能する酸化膜 24 A 及び酸化膜 24 B を形成する。その後、図 2 (F), (H), (I) に示すように、プラズマ接合法により、多結晶ダイヤモンド層 16 に化合物半導体基板 20 を貼り合わせて、貼り合わせ基板 40 を得る。具体的には、酸素、窒素、水素及びアルゴンの 1 種類以上からなる雰囲気下で、酸化膜 24 A 及び酸化膜 24 B の表面をプラズマ処理し、その後、酸化膜 24 A, 24 B を介して、多結晶ダイヤモンド層 16 と化合物半導体基板 20 と重ね合わせて熱処理を行うことで、多結晶ダイヤモンド層 16 と化合物半導体基板 20 とを貼り合わせる。その後、図 2 (I)

、（Ｊ）に示すように、化合物半導体基板２０を減厚して、化合物半導体層２６とする。その後、図１（Ｊ）、（Ｋ）に示すように、貼り合わせ基板４０から単結晶シリコン基板１０を除去する。

[0033] 本実施形態では、以上の工程を経て、多結晶ダイヤモンド層１６が化合物半導体層２６の支持基板として機能する多結晶ダイヤモンド自立基板２００を製造することができる。ここで、化合物半導体層２６は、半導体デバイスを形成するためのデバイス層となる。多結晶ダイヤモンド自立基板２００において、多結晶ダイヤモンド層１６の表面と化合物半導体層２６との間には、酸化膜２４が存在する。

[0034] 上記第１及び第２の実施形態では、図１（Ｄ）及び図２（Ｄ）の段階で、多結晶ダイヤモンド層の表面１６Ａにおける結晶粒の最大粒径を成膜した多結晶ダイヤモンド層１６の厚さで割った値を０．２０以下とすることが肝要であり、その技術的意義については後述する。以下、上記第１及び第２の実施形態における各工程を詳細に説明する。

[0035] [ダイヤモンド粒子の付着工程]

単結晶シリコン基板１０上にダイヤモンド粒子１４を付着させる付着工程は、単結晶シリコン基板１０上にダイヤモンド粒子を含有する溶液を塗布し、その後、単結晶シリコン基板１０に熱処理を施すことにより行うことが好ましい。

[0036] [[ダイヤモンド粒子含有溶液の塗布]]

図１（Ａ）、（Ｂ）及び図２（Ａ）、（Ｂ）に示すように、単結晶シリコン基板１０上にダイヤモンド粒子を含有する溶液を塗布して、単結晶シリコン基板１０上にダイヤモンド粒子含有液膜１２を形成する。塗布方法としては、スピコート法、スプレー法、及び浸漬法を挙げることができ、スピコート法が特に好ましい。スピコート法によれば、単結晶シリコン基板１０の両面のうちダイヤモンド粒子１４を付着させたい片側の表面のみに、ダイヤモンド粒子含有溶液を均一に塗布することができる。

[0037] ダイヤモンド粒子含有溶液に含まれるダイヤモンド粒子の平均粒径は１ｎ

m以上50nm以下とすることが好ましく、10nm以下とすることがより好ましい。1nm以上であれば、多結晶ダイヤモンド層16を成長させる初期段階において、ダイヤモンド粒子14がスパッタリング作用により単結晶シリコン基板10の表面から弾き飛ばされる現象を抑制することができ、50nm以下であれば、多結晶ダイヤモンド層16を100 μ m以上の厚さで形成しても、多結晶ダイヤモンドを異常成長なく緻密に成長でき、その表面16Aにおける結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値を0.20以下にすることができるからである。このことにより、後述する平坦化処理において、ウェーハ接合可能な平坦性を実現できる。このようなサイズのダイヤモンド粒子は、公知の爆轟法や爆縮法や粉碎法によりグラファイトから好適に作製することができる。なお、「ダイヤモンド粒子含有溶液に含まれるダイヤモンド粒子の平均粒径」は、JIS 8819-2に従って算出されるものであり、公知のレーザー回折式粒度分布測定装置によって測定された粒度分布が正規分布に従うと仮定して算出された平均粒径を意味する。

[0038] ここで、ダイヤモンド粒子含有溶液を塗布する前の単結晶シリコン基板10は、その表面に付着した金属不純物を除去するために、一般的にフッ酸などを用いて酸洗浄される。酸洗浄された単結晶シリコン基板10の表面は活性な撥水面であるので、その表面にはパーティクルが付着しやすい。このため、酸洗浄した単結晶シリコン基板10を純水などで洗浄して、単結晶シリコン基板10の表面を自然酸化膜が形成された親水性面とすることが好ましい。あるいは、酸洗浄した単結晶シリコン基板10をクリーンルーム内に長時間放置して、単結晶シリコン基板10の表面に自然酸化膜を形成することが好ましい。これにより、単結晶シリコン基板10の表面にパーティクルが付着するのを抑制することができる。この時、自然酸化膜中には正電荷を有する固定電荷が発生する。そのため、正電荷に帯電した自然酸化膜上に、負電荷に帯電させたダイヤモンド粒子を含有するダイヤモンド粒子含有溶液を塗布すれば、単結晶シリコン基板10とダイヤモンド粒子14とがクーロン

引力により強固に結合する。その結果、多結晶ダイヤモンド層 16 の単結晶シリコン基板 10 に対する密着性が向上する。このように負電荷に帯電させたダイヤモンド粒子は、ダイヤモンド粒子に酸化処理を施すことによって、カルボキシル基やケトン基でダイヤモンド粒子を終端することで得られる。例えば、酸化処理としては、ダイヤモンド粒子を酸化熱する方法や、オゾン溶液、硝酸溶液、過酸化水素水溶液、又は過塩素酸溶液にダイヤモンド粒子を浸漬する方法などが挙げられる。

[0039] ダイヤモンド粒子含有溶液の溶媒としては、水の外、メタノール、エタノール、2-プロパノール、及びトルエン等の有機溶媒が挙げられ、これらの溶媒を単独で用いてもよく、2種以上組み合わせて用いてもよい。

[0040] ダイヤモンド粒子含有溶液におけるダイヤモンド粒子の含有量は、ダイヤモンド粒子含有溶液全体に対して0.03質量%以上10質量%以下とすることが好ましい。0.03質量%以上であれば、ダイヤモンド粒子14を単結晶シリコン基板10上に均一に付着させることができ、10質量%以下であれば、付着したダイヤモンド粒子14がダイヤモンド層16の成長過程で異常成長するのを抑制することができるからである。

[0041] ダイヤモンド粒子14と単結晶シリコン基板10との密着性を向上させる観点から、ダイヤモンド粒子含有溶液をジェル状のものとすることが好ましく、ダイヤモンド粒子含有溶液に増粘剤を含有させてもよい。増粘剤としては、寒天、カラギーナン、キサンタンガム、ジェランガム、グアーガム、ポリビニルアルコール、ポリアクリル酸塩系増粘剤、水溶性セルロース類、ポリエチレンオキサイドなどが挙げられ、これらの一種又は二種以上を用いることができる。増粘剤を含有させる場合、ダイヤモンド粒子含有溶液のpHを6以上8以下の範囲とすることが好ましい。

[0042] ダイヤモンド粒子含有溶液の調製は、上記の溶媒にダイヤモンド粒子を混合して攪拌することにより、溶媒中にダイヤモンド粒子を分散させるようにして行えばよい。攪拌速度は500rpm以上3000rpm以下とすることが好ましく、攪拌時間は10分以上1時間以下とすることが好ましい。

[0043] [熱処理]

次に、図 1 (B) , (C) 及び図 2 (B) , (C) に示すように、単結晶シリコン基板 10 に熱処理を施す。これにより、ダイヤモンド粒子含有液膜 12 中の溶媒が蒸発し、かつ単結晶シリコン基板 10 の表面とダイヤモンド粒子 14 との結合力が強化されて、単結晶シリコン基板 10 上にダイヤモンド粒子 14 が付着する。熱処理中の単結晶シリコン基板 10 の温度は、100℃未満とすることが好ましく、30℃以上80℃以下とすることがより好ましい。100℃未満であれば、ダイヤモンド粒子含有溶液の沸騰に伴う泡の発生を抑制することができるので、単結晶シリコン基板 10 上にダイヤモンド粒子 14 が部分的に存在しない部位が発生することがなく、この部位を起点として多結晶ダイヤモンド層 16 が剥離するおそれもない。30℃以上であれば、単結晶シリコン基板 10 とダイヤモンド粒子 14 とが十分に結合するので、CVD法によって多結晶ダイヤモンド層 16 を成長させる過程で、スパッタリング作用によりダイヤモンド粒子 14 が弾き飛ばされるのを抑制することができ、多結晶ダイヤモンド層 16 を均一に成長させることができる。また、熱処理時間は1分以上30分以下とすることが好ましい。なお、熱処理装置としては、公知の熱処理装置を用いればよく、例えば、加熱したホットプレート上に単結晶シリコン基板 10 を載置することにより行うことができる。

[0044] なお、単結晶シリコン基板上にダイヤモンド粒子を付着させる方法は、ダイヤモンド粒子を含有する溶液を塗布する塗布法に限定されず、公知の傷付け法であってもよい。傷付け法による場合は、単結晶シリコン基板の表面にダイヤモンド粒子を埋め込むことにより、単結晶シリコン基板上にダイヤモンド粒子を付着させる。ダイヤモンド粒子を埋め込む方法としては、(1) 乾燥した状態のダイヤモンド粉末を単結晶シリコン基板の表面に分布させて、基板表面に押圧力を印加する方法、(2) ダイヤモンド粒子を含む高速ガスを単結晶シリコン基板の表面に噴射する方法、(3) ダイヤモンド粒子の流動床中に単結晶シリコン基板を置く方法、(4) ダイヤモンド粒子を分散

させた溶液中で単結晶シリコン基板を超音波洗浄する方法などが挙げられる。なお、傷付け法では、ダイヤモンド粒子の埋め込み深さにばらつきが生じることで、多結晶ダイヤモンド層の厚さが不均一になったり、ダイヤモンド粒子の埋め込みの際に単結晶シリコン基板の表面に生じる傷が大きいと、多結晶ダイヤモンド層の表面の平滑性が悪くなったりする傾向があるので、塗布法を用いることが好ましい。

[0045] [多結晶ダイヤモンド層の成長]

次に、図1 (C), (D) 及び図2 (C), (D) に示すように、ダイヤモンド粒子14を核として、CVD法により、単結晶シリコン基板10上に厚さが100 μm 以上の多結晶ダイヤモンド層16を成長させる。この際、多結晶ダイヤモンド層の表面16Aにおける結晶粒の最大粒径を多結晶ダイヤモンド層16の厚さで割った値を0.20以下とすることが肝要である。CVD法としては、プラズマCVD法および熱フィラメントCVD法等を好適に用いることができる。

[0046] 本明細書において、「多結晶ダイヤモンド層の表面における結晶粒の最大粒径」及び「多結晶ダイヤモンド層の厚さ」は、以下の定義に従う。すなわち、多結晶ダイヤモンド層の表面16Aの中心点（すなわち、ウェーハの中心点）、及び多結晶ダイヤモンド層の表面16Aの半径95%の円周と多結晶ダイヤモンド層の表面16Aの直径との2つの交点の合計3点をそれぞれ中心とする10 μm $\times$ 10 μm の3つの領域を光学顕微鏡にて平面観測する。ここで、当該円周の中心は、多結晶ダイヤモンド層の表面16Aの中心点と一致する。そして、これら3つの領域における全ての結晶粒の長径のうち最大のものを「結晶粒の最大粒径」と定義する。「多結晶ダイヤモンド層の厚さ」については、上記3つの領域を光学顕微鏡にて断面観察して測定した厚さの平均値を採用する。

[0047] プラズマCVD法を用いる場合、例えば、水素をキャリアガスとして、メタン等のソースガスをチャンバー内に導入して、単結晶シリコン基板10の温度を700℃以上1300℃以下として、多結晶ダイヤモンド層16を成

長させる。多結晶ダイヤモンド層16の厚さの均一性を向上させる観点から、マイクロ波プラズマCVD法を用いることが好ましい。マイクロ波プラズマCVD法とは、プラズマチャンバー内でメタン等のソースガスをマイクロ波によって分解してプラズマ化し、プラズマ化したソースガスを加熱した単結晶シリコン基板10上に導くことにより、多結晶ダイヤモンド層16を成長させる方法である。ここで、プラズマチャンバー内の圧力、マイクロ波の出力、及び単結晶シリコン基板10の温度は、以下のように設定することが好ましい。プラズマチャンバー内の圧力は、 $1.3 \times 10^3 \text{ Pa}$ 以上 $1.3 \times 10^5 \text{ Pa}$ 以下とすることが好ましく、 $1.1 \times 10^4 \text{ Pa}$ 以上 $4.0 \times 10^4 \text{ Pa}$ 以下とすることがより好ましい。マイクロ波の出力は、 0.1 kW 以上 100 kW 以下とすることが好ましく、 1 kW 以上 10 kW 以下とすることがより好ましい。単結晶シリコン基板10の温度は、 700°C 以上 1300°C 以下とすることが好ましく、 900°C 以上 1200°C 以下とすることがより好ましい。

[0048] 熱フィラメントCVD法を用いる場合、タングステン、タンタル、レニウム、モリブデン、イリジウム等からなるフィラメントを用いて、フィラメント温度を 1900°C 以上 2300°C 以下程度とし、メタン等の炭化水素系のソースガスから炭素ラジカルを生成する。この炭素ラジカルを加熱した単結晶シリコン基板10上に導くことにより、多結晶ダイヤモンド層16を成長させる。熱フィラメントCVD法によれば、ウェーハの大口径化に容易に対応することができる。ここで、チャンバー内の圧力、フィラメントと単結晶シリコン基板10との距離、及び単結晶シリコン基板10の温度は、以下のように設定することが好ましい。チャンバー内の圧力は $1.3 \times 10^3 \text{ Pa}$ 以上 $1.3 \times 10^5 \text{ Pa}$ 以下とすることが好ましい。フィラメントと単結晶シリコン基板10との距離は 5 mm 以上 20 mm 以下とすることが好ましい。単結晶シリコン基板10の温度は 700°C 以上 1300°C 以下とすることが好ましい。

[0049] 多結晶ダイヤモンド層16は化合物半導体層26の支持基板として機能す

るものであるため、その厚さは $100\mu\text{m}$ 以上とし、 $500\mu\text{m}$ 以上とすることがより好ましい。また、多結晶ダイヤモンド層16の厚さについて、上限は特に限定されないが、CVD法による成長時のプロセスタイムを過大としない観点から、 3mm 以下とすることが好ましい。

[0050] [多結晶ダイヤモンド層の平坦化]

次に、図1(D)、(E)及び図2(D)、(E)に示すように、多結晶ダイヤモンド層の表面16Aを平坦化する。平坦化方法は特に限定されないが、例えば公知の化学機械研磨(CMP: Chemical Mechanical Polishing)法を好適に用いることができる。なお、平坦化後も、多結晶ダイヤモンド層16の厚さは $100\mu\text{m}$ 以上とし、 $500\mu\text{m}$ 以上とすることがより好ましい。

[0051] ここで、第1及び第2の実施形態では、結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になっている表面16Aを有する多結晶ダイヤモンド層16を平坦化处理に供することが重要である。単結晶シリコン基板10上にCVD法で形成されるダイヤモンド層の結晶性は多結晶となっている。ここで、ダイヤモンドの結晶粒の粒径が大きいと、多結晶ダイヤモンド層の表面では、結晶粒は稠密に存在することができず、ある結晶粒とその周りに存在する結晶粒とでは深さ位置が異なっており、結晶粒の周りには隙間が形成されてしまう。そのため、ある結晶粒の表面を研磨しても、より深い位置に存在する結晶粒が研磨されていない状態で表面に露出してしまう。このような現象が多結晶ダイヤモンド層の表面のあらゆる箇所で見られるので、表面を研磨しても多結晶ダイヤモンド層の表面粗さ R_a は小さくならない。これに対して、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になっていれば、多結晶ダイヤモンド層の表面16Aを研磨した際に、その表面粗さ R_a を 3nm 以下に調整することができる。そして、平坦化後に多結晶ダイヤモンド層の表面16Aの R_a が 3nm 以下となっていれば、後述する真空常温接合法又はプラズマ接合法によって、多結晶ダイヤモンド層16と化合

物半導体基板 20 とを貼り合わせ接合できる。なお、本明細書における表面粗さ R_a とは、JIS B 0601 (2001) に規定の算術平均粗さ R_a を意味する。

[0052] [真空常温接合法による貼り合わせ]

第 1 の実施形態では、図 1 (F), (G), (H), (I) に示すように、真空常温接合法により、多結晶ダイヤモンド層 16 に化合物半導体基板 20 を貼り合わせて、貼り合わせ基板 30 を得る。真空常温接合法とは、単結晶シリコン基板 10 と化合物半導体基板 20 を加熱することなく、常温で貼り合わせる方法である。本実施形態では、多結晶ダイヤモンド層の表面 16A 及び化合物半導体基板の表面 20A に、真空常温下でイオンビーム又は中性原子ビームを照射する活性化処理して、両方の表面 16A, 20A を活性化面とする。これにより、活性化面にはダングリングボンドが現れる。そのため、引き続き真空常温下で上記両方の活性化面を接触させると、瞬時に接合力が働き、上記活性化面を貼り合わせ面として、多結晶ダイヤモンド層 16 と化合物半導体基板 20 とが強固に貼り合う。

[0053] 活性化処理の方法としては、プラズマ雰囲気中でイオン化した元素を各基板の表面へ加速させる方法と、イオンビーム装置から加速したイオン化した元素を各基板の表面へ加速させる方法が挙げられる。この方法を実現する装置の一形態を、図 3 を参照して説明する。真空常温接合装置 50 は、プラズマチャンバー 51 と、ガス導入口 52 と、真空ポンプ 53 と、パルス電圧印加装置 54 と、ウェーハ固定台 55A, 55B と、を有する。

[0054] まず、プラズマチャンバー 51 内のウェーハ固定台 55A, 55B にそれぞれ単結晶シリコン基板 10 及び化合物半導体基板 20 を載置して、固定する。次に、真空ポンプ 53 によりプラズマチャンバー 51 内を減圧し、ついで、ガス導入口 52 からプラズマチャンバー 51 内に原料ガスを導入する。続いて、パルス電圧印加装置 54 によりウェーハ固定台 55A, 55B (および単結晶シリコン基板 10、化合物半導体基板 20) に負電圧をパルス状に印加する。これにより、原料ガスのプラズマを生成するとともに、生成し

たプラズマに含まれる原料ガスのイオンを単結晶シリコン基板 10 上に形成された多結晶ダイヤモンド層 16 及び化合物半導体基板 20 の表面に向けて加速、照射することができる。

[0055] 照射する元素は、Ar、Ne、Xe、H、He および Si から選択される少なくとも一種とすることが好ましい。

[0056] プラズマチャンバー 51 内のチャンバー圧力は 1×10^{-5} Pa 以下とすることが好ましい。 1×10^{-5} Pa 以下であれば、スパッタされた元素が各基板の表面に再付着しにくく、ダングリングボンドの形成率が低下するおそれがないからである。

[0057] 単結晶シリコン基板 10 及び化合物半導体基板 20 に印加するパルス電圧は、各基板の表面に対する照射元素の加速エネルギーが 100 eV 以上 10 keV 以下となるように設定することが好ましい。100 eV 以上であれば、照射した元素が各基板の表面に堆積するおそれがなく、10 keV 以下であれば、照射した元素が各基板の内部へ注入されるおそれがないので、ダングリングボンドを安定的に形成することができるからである。

[0058] パルス電圧の周波数は、単結晶シリコン基板 10 及び化合物半導体基板 20 にイオン又は中性原子が照射される回数を決定する。パルス電圧の周波数は、10 Hz 以上 10 kHz 以下とすることが好ましい。10 Hz 以上であれば、イオン又は中性原子の照射ばらつきを吸収することができるので、イオン又は中性原子の照射量が安定し、10 kHz 以下であれば、グロー放電によるプラズマ形成が安定するからである。

[0059] パルス電圧のパルス幅は、単結晶シリコン基板 10 及び化合物半導体基板 20 にイオン又は中性原子が照射される時間を決定する。パルス幅は、1 μ 秒以上 10 m 秒以下とすることが好ましい。1 μ 秒以上であれば、イオン又は中性原子を各基板に安定的に照射することができ、10 m 秒以下であれば、グロー放電によるプラズマ形成が安定するからである。

[0060] 単結晶シリコン基板 10 及び化合物半導体基板 20 は加熱されないため、その温度は常温（通常、30℃～90℃）となる。

[0061] このように真空常温接合法を用いることによって、以下の作用効果が得られる。真空常温接合法では、単結晶シリコン基板 10 と化合物半導体基板 20 が加熱されない。そのため、単結晶シリコン基板 10 中の不純物が化合物半導体基板 20 に外方拡散するのを抑制することができる。加えて、瞬時かつ強固に、両基板を接合することができるため、スリップ及び転位の発生を防止することができる。また、多結晶ダイヤモンド層 16 には、高温熱処理に起因する熱応力が導入されない。さらに、真空常温接合法における活性化処理によって、化合物半導体基板 20 の表層部に、厚さとして 1 nm 以上 5 nm 以下のアモルファス層 22 が形成される（図 1（I））。アモルファス層 22 は、ゲッタリング層として機能し、単結晶シリコン基板 10 中の酸素や不純物が化合物半導体基板 20 に外方拡散するのを抑制することができる。さらに、アモルファス層 22 は、熱伝導性が良いので、最終品である多結晶ダイヤモンド自立基板 100 の放熱性の向上に寄与する。

[0062] [プラズマ接合法による貼り合わせ]

第 2 の実施形態では、図 2（E）、（F）、（G）、（H）に示すように、プラズマ接合法により、多結晶ダイヤモンド層 16 に化合物半導体基板 20 を貼り合わせて、貼り合わせ基板 40 を得る。プラズマ接合法とは、多結晶ダイヤモンド層の表面と化合物半導体基板の表面をプラズマ雰囲気に曝すことにより、各表面にダングリングボンドを形成し、このダングリングボンド同士を結合させるウェーハ接合方法である。一般的に、プラズマ活性処理とウェーハ接合処理とを別装置にて実施するため、活性化したダングリングボンドが一旦大気中に暴露されダングリングボンド密度が減少し、ウェーハ接合強度が低下してしまう。よって、ウェーハ接合強度を確保するために、ウェーハ接合後に熱処理が必要になる。

[0063] [[酸化膜の形成]]

まず、多結晶ダイヤモンド層の表面 16 A 及び化合物半導体基板 20 の表面 20 A に、それぞれ密着層として機能する酸化膜 24 A 及び酸化膜 24 B を形成する。なお、図 2 に示す本実施形態では、酸化膜 24 A 及び酸化膜 2

4 Bの両方を形成しているが、本発明では、その少なくとも一方を形成することでもよい。

[0064] 酸化膜24 Aは、以下の方法で形成することが好ましい。すなわち、熱酸化法では多結晶ダイヤモンドが CO_2 ガス化するため、熱酸化によって酸化膜を形成することは困難である。よって、堆積法（例えば、CVD法、スパッタ法）により、多結晶ダイヤモンド層の表面に厚さ100 nm以上1 μm 以下の、好ましくは厚さ100 nm以上500 nm以下のシリコン酸化膜24 Aを形成する。

[0065] 酸化膜24 Bは、熱酸化法及び堆積法のいずれでも形成できる。すなわち、堆積法（例えば、CVD法、スパッタ法）により、化合物半導体基板の表面に厚さ100 nm以上1 μm 以下の、好ましくは厚さ100 nm以上500 nm以下のシリコン酸化膜24 Bを形成してもよい。あるいは、化合物半導体基板を熱酸化して、その表層部に厚さ100 nm以上1 μm 以下の、好ましくは厚さ100 nm以上500 nm以下の酸化膜24 Bを形成してもよい。

[0066] [[プラズマ処理]]

次に、酸素、窒素、水素及びアルゴンの1種類以上からなる雰囲気下で、酸化膜24 Aの表面及び酸化膜24 Bの表面をプラズマ処理する。酸化膜24 A又は酸化膜24 Bを形成していない場合には、それぞれ、多結晶ダイヤモンド層の表面16 A又は化合物半導体基板の表面20 Aをプラズマ処理する。

[0067] プラズマ雰囲気を形成するため、プラズマチャンバー内に50 W以上200 W以下を印加することが好ましい。50 W以上であれば、プラズマ雰囲気を安定的に形成でき、200 W以下であれば、均一にプラズマ形成できる。

[0068] プラズマチャンバー内のチャンバー圧力は10 Pa以上100 Pa以下の範囲に設定することが好ましい。100 Pa以下であれば、スパッタされた元素が各基板の表面に再付着しにくく、ダングリングボンドの形成率が低下するおそれがないからである。

[0069] プラズマ形成のための印加パルス電圧の周波数は、0.5 MHz 以上 2 MHz 以下とすることが好ましい。0.5 MHz 以上であれば、プラズマを安定的に形成でき、2 MHz 以下であれば、プラズマ処理する表面に安定的にダングリングボンドを形成することができるからである。

[0070] 単結晶シリコン基板 10 及び化合物半導体基板 20 に対するプラズマ条件は、各基板の表面に対する照射元素（酸素、窒素、水素及びアルゴン）の加速エネルギーが 100 eV 以上 10 keV 以下となるように設定することが好ましい。100 eV 以上であれば、照射した元素が各基板の表面に堆積するおそれがなく、10 keV 以下であれば、照射した元素が各基板の内部へ注入されるおそれがないので、ダングリングボンドを安定的に形成することができるからである。

[0071] [熱処理]

その後、酸化膜 24A, 24B を介して、多結晶ダイヤモンド層 16 と化合物半導体基板 20 とを重ね合わせて熱処理を行うことにより、多結晶ダイヤモンド層 16 と化合物半導体基板 20 とを貼り合わせる。熱処理は、酸素、窒素、水素及びアルゴンの 1 種類以上からなる雰囲気下で、雰囲気温度が 300℃ 以上 1000℃ 以下で 10 分以上 2 時間以下の条件で実施することが好ましい。なお、基板温度は熱処理チャンバーの雰囲気温度と同等になると考えてよい。

[0072] このようにプラズマ接合法を用いることによって、以下の作用効果が得られる。プラズマ接合法では、酸化膜を介して多結晶ダイヤモンド層 16 と化合物半導体基板 20 とを接合するため、多結晶ダイヤモンド層から化合物半導体基板へ拡散していく不純物を酸化膜中にて捕獲することができ、化合物半導体基板への不純物拡散を抑制する効果がある。

[0073] [化合物半導体基板の減厚]

次に、図 1 (J), (K) 及び図 2 (I), (J) に示すように、化合物半導体基板 20 を減厚して、化合物半導体層 26 とする。具体的には、化合物半導体基板 20 を、接合面とは反対側の表面から研削及び研磨することに

より減厚する。化合物半導体層26の厚さは、そこに形成する半導体デバイスの種類や構造に応じて適宜決定することができ、 $1\mu\text{m}$ 以上 $500\mu\text{m}$ 以下とすることが好ましい。なお、この研削及び研磨には、公知又は任意の研削法及び研磨法を好適に用いることができ、具体的には平面研削法及び鏡面研磨法を用いることができる。

[0074] [単結晶シリコン基板の除去]

次に、図1(K)、(L)及び図2(J)、(K)に示すように、貼り合わせ基板30、40から単結晶シリコン基板10を除去する。これにより、所望厚さの化合物半導体層26が支持基板としての多結晶ダイヤモンド層16上に積層された多結晶ダイヤモンド自立基板100、200を得ることができる。除去方法は特に限定されず、例えば、公知又は任意の研削法及び研磨法を好適に用いることができ、具体的には平面研削法及び鏡面研磨法を用いることができる。また、ウェットエッチングやドライエッチング等の化学エッチン法を用いることもできる。

[0075] [単結晶シリコン基板]

単結晶シリコン基板10は、チョクラルスキー法(CZ法)やCZ法に磁場をかけるMCZ法(Magnetic field applied Czochralski法)や浮遊帯域溶融法(FZ法)により育成した単結晶シリコンインゴットをワイヤーソー等でスライスしたものを使用することができる。

[0076] 単結晶シリコン基板10の酸素濃度は、 $5 \times 10^{17} \text{atom/cm}^3$ 以下とすることが好ましい。なお、本明細書における「酸素濃度」とは、FTIR法(Old ASTM F121-1979)により測定した場合における、基板の厚さ方向にわたる酸素濃度の平均値を意味する。本発明者の検討によると、単結晶シリコン基板10の酸素濃度と多結晶ダイヤモンド層の表面16Aにおける結晶粒の最大粒径との間に相関関係があることが分かった。そして、上記のような低酸素濃度の単結晶シリコン基板10を用いると、CVD法による成膜時に特段の工夫をすることなく、多結晶ダイヤモンド層1

6を100 μ m以上の厚さで形成しても、その表面16Aにおける結晶粒の最大粒径を多結晶ダイヤモンド層16の厚さで割った値を0.20以下に制御することができることが分かった。

[0077] これは、以下の理由によると推測される。単結晶シリコン基板の酸素濃度が高い場合、多結晶ダイヤモンド層の成長過程で熱によって単結晶シリコン基板から外方拡散した酸素が、成長するダイヤモンド結晶粒を構成する結合力の弱いグラファイト（s p²軌道）領域を優先的にエッチングし、結合力の強いダイヤモンド（s p³軌道）領域のみが急成長するものと推測される。これに対して、単結晶シリコン基板の酸素濃度が低い場合、酸素の外方拡散が抑制されるので、グラファイト領域のエッチングが抑制される。そのため、グラファイト領域をプラズマでエッチングしながらダイヤモンド領域の成長が行われることにより、ダイヤモンド領域の急成長が緩和されるものと推測される。

[0078] 単結晶シリコン基板10の厚さは、多結晶ダイヤモンド層16の厚さに応じて設定すればよく、多結晶ダイヤモンド層16が厚くなるほど反りが大きくなるため、反りを発生させないように単結晶シリコン基板10を厚くすることが好ましい。具体的には、単結晶シリコン基板10の厚さは、1mm以上5mm以下とすることが好ましい。

[0079] [化合物半導体基板]

化合物半導体基板20を構成する化合物半導体は、特に限定されず、化合物半導体層26に形成する半導体デバイスの種類等に応じて適宜選定すればよく、例えば、Ga N、Al N、In N、Si C、Al₂O₃、Ga₂O₃、Mg O、Zn O、Cd O、Ga As、Ga P、Ga Sb、In P、In As、In Sb、又はSi Geからなるものとすることが好ましい。また、化合物半導体基板20の厚さは、200 μ m以上3mm以下とすることが好ましい。200 μ m未満の場合、化合物半導体基板が反ることにより多結晶ダイヤモンドの剥がれが発生したり、化合物半導体基板の割れが発生する。また、3mm超えの場合、後述の化合物半導体基板20の減厚の工程におけるプロセ

スタタイムや材料コストの観点から好ましくない。

[0080] 以上説明した本実施形態による多結晶ダイヤモンド自立基板の製造方法によれば、真空常温接合法又はプラズマ接合法を用いて高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を製造することが可能である。

[0081] (多結晶ダイヤモンド自立基板)

図1(L)を参照して、本発明の第1の実施形態により製造される多結晶ダイヤモンド自立基板100は、厚さが100 μ m以上の多結晶ダイヤモンド層16からなる支持基板と、多結晶ダイヤモンド層16の表面上に形成された化合物半導体層26と、を有し、多結晶ダイヤモンド層16の表面と化合物半導体層26との間には、合計厚さが2nm以上10nm以下のダイヤモンドのアモルファス層18及び化合物半導体層を構成する化合物半導体のアモルファス層22が存在する。各層18、22の厚さは1nm以上5nm以下となる。

[0082] また、図2(K)を参照して、本発明の第2の実施形態により製造される多結晶ダイヤモンド自立基板200は、厚さが100 μ m以上の多結晶ダイヤモンド層16からなる支持基板と、多結晶ダイヤモンド層16の表面上に形成された化合物半導体層26と、を有し、多結晶ダイヤモンド層16の表面と化合物半導体層26との間には、合計厚さが200nm以上2 μ m以下のシリコン酸化膜及び化合物半導体層を構成する化合物半導体の酸化膜の少なくとも一方(酸化膜24)が存在する。

[0083] いずれの多結晶ダイヤモンド自立基板100、200も、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下であることを特徴とする。多結晶ダイヤモンド自立基板100、200は、高品質な化合物半導体層26が積層されたものであり、熱伝導性が高い多結晶ダイヤモンド層16を有するので、放熱性が高い。また、多結晶ダイヤモンド自立基板100については、アモルファス層22も高い熱伝導性を有するため、より高い放熱性を得ることができる。

[0084] 化合物半導体層26は、Ga₂N、AlN、InN、SiC、Al₂O₃、Ga₂

O_3 、 MgO 、 ZnO 、 CdO 、 GaAs 、 GaP 、 GaSb 、 InP 、 InAs 、 InSb 、又は SiGe からなるものとするのが好ましく、その厚さは既述のとおり $1\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下とすることが好ましい。

実施例

[0085] (実施例1：真空常温接合法)

図1(A)～(L)に示す工程を経て、発明例又は比較例に係る多結晶ダイヤモンド自立基板を製造した。

[0086] CZ法により育成した単結晶シリコンインゴットから切り出し加工した、直径が2インチ、厚さが3mm、抵抗率が $10\text{ }\Omega\cdot\text{cm}$ で、表1に示す酸素濃度を有する単結晶シリコン基板を用意した。また、HVPE(Hydride Vapor Phase Epitaxy)法により作製した窒化ガリウム(GaN)単結晶から切り出し加工した、直径が2インチ、厚さが $600\text{ }\mu\text{m}$ の GaN 基板を用意した。

[0087] 次に、爆轟法によって、平均粒径が6nmのダイヤモンド粒子を用意した。このダイヤモンド粒子を、過酸化水素水溶液に浸漬することによりカルボキシル基(COOH)で終端して、負電荷に帯電させた。次に、ダイヤモンド粒子を溶媒(H_2O)に混合し、攪拌して、ダイヤモンド粒子の含有量が6質量%のダイヤモンド粒子含有溶液を調製した。なお、攪拌速度は1100rpm、攪拌時間は50分とし、攪拌中のダイヤモンド粒子含有溶液の温度は 25°C とした。続いて、単結晶シリコン基板を純水により洗浄して、表面に自然酸化膜を形成した後、スピコート法によって単結晶シリコン基板上にダイヤモンド粒子含有溶液を塗布し、ダイヤモンド粒子含有液膜を形成した。

[0088] 次に、 80°C に設定したホットプレート上に単結晶シリコン基板を5分間置くことにより、単結晶シリコン基板とダイヤモンド粒子との結合を強化する熱処理を施し、単結晶シリコン基板上にダイヤモンド粒子を付着させた。

[0089] 次に、水素をキャリアガス、メタンをソースガスとして、既述のマイクロ波プラズマCVD法を用いて、単結晶シリコン基板上に付着したダイヤモン

ド粒子を核として、厚さ $300\mu\text{m}$ の多結晶ダイヤモンド層を成長させた。
なお、プラズマチャンバー内の圧力を $1.5 \times 10^4\text{Pa}$ 、マイクロ波の出力を 5kW 、単結晶シリコン基板の温度を 1050°C とした。ここで、既述の方法により、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を測定した。結果を表1に示す。

[0090] 次に、CMP法により多結晶ダイヤモンド層の表面を平坦化した。平坦化後の多結晶ダイヤモンド層の厚さは $290\mu\text{m}$ とした。既述の方法により、多結晶ダイヤモンド層の表面の表面粗さ R_a を測定した。測定結果を表1に示す。

[0091] 次に、 25°C 、 $1 \times 10^{-5}\text{Pa}$ の真空チャンバー内に Ar を流してプラズマを発生させ、多結晶ダイヤモンド層の表面及び GaN 基板の表面に、加速エネルギー： 1.0keV 、周波数： 140Hz 、パルス幅： $55\mu\text{s}$ にて Ar イオンを照射して、上記両方の表面を活性化面とした。引き続き、真空常温下で上記両方の活性化面を接触させることで、活性化面を貼合せ面として、多結晶ダイヤモンド層と GaN 基板との貼り合わせを試みた。この際の接合可否を表1に示す。なお、この活性化処理により、多結晶ダイヤモンド層の表面には厚さ 1nm のアモルファス層が形成され、 GaN 基板の表層部には、厚さが 1nm のアモルファス層が形成された。

[0092] 接合可の発明例に関しては、 GaN 基板を研削及び研磨して、厚さが $10\mu\text{m}$ の GaN 層とした。さらに、単結晶シリコン基板を研削及び研磨して除去した。このようにして、厚さ $290\mu\text{m}$ の多結晶ダイヤモンド層上に厚さが $10\mu\text{m}$ の GaN 層が積層された多結晶ダイヤモンド自立基板を得た。 GaN 層の断面をTEMにて観察したところ、表1に示すように、転位は観察されなかった。

[0093]

[表1]

No.	製造条件				評価結果		区分
	Si基板の 酸素濃度 (10^{17} atoms/cm ³)	結晶粒の 最大粒径 (μ m)	最大粒径 ／膜厚	平坦化後Ra (nm)	接合可否	GaN層の断面TEM 観察結果	
1	1	39	0.13	2.3	接合可	転位なし	発明例
2	3	41	0.14	2.4	接合可	転位なし	発明例
3	5	47	0.16	2.6	接合可	転位なし	発明例
4	9	65	0.22	10.6	接合否	—	比較例
5	12	70	0.24	15.2	接合否	—	比較例

[0094] No. 1～5の結果から明らかなとおり、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になっていれば、真空常温接合法によって多結晶ダイヤモンド層とGaN基板とを貼り合わせ接合できた。

[0095] (実施例2：プラズマ接合法)

図2(A)～(K)に示す工程を経て、発明例又は比較例に係る多結晶ダイヤモンド自立基板を製造した。

[0096] CZ法により育成した単結晶シリコンインゴットから切り出し加工した、直径が2インチ、厚さが3mm、抵抗率が $10\Omega\cdot\text{cm}$ で、表2に示す酸素濃度を有する単結晶シリコン基板を用意した。また、HVPE(Hydride Vapor Phase Epitaxy)法により作製した窒化ガリウム(GaN)単結晶から切り出し加工した、直径が2インチ、厚さが $600\mu\text{m}$ のGaN基板を用意した。

[0097] 次に、爆轟法によって、平均粒径が6nmのダイヤモンド粒子を用意した。このダイヤモンド粒子を、過酸化水素水溶液に浸漬することによりカルボキシル基(COOH)で終端して、負電荷に帯電させた。次に、ダイヤモンド粒子を溶媒(H_2O)に混合し、攪拌して、ダイヤモンド粒子の含有量が3質量%のダイヤモンド粒子含有溶液を調製した。なお、攪拌速度は1100rpm、攪拌時間は50分とし、攪拌中のダイヤモンド粒子含有溶液の温度は 25°C とした。続いて、単結晶シリコン基板を純水により洗浄して、表面に自然酸化膜を形成した後、スピンコート法によって単結晶シリコン基板上

にダイヤモンド粒子含有溶液を塗布し、ダイヤモンド粒子含有液膜を形成した。

[0098] 次に、80℃に設定したホットプレート上に単結晶シリコン基板を5分間置くことにより、単結晶シリコン基板とダイヤモンド粒子との結合を強化する熱処理を施し、単結晶シリコン基板上にダイヤモンド粒子を付着させた。

[0099] 次に、水素をキャリアガス、メタンをソースガスとして、既述のマイクロ波プラズマCVD法を用いて、単結晶シリコン基板上に付着したダイヤモンド粒子を核として、厚さ300μmの多結晶ダイヤモンド層を成長させた。なお、プラズマチャンバー内の圧力を 1.5×10^4 Pa、マイクロ波の出力を5kW、単結晶シリコン基板の温度を1050℃とした。ここで、既述の方法により、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を測定した。結果を表2に示す。

[0100] 次に、CMP法により多結晶ダイヤモンド層の表面を平坦化した。平坦化後の多結晶ダイヤモンド層の厚さは290μmとした。既述の方法により、多結晶ダイヤモンド層の表面の表面粗さRaを測定した。測定結果を表2に示す。

[0101] 次に、多結晶ダイヤモンド層の表面及びGaN基板の表面に、CVD法を用いて、それぞれ厚さ100nmのシリコン酸化膜を形成した。その後、チャンバー内を圧力40Paの酸素雰囲気下にて、1MHzで100Wを印加して、加速エネルギー300eVにて両シリコン酸化膜の表面をプラズマ処理した。その後、シリコン酸化膜を介して、多結晶ダイヤモンド層とGaN層を重ね合わせて、窒素雰囲気下にて500℃で1時間の熱処理を実施し、多結晶ダイヤモンド層とGaN基板との貼り合わせを試みた。この際の接合可否を表2に示す。

[0102] 接合可の発明例に関しては、GaN基板を研削及び研磨して、厚さが10μmのGaN層とした。さらに、単結晶シリコン基板を研削及び研磨して除去した。このようにして、厚さ290μmの多結晶ダイヤモンド層上に厚さが10μmのGaN層が積層された多結晶ダイヤモンド自立基板を得た。G

a N層の断面をTEMにて観察したところ、表2に示すように、転位は観察されなかった。

[0103] [表2]

No.	製造条件				評価結果		区分
	Si基板の 酸素濃度 (10^{17} atoms/cm ³)	結晶粒の 最大粒径 (μ m)	最大粒径 ／膜厚	平坦化後Ra (nm)	接合可否	GaN層の断面TEM 観察結果	
1	1	37	0.13	2.0	接合可	転位なし	発明例
2	3	43	0.15	2.5	接合可	転位なし	発明例
3	5	57	0.20	2.6	接合可	転位なし	発明例
4	9	63	0.22	10.4	接合否	—	比較例
5	12	75	0.26	15.9	接合否	—	比較例

[0104] No. 1～5の結果から明らかとなおり、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になっていれば、プラズマ接合法によって多結晶ダイヤモンド層とGaN基板とを貼り合わせ接合できた。

[0105] (実施例3：プラズマ接合法)

多結晶ダイヤモンド層の表面にはシリコン酸化膜を形成せず、GaN基板の表面にのみ、CVD法を用いて厚さ100nmのシリコン酸化膜を形成したこと以外は、実施例2と同様の実験を行った。この際の接合可否を表3に示す。

[0106] 接合可の発明例に関しては、GaN基板を研削及び研磨して、厚さが10 μ mのGaN層とした。さらに、単結晶シリコン基板を研削及び研磨して除去した。このようにして、厚さ290 μ mの多結晶ダイヤモンド層上に厚さが10 μ mのGaN層が積層された多結晶ダイヤモンド自立基板を得た。GaN層の断面をTEMにて観察したところ、表3に示すように、転位は観察されなかった。

[0107]

[表3]

No.	製造条件				評価結果		区分
	Si基板の酸素濃度 (10^{17} atoms/cm ³)	結晶粒の最大粒径 (μ m)	最大粒径／膜厚	平坦化後Ra (nm)	接合可否	GaN層の断面TEM観察結果	
1	1	40	0.14	2.2	接合可	転位なし	発明例
2	3	48	0.17	2.6	接合可	転位なし	発明例
3	5	56	0.19	2.8	接合可	転位なし	発明例
4	9	70	0.24	11.4	接合否	—	比較例
5	12	79	0.27	16.9	接合否	—	比較例

[0108] No. 1～5の結果から明らかなとおり、多結晶ダイヤモンド層の表面における結晶粒の最大粒径を多結晶ダイヤモンド層の厚さで割った値が0.20以下になっていれば、プラズマ接合法によって多結晶ダイヤモンド層とGaN基板とを貼り合わせ接合できた。

[0109] (実施例4)

直径が2インチ、厚さが3mm、抵抗率が $10\Omega\cdot\text{cm}$ で、酸素濃度が $3.0\times 10^{17}\text{atoms}/\text{cm}^3$ の単結晶シリコン基板を用意した。単結晶シリコン基板上に、MOCVD法を用いてトリメチルガリウムガスとアンモニアガスを流し、 1100°C にて、厚さ $10\mu\text{m}$ のGaN層を形成した。次に、公知の傷付け法によって、GaN層の表面にダイヤモンド粒子を埋め込んだ。すなわち、平均粒径 $1\mu\text{m}$ のダイヤモンド粒子を含有する溶液中で、単結晶シリコン基板を超音波洗浄することによって、GaN層の表面にダイヤモンド粒子を埋め込んだ。次に、実施例1、2と同様の条件で、マイクロ波プラズマCVD法を用いて、GaN層上に埋め込んだダイヤモンド粒子を核として、厚さ $300\mu\text{m}$ の多結晶ダイヤモンド層を成長させた。

[0110] さらに、単結晶シリコン基板を研削及び研磨して除去した。このようにして、厚さ $300\mu\text{m}$ の多結晶ダイヤモンド層上に厚さが $10\mu\text{m}$ のGaN層が積層された多結晶ダイヤモンド自立基板を得た。しかしながら、GaN層の断面をTEMにて観察したところ、転位が観察された。

産業上の利用可能性

[0111] 本発明の多結晶ダイヤモンド自立基板の製造方法によれば、真空常温接合法又はプラズマ接合法を用いて高品質な化合物半導体層が積層された多結晶ダイヤモンド自立基板を製造することが可能である。

符号の説明

- [0112] 100, 200 多結晶ダイヤモンド自立基板
- 10 単結晶シリコン基板
 - 12 ダイヤモンド粒子含有液膜
 - 14 ダイヤモンド粒子
 - 16 多結晶ダイヤモンド層
 - 16A 多結晶ダイヤモンド層の表面
 - 18 sp^2 領域
 - 20 化合物半導体基板
 - 20A 化合物半導体基板の表面
 - 22 アモルファス層
 - 24, 24A, 24B 酸化膜
 - 26 化合物半導体層
 - 30 貼り合わせ基板
 - 40 貼り合わせ基板
 - 50 真空常温接合装置
 - 51 プラズマチャンバー
 - 52 ガス導入口
 - 53 真空ポンプ
 - 54 パルス電圧印加装置
 - 55A, 55B ウェーハ固定台

請求の範囲

- [請求項1] 単結晶シリコン基板上にダイヤモンド粒子を付着させる付着工程と、
- 、
- 前記ダイヤモンド粒子を核として、化学気相成長法により、前記単結晶シリコン基板上に厚さが $100\mu\text{m}$ 以上の多結晶ダイヤモンド層を成長させ、その際、該多結晶ダイヤモンド層の表面における結晶粒の最大粒径を前記多結晶ダイヤモンド層の厚さで割った値を 0.20 以下とする工程と、
- 前記多結晶ダイヤモンド層の表面を平坦化する平坦化工程と、
- その後、真空常温接合法又はプラズマ接合法により、前記多結晶ダイヤモンド層に化合物半導体基板を貼り合わせて、貼り合わせ基板を得る工程と、
- その後、前記化合物半導体基板を減厚して、化合物半導体層とする工程と、
- 前記貼り合わせ基板から前記単結晶シリコン基板を除去して、前記多結晶ダイヤモンド層が、前記化合物半導体層の支持基板として機能する多結晶ダイヤモンド自立基板を得る工程と、
- を有することを特徴とする多結晶ダイヤモンド自立基板の製造方法。
- [請求項2] 前記真空常温接合法は、
- 前記多結晶ダイヤモンド層の表面及び前記化合物半導体基板の表面に、真空常温下でイオンビーム又は中性原子ビームを照射して、前記両方の表面を活性化面とする工程と、
- 引き続き真空常温下で、前記両方の活性化面を接触させることで、前記多結晶ダイヤモンド層と前記化合物半導体基板とを貼り合わせる工程と、
- を有する、請求項1に記載の多結晶ダイヤモンド自立基板の製造方法。
- 。
- [請求項3] 前記プラズマ接合法は、

(i) 前記多結晶ダイヤモンド層の表面に厚さ 100 nm 以上 $1\text{ }\mu\text{ m}$ 以下のシリコン酸化膜を形成すること、及び、(ii) 前記化合物半導体基板の表面に厚さ 100 nm 以上 $1\text{ }\mu\text{ m}$ 以下のシリコン酸化膜を形成する、又は、前記化合物半導体基板を熱酸化して、その表層部に厚さ 100 nm 以上 $1\text{ }\mu\text{ m}$ 以下の酸化膜を形成すること、の少なくとも一方を行う工程と、

酸素、窒素、水素及びアルゴンの1種類以上からなる雰囲気下で、前記シリコン酸化膜及び前記酸化膜の表面と、前記多結晶ダイヤモンド層の表面及び前記化合物半導体基板の表面のうち前記シリコン酸化膜及び前記酸化膜が形成されていない表面をプラズマ処理する工程と、

前記シリコン酸化膜及び前記酸化膜を介して、前記多結晶ダイヤモンド層と前記化合物半導体基板とを重ね合わせて、雰囲気温度が 300°C 以上 1000°C 以下の熱処理を行うことで、前記多結晶ダイヤモンド層と前記化合物半導体基板とを貼り合わせる工程と、を有する、請求項1に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項4] 前記単結晶シリコン基板の酸素濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である、請求項1～3のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項5] 前記付着工程は、前記単結晶シリコン基板上に平均粒径が 50 nm 以下のダイヤモンド粒子を含有する溶液を塗布し、その後、前記単結晶シリコン基板に熱処理を施すことにより行う、請求項1～4のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項6] 前記溶液中の前記ダイヤモンド粒子が負電荷に帯電している、請求項5に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項7] 前記熱処理では、前記単結晶シリコン基板の温度を 100°C 未満に1分以上30分以下保持する、請求項5又は6に記載の多結晶ダイヤ

モンド自立基板の製造方法。

[請求項8] 前記平坦化工程では、前記多結晶ダイヤモンド層の表面粗さ R_a を 3 nm 以下とする、請求項 1 ～ 7 のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項9] 前記化合物半導体基板は、 GaN 、 AlN 、 InN 、 SiC 、 Al_2O_3 、 Ga_2O_3 、 MgO 、 ZnO 、 CdO 、 GaAs 、 GaP 、 GaSb 、 InP 、 InAs 、 InSb 、又は SiGe からなる、請求項 1 ～ 8 のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項10] 前記化合物半導体層の厚さを $1\text{ }\mu\text{m}$ 以上 $500\text{ }\mu\text{m}$ 以下とする、請求項 1 ～ 9 のいずれか一項に記載の多結晶ダイヤモンド自立基板の製造方法。

[請求項11] 厚さが $100\text{ }\mu\text{m}$ 以上の多結晶ダイヤモンド層からなる支持基板と、
前記多結晶ダイヤモンド層の表面上に形成された化合物半導体層と、
を有し、前記多結晶ダイヤモンド層の表面における結晶粒の最大粒径を前記多結晶ダイヤモンド層の厚さで割った値が 0.20 以下であることを特徴とする多結晶ダイヤモンド自立基板。

[請求項12] 前記多結晶ダイヤモンド層の表面と前記化合物半導体層との間に、合計厚さが 2 nm 以上 10 nm 以下の、ダイヤモンドのアモルファス層及び前記化合物半導体層を構成する化合物半導体のアモルファス層を有する、請求項 11 に記載の多結晶ダイヤモンド自立基板。

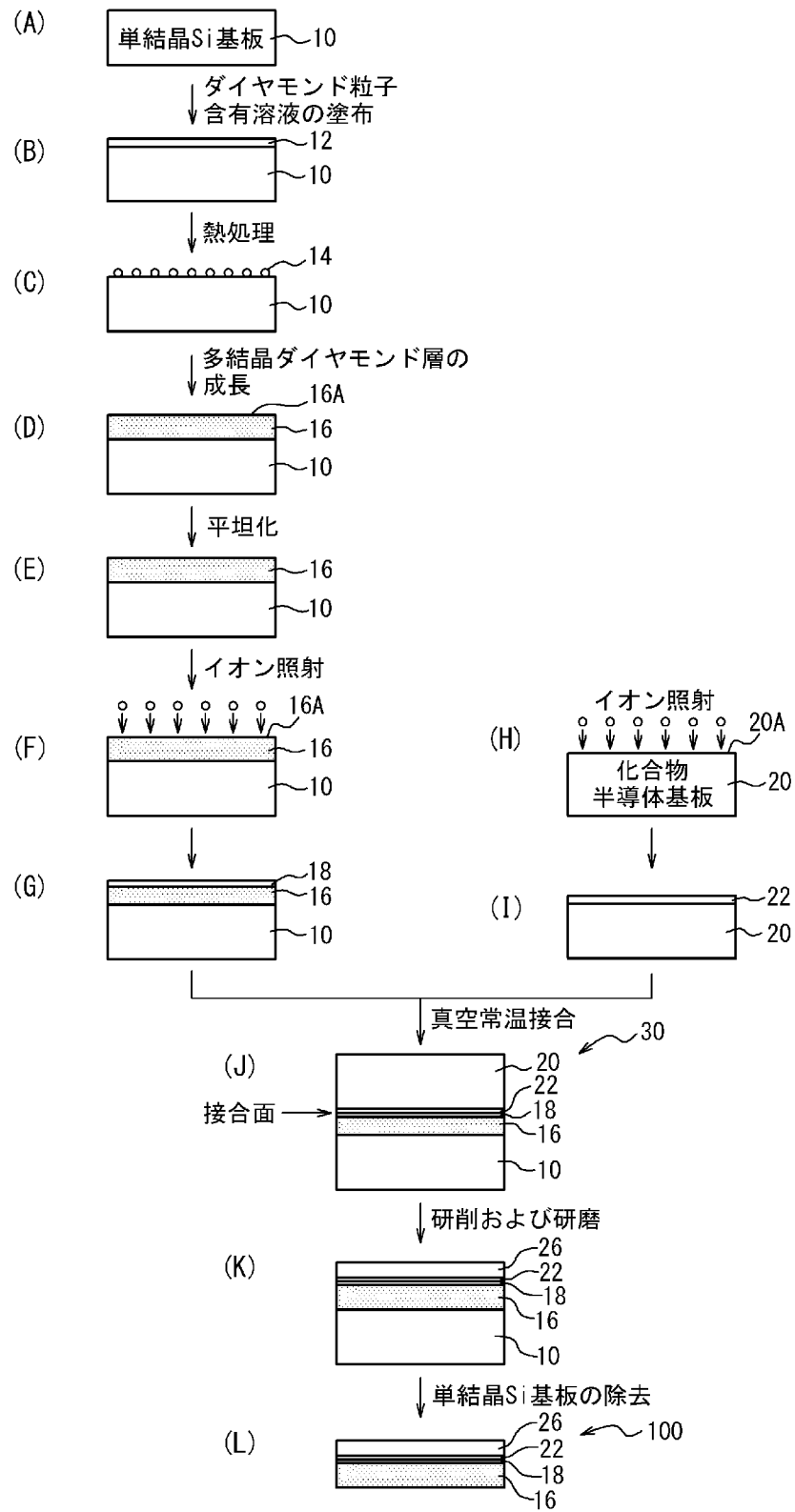
[請求項13] 前記多結晶ダイヤモンド層の表面と前記化合物半導体層との間に、合計厚さが 200 nm 以上 $2\text{ }\mu\text{m}$ 以下の、シリコン酸化膜及び前記化合物半導体層を構成する化合物半導体の酸化膜の少なくとも一方を有する、請求項 11 に記載の多結晶ダイヤモンド自立基板。

[請求項14] 前記化合物半導体層は、 GaN 、 AlN 、 InN 、 SiC 、 Al_2

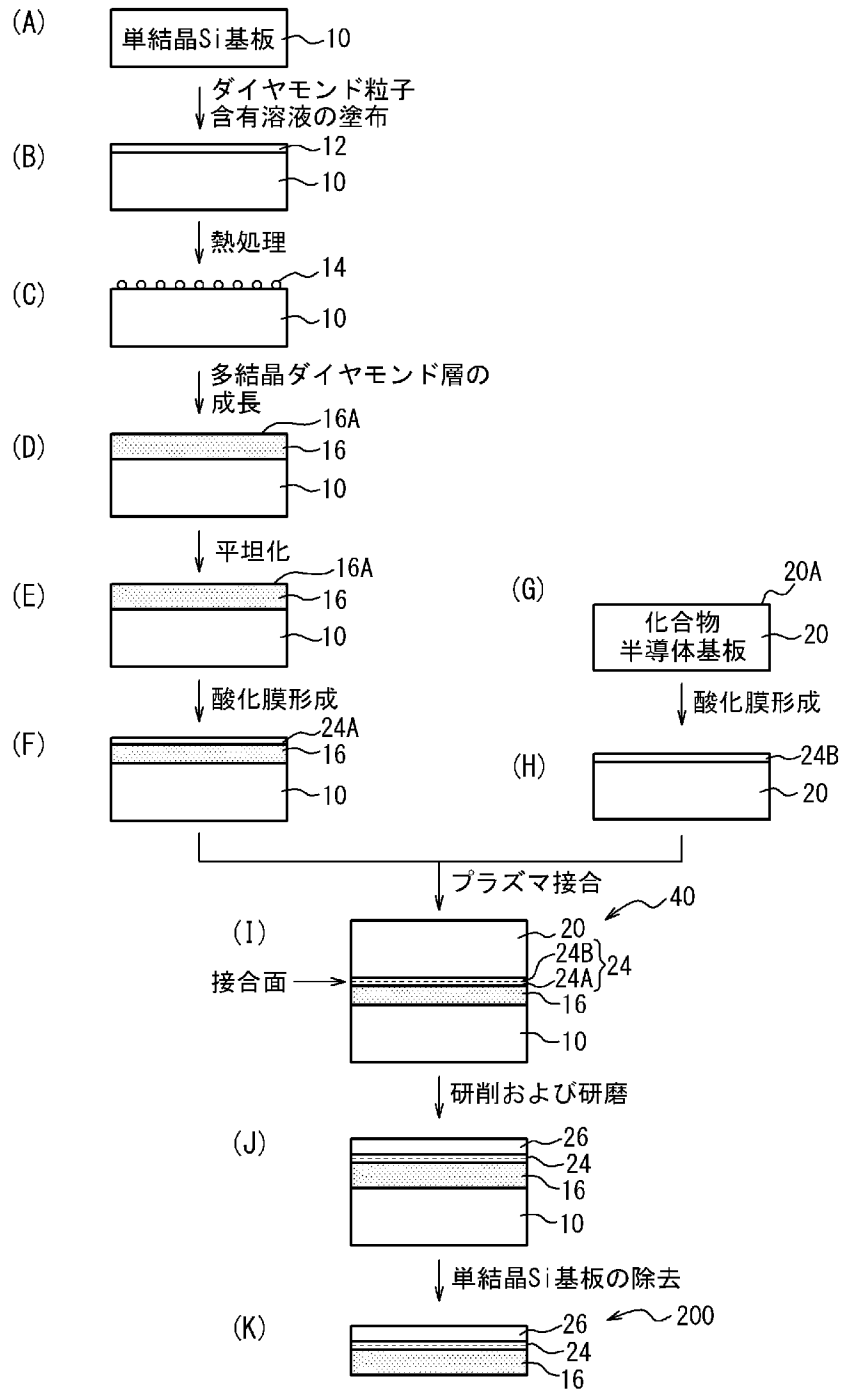
O_3 、 Ga_2O_3 、 MgO 、 ZnO 、 CdO 、 GaAs 、 GaP 、 GaSb 、 InP 、 InAs 、 InSb 、又は SiGe からなる、請求項11～13のいずれか一項に記載の多結晶ダイヤモンド自立基板。

[請求項15] 前記化合物半導体層の厚さが $1\ \mu\text{m}$ 以上 $500\ \mu\text{m}$ 以下である、請求項11～14のいずれか一項に記載の多結晶ダイヤモンド自立基板。

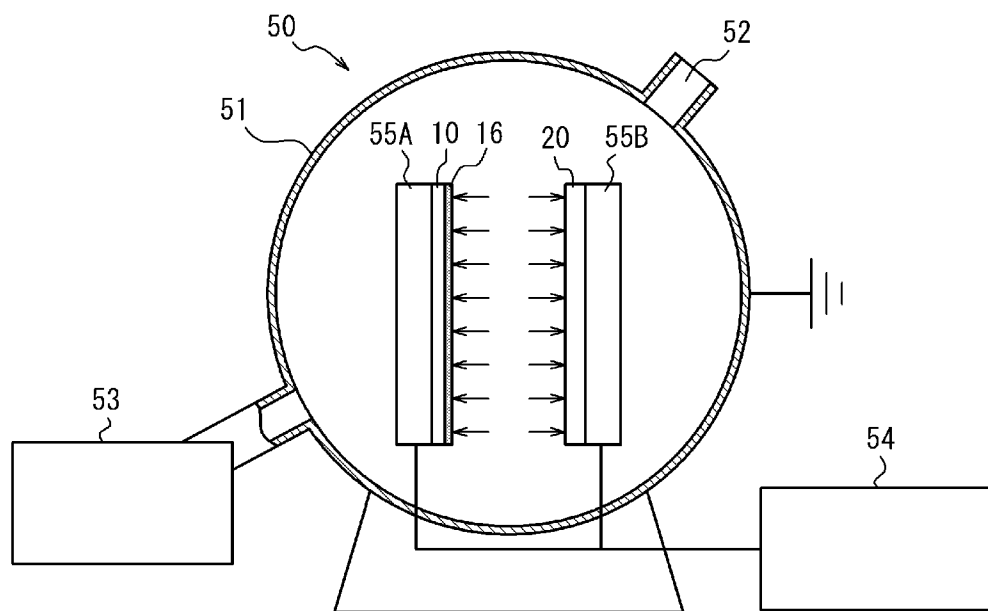
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/037652

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/02 (2006.01) i, C23C16/27 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/02, C23C16/27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2018-49868 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 29 March 2018, paragraphs [0016]-[0024], [0030]-[0033], [0040]-[0063], [0068]-[0087], fig. 1-6 (Family: none)	11, 13-15 1-3, 5, 7-10, 12 4, 6
Y A	JP 2018-74172 A (RFHIC CORP.) 10 May 2018, paragraphs [0003], [0019]-[0021] & US 2016/0197027 A1, paragraphs [0005], [0066]-[0076]	1-3, 5, 7-10, 12 4, 6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29.10.2019

Date of mailing of the international search report
12.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/037652

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2018/143344 A1 (MITSUBISHI ELECTRIC CORPORATION) 09 August 2018, paragraphs [0001], [0002], [0011], [0014]-[0065], fig. 1-12 (Family: none)	1-3, 5, 7-10, 12 4, 6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/02(2006.01)i, C23C16/27(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/02, C23C16/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-49868 A（住友電気工業株式会社）	11, 13-15
Y	2018.03.29, 段落 [0016]-[0024], [0030]-[0033], [0040]-[0063], [0068]-[0087], 図 1-6	1-3, 5, 7-10, 12
A	（ファミリーなし）	4, 6
Y	JP 2018-74172 A（アールエフエイチアイシー コーポレーション）	1-3, 5, 7-10, 12
A	2018.05.10, 段落 [0003], [0019]-[0021] & US 2016/0197027 A1, 段落 [0005], [0066]-[0076]	4, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29.10.2019

国際調査報告の発送日

12.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 芳健

5 F

6312

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2018/143344 A1 (三菱電機株式会社) 2018.08.09, 段落 [0001]-[0002], [0011], [0014]-[0065], 図 1-12 (ファミリーなし)	1-3, 5, 7-10, 12 4, 6