(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月31日(31.05.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/096735 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H02M 7/48* (2007.01)
H01L 25/18 (2006.01)

(21) 国際出願番号： PCT/JP2017/028993

(22) 国際出願日： 2017年8月9日(09.08.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-227745 2016年11月24日(24.11.2016) JP

(71) 出願人: 住 友 電 気 工 業 株 式 会 社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目５番３３号 Osaka (JP).

(72) 発明者: 大 森 弘 貴 (OOMORI, Hirotaka); 〒5540024 大阪府大阪市此花区島屋一丁目１番３号 住友電気工業株式会社 大阪製作所内 Osaka (JP).

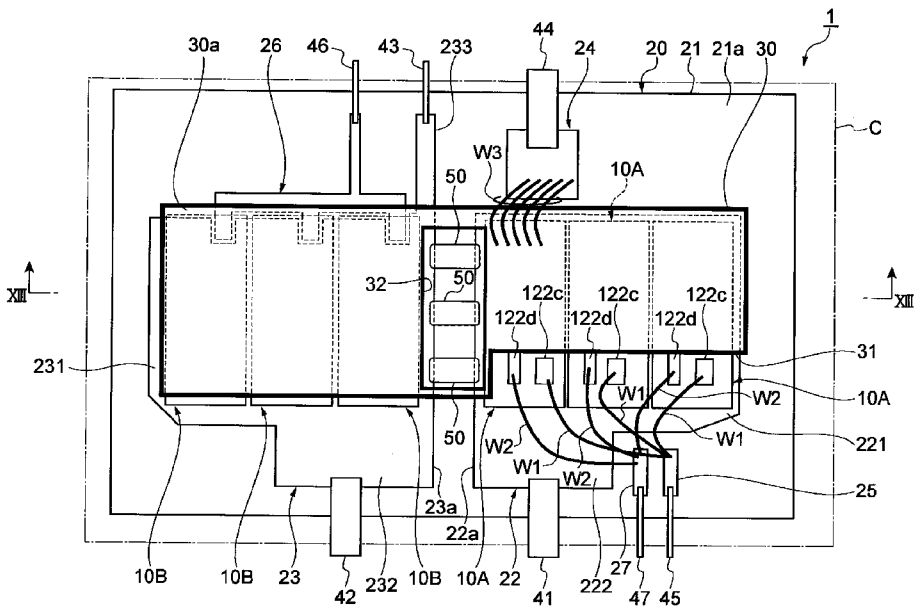
(74) 代理人: 伊東 忠重, 外 (ITOH, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内 ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** SEMICONDUCTOR MODULE

(54) 発明の名称： 半導体モジュール

[図12]



(57) **Abstract:** A semiconductor module 1 according to one form of this invention comprises a first circuit board, a circuit unit and a first plate-shaped member; wherein the circuit unit has a second plate-shaped member, a vertical transistor, a circuit element and a second circuit board, and from among N circuit units, in n first circuit units the rear-side electroconductive region of the second plate-shaped member is electrically connected to the first input wiring pattern of the first circuit board, and in (N-n) second circuit units a third electroconductive pattern and a fourth electroconductive pattern of

WO 2018/096735 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

---

the second circuit board are electrically connected with the first control wiring pattern and second input wiring pattern of the first circuit board, the first plate-shaped member is electrically connected with a fourth electroconductive pattern of the first circuit unit and the second plate-shaped member of the second circuit unit, and the gate electrode pad of the vertical transistor in the first circuit unit is electrically connected to the first control wiring pattern of the first circuit board.

(57) 要約:一形態に係る半導体モジュール１は、第１回路基板と回路ユニットと第１板状部材とを備え、回路ユニットは、第２板状部材と縦型トランジスタと回路素子と第２回路基板とを有し、Ｎ個の回路ユニットのうちｎ個の第１回路ユニットは、第２板状部材の裏面側導電領域が第１回路基板の第１入力用配線パターンと電気的に接続されており、(Ｎ－ｎ)個の第２回路ユニットは、第２回路基板の第３導電パターン及び第４導電パターンが第１回路基板の第１制御用配線パターン及び第２入力用配線パターンと電気的に接続されており、第１板状部材は、第１回路ユニットの第４導電パターンと、第２回路ユニットの第２板状部材とを電気的に接続しており、第１回路ユニットにおける縦型トランジスタのゲート電極パッドは、第１回路基板の第１制御用配線パターンに電気的に接続されている。

明　細　書

発明の名称 ： 半導体モジュール

技術分野

[0001] 本開示は半導体モジュールに関する。

[0002] 本出願は、2016年11月24日出願の日本出願2016-227745号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。

背景技術

[0003] 半導体モジュールにおいて、特許文献１に開示されているように、複数のトランジスタ及び複数のダイオードなどが回路基板上に実装されたモジュールが知られている。特許文献１に記載の半導体モジュールでは、インバータ回路といった電力変換回路として機能するように、複数のトランジスタ及び複数のダイオードが電気的に接続されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１５－１３５８９５号公報

特許文献2：特開２０１４－１８７８７４号公報

発明の概要

[0005] 本開示の一側面に係る半導体モジュールは、（Ａ）第１絶縁基板と、上記第１絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する第１回路基板と、（Ｂ）第１回路基板上に搭載されるＮ個（Ｎは２以上の整数）の回路ユニットと、（Ｃ）Ｎ個の上記回路ユニットに対して上記第１回路基板と反対側に配置されており、裏面側導電領域を有する第１板状部材を備え、上記回路ユニットは、（ａ）互いに電気的に接続された表面側導電領域及び裏面側導電領域を有する第２板状部材と、（ｂ）第１主電極パッドと、上記第１主電極パッドと反対側に形成されている第２主電極パッド及びゲート電極パッドとを有しており、上記第２板状部材の上記表面側導電領域

に上記第１主電極パッドが対向し且つ電気的に接続される縦型トランジスタと、（ｃ）上記縦型トランジスタに対して上記第２板状部材と反対側に配置されており、第２絶縁基板と、上記第２絶縁基板の裏面に形成されており上記ゲート電極パッドと電気的に接続される第１導電パターンと、上記第２絶縁基板の裏面に形成されており上記第２主電極パッドに電気的に接続される第２導電パターンと、上記第２絶縁基板の表面に形成されており上記第１導電パターンと電気的に接続された第３導電パターンと、上記第２絶縁基板の表面に形成されており上記第２導電パターンと電気的に接続された第４導電パターンとを有する第２回路基板と、を有し、Ｎ個の上記回路ユニットのうちｎ個（ｎは１以上且つ（Ｎ－１）以下の整数）の第１回路ユニットは、上記第２板状部材の上記裏面側導電領域が上記第１入力用配線パターンと対向し且つ電気的に接続された状態で上記第１回路基板に搭載されており、Ｎ個の上記回路ユニットのうち（Ｎ－ｎ）個の第２回路ユニットは、上記第２回路基板の上記第３導電パターンが上記第２制御用配線パターンと対向し且つ電気的に接続されるとともに、上記第２回路基板の上記第４導電パターンが上記第２入力用配線パターンと対向し且つ電気的に接続された状態で、上記第１回路基板に搭載されており、上記第１板状部材は、ｎ個の上記第１回路ユニットが有する上記第２回路基板の上記第４導電パターンと、（Ｎ－ｎ）個の上記第２回路ユニットが有する上記第２板状部材とを上記第１板状部材の上記裏面側導電領域によって電気的に接続しており、ｎ個の上記第１回路ユニットが有する上記縦型トランジスタの上記ゲート電極パッドは、上記第１制御用配線パターンに電気的に接続されている。

図面の簡単な説明

[0006] [図1]図１は、一実施形態に係る半導体モジュールが有する回路ユニットの平面図である。

[図2]図２は、図１のＩＩ－ＩＩ線に沿った断面の模式図である。

[図3]図３は、図１のＩＩＩ－ＩＩＩ線に沿った断面の模式図である。

[図4]図４は、図１に示した回路ユニットにおいて回路基板（第２回路基板）

を取り外した状態を示す図面である。

[図5]図５は、図１に示した回路ユニットが有する回路基板を、回路基板が有する絶縁基板の裏面側からみた場合の平面図である。

[図6]図６は、一形態に係る半導体モジュールの構成を示す模式図である。

[図7]図７は、図６のＶＩＩ－ＶＩＩ線に沿った断面構成の一部拡大図である。

[図8]図８は、図６に示した半導体モジュールが有する回路基板上の構成を示す図面であり、半導体モジュールが有する導電板（第１板状部材）を取り外した状態を示している。

[図9]図９は、図６に示した半導体モジュールが有する第２回路ユニットの回路基板への搭載状態を説明するための図面であり、半導体モジュールが有する導電板（第１板状部材）及び回路ユニットが有する導電板（第２板状部材）を取り外した状態を示している。

[図10]図１０は、図６に示した半導体モジュールの等価回路を示す図面である。

[図11]図１１は、回路ユニットの変形例を説明するための図面である。

[図12]図１２は、導電板（第１板状部材）の変形例を説明するための図面である。

[図13]図１３は、図１２のＸＩＩＩ－ＸＩＩＩ線に沿った断面構成の一部拡大図である。

発明を実施するための形態

[0007] ［本開示が解決しようとする課題］

複数のトランジスタ及び複数のダイオードが回路基板に直接実装された半導体モジュールでは、実装した後に半導体モジュールの検査を行う必要がある。この場合、トランジスタ及びダイオードの実装時の不具合などが生じると、再度、複数のトランジスタ及び複数のダイオードの実装を試みなければならない。そのため、半導体モジュールの製造歩留まりが低下する。

[0008] そこで、本開示は、製造歩留まりを向上可能な半導体モジュールを提供す

ることを目的とする。

[0009] 以下、図面を参照して本開示の実施形態について説明する。図面の説明において、同一要素には同一符号を付し、重複する説明を省略する。

[0010] ［本開示の実施形態の説明］

最初に、本開示の実施形態の内容を列記して説明する。

[0011] 一形態に係る半導体モジュールは、（Ａ）第１絶縁基板と、上記第１絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する第１回路基板と、（Ｂ）第１回路基板上に搭載されるＮ個（Ｎは２以上の整数）の回路ユニットと、（Ｃ）Ｎ個の上記回路ユニットに対して上記第１回路基板と反対側に配置されており、裏面側導電領域を有する第１板状部材を備え、上記回路ユニットは、（ａ）互いに電気的に接続された表面側導電領域及び裏面側導電領域を有する第２板状部材と、（ｂ）第１主電極パッドと、上記第１主電極パッドと反対側に形成されている第２主電極パッド及びゲート電極パッドとを有しており、上記第２板状部材の上記表面側導電領域に上記第１主電極パッドが対向し且つ電気的に接続される縦型トランジスタと、（ｃ）上記縦型トランジスタ及び上記第１回路基板に対して上記第２板状部材と反対側に配置されており、第２絶縁基板と、上記第２絶縁基板の裏面に形成されており上記ゲート電極パッドと電気的に接続される第１導電パターンと、上記第２絶縁基板の裏面に形成されており上記第２主電極パッドに電気的に接続される第２導電パターンと、上記第２絶縁基板の表面に形成されており上記第１導電パターンと電気的に接続された第３導電パターンと、上記第２絶縁基板の表面に形成されており上記第２導電パターンと電気的に接続された第４導電パターンとを有する第２回路基板と、を有し、Ｎ個の上記回路ユニットのうちｎ個（ｎは１以上且つ（Ｎ－１）以下の整数）の第１回路ユニットは、上記第２板状部材の上記裏面側導電領域が上記第１入力用配線パターンと対向し且つ電気的に接続された状態で上記第１回路基板に搭載されており、Ｎ個の上記回路ユニットのうち（Ｎ－ｎ）個の第２回路ユニットは

、上記第２回路基板の上記第３導電パターンが上記第２制御用配線パターンと対向し且つ電気的に接続されるとともに、上記第２回路基板の上記第４導電パターンが上記第２入力用配線パターンと対向し且つ電気的に接続された状態で、上記第１回路基板に搭載されており、上記第１板状部材は、ｎ個の上記第１回路ユニットが有する上記第２回路基板の上記第４導電パターンと、（Ｎ－ｎ）個の上記第２回路ユニットが有する上記第２板状部材とを上記第１板状部材の上記裏面側導電領域によって電気的に接続しており、ｎ個の上記第１回路ユニットが有する上記縦型トランジスタの上記ゲート電極パッドは、上記第１制御用配線パターンに電気的に接続されている。

[0012] 上記半導体モジュールでは、ｎ個の第１回路ユニット及び（Ｎ－ｎ）個の第２回路ユニットが、第１回路基板及び第１板状部材によって上記のように電気的に接続されている。第１回路ユニット及び第２回路ユニットは、縦型トランジスタを含む回路ユニットである。したがって、半導体モジュールを製造する際、第１回路基板に回路ユニットを実装する前に、回路ユニット単位で検査可能である。これにより、回路ユニットを構成した際に不良品を除外できるので、良品の回路ユニットを第１回路基板に実装し得る。そのため、例えば第１回路基板に、複数の縦型トランジスタを直接実装する場合より、製造歩留まりが向上する。

[0013] 上記回路ユニットが有する上記第２回路基板及び上記第２板状部材の少なくとも一方には、上記縦型トランジスタの位置確認用孔部が形成されていてもよい。この場合、回路ユニットを作製する際に、縦型トランジスタと、上記第２回路基板との位置合わせが容易である。

[0014] 上記回路ユニットは、上記第２板状部材と上記第２回路基板の間に配置され、上記第２板状部材と上記第２回路基板とによって、上記縦型トランジスタに電気的に接続される回路素子を更に有してもよい。この場合、回路ユニットは、縦型トランジスタと回路素子とが第２回路基板及び第２板状部材によって電気的に接続されてなる回路ユニットである。そのため、例えば第１回路基板に、複数の縦型トランジスタ及び複数の回路素子を直接実装する場

合より、製造歩留まりが向上する。

[0015] 上記回路素子は、上記第２絶縁基板の上記裏面と対向し且つ上記第２導電パターンと電気的に接続される第１電極パッドと、上記第１電極パッドと反対側に形成されており、上記第２板状部材の上記表面側導電領域と電気的に接続される第２電極パッドと、を有してもよい。

[0016] 上記回路素子が、ダイオードであり、上記第１電極パッドがアノードパッドであり、上記第２電極パッドがカソードパッドであってもよい。この場合、回路ユニットは、縦型トランジスタと、ダイオードとが逆並列接続された並列回路であり、半導体モジュールは、電力変換回路として機能する。

[0017] 上記第１入力用配線パターン及び上記第２入力用配線パターンを接続しておりサージ電圧を吸収するサージ電圧吸収素子を更に備えてもよい。これにより、電力変換回路として機能する半導体モジュールを駆動した際に、第１入力用配線パターン及び上記第２入力用配線パターン間に発生するサージ電圧を抑制可能である。

[0018] 上記第１板状部材が導電板であってもよいし、上記第２板状部材が導電板であってもよい。

[0019] ［本開示の実施形態の詳細］

本開示の実施形態の具体例を、以下に図面を参照しつつ説明する。本開示はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

[0020] 図１～図５を利用して、一形態に係る半導体モジュールが備える回路ユニット１０について説明する。回路ユニット１０は、トランジスタＴｒと、ダイオード（回路素子）Ｄｉと、導電板（第２板状部材）１１と、回路基板１２と、を有する。

[0021] トランジスタＴｒは、縦型トランジスタであり、例えばチップ状を呈する。トランジスタＴｒの平面視形状の例は、矩形又は正方形である。トランジ

スタＴｒの材料の例は、ＳｉＣ、ＧａＮ等のワイドバンドギャップ半導体及びＳｉを含む。トランジスタＴｒは、ＭＯＳＦＥＴ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ－Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）でもよいし、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ：Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）でもよい。以下、断らない限り、トランジスタＴｒはＭＯＳＦＥＴである。

[0022] トランジスタＴｒは、図１～図４に示したように、ドレイン電極パッド（第１主電極パッド）ＤＰと、ソース電極パッド（第２主電極パッド）ＳＰと、ゲート電極パッドＧＰと、を有する。ソース電極パッドＳＰとゲート電極パッドＧＰは、トランジスタＴｒの厚さ方向において、ドレイン電極パッドＤＰと反対側に配置されている。トランジスタＴｒでは、ゲート電極パッドＧＰに印加される制御信号に応じてソース電極パッドＳＰ及びドレイン電極パッドＤＰ間の導通状態が制御される。これにより、トランジスタＴｒは、スイッチング素子として機能する。

[0023] ダイオードＤｉは、トランジスタＴｒに対する還流ダイオードとして機能する。ダイオードＤｉは、カソードＣＰと、カソードＣＰと反対側に配置されたアノードＡＰとを有する。ダイオードＤｉの例は、ショットキーバリアダイオードである。

[0024] 導電板１１は、導電性材料からなる板状部材であればよい。導電板１１の例は、金属板であり、導電板１１の材料の例は銅である。導電板１１の平面視形状の例としては、矩形又は正方形が挙げられる。導電板１１は、導電材料からなるため、導電板１１の表面１１ａは導電領域（表面側導電領域）であり、裏面１１ｂも導電領域（裏面側導電領域）であり導電領域である表面１１ａ及び裏面１１ｂは電気的に接続されている。

[0025] 回路基板１２は、図２及び図３に示したように、トランジスタＴｒ及びダイオードＤｉに対して導電板１１と反対側に配置されている。回路基板１２は、図１～図５に示したように、絶縁基板１２１と、絶縁基板１２１の裏面１２１ａに形成された第１導電パターン１２２ａ及び第２導電パターン１２

２ｂ（図５参照）と、絶縁基板１２１の表面（裏面１２１ａと反対側の面）１２１ｂに形成された第３導電パターン１２２ｃ及び第４導電パターン１２２ｄ（図１参照）とを有する。

[0026] 絶縁基板１２１は例えばセラミックス基板である。絶縁基板１２１の材料の例は、ＡｌＮ、ＳｉＮ及びAl_2O_3を含む。絶縁基板１２１の厚さ方向において上方又は下方から見た形状は限定されないが、例えば矩形及び正方形が挙げられる。

[0027] 第１導電パターン１２２ａ、第２導電パターン１２２ｂ、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄは、例えば銅からなる導電層である。第１導電パターン１２２ａ、第２導電パターン１２２ｂ、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄは、電極として機能する。

[0028] 図２及び図５に示されるように、第１導電パターン１２２ａは、第２導電パターン１２２ｂと離間して配置され且つ絶縁されており、図１及び図２に示されるように、第３導電パターン１２２ｃは、第４導電パターン１２２ｄと離間して配置され且つ絶縁されている。図５に示されるように、本実施形態において、第１導電パターン１２２ａは、絶縁基板１２１の縁部１２１ｃ近傍において、縁部１２１ｄ寄りに配置されている。第２導電パターン１２２ｂの主要部は、絶縁基板１２１の縁部１２１ｅ側に配置されており、第２導電パターン１２２ｂの一部は、第１導電パターン１２２ａに対して縁部１２１ｆ側の側方且つ縁部１２１ｃ近傍まで延在している。同様に、図１に示されるように、第３導電パターン１２２ｃは、絶縁基板１２１の縁部１２１ｃ近傍において、縁部１２１ｄ寄りに配置されている。第４導電パターン１２２ｄの主要部は、絶縁基板１２１の縁部１２１ｅ側に配置されており、第４導電パターン１２２ｄの一部は、第３導電パターン１２２ｃに対して縁部１２１ｆ側の側方且つ縁部１２１ｃ近傍まで延在している。

[0029] 第１導電パターン１２２ａと第３導電パターン１２２ｃとは電気的に接続されており、第２導電パターン１２２ｂと第４導電パターン１２２ｄとは電気的に接続されている。第１導電パターン１２２ａと第３導電パターン１２

２ｃとの電気的接続は、例えば、図２に示したように、絶縁基板１２１を厚さ方向に貫通する貫通孔内に導電材料が充填されてなる少なくとも一つのビアＢ１を用いて行われ得る。同様に、第２導電パターン１２２ｂと第４導電パターン１２２ｄとの電気的接続は、例えば、図２及び図３に示したように、少なくとも一つのビアＢ２を用いて行われ得る。ビアＢ１を構成する導電材料は、第１導電パターン１２２ａ又は第３導電パターン１２２ｃの材料とおなじであってもよいし、異なっていてもよい。同様に、ビアＢ２を構成する導電材料は、第２導電パターン１２２ｂ又は第４導電パターン１２２ｄの材料と同じであってもよいし、異なっていてもよい。

[0030] 第１導電パターン１２２ａと第３導電パターン１２２ｃとの電気的接続及び第２導電パターン１２２ｂと第４導電パターン１２２ｄとの電気的接続はビアＢ１及びビアＢ２を用いた形態に限定されず、例えば、側面メタライズ、ハーフビアなどを利用して実施してもよい。

[0031] 回路ユニット１０において、トランジスタＴｒ及びダイオードＤｉは、ドレイン電極パッドＤＰとダイオードＤｉのカソードＣＰとが導電板１１の表面１１ａと対向し、且つ、トランジスタＴｒのソース電極パッドＳＰ及びゲート電極パッドＧＰとダイオードＤｉのアノードＡＰと、絶縁基板１２１の裏面１２１ａとが対向した状態で、導電板１１と回路基板１２との間に配置されている。

[0032] そして、トランジスタＴｒのドレイン電極パッドＤＰは導電板１１の表面１１ａに電気的に接続されており、ゲート電極パッドＧＰは、第１導電パターン１２２ａに電気的に接続されており、ソース電極パッドＳＰは第２導電パターン１２２ｂに電気的に接続されている。ダイオードＤｉのカソードＣＰは導電板１１の表面１１ａに電気的に接続されており、ダイオードＤｉのアノードＡＰは、第２導電パターン１２２ｂに電気的に接続されている。トランジスタＴｒ及びダイオードＤｉと導電板１１及び回路基板１２との上記電気的接続は、例えば半田といった導電性接合材で行い得る。これにより、トランジスタＴｒ及びダイオードＤｉは、導電板１１と回路基板１２に固定

されている。

[0033] 上記構成において、回路ユニット１０は、トランジスタＴｒにダイオードＤｉが逆並列接続されてなる並列回路である。回路ユニット１０において、導電板１１は、ドレイン電極パッドＤＰ（及びカソードＣＰ）への電力供給のための電極（電極端子）として機能し、第３導電パターン１２２ｃは、ゲート電極パッドＧＰへの制御信号供給のための電極（電極端子）として機能し、第４導電パターン１２２ｄは、ソース電極パッドＳＰ（及びアノードＡＰ）への電力供給のための電極（電極端子）として機能する。

[0034] 裏面１２１ａにおける第１導電パターン１２２ａ及び第２導電パターン１２２ｂの配置及び形状は、表面１２１ｂにおける第３導電パターン１２２ｃ及び第４導電パターン１２２ｄの形状及び配置と同じでなくてもよい。第１導電パターン１２２ａ及び第２導電パターン１２２ｂの配置及び形状は、トランジスタＴｒ及びダイオードＤｉと回路基板１２との上記接続関係が実現し得る配置及び形状であればよい。第３導電パターン１２２ｃ及び第４導電パターン１２２ｄの形状及び配置は、回路ユニット１０を利用して半導体モジュールを構成する際の電気的接続の容易性を考慮して設計されていればよい。

[0035] 次に、図６～図９を主に利用してＮ個（Ｎは２以上の整数）の回路ユニット１０を備える半導体モジュール１について説明する。半導体モジュール１は、インバータ回路といった電力変換回路として機能し、複数の回路ユニット１０は、電力変換回路における上アーム側の回路ユニットと下アーム側の回路ユニットを含む。以下の説明において、Ｎ個の回路ユニット１０のうち電力変換回路における上アーム側の回路ユニットを第１回路ユニット１０Ａと称し、下アーム側の回路ユニットを第２回路ユニット１０Ｂと称す。図７では、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂが有する回路基板１２を模式的に簡略化して図示している。

[0036] 半導体モジュール１は、回路基板２０と、ｎ個（ｎは、１以上且つ（Ｎ－１）以下の整数）第１回路ユニット１０Ａと、（Ｎ－ｎ）個の第２回路ユニ

ット１０Ｂと、導電板（第１板状部材）３０とを備える。図６では、Ｎ＝６であり、ｎ＝３の場合を例示している。以下では、ｎが２以上の場合について説明する。よって、ｎ個の第１回路ユニット１０Ａを複数の第１回路ユニット１０Ａを称し、（Ｎ－ｎ）個の第２回路ユニット１０Ｂを複数の第２回路ユニット１０Ｂを称する場合もある。

[0037] 半導体モジュール１は、少なくとも一つのサージ電圧吸収素子５０を備えてもよい。更に、半導体モジュール１は、回路基板２０及び回路基板２０上に実装される第１回路ユニット１０Ａ，第２回路ユニット１０Ｂなどを収容するケースＣを備えてもよい。以下では、断らない限り、半導体モジュール１が、３つのサージ電圧吸収素子５０と、ケースＣとを備えた形態について説明する。

[0038] 図６では、ケースＣを一点鎖線で模式的に示している。図７～図９では、ケースＣ及び導線などの図示を省略している。ケースＣは、例えば樹脂から構成されてもよい。ケースＣは、回路基板２０が搭載される放熱板を底板とし、その底板と、回路基板２０等を覆う樹脂性のカバーとから構成されてもよい。ケースＣ内に収容された回路基板２０上の構造（第１回路ユニット１０Ａ、第２回路ユニット１０Ｂなど）は、例えばシリコーンゲルで埋設されている。

[0039] 回路基板２０は、絶縁基板２１を有し、絶縁基板２１の表面２１ａ上には、Ｐパッド２２、Ｎパッド２３、Ｏパッド２４、第１制御信号用パッド２５及び第２制御信号用パッド２６が形成されている。表面２１ａ上には、補助パッド２７が形成されていてもよい。断らない限り、補助パッド２７が形成された形態を説明する。

[0040] 絶縁基板２１は例えばセラミックス基板である。絶縁基板２１の材料の例は、ＡｌＮ、ＳｉＮ及びAl_2O_3を含む。絶縁基板２１の厚さ方向から見た形状は限定されないが、例えば矩形及び正方形が挙げられる。絶縁基板２１の裏面（第１回路ユニット１０Ａ、第２回路ユニット１０Ｂなどが搭載される面と反対側）には、銅などからなる放熱層が形成されてもよい。

[0041] Ｐパッド（第１入力用配線パターン）２２は、第１ユニット搭載領域２２１と、外部接続領域２２２とを有し、例えば銅からなる導電層である。第１ユニット搭載領域２２１は、複数の第１回路ユニット１０Ａが搭載される領域である。外部接続領域２２２は、第１ユニット搭載領域２２１から連続して形成されており、正電圧用端子４１の一端が接続される領域である。正電圧用端子４１の他端は、ケースＣ外部に引き出されている。

[0042] Ｎパッド（第２入力用配線パターン）２３は、第２ユニット搭載領域２３１と、第１外部接続領域２３２と、第２外部接続領域２３３とを有し、例えば銅からなる導電層である。第２ユニット搭載領域２３１は、複数の第２回路ユニット１０Ｂが搭載される領域である。第１外部接続領域２３２は、第２ユニット搭載領域２３１から連続して形成されており、負電圧用端子４２の一端が接続される領域である。第２外部接続領域２３３は、第２ユニット搭載領域２３１から連続して形成されており、第２補助端子４３の一端が接続される領域である。本実施形態において、第２外部接続領域２３３は、第２ユニット搭載領域２３１に対して第１外部接続領域２３２と反対側に配置されている。負電圧用端子４２及び第２補助端子４３の他端は、ケースＣ外部に引き出されている。

[0043] Ｎパッド２３は、Ｐパッド２２と対向するように隣接配置されている。具体的には、Ｎパッド２３は、Ｎパッド２３の縁部（対向縁部）２３ａが、Ｐパッド２２の縁部（対向縁部）２２ａと対向し且つ平行の状態で配置されている。

[0044] Ｏパッド（出力用配線パターン）２４は、出力端子４４の一端が接続されるパッドであり、例えば銅からなる導電層である。本実施形態において、Ｏパッド２４は、Ｐパッド２２において、第１ユニット搭載領域２２１に対して外部接続領域２２２と反対側で且つ第２外部接続領域２３３の側方に配置されている。出力端子４４の他端は、ケースＣ外部に引き出されている。

[0045] 第１制御信号用パッド（第１制御用配線パターン）２５は、第１制御端子４５の一端が接続されるパッドであり、例えば銅からなる導電層である。本

実施形態において、第１制御信号用パッド２５は、外部接続領域２２２の側方に配置されている。第１制御端子４５の他端は、ケースＣ外部に引き出されている。

[0046] 第２制御信号用パッド（第２制御用配線パターン）２６は、第２制御端子４６の一端が接続されるパッドであり、例えば銅からなる導電層である。本実施形態において、第２制御信号用パッド２６は、第２外部接続領域２３３に対してＯパッド２４と反対側において、第２外部接続領域２３３の側方に配置されている。第２制御端子４６の他端は、ケースＣ外部に引き出されている。

[0047] 補助パッド２７は、第１補助端子４７の一端が接続されるパッドであり、例えば銅からなる導電層である。本実施形態において、補助パッド２７は、第１制御信号用パッド２５と外部接続領域２２２の間に配置されている。第１補助端子４７の他端は、ケースＣ外部に引き出されている。

[0048] 絶縁基板２１の表面２１ａ上に形成されている上述したパッド（Ｐパッド２２，Ｎパッド２３、Ｏパッド２４など）の形状及び配置は、図６～図８に例示した形態に限定されず、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂなどの搭載容易性及び配線容易性などを考慮して適宜設定されていればよい。

[0049] 複数の第１回路ユニット１０Ａは互いに離間して配置されている。第１回路ユニット１０Ａは、導電板１１において、トランジスタＴｒなどが搭載される側の反対側の面である裏面１１ｂが、Ｐパッド２２の第１ユニット搭載領域２２１と対向し且つ第１ユニット搭載領域２２１に電気的に接続されるように、回路基板２０上に搭載されている（図７～図９参照）。導電板１１は、例えば半田などの導電性接合材を介して、第１ユニット搭載領域２２１に固定され得る。

[0050] この構成では、図８に示したように、第１回路ユニット１０Ａの第３導電パターン１２２ｃ及び第４導電パターン１２２ｄは、第１回路ユニット１０Ａからみて回路基板２０と反対側に配置される。第１回路ユニット１０Ａの

第３導電パターン１２２ｃは、図６に示したように、第１導線Ｗ１により第１制御信号用パッド２５と接続される。第１導線Ｗ１としては、例えばワイヤ、リボンなどが挙げられる。第１回路ユニット１０Ａの第４導電パターン１２２ｄは、第２導線Ｗ２により補助パッド２７に接続されている。第１導線Ｗ１及び第２導線Ｗ２は、接続部材の一例であり、第３導電パターン１２２ｃと第１制御信号用パッド、及び第４導線パターン１２２ｄと補助パッド２７とを電気的に接続可能であれば、種々の接続部材又は配線部材を用いることができる。

[0051] 第１回路ユニット１０Ａの導電板１１が、Ｐパッド２２と電気的に接続されており、導電板１１にトランジスタＴｒのドレイン電極パッドＤＰ及びダイオードＤｉのカソードＣＰが電気的に接続されている。よって、正電圧用端子４１を介して、第１回路ユニット１０Ａが有するトランジスタＴｒのドレイン電極パッドＤＰ及びダイオードＤｉのカソードＣＰに正電圧が入力され得る。

[0052] 第１回路ユニット１０Ａの第３導電パターン１２２ｃが、第１導線Ｗ１を介して第１制御信号用パッド２５と電気的に接続されており、図２で説明したように、第３導電パターン１２２ｃは、第１導電パターン１２２ａに電気的に接続されているため、第１制御端子４５を介して、第１回路ユニット１０Ａが有するトランジスタＴｒのゲート電極パッドＧＰに制御信号が入力され得る。第１回路ユニット１０Ａの第４導電パターン１２２ｄは、第２導線Ｗ２により補助パッド２７に接続されていることにより、第１回路ユニット１０Ａが有するトランジスタＴｒのソース電極パッドＳＰの電位を、第１補助端子４７を介して取り出し得る。第１補助端子４７を介して取り出された電位は、例えば第１回路ユニット１０Ａが有するトランジスタＴｒの制御信号の生成に利用され得る。

[0053] 第２回路ユニット１０Ｂは、回路基板１２が回路基板２０と対向した状態で、回路基板２０に搭載されている。具体的には、第２回路ユニット１０Ｂは、図９に示したように、第２回路ユニット１０Ｂの第３導電パターン１２

２ｃが、第２制御信号用パッド２６と対向し且つ第２制御信号用パッド２６に電気的に接続されるとともに、第４導電パターン１２２ｄが、Ｎパッド２３の第２ユニット搭載領域２３１と対向し且つ第２ユニット搭載領域２３１に電気的に接続されるように、回路基板２０に搭載されている。よって、第２制御信号用パッド２６及びＮパッド２３は上記接続が可能なような形状で形成されていればよい。例えば、Ｎパッド２３が切欠き部を有し、その切欠き部に第２制御信号用パッド２６の一部がＮパッド２３と隙間を空けて配置されるように、Ｎパッド２３及び第２制御信号用パッド２６が形成され得る。

[0054] 第２回路ユニット１０Ｂの第３導電パターン１２２ｃと第２制御信号用パッド２６とは、例えばフリップチップボンドにより接続される。第２回路ユニット１０Ｂの第４導電パターン１２２ｄと、第２ユニット搭載領域２３１とは、例えば半田といった導電性接合材を介して固定され得る。このような第２回路ユニット１０Ｂの搭載状態では、第２回路ユニット１０Ｂの導電板１１は、図７及び図８に示したように、回路基板２０と反対側に位置する。

[0055] 第２回路ユニット１０Ｂの第３導電パターン１２２ｃが第２制御信号用パッド２６と電気的に接続されており、図２で説明したように、第３導電パターン１２２ｃが、トランジスタＴｒのゲート電極パッドＧＰに電気的に接続されている。よって、第２制御端子４６を介して第２回路ユニット１０Ｂが有するトランジスタＴｒのゲート電極パッドＧＰに制御信号が入力され得る。

[0056] 第２回路ユニット１０Ｂの第４導電パターン１２２ｄとＮパッド２３とが電気的に接続されており、図３で説明したように、第４導電パターン１２２ｄが、トランジスタＴｒのソース電極パッドＳＰ及びダイオードＤｉのアノードＡＰに電気的に接続されている。よって、負電圧用端子４２を介して、第２回路ユニット１０Ｂが有するトランジスタＴｒのソース電極パッドＳＰ及びダイオードＤｉのアノードＡＰに負電圧が入力され得るとともに、第２補助端子４３を介して第２回路ユニット１０Ｂが有するトランジスタＴｒの

ソース電極パッドＳＰの電位を取り出し得る。第２補助端子４３を介して取り出された電位は、例えば第２回路ユニット１０Ｂが有するトランジスタＴｒの制御信号の生成に利用され得る。

[0057] サージ電圧吸収素子５０は、サージ電圧を吸収するための素子である。サージ電圧吸収素子５０の例はコンデンサであり、サージ電圧吸収用コンデンサの例はセラミックコンデンサである。サージ吸収用コンデンサの容量は、想定されるサージ電圧を吸収可能な容量であればよい。

[0058] 図６～図８に示したように、サージ電圧吸収素子５０は、Ｐパッド２２の縁部２２ａ及びＮパッド２３の縁部２３ａを接続している。具体的には、サージ電圧吸収素子５０の一端は、縁部２２ａのうち第１ユニット搭載領域２２１の部分に接続され、他端は、縁部２３ａのうち第２ユニット搭載領域２３１の部分に接続されている。複数のサージ電圧吸収素子５０は、縁部２２ａ（縁部２３ａ）の延在方向において離散的に配置されている。

[0059] 導電板３０は、回路基板２０と導電板３０とにより、複数の第１回路ユニット１０Ａ及び複数の第２回路ユニット１０Ｂを挟むように、複数の第１回路ユニット１０Ａ及び複数の第２回路ユニット１０Ｂ上に設けられている。導電板３０は、導電材料からなる板状部材であればよく、例えば金属板である。導電板３０の材料としては、例えば銅が挙げられる。導電板３０は、導電材料からなるため、導電板３０の表面３０ａは導電領域（表面側導電領域）であり、裏面３０ｂも導電領域（裏面側導電領域）であり導電領域である表面３０ａ及び裏面３０ｂは電気的に接続されている。

[0060] 図６に示したように、導電板３０は、複数の第１回路ユニット１０Ａの第３導電パターン１２２ｃ及び第４導電パターン１２２ｄを、第１制御信号用パッド２５及び補助パッド２７に第１導線Ｗ１及び第２導線Ｗ２によって接続するために切欠き部３１を有する。図６では、例えば、平面視矩形の導電板の角部を含む領域が切り欠かれた形態を例示している。この切欠き部３１により、第３導電パターン１２２ｃの一部及び第４導電パターン１２２ｄが導電板３０で覆われずに露出するので、第３導電パターン１２２ｃ及び第４

導電パターン１２２ｄを、第１制御信号用パッド２５及び補助パッド２７に接続できる。

[0061] 導電板３０は、切欠き部３１から第１回路ユニット１０Ａの第３導電パターン１２２ｃの一部及び第４導電パターン１２２ｄが露出するように、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂ上に配置されている。

[0062] 導電板３０は、第１回路ユニット１０Ａの第４導電パターン１２２ｄ及び第２回路ユニット１０Ｂの導電板１１と例えば半田といった導電性接合材で固定され、電気的に接続されている。換言すれば、第１回路ユニット１０Ａの第４導電パターン１２２ｄ及び第２回路ユニット１０Ｂの導電板１１は、導電板３０を介して電気的に接続されている。

[0063] 導電板３０は、第３導線Ｗ３により、Ｏパッド２４に接続されている。第３導線Ｗ３としては、例えばワイヤ、リボンなどが挙げられる。導電板３０とＯパッド２４間には、大きな電流が流れやすいので、第３導線Ｗ３が例えばワイヤである場合、複数本のワイヤで導電板３０とＯパッド２４とが接続されていてもよいし、小さな銅板で接続してもよい。このように、第３導線Ｗ３は接続部材の一例であり、導電板３０とＯパッド２４とを電気的に接続できる限り、種々の接続部材又は配線部材を用いることができる。

[0064] 上記構成では、複数の第１回路ユニット１０Ａは並列接続され、複数の第２回路ユニット１０Ｂは並列接続されている。更に、並列接続された第１回路ユニット１０Ａ及び並列接続された第２回路ユニット１０Ｂは、電気的に直列接続されている。そして、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂそれぞれは、トランジスタＴｒと、トランジスタＴｒに逆並列接続されたダイオードＤｉとの並列回路である。したがって、半導体モジュール１は、図１０に示した半導体モジュール１の等価回路のように電力変換回路２として機能する。図１０に示した電力変換回路２は、単相インバータ回路であり、この場合、半導体モジュール１は、例えば２ｉｎ１タイプの半導体モジュールである。図１０では、半導体モジュール１の要素と対応する要素には同じ符号を付している。

[0065] 半導体モジュール１では、第１回路ユニット１０Ａの導電板１１が、Ｐパッド２２に電気的に接続され、第２回路ユニット１０Ｂの第４導電パターン１２２ｄが、Ｎパッド２３に電気的に接続されている。したがって、正電圧用端子４１及び負電圧用端子４２により、正電圧用端子４１及び負電圧用端子４２間に電気的に直列接続された第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂに電力を供給可能である。

[0066] 更に、第１回路ユニット１０Ａの第３導電パターン１２２ｃ及び第２回路ユニット１０Ｂの第３導電パターン１２２ｃはそれぞれ第１制御端子４５及び第２制御端子４６に電気的に接続されているので、第１制御端子４５及び第２制御端子４６を介して第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂそれぞれが有するトランジスタＴｒのゲート電極パッドＧＰに制御信号を供給できる。

[0067] よって、半導体モジュール１では、第１回路ユニット１０Ａのトランジスタ Ｔｒ及び第２回路ユニット１０Ｂのトランジスタ Ｔｒを交互にオン／オフ動作させることで、正電圧用端子４１及び負電圧用端子４２の間に印加される直流電圧を、交流電圧に変換できる。導電板３０が、第３導線Ｗ３によってＯパッド２４に接続されていることから、変換された交流電圧は、出力端子４４を介して取り出され得る。

[0068] 半導体モジュール１では、ｎ個の第１回路ユニット１０Ａ及び（Ｎ－ｎ）個の第２回路ユニット１０ＢとしてのＮ個の回路ユニット１０を備えており、各回路ユニット１０それぞれは、トランジスタＴｒとダイオードＤｉとの並列回路を構成している。したがって、回路ユニット１０単位でトランジスタＴｒとダイオードＤｉの並列回路の検査を実施できる。よって、複数の回路ユニット１０を回路基板２０に実装する前又は実装した後において各回路ユニット１０を中間検査することで、例えば実装不良が生じていない回路ユニット１０のみを実装すること、又は、実装不良が生じた回路ユニット１０を取り替えることが可能である。その結果、例えば、複数のトランジスタＴｒ及び複数のダイオードＤｉを回路基板２０に直接実装し、その後に検査す

る場合に比べて、半導体モジュール１全体としての製造歩留まりが向上する。

[0069] 第２回路ユニット１０Ｂは、回路基板１２が回路基板２０と対向した状態で回路基板２０に搭載される。その際、第３導電パターン１２２ｃが第２制御信号用パッド２６に対向し且つ電気的に接続され、且つ、第４導電パターン１２２ｄがＮパッド２３の第２ユニット搭載領域２３１に対向し且つ電気的に接続されている。このような配置及び電気的接続関係により、第２回路ユニット１０Ｂが有するトランジスタＴｒのゲート電極パッドＧＰが第２制御信号用パッド２６に電気的に接続され、ソース電極パッドＳＰがＮパッド２３に電気的に接続される。

[0070] 第２回路ユニット１０Ｂが有するトランジスタＴｒのゲート電極パッドＧＰ及びソース電極パッドＳＰが短絡しないようにするために、第２回路ユニット１０Ｂを回路基板２０に搭載する際に、第２制御信号用パッド２６及びＮパッド２３との位置合わせに一定の精度が要求される。

[0071] 第２回路ユニット１０Ｂの構成では、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄは、第１導電パターン１２２ａ及び第２導電パターン１２２ｂを介してゲート電極パッドＧＰ及びソース電極パッドＳＰに電気的に接続されていることから、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄの配置及び形状は、トランジスタＴｒにおけるゲート電極パッドＧＰ及びソース電極パッドＳＰの位置に依存しない。よって、第２回路ユニット１０Ｂの構成では、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄを、回路基板２０への搭載容易性を考慮して決定できる。したがって、回路基板１２を回路基板２０に対向させた状態で、第２回路ユニット１０Ｂを回路基板２０に搭載する際の位置合わせ精度の要求を例えばトランジスタＴｒを直接回路基板２０に実装する場合に比べて低減でき、第２回路ユニット１０Ｂを回路基板２０に搭載し易い。

[0072] 正電圧用端子４１及び負電圧用端子４２間に、直列接続された第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂを含む電力変換回路２では、第１

回路ユニット１０Ａのトランジスタ Ｔｒ及び第２回路ユニット１０Ｂのトランジスタ Ｔｒをターンオン又はターンオフしたときに、サージ電圧が生じる。

[0073] 半導体モジュール１がサージ電圧吸収素子５０を有する形態では、Ｐパッド２２の第１ユニット搭載領域２２１及びＮパッド２３の第２ユニット搭載領域２３１が，サージ電圧吸収素子５０で接続されている。したがって、サージ電圧吸収素子５０は、図１０に示したように、正電圧用端子４１と負電圧用端子４２との間に電気的に直列接続されている第１回路ユニット１０Ａと第２回路ユニット１０Ｂに対して電気的に並列接続されている。そのため、半導体モジュール１の構成では、サージ電圧吸収素子５０によって、上記サージ電圧を吸収できる。

[0074] サージ電圧の大きさは、電流をｉとし、インダクタンスをＬとしたとき、Ｌ×ｄｉ／ｄｔで定まる。サージ電圧の大きさを規定するインダクタンスには、電流ｉが流れる経路の配線インダクタンスも含まれる。ｄｉ／ｄｔは、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂが有するトランジスタ Ｔｒのスイッチング速度に依存する。スイッチング速度は高速化が図られてきているので、ｄｉ／ｄｔは大きくなる傾向にある。特に、トランジスタ Ｔｒの材料にワイドバンドギャップ半導体を使用している場合、スイッチング速度がＳｉの場合に比べて速いことから、ｄｉ／ｄｔが大きくなりやすい。よって、サージ電圧を効果的に抑制するには、サージ電圧吸収素子５０を、トランジスタ Ｔｒを有する第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂに対し、物理的に近くに配置して、インダクタンスＬに含まれる配線インダクタンスを小さくすることが重要である。

[0075] 半導体モジュール１では、下アーム側の第２回路ユニット１０Ｂは、上アーム側の第１回路ユニット１０Ａに対して上下反転させて回路基板２０に搭載されている。そのため、第１回路ユニット１０ＡをＰパッド２２上に搭載するとともに、第２回路ユニット１０ＢをＮパッド２３上に搭載しながら、導電板３０を介して第２回路ユニット１０Ｂの導電板１１と、第１回路ユニ

ット１０Ａの第２導電パターン１２２ｂとを電気的に接続することで、第１回路ユニット１０Ａと第２回路ユニット１０Ｂとを直列接続している。

[0076] このように、半導体モジュール１の構成では、サージ電圧吸収素子５０が接続するＰパッド２２及びＮパッド２３に第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂを搭載できている。これにより、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂが有するトランジスタＴｒを、サージ電圧吸収素子５０に対して近くに配置できているので、サージ電圧吸収素子５０と、トランジスタＴｒとの間の電流経路の配線インダクタンスを低減可能である。その結果、サージ電圧が効率的に抑制されるので、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂの直列回路において、第１回路ユニット１０Ａが有するトランジスタＴｒのドレイン電極パッドＤＰと第２回路ユニット１０Ｂが有するトランジスタＴｒのソース電極パッドＳＰとに印加される直流電圧を安定化可能である。

[0077] 半導体モジュール１では、回路基板２０に対して第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂを挟むように配置された導電板３０を介して第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂを直列接続している。そのため、絶縁基板２１上のパッド（例えばＰパッド２２、Ｎパッド２３及びＯパッド２４）の形状、配置などの設計自由度が向上する。

[0078] 例えば、図６～図８に示したように、Ｐパッド２２及びＮパッド２３を、少なくともＰパッド２２の第１ユニット搭載領域２２１とＮパッド２３の第２ユニット搭載領域２３１とが対向し、対向する縁部２２ａ及び縁部２３ａが平行になるように形成できる。この場合、縁部２２ａと縁部２３ｂとを接続するようにサージ電圧吸収素子５０を配置できる。その結果、縁部２２ａ（又は縁部２３ｂ）の延在方向に直交する方向において、第１回路ユニット１０Ａと第２回路ユニット１０Ｂの間にサージ電圧吸収素子５０が配置されるので、サージ電圧吸収素子５０と、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂが有するトランジスタＴｒとの間の電流経路がより短くなり、インダクタンスの影響を一層低減できる。更に、Ｐパッド２２及びＮパッ

ド２３を近づけて配置できるので、半導体モジュール１を小型化可能である。

[0079] 絶縁基板２１上の例えばＰパッド２２、Ｎパッド２３及びＯパッド２４の設計自由度が向上することで、例えば、Ｏパッド２４の配置の自由度も向上する。よって、半導体モジュール１の設計が容易である。

[0080] 半導体モジュール１では、第２回路ユニット１０Ｂを、第１回路ユニット１０Ａに対して、上下反転させて回路基板２０に搭載している。そのため、回路基板２０に対して対向配置された一枚の導電板３０によって、第１回路ユニット１０Ａが有するトランジスタＴｒのソース電極パッドＳＰ及び第２回路ユニット１０Ｂが有するトランジスタＴｒのドレイン電極パッドＤＰの電気的な接続が可能である。したがって、ＰパッドとＮパッドとをサージ電圧吸収素子５０で接続してサージ電圧が抑制された半導体モジュール１を低コストで製造可能である。

[0081] 導電板３０が切欠き部３１を有することから、回路基板２０と、導電板３０とで第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂを挟むように、導電板３０を配置しても、第１回路ユニット１０Ａの第３導電パターン１２２ｃと、第４導電パターン１２２ｄの一部が導電板３０から確実に露出するので、第３導電パターン１２２ｃを第１制御信号用パッド２５に第１導線Ｗ１で容易に接続可能であるとともに、第４導電パターン１２２ｄを、補助パッド２７に第２導線Ｗ２で容易に接続可能である。

[0082] 以上、本開示の実施形態及びその変形例について説明したが、本開示は、これまで説明した種々の形態に限定されるものではなく、本開示の趣旨を逸脱しない範囲で種々の変更が可能である。

[0083] 例えば、回路ユニット１０では、回路基板１２及び導電板１１の少なくとも一方に、トランジスタＴｒの固定位置（実装位置）を確認するための位置確認用孔部が形成されていてもよい。図１１を利用して説明する。図１１では、回路基板１２にトランジスタＴｒの固定位置（実装位置）を確認するための位置確認用孔部１２３ａ及びダイオードＤｉの固定位置（実装位置）を

確認するための位置確認用孔部１２３ａが形成されている形態を例示している。

[0084] 位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂは回路基板１２を貫通する貫通孔である。位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂの回路基板１２の厚さ方向からみた形状が円形である場合、位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂの直径の例は２ｍｍ以下である。

[0085] 回路基板１２が上記位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂを有する形態では、例えば、導電板１１にトランジスタＴｒ及びダイオードＤｉを実装した後に、トランジスタＴｒ及びダイオードＤｉに回路基板１２を固定する際、又は、導電板１１、トランジスタＴｒ、ダイオードＤｉ及び回路基板１２を同時に接合する際において、回路基板１２と、トランジスタＴｒ及びダイオードＤｉとの位置合わせが容易である。

[0086] 位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂは、例えば寸胴孔ではなく、回路基板１２において、絶縁基板１２１の表面１２１ｂ側の径がより大きい形状（例えばすり鉢状）を有してもよい。これにより、位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂを通してトランジスタＴｒ及びダイオードＤｉを視認性が向上する。位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂは、直線状の切欠きでもよい。

[0087] 図１１に示したように、位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂの形成位置は、トランジスタＴｒ及びダイオードＤｉの配置位置におけるそれらの角部に限定されない。ただし、トランジスタＴｒ及びダイオードＤｉの角部が視認可能に形成しておくと、位置合わせがし易い。

[0088] 回路基板１２に位置確認用孔部を形成する形態では、図１１に示したように、位置確認用孔部１２３ａ及び位置確認用孔部１２３ｂの両方を回路基板１２に形成する必要はない。トランジスタＴｒにおけるゲート電極パッドＧＰ及びソース電極パッドＳＰと、第１導電パターン１２２ａ及び第２導電パターン１２２ｂとの位置合わせが、ダイオードＤｉのアノードＡＰと第２導電パターン１２２ｂとの位置合わせより困難であるとともに、位置合わせの

精度が要求される。よって、回路基板１２に位置確認用孔部を形成する形態では、位置確認用孔部１２３ａが形成されていればよい。位置確認用孔部１２３ａは、例えば２箇所以上設けられていることが、トランジスタＴｒの位置合わせのために好ましい。位置確認用孔部１２３ｂについても同様である。

[0089] 図１１では、回路基板１２に位置確認用孔部が形成されている例を示しているが、導電板１１に位置確認用孔部が形成されていてもよい。位置確認用孔部の形状、配置などは、回路基板１２の場合と同様である。

[0090] 回路基板（第１回路基板）２０は、出力用配線パターンを有しなくてもよい。この場合、例えば、導電板３０に出力端子４４の一端を直接接続すればよい。

[0091] 第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂは、導電板１１、トランジスタＴｒ、ダイオードＤｉ及び回路基板１２が例示したような配置状態及び接続関係を実現できれば、トランジスタＴｒ及びダイオードＤｉ間の距離及び導電板１１（又は回路基板１２）に対する配置位置、並びに、第１導電パターン１２２ａ、第２導電パターン１２２ｂ、第３導電パターン１２２ｃ及び第４導電パターン１２２ｄの配置及び形状などは、第１回路ユニット１０Ａと第２回路ユニット１０Ｂとで異なっていてもよい。

[0092] 図６～図９では、Ｐパッド２２に３つの第１回路ユニット１０Ａ及びＮパッド２３に３つの第２回路ユニット１０Ｂが搭載された形態を例示した。しかしながら、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂのそれぞれの数は、１つでもよいし、４つ以上でもよい。第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂの数は、異なっていてもよい。

[0093] 回路ユニットが有する第２板状部材の例は導電板に限らず、互いに電気的に接続された表面側導電領域及び裏面側導電領域を有する第２板状部材であればよい。例えば、第２板状部材は、絶縁基板の表面に導電層（第２表面側導電領域）及び裏面に導電層（第２裏面側導電領域）が形成されるとともに、表面及び裏面の導電層が例えばビア、側面メタライズなどにより電気的に

接続された構成を有してもよい。同様に、半導体モジュールが有する第１板状部材の例も導電板に限らない。第１回路基板上に配置される複数の回路ユニットを電気的に接続可能なように、裏面側導電領域を有する板状部材であればよい。例えば、第１板状部材は、絶縁基板の裏面（第１回路ユニット側の面）に導電層（裏面側導電領域）が形成された構成を有してもよい。第１板状部材は、裏面側導電領域と電気的に接続された表面側導電領域を有する部材であってもよい。例えば、第１板状部材は、絶縁基板の裏面（第１回路ユニット側の面）に導電層（裏面側導電領域）が形成されるとともに、上記絶縁基板の表面に導電層（表面側導電領域）が形成されており、絶縁基板の表面及び裏面の上記導電層が電気的に接続された構成を有してもよい。第１板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、第１回路基板が出力用配線パターンを有する形態では、例えば表面側導電領域と出力用配線パターンを電気的に接続することによって、裏面側導電領域と出力用配線パターンとを電気的に接続し得る。第１板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、第１回路基板が出力用配線パターンを有しない形態では、例えば表面側導電領域に出力端子の一端を直接接続することによって、裏面側導電領域と出力端子とを電気的に接続してもよい。

[0094] 上記実施形態では、サージ電圧吸収素子として、コンデンサを例示した。しかしながら、サージ電圧吸収素子は、サージ電圧を吸収可能な素子であればよい。例えば、コンデンサと抵抗とが組み合されたＲＣ回路（又はＲＣスナバ素子）でもよい。サージ電圧吸収素子は、Ｐパッド２２及びＮパッド２３を接続するように配置されていれば、図６～図８に示した配置状態に限定されない。更に、回路ユニットを含む半導体モジュールは、サージ電圧吸収素子を備えなくてもよい。

[0095] また、例えば、導電板３０のサージ電圧吸収素子５０を覆う位置に、開口部を形成する構成としてもよい。

[0096] 図１２では、導体板３０のサージ電圧吸収素子５０を覆う位置に開口部３

２を設けた形態の半導体モジュール１を例示している。このように、導電板３０の、最も内側に配置された第１回路ユニット１０Ａの縁部２２ａと第２回路ユニット１０Ｂの縁部２３ａとの間に設けられたサージ電圧吸収素子５０と平面視にて重なる部分を含む領域に、開口部３２を形成してもよい。導電板３０のサージ電圧吸収素子５０と平面視にて重なる領域にかかる開口部３２を設けることにより、サージ電圧吸収素子５０を露出させることができ、サージ電圧吸収素子５０の発熱を放出し易くすることができる。また、第１回路ユニット１０Ａと第２回路ユニット１０Ｂとの間の領域に放熱空間を形成することができ、第１回路ユニット１０Ａ及び第２回路ユニット１０Ｂの放熱にも寄与することができる。

[0097] 図１２においては、複数のサージ電圧吸収素子５０の総てを包含する１個の開口部３２が設けられている例が示されているが、各々のサージ電圧吸収素子５０に個別に複数の開口部３２を設けるようにしてもよい。また、２個のサージ電圧吸収素子５０に対応して１個の開口部３２を設ける、というように、所定の複数個のサージ電圧吸収素子５０に対して１個の開口部３２を設ける構成としてもよい。但し、加工の容易性、放熱効率等を考慮すると、図１２に示されるように、総てのサージ吸収電圧素子５０を包含できる大きさの開口部３２を１個形成する方が好ましい。

[0098] なお、開口部３２以外の構成要素については、図６に示した半導体モジュール１と同様であるので、対応する構成要素に同一の参照符号を付してその説明を省略する。

[0099] 図１３は、図１２のＸＩＩＩ－ＸＩＩＩ線に沿った断面構成の一部拡大図である。図１３に示されるように、導電板３０の表面３０ａと裏面３０ｂとを貫通する開口部３２が導電板３０に形成されており、サージ電圧吸収素子５０は、開口部３２から突出している。即ち、サージ電圧吸収素子５０の上面は、導電板３０の上面よりも高い位置にある。このように、平面視にて導電板３０のサージ電圧吸収素子５０に対応する位置に開口部３２を形成することにより、サージ電圧吸収素子５０の高さの制約を無くすことができ、よ

り大型のサージ電圧吸収素子５０を搭載することが可能となり、半導体モジュール１の部品選択の幅を拡大し、用途に応じて適切に半導体モジュール１を構成することができる。

[0100] また、サージ電圧吸収素子５０の上面が導電板３０から突出するため、放熱効率を更に向上させることができる。このように、導電板３０のサージ電圧吸収素子５０を覆う領域に開口部３２を設けるとともに、サージ電圧吸収素子５０が導電板３０の上面よりも突出するように構成してもよい。半導体モジュール１の設計の自由度を高めることができるとともに、放熱効率を更に向上させることができる。

[0101] 半導体モジュールは、単相インバータ回路といった単相の電力変換回路の構成に限定されず、二相又は三相の電力変換回路の構成を有してもよい。

[0102] 回路ユニットが有する回路素子としてダイオードを例示したが、回路素子は、ダイオードに限定されない。例えば、第２板状部材と第２回路基板との間に配置され、第２板状部材と第２回路基板とによって縦型トランジスタと電気的に接続される回路素子であればよい。例えば、回路素子がトランジスタであってもよい。この場合、回路素子の第１電極パッドは、トランジスタの第１主電極パッドに対応し、第２電極パッドは、第２主電極パッドに対応し、回路ユニットは、少なくとも２個のトランジスタの並列回路に対応する。

符号の説明

[0103] １…半導体モジュール、１０…回路ユニット、１０Ａ…第１回路ユニット、１０Ｂ…第２回路ユニット、１１…導電板（第２板状部材）、１１ａ…表面、１１ｂ…裏面、１２…回路基板（第２回路基板）、２０…回路基板（第１回路基板）、２１…絶縁基板（第１絶縁基板）、２２…Ｐパッド（第１入力用配線パターン）、２３…Ｎパッド（第２入力用配線パターン）、２４…Ｏパッド（出力用配線パターン）、２５…第１制御信号用パッド、３０…導電板（第１板状部材）、３１…切り欠き、３２…開口部、５０…サージ電圧吸収素子、１２１…絶縁基板（第２絶縁基板）、１２１ａ…裏面、１２１ｂ

…表面、１２２ａ…第１導電パターン、１２２ｂ…第２導電パターン、１２２ｃ…第３導電パターン、１２２ｄ…第４導電パターン、１２３ａ…位置確認用孔部、ＡＰ…アノード（第２電極パッド）、ＣＰ…カソード（第１電極パッド）、Ｄｉ…ダイオード（回路素子）、ＤＰ…ドレイン電極パッド（第１主電極パッド）、ＧＰ…ゲート電極パッド、ＳＰ…ソース電極パッド（第２主電極パッド）、Ｔｒ…トランジスタ。

請求の範囲

[請求項1] 第１絶縁基板と、前記第１絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する第１回路基板と、

第１回路基板上に搭載されるＮ個（Ｎは２以上の整数）の回路ユニットと、

Ｎ個の前記回路ユニットに対して前記第１回路基板と反対側に配置されており、裏面側導電領域を有する第１板状部材と、

を備え、

前記回路ユニットは、

互いに電気的に接続された表面側導電領域及び裏面側導電領域を有する第２板状部材と、

第１主電極パッドと、前記第１主電極パッドと反対側に形成されている第２主電極パッド及びゲート電極パッドとを有しており、前記第２板状部材の前記表面側導電領域に前記第１主電極パッドが対向し且つ電気的に接続される縦型トランジスタと、

前記縦型トランジスタに対して前記第２板状部材と反対側に配置されており、第２絶縁基板と、前記第２絶縁基板の裏面に形成されており前記ゲート電極パッドと電気的に接続される第１導電パターンと、前記第２絶縁基板の裏面に形成されており前記第２主電極パッドに電気的に接続される第２導電パターンと、前記第２絶縁基板の表面に形成されており前記第１導電パターンと電気的に接続された第３導電パターンと、前記第２絶縁基板の表面に形成されており前記第２導電パターンと電気的に接続された第４導電パターンとを有する第２回路基板と、

を有し、

Ｎ個の前記回路ユニットのうちｎ個（ｎは１以上且つ（Ｎ－１）以下の整数）の第１回路ユニットは、前記第２板状部材の前記裏面側導

電領域が前記第１入力用配線パターンと対向し且つ電気的に接続された状態で前記第１回路基板に搭載されており、

Ｎ個の前記回路ユニットのうち（Ｎ－ｎ）個の第２回路ユニットは、前記第２回路基板の前記第３導電パターンが前記第２制御用配線パターンと対向し且つ電気的に接続されるとともに、前記第２回路基板の前記第４導電パターンが前記第２入力用配線パターンと対向し且つ電気的に接続された状態で、前記第１回路基板に搭載されており、

前記第１板状部材は、ｎ個の前記第１回路ユニットが有する前記第２回路基板の前記第４導電パターンと、（Ｎ－ｎ）個の前記第２回路ユニットが有する前記第２板状部材とを前記第１板状部材の前記裏面側導電領域によって電気的に接続しており、

ｎ個の前記第１回路ユニットが有する前記縦型トランジスタの前記ゲート電極パッドは、前記第１制御用配線パターンに電気的に接続されている、

半導体モジュール。

[請求項2] 前記回路ユニットが有する前記第２回路基板及び前記第２板状部材の少なくとも一方には、前記縦型トランジスタの位置確認用孔部が形成されている、

請求項１に記載の半導体モジュール。

[請求項3] 前記回路ユニットは、前記第２板状部材と前記第２回路基板の間に配置され、前記第２板状部材と前記第２回路基板とによって、前記縦型トランジスタに電気的に接続される回路素子を更に有する、

請求項１又は請求項２に記載の半導体モジュール。

[請求項4] 前記回路素子は、

前記第２絶縁基板の前記裏面と対向し且つ前記第２導電パターンと電気的に接続される第１電極パッドと、

前記第１電極パッドと反対側に形成されており、前記第２板状部材の前記表面側導電領域と電気的に接続される第２電極パッドと、

を有する、

請求項３に記載の半導体モジュール。

[請求項5] 前記回路素子が、ダイオードであり、

前記第１電極パッドがアノードパッドであり、

前記第２電極パッドがカソードパッドである、

請求項４に記載の半導体モジュール。

[請求項6] 前記第１入力用配線パターン及び前記第２入力用配線パターンを接続しておりサージ電圧を吸収するサージ電圧吸収素子を更に備える、

請求項１から請求項５の何れか１項に記載の半導体モジュール。

[請求項7] 前記第１板状部材の前記サージ電圧吸収素子と平面視にて重なる領域に、開口部が設けられた請求項６に記載の半導体モジュール。

[請求項8] 前記サージ電圧吸収素子の前記第１絶縁基板と反対側の面は、前記第１板状部材の前記開口部から突出している請求項７に記載の半導体モジュール。

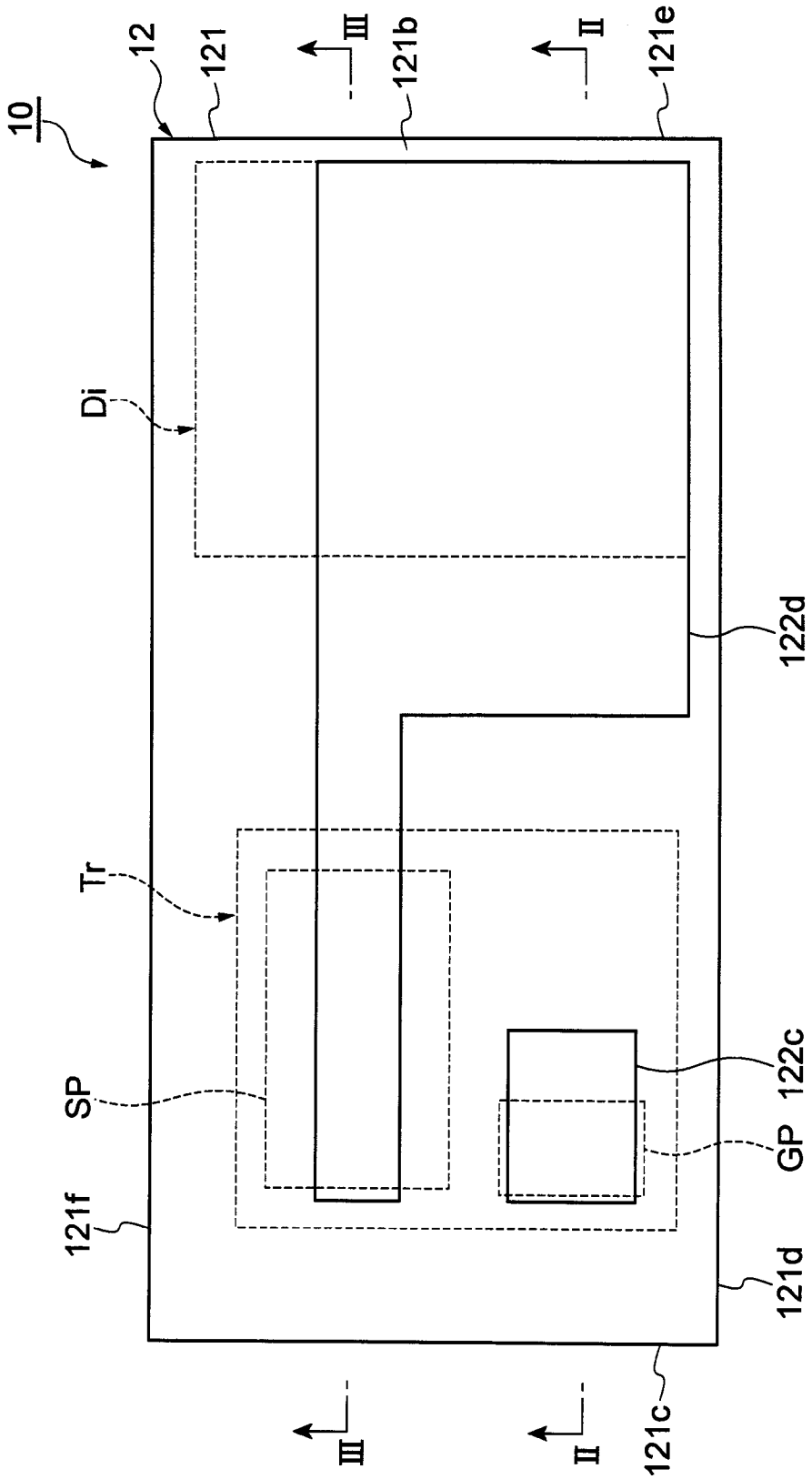
[請求項9] 前記第１板状部材が導電板である、

請求項１から請求項８のいずれか１項に記載の半導体モジュール。

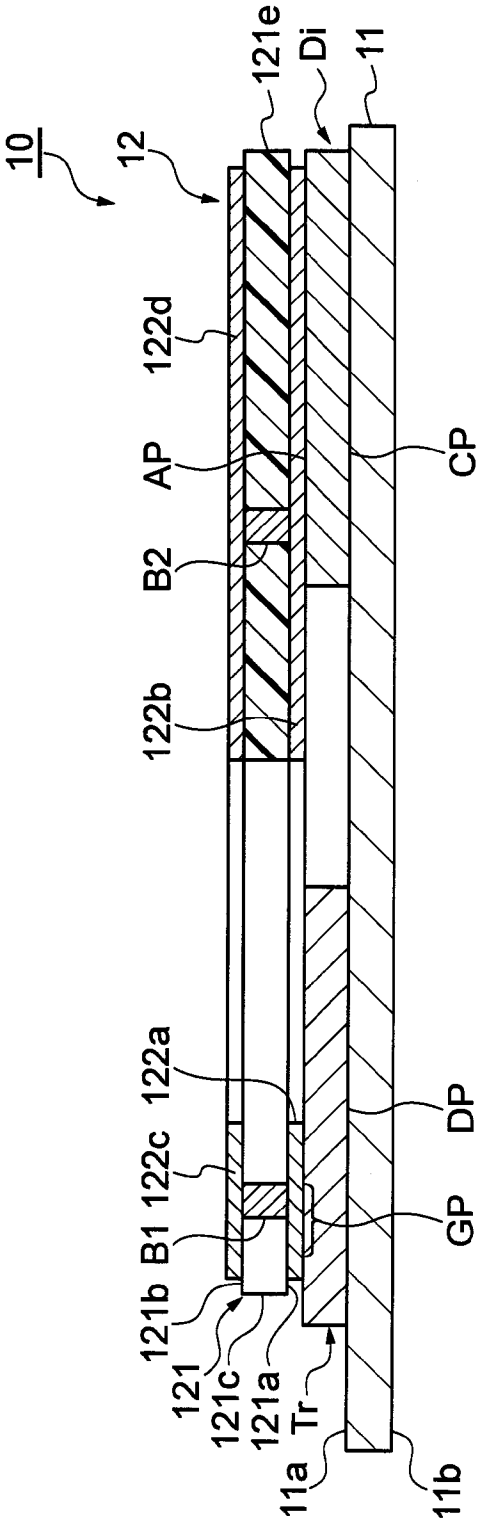
[請求項10] 前記第２板状部材が導電板である、

請求項１から請求項９のいずれか１項に記載の半導体モジュール。

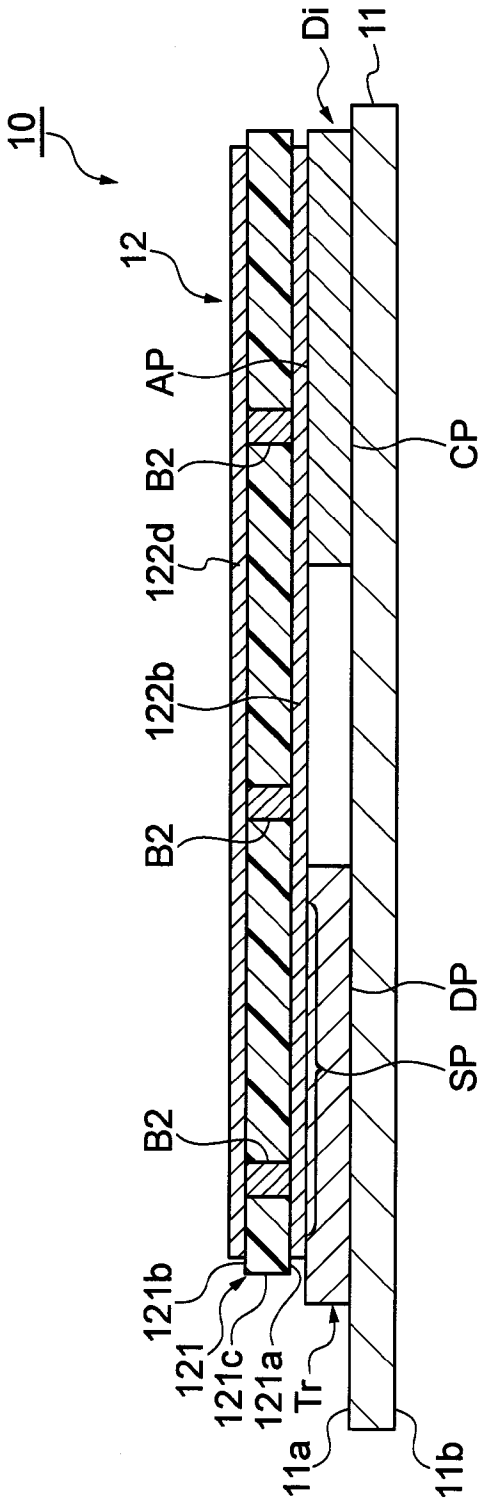
[図1]


10
12
121
III
121b
II
121e
Di
122d
Tr
SP
122c
GP
121f
121d
III
II
121c

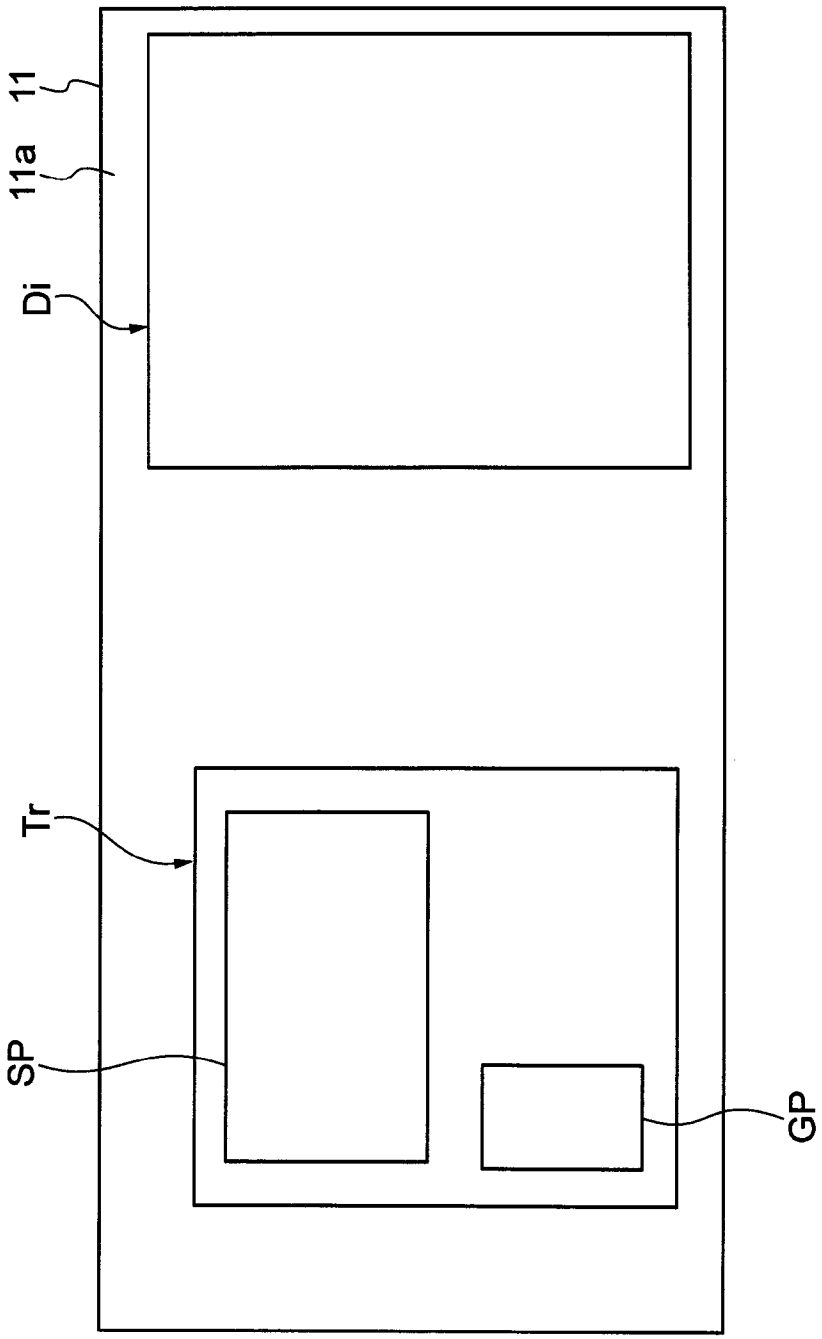
[図2]


10
12
121e
Di
11
122d
AP
CP
B2
122b
122a
DP
122c
B1
GP
121b
121
121c
121a
Tr
11a
11b

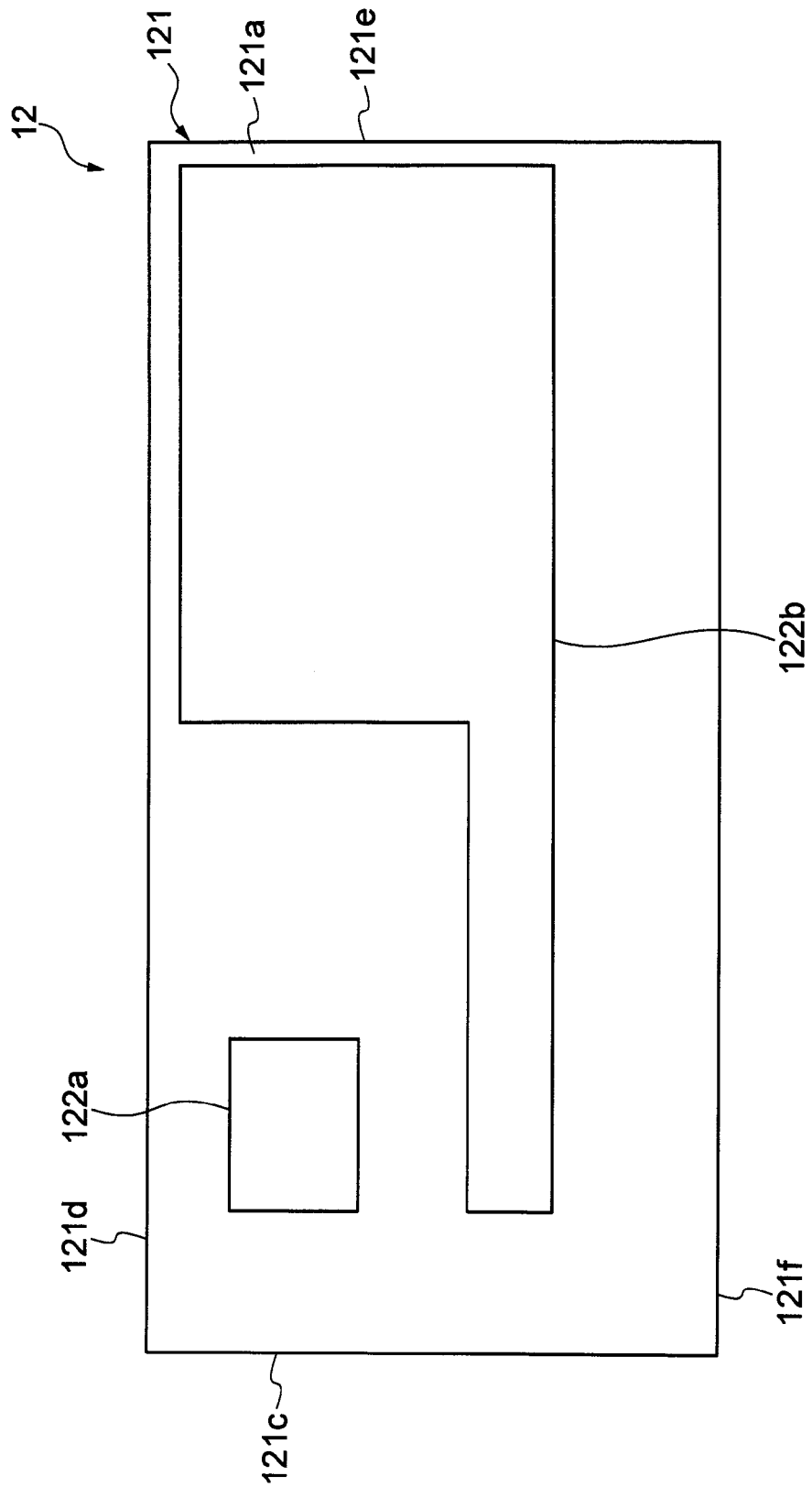
[図3]


10
12
Di
11
AP
B2
122d
122b
B2
B2
CP
DP
SP
121b
121
121c
121a
Tr
11a
11b

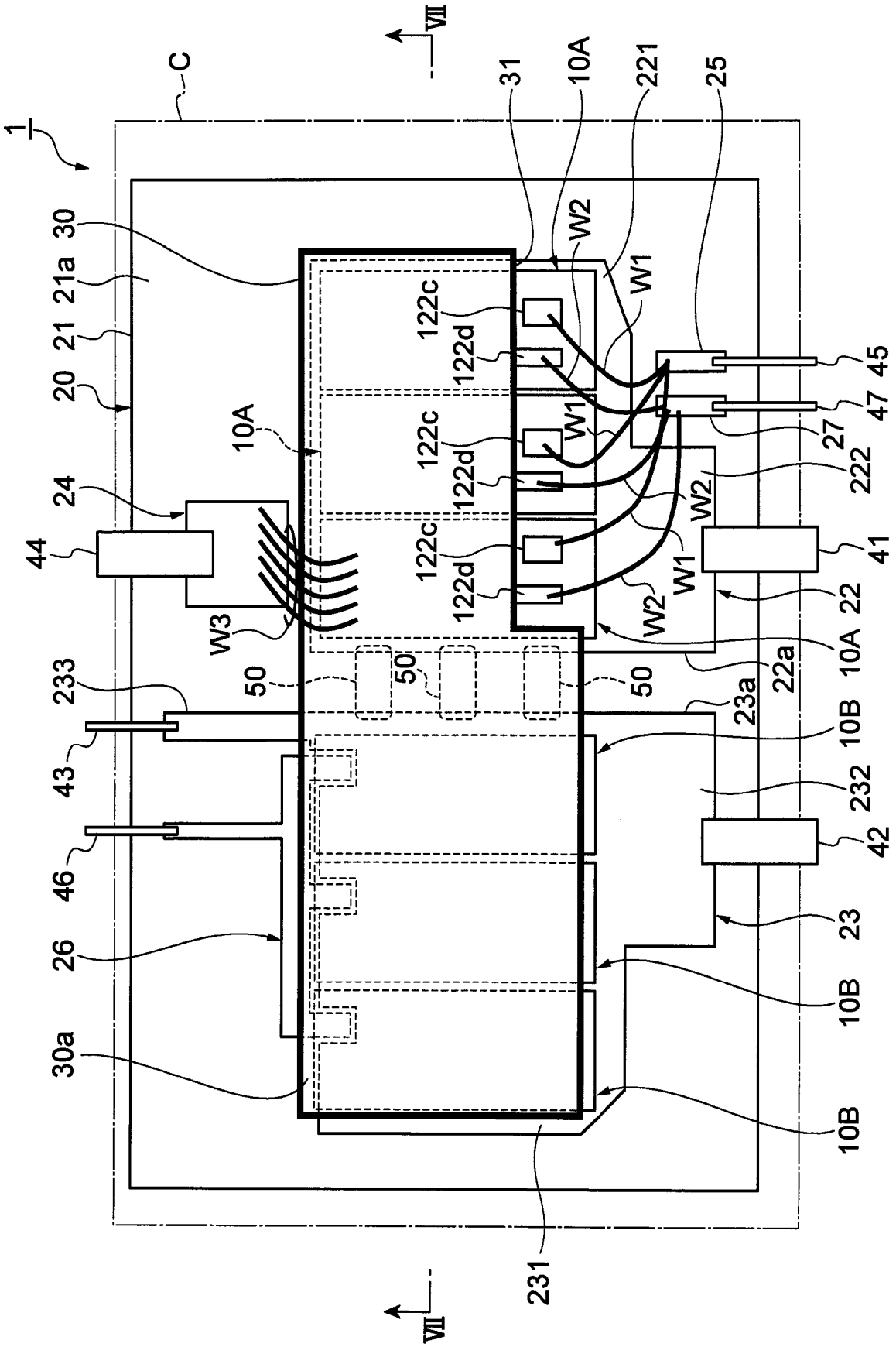
[図4]



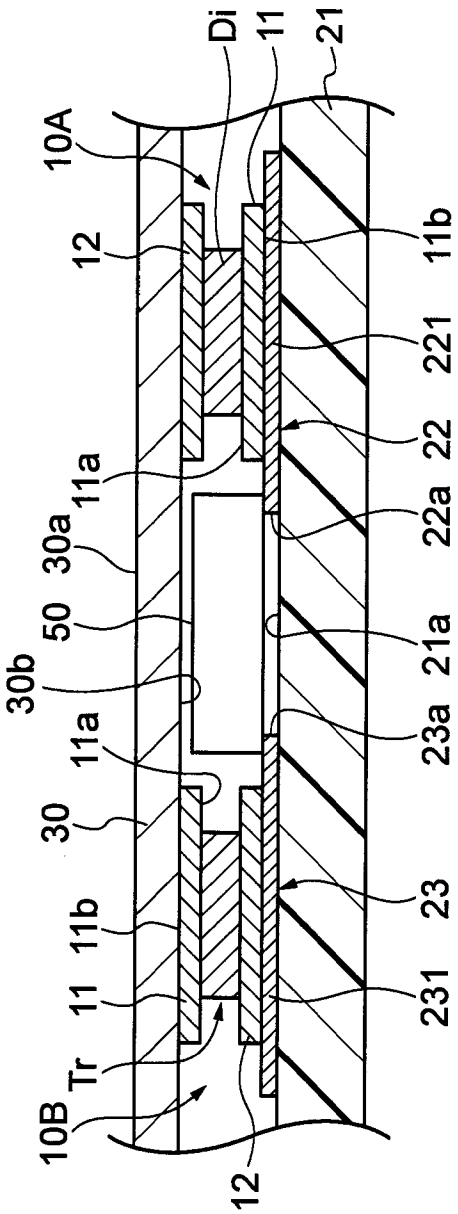
[図5]



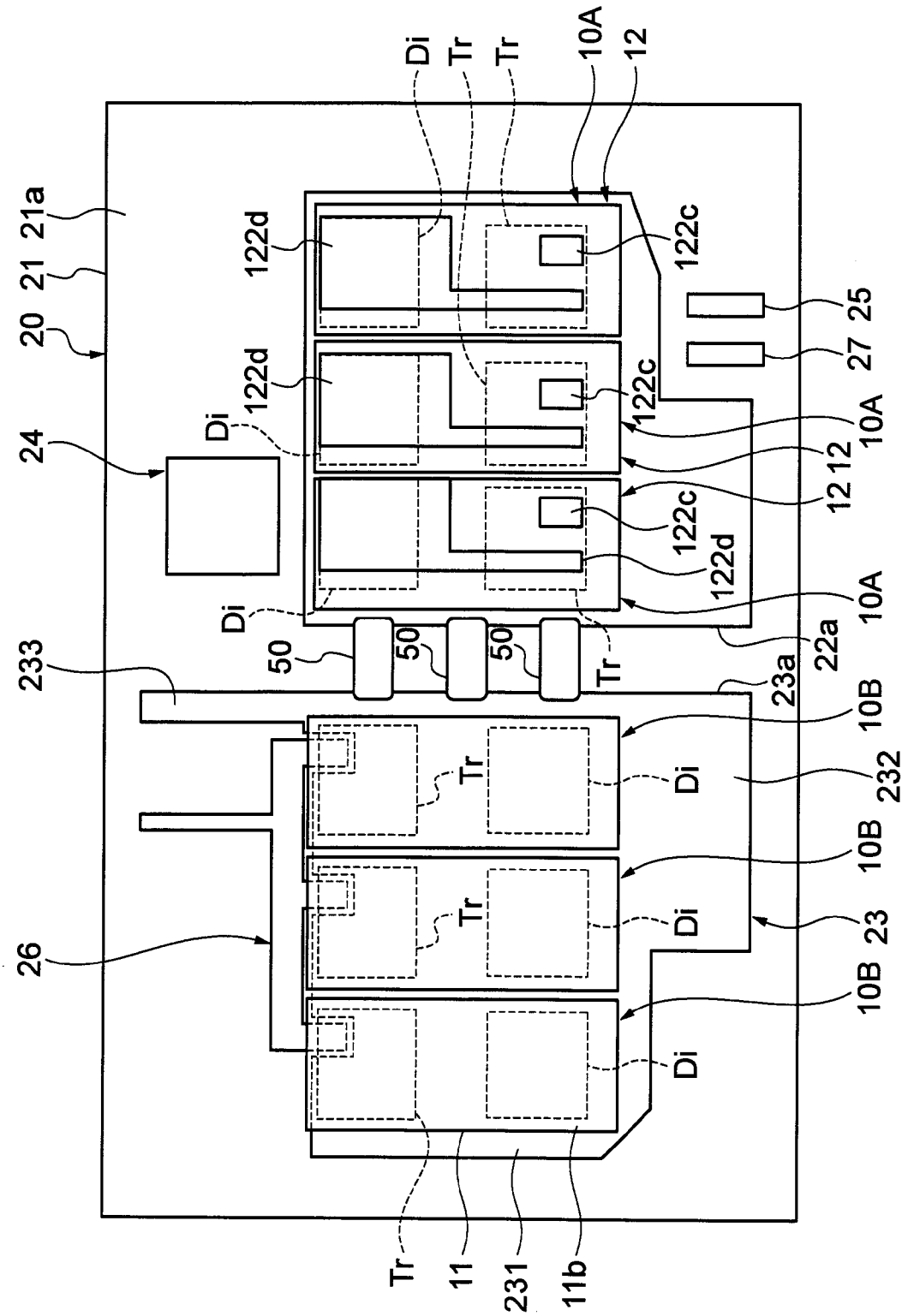
[図6]


VII
C
1
31
10A
221
25
30
21a
21
20
W2
W1
122c
122d
45
47
27
222
24
44
W3
50
233
43
46
26
30a
41
22
10A
22a
23a
10B
232
42
23
231

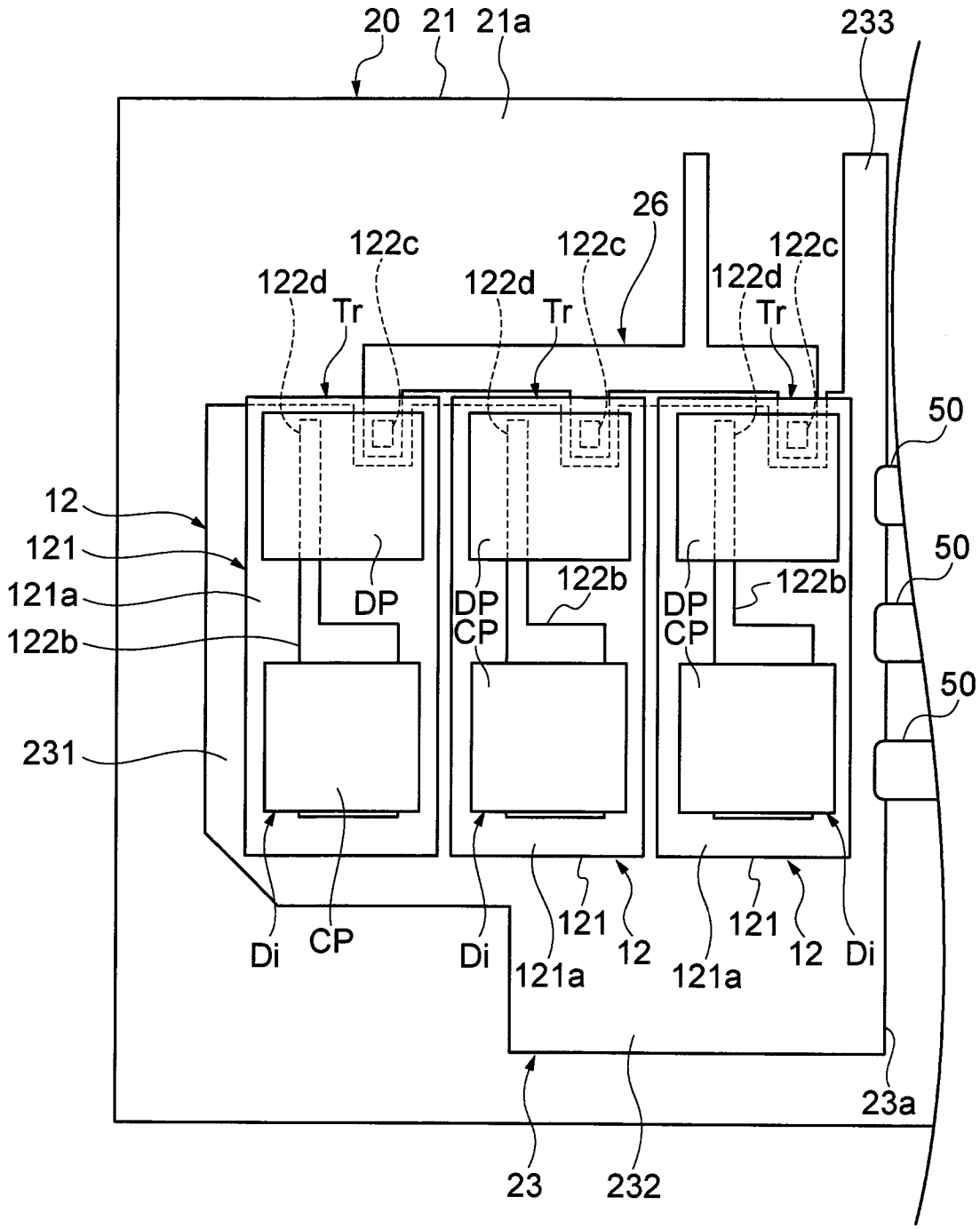
[図7]


Di
11
21
10A
12
11b
221
22
11a
22a
30a
50
21a
30b
11a
23a
30
23
11b
231
11
Tr
10B
12

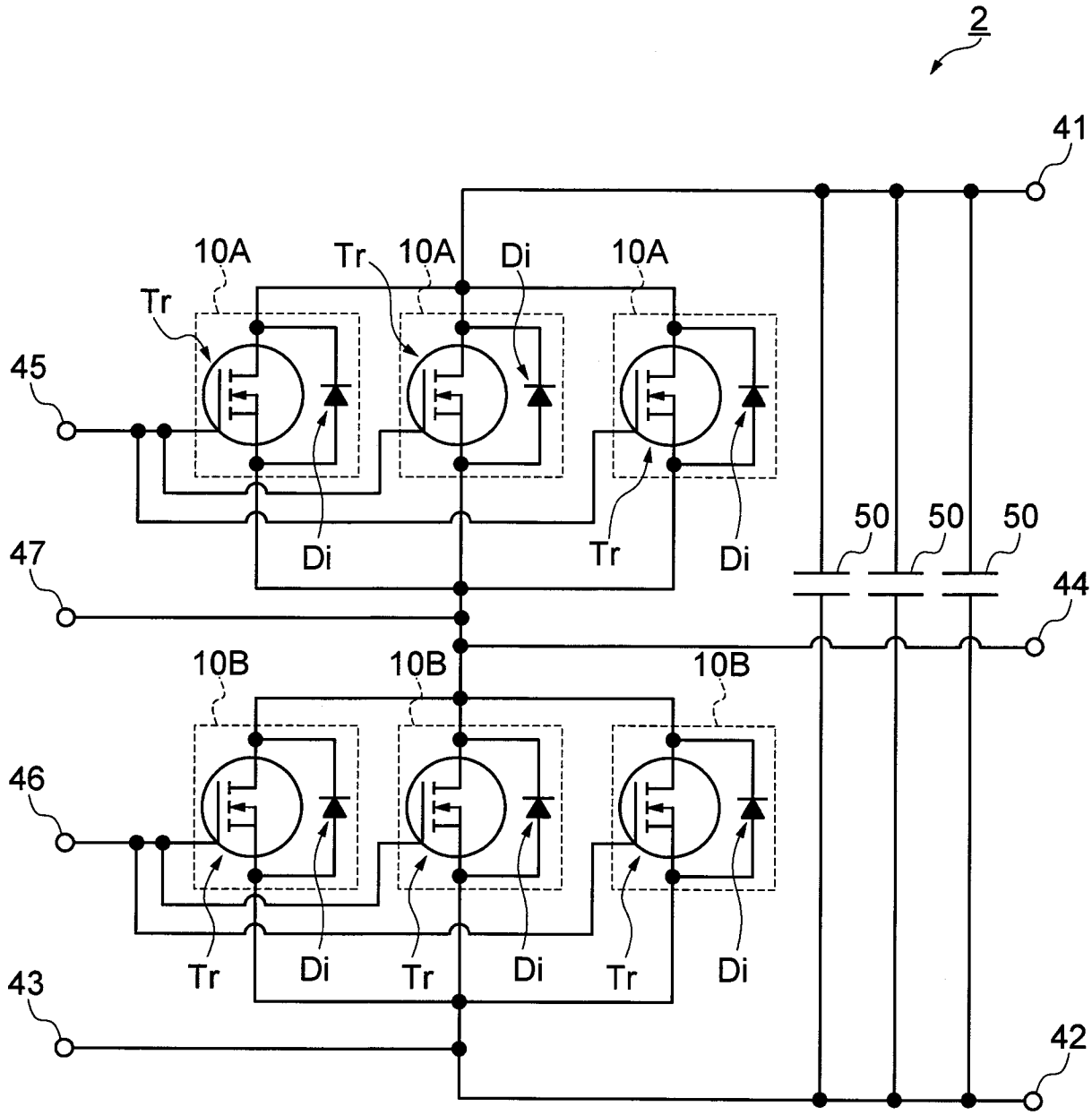
[図8]


Di
Tr
Tr
10A
12
21a
21
20
122d
122c
25
27
24
Di
122d
122c
10A
12
12
122c
122d
Di
10A
50
50
50
Tr
22a
233
23a
10B
Tr
Di
232
10B
Tr
Di
23
26
10B
Di
Tr
11
231
11b

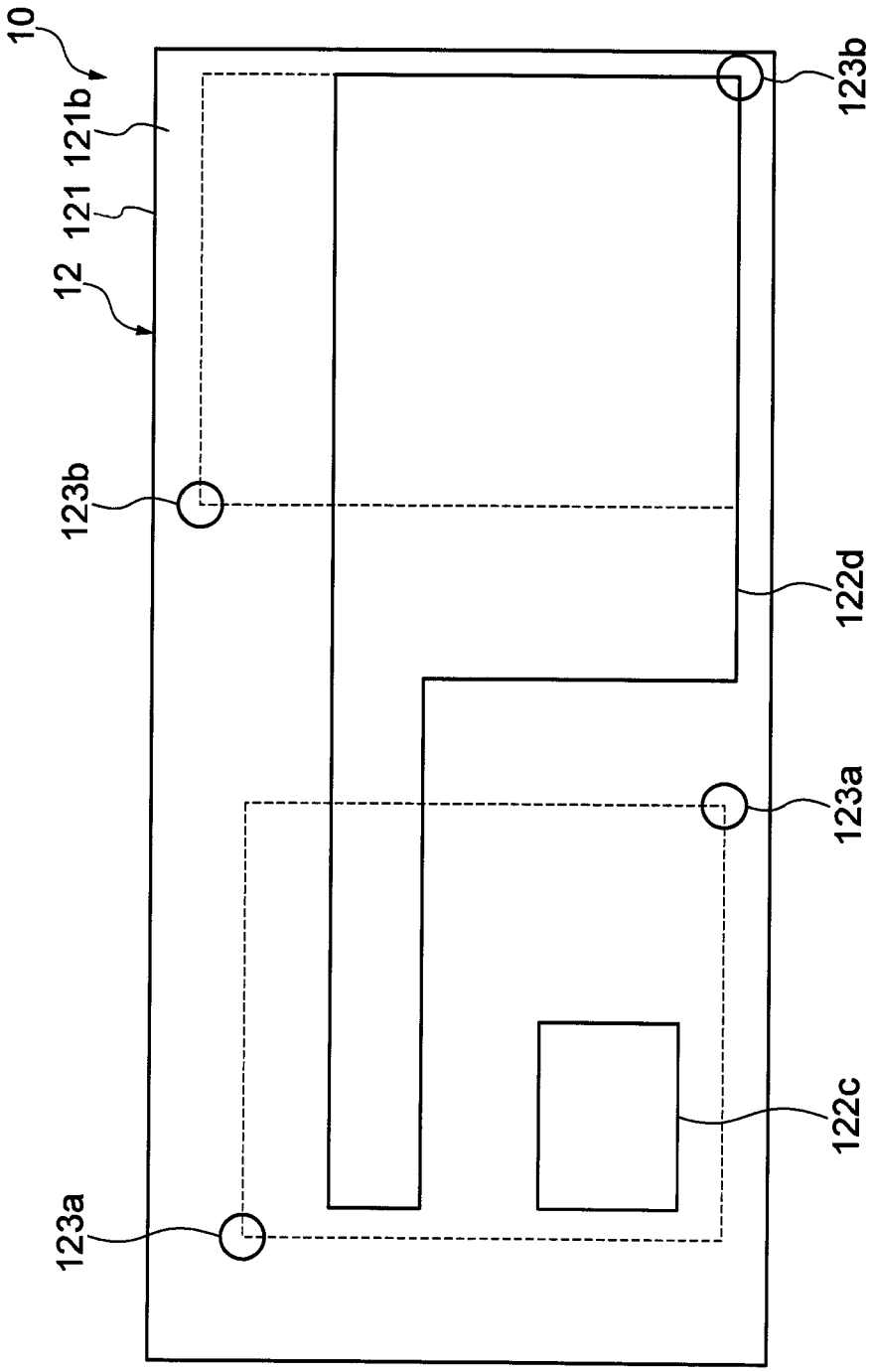
[図9]


20
21
21a
233
26
122c
122d
Tr
50
12
121
121a
122b
231
DP
CP
Di
23
232
23a

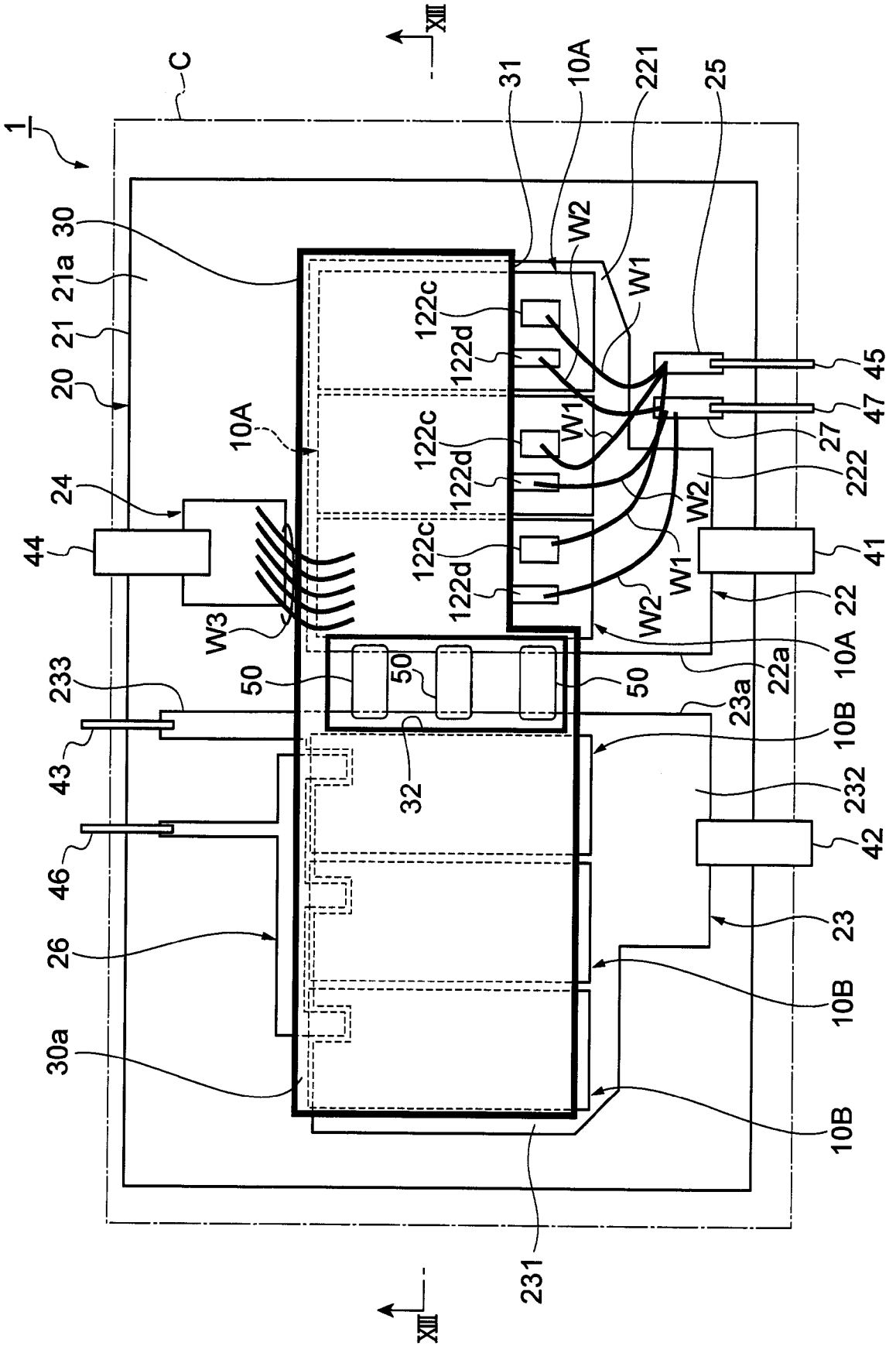
[図10]


2
41
10A
Tr
10A
Di
10A
Tr
45
Di
Tr
Di
50
50
50
47
44
10B
10B
10B
46
Tr
Di
Tr
Di
Tr
Di
43
42

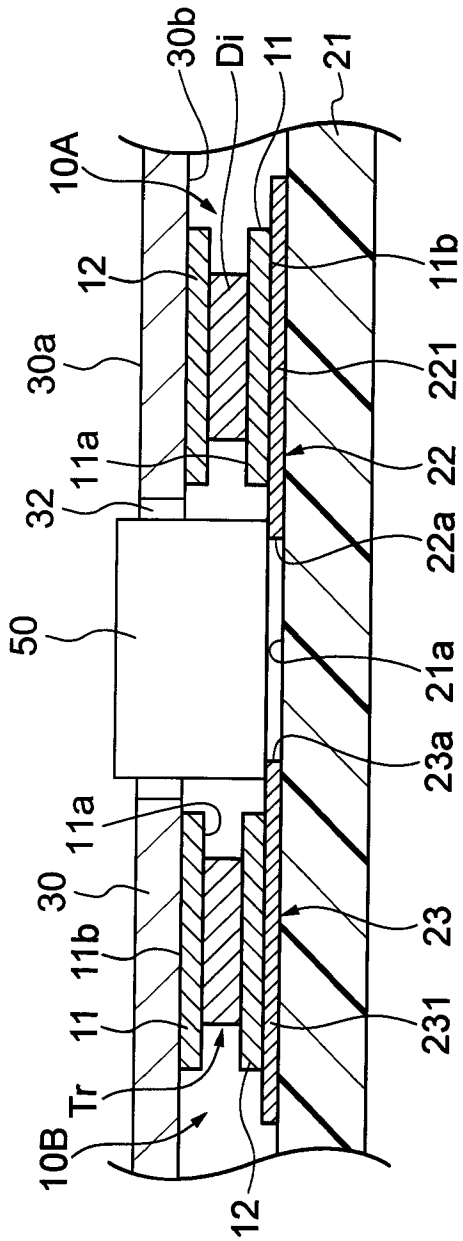
[図11]



[図12]


XIII
C
1
31
10A
221
25
30
21a
21
20
W2
W1
122c
122d
45
47
27
222
24
44
W3
233
50
43
46
26
30a
32
231
41
22
22a
23a
10B
232
42
23

[図13]


30b
Di
11
21
10A
12
11b
30a
221
11a
22
32
22a
50
21a
23a
11a
30
23
11b
231
11
Tr
10B
12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/028993

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/07(2006.01)i, *H01L25/18*(2006.01)i, *H02M7/48*(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/07, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/031462 A1 (Fuji Electric Co., Ltd.), 03 March 2016 (03.03.2016), & US 2016/0343641 A1 & CN 105981168 A	1-10
A	JP 2016-86186 A (Fuji Electric Co., Ltd.), 16 May 2016 (16.05.2016), & US 2014/0346659 A1 & US 2014/0361424 A1 & US 2014/0367736 A1 & WO 2013/145620 A1 & WO 2013/146212 A1 & WO 2013/145619 A1 & EP 2804212 A1 & EP 2833404 A1 & EP 2833405 A1 & CN 104160504 A & CN 104170085 A & CN 104170086 A	1-10
A	JP 10-93017 A (Semikron Elektronik GmbH), 10 April 1998 (10.04.1998), & US 5856913 A & EP 805494 A3 & DE 19617055 C1	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 October 2017 (11.10.17)	24 October 2017 (24.10.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/028993

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-308263 A (Denso Corp.), 02 November 2001 (02.11.2001), & US 2001/0033477 A1 & US 2003/0090873 A1 & US 2004/0144996 A1 & US 2005/0040515 A1 & US 2006/0120047 A1 & US 2006/0232939 A1 & EP 1148547 A2 & EP 1742265 A2 & EP 2234154 A2 & EP 2244289 A2	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２８９９３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/07, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2016/031462 A1 (富士電機株式会社) 2016.03.03, & US 2016/0343641 A1 & CN 105981168 A	1-10
A	JP 2016-86186 A (富士電機株式会社) 2016.05.16, & US 2014/0346659 A1 & US 2014/0361424 A1 & US 2014/0367736 A1 & WO 2013/145620 A1 & WO 2013/146212 A1 & WO 2013/145619 A1 & EP 2804212 A1 & EP 2833404 A1 & EP 2833405 A1 & CN 104160504 A & CN 104170085 A & CN 104170086 A	1-10

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．１０．２０１７	２４．１０．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　５８９３
秋山　直人
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 10-93017 A (ゼミクロン　エレクトローニク　ゲゼルシャフト　ミット　ベシュレンクテル　ハフツング) 1998.04.10, & US 5856913 A & EP 805494 A3 & DE 19617055 C1	1-10
A	JP 2001-308263 A (株式会社デンソー) 2001.11.02, & US 2001/0033477 A1 & US 2003/0090873 A1 & US 2004/0144996 A1 & US 2005/0040515 A1 & US 2006/0120047 A1 & US 2006/0232939 A1 & EP 1148547 A2 & EP 1742265 A2 & EP 2234154 A2 & EP 2244289 A2	1-10