



## (12) 发明专利

(10) 授权公告号 CN 101345246 B

(45) 授权公告日 2012. 12. 05

(21) 申请号 200810136116. 2

审查员 杨燕

(22) 申请日 2008. 07. 09

(30) 优先权数据

2007-180043 2007. 07. 09 JP

(73) 专利权人 日本电气株式会社

地址 日本东京都

(72) 发明人 土居悟史

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王新华

(51) Int. Cl.

H01L 27/12(2006. 01)

H01L 29/786(2006. 01)

H01L 29/423(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

US 6008065 A, 1999. 12. 28, 说明书第 4 栏第 6 段 - 第 5 栏第 5 段、附图 11, 22.

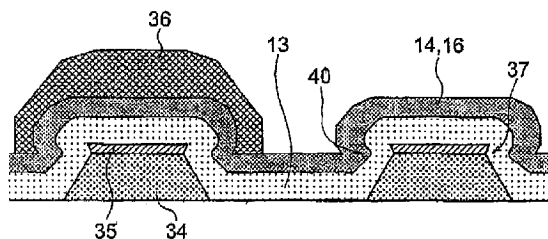
权利要求书 1 页 说明书 6 页 附图 6 页

(54) 发明名称

包括 TFT 的有源矩阵驱动式显示装置

(57) 摘要

本发明公开了一种有源矩阵驱动式 LCD, 其包括 TFT 基板, 在该 TFT 基板上 TFT 被形成。TFT 基板包括栅极层、栅极绝缘膜、形成图案的半导体层以及源极层和漏极层, 该栅极层、栅极绝缘膜、形成图案的半导体层以及源极层和漏极层被连续地形成于 TFT 基板的绝缘基板上。栅极层的厚度小于栅极绝缘膜的厚度。



1. 一种具有薄膜晶体管的有源矩阵驱动式显示装置,其中:

所述薄膜晶体管包括栅极层、栅极绝缘膜、被形成图案的半导体层以及源极/漏极层,所述栅极层、栅极绝缘膜、被形成图案的半导体层以及源极/漏极层相互关联地构造在绝缘基板上,且所述栅极层的厚度大于所述栅极绝缘膜的厚度,且其中所述栅极层的侧面的一部分具有倒锥形结构,以便所述栅极层的顶部悬垂于所述栅极层的底部上,从而所述栅极绝缘膜沿栅极层的表面上具有不明显的凹陷,而不是具有锐角的楔形凹陷。

2. 根据权利要求1所述的有源矩阵驱动式显示装置,其中所述栅极绝缘膜在所述栅极层的互连线和所述源极/漏极层的互连线的交会处被置于所述栅极层的互连线和所述源极/漏极层的互连线之间。

3. 根据权利要求1所述的有源矩阵驱动式显示装置,其中所述栅极层包括多个金属膜。

4. 根据权利要求3所述的有源矩阵驱动式显示装置,其中所述多个金属膜包括第一金属膜和覆盖在所述第一金属膜上的第二金属膜,并且所述栅极绝缘膜的厚度等于或小于所述第一金属膜的厚度。

5. 根据权利要求1所述的有源矩阵驱动式显示装置,其中所述栅极层的厚度为200nm或以上,并且所述栅极绝缘膜的厚度比所述栅极层的厚度小50nm或以上。

## 包括 TFT 的有源矩阵驱动式显示装置

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求 2007 年 7 月 9 日提交的日本专利申请 No. 2007-180043 的优先权权益,该申请的公开内容通过引用在此全文并入。

### 技术领域

[0003] 本发明涉及一种包括 TFT(薄膜晶体管)的有源矩阵驱动式显示装置,更具体地,本发明涉及用在诸如液晶显示器(LCD)装置等有源矩阵驱动式显示装置内的 TFT 的结构。

### 背景技术

[0004] LCD 装置包括薄膜晶体管(TFT)基板和对其置基板(counter substrate),液晶显示(LC)层夹在薄膜晶体管与对置基板之间。TFT 基板在其上安装了对应于 LCD 装置内的像素阵列的 TFT 阵列。通过使用驱动 LSI, TFT 经由多个栅极线和多个漏极线(数据线)被彼此独立地驱动。每一个 TFT 均作为开关器件以逐像素地(in a pixel-by-pixel basis)控制施加到 LC 层上的电场,以便在 LCD 装置的屏幕上显示图像。

[0005] TFT 基板是透明基板或玻璃基板, TFT 阵列形成在该 TFT 基板上。每一个 TFT 均包括:形成于玻璃基板上的栅极,形成在栅极上的本征半导体层,且栅极绝缘膜插入在该栅极与本征半导体层之间,以及在本征半导体层的沟道区的两个端部上被电连接到本征半导体层的源极和漏极。栅极被构成为栅极层的一部分,而源极和漏极被构成为源极/漏极层的一部分。本征半导体层由氢化非晶硅(a-Si:H)(hydrogenated amorphous silicon)等构成。

[0006] 例如, LCD 装置中的 TFT 基板的结构在以下公开中得到说明:

[0007] 专利申请 1:JP-2000-171834A;以及

[0008] 专利申请 2:JP-1999-2843A。

[0009] 随着对 LCD 装置更高性能的近期开发,所期望的是 TFT 具有较高的漏极电流的导通/截止比,以提高 TFT 的数据写入特性(data write characteristic)。漏极电流较高的导通/截止比可通过较小厚度的栅极绝缘膜而由此增加 TFT 的导通电流而获得。

[0010] 然而,现在的趋势是在膜的特定厚度以下,栅极绝缘膜厚度太薄而不足以使得 TFT 截止电流的显著增加,且其会引起不良的图像质量,例如屏幕图像不均匀以及在 LCD 装置的屏幕上的点缺陷的故障。目前的 LCD 装置中栅极绝缘膜的厚度已经几乎达到厚度的下限,从而截止电流显著增加,结果漏极电流的导通/截止比下降。因此,进一步减小栅极绝缘膜的厚度,而不增加 TFT 的截止电流是困难的。

[0011] 发明内容

[0012] 考虑到在对诸如 LCD 装置的显示装置内的以上问题,本发明的目的是提供一种能够获得更高的漏极电流导通/截止比而由此提高显示装置的图像质量的有源矩阵驱动式显示装置。

[0013] 本发明提供一种有源矩阵驱动式显示装置,其包括薄膜晶体管,该薄膜晶体管包

括栅极层、栅极绝缘膜、被形成图案的半导体层以及源极层和漏极层,所述栅极层、栅极绝缘膜、被形成图案的半导体层以及源极层和漏极层相互关联地构造在绝缘基板上,所述栅极层的厚度大于栅极绝缘膜的厚度,且所述栅极层的侧面的一部分具有倒锥形结构,以便所述栅极层的顶部悬垂于所述栅极层的底部上,从而所述栅极绝缘膜沿栅极层的表面具有不明显的凹陷,而不是具有锐角的楔形凹陷。

[0014] 本发明以上以及其它目的、特征和优点将参照附图在以下说明中变得更清楚。

[0015] 附图说明

[0016] 图 1 是根据本发明的实施例的 LCD 装置内的 TFT 基板的剖视图;

[0017] 图 2 是图 1 的 TFT 基板的示意性俯视图;

[0018] 图 3A 到 3F 是连续示出了生产图 1 的 TFT 基板的制造过程的剖视图;

[0019] 图 4A 到 4B 是对于用于栅极层的材料各个情况,图 3A 步骤中 TFT 基板内的栅极的横截面图;

[0020] 图 5A 到 5B 是示出了对于栅极绝缘膜的特定厚度,图 3B 步骤中 TFT 基板的剖视图;

[0021] 图 6A 到 6B 是示出了对于栅极绝缘膜厚度的另一种情况,图 3B 步骤中 TFT 基板的剖视图;

[0022] 图 7 是示出了对于栅极包括单层的情况,图 3A 步骤中的 TFT 基板的细节的剖视图;和

[0023] 图 8 是示出了产品 LCD 装置的不良率和栅极绝缘膜厚度之间的关系图。

[0024] 优选实施方式

[0025] 现在将参照附图说明本发明的示例性实施例。图 1 示出了用于根据本发明的实施例的显示装置内的 TFT 基板的剖视图。TFT 基板 10 包括玻璃基板 11 和形成于玻璃基板 11 上的栅极层 12。

[0026] 例如,栅极层 12 包括:厚度为 300nm 的铝 (Al) 膜,和形成于铝膜上并且厚度为 70nm 的钼 (Mo) 膜。栅极层 12 被构成为栅极 12a、栅极端子 12b、用于将栅极 12a 和 12b 连接到一起的栅极线(未示出),和公用线(未示出)。

[0027] 栅极层 12 被形成于玻璃基板 11 上的  $\text{SiN}_x$  (氮化硅) 栅极绝缘膜 13 所覆盖。在本实施例中,栅极绝缘膜 13 的厚度小于栅极层 12 的厚度,例如,可为 300nm (纳米)。栅极绝缘膜 13 可具有如  $\text{SiN}_x/\text{SiO}_x$  (氧化硅) 而不是  $\text{SiN}_x$  的两层结构。

[0028] 栅极 12a 附近的栅极绝缘膜 13 的一部分被由氢化非晶硅 ( $a\text{-Si:H}$ ) 构成的本征半导体层 14 所覆盖。栅极 12a 上的本征半导体层 14 的一部分构成沟道 15。除沟道 15 之外,本征半导体层 14 由掺有 n 型杂质的氢化非晶硅 ( $n+a\text{-Si:H}$ ) 构成的欧姆接触层 16 所覆盖。

[0029] 欧姆接触层 16 被源极/漏极层所覆盖,该源极/漏极层包括形成于栅极绝缘膜 13 上的单层铬 (Cr) 膜或钼/铝/钼集成膜。源极/漏极层构成为在沟道 15 的两个端部被连接到欧姆接触层 16 的源极 17a 和漏极 17b,和形成于栅极绝缘膜 13 上的漏极线和漏极端子。漏极线(互连线)将漏极 17b 和漏极端子连接在一起。包括  $\text{SiN}_x$  的保护层 18 覆盖包括沟道 15 的绝缘基板 11 的整个区域。栅极 12、栅极绝缘膜 13、源极 17a、漏极 17b、一对欧姆接触层 16 以及包括沟道 15 的本征半导体 (Si) 层 14 的结合构成了 TFT。

[0030] 接触孔 19 穿透保护层 18 以通过其露出源极 17a 和漏极端子。像素电极 20 形成

在接触孔 19 内和保护层 18 的顶部上,并被连接到源极 17a。接触孔 21 穿透栅极绝缘膜 13 和保护层 18 以通过其露出栅极端子 12b 的顶部和漏极端子。外部电极 22 形成在接触孔 21 内和保护层 18 的顶部上,以连接到栅极端子 12b 或漏极端子。像素电极 20 和外部电极 22 包括 ITO(氧化锡铟)或 IZO(氧化锌铟)。

[0031] 图 2 是 TFT 基板 10 的示意性俯视图。本实施例的 LCD 装置由有源矩阵驱动式驱动方案驱动,并且像素电极 20 在 TFT 基板 10 上被排列成二维矩阵。形成像素电极 20 的区域对应于像素。每一个像素电极 20 关联于包括栅极 12a、源极 17a 以及漏极 17b 的 TFT。在行向上,栅极线 12c 在像素电极 20 的相邻两个像素电极之间延伸,而在列向上,漏极线 17c 在像素电极 20 的相邻两个像素电极之间延伸。栅极端子 12b 设置在栅极线 12c 的端部处,漏极端子设置在漏极线 17c 的端部处。

[0032] 在 LCD 装置 10 中,对置基板被设置与 TFT 基板 10 相对,且液晶显示 (LC) 层插入在两者之间。在 TFT 基板 10 中,经由漏极线 17c 施加到像素电极 20 上的电压控制 LC 层相应部分内的电场。电场控制在 LC 层内 LC 分子的定向以逐像素地控制来自背光光源的透射光的密度,以便在 LCD 上显示图像。

[0033] 图 3A 到 3F 是连续示出了用于生产图 1 的 TFT 基板的制造过程的剖视图。首先,包括钼/铝膜的金属层通过使用溅镀 (sputtering) 技术形成于玻璃基板 11 上。铝膜和钼膜的厚度分别为 300nm 和 70nm。单层铬膜可代替金属层而被形成。接下来,使用湿法蚀刻工艺将金属层形成图案,由此而形成栅极层 12(图 3A)。用于给金属层形成图案的湿法蚀刻工艺较干法蚀刻工艺具有优点,即湿法蚀刻设备的初始成本较低,并且湿法蚀刻工艺得到较高的生产能力。

[0034] 此后,通过使用增强等离子体 CVD 工艺,包括 SiN<sub>x</sub> 的栅极绝缘膜 13、包括 a-Si:H 的本征半导体层 14、以及包括 n<sup>+</sup>a-Si:H 的欧姆接触层 16 被连续沉积 (deposit) 以覆盖在玻璃基板 11 上的栅极层 12。栅极绝缘膜 13 的厚度可为 300nm。在沉积栅极绝缘膜 13 之后,台阶状部分 23 被形成于栅极绝缘膜 13 的表面上以在栅极层 12 的图案附近反射 (reflect) 栅极层 12 的图案。SiN<sub>x</sub>/SiO<sub>x</sub> 膜可代替用作栅极绝缘膜 13。

[0035] 接下来,使用干法蚀刻工艺使本征半导体层 14 和欧姆接触层 16 形成图案以构成多个彼此绝缘的岛状区域(图 3B)。此后,包括单层铬膜或钼/铝/钼膜的源极/漏极层被沉积,并且受到湿法蚀刻或干法蚀刻以使其形成图案以构成源极 17a、漏极 17b、漏极线和漏极端子(图 3C)。为了阻止由导电材料的蚀刻残渣产生的泄露电流的形成,用于给导电材料形成图案的蚀刻被执行直到栅极绝缘膜 13 的整个表面被暴露。

[0036] 接下来,另一个蚀刻被实施以清除沟道 15 上的欧姆接触层 16,然后清除本征半导体层 14 的顶端部,与此同时控制蚀刻时间长度,由此而构成具有凹槽沟道(图 3D)的 TFT。此后,通过使用增强等离子体 CVD 工艺,包括 SiN<sub>x</sub> 并防止沟道 15 的顶部污染的保护层 18 被沉积在包括沟道 15 的顶部的整个表面上(图 3E)。接下来,在栅极绝缘膜 13 和保护层 18 内形成接触孔 19 和 21,以暴露源极 17a 的顶部、栅极端子 12b 和漏极端子(图 3F)。

[0037] 此后,包括 ITO 或 IZO 的透明导电膜通过溅镀沉积在接触孔 19 和 21 内以及保护层 18 的顶部上。然后该透明导电膜被形成图案以构成连接到源极 17a 的像素电极 20,和连接到栅极端子 12b 和漏极端子的外部电极。由此得到了图 1 中所示的 TFT 基板 10。

[0038] 通常认为,由于在本征半导体层 14 内的孔电流的增加,由栅极绝缘膜 13 的较小的

厚度引起 TFT 的截止电流的增加。出于此原因,还认为:栅极绝缘膜 13 的更小厚度将导致孔电流的进一步增加。

[0039] 然而,在完成各种测定例如研究 TFT 的剖面结构以及测量其电特性之后,本发明者发现了 TFT 的截止电流增加的原因。截止电流的增加并非由孔电流的增加产生的,而主要由在给本征半导体层 14、欧姆接触层 16 以及源极/漏极层的形成图案的过程中生成的导电材料的蚀刻残渣导致,该蚀刻残渣又在漏极线 17c 和源极 17a 之间的晶片上形成漏极电流通路。

[0040] 本发明者还发现了导电材料的蚀刻残渣在栅极绝缘膜 13 的厚度等于栅极层 12 的厚度的情况下生成,并且它导致形成了捕获部分。在传统的 LCD 装置中,栅极绝缘膜 13 的厚度被设计成大于栅极层 12 的厚度。然而,在这种传统技术中生成蚀刻残渣,在上述栅极绝缘膜 13 的厚度等于栅极层 12 的厚度的情况下也生成蚀刻残渣。因此,本发明人发现蚀刻残渣的生成,即 TFT 截止电流的增加能够通过使用其中栅极绝缘膜的厚度小于栅极层的厚度的构造而被避免。

[0041] 图 4A 和 4B 是图 3A 的步骤中的栅极层 12 内的栅极或栅极线的横截面图。图 4A 示出了栅极层 12 由单层铬膜或铝膜构成的一种情况,而图 4B 示出了栅极层 12 由包括钼膜和铝膜的两层结构构成的另一种情况。由于前锥形侧面的出现,如由图 4A 中的数字 31、32、33 所示,栅极 12 优选的结构是栅极 12 的底面大于其顶面。然而,湿法蚀刻工艺有可能在栅极 12 的侧面上提供局部倒锥形结构。

[0042] 例如,在具有如图 4B 中所示的包括钼/铝膜 34、35 的两层结构的栅极层 12 中,在金属膜 34、35 两者之间的电池功能效应引起蚀刻铝膜 34 快于蚀刻钼膜 35 的蚀刻选择。出于此原因,图 4B 中所示的栅极层 12 在栅极层 12 的侧面的局部位置处具有倒锥形结构 37。

[0043] 在图 4B 中所示的在栅极 12 上形成栅极绝缘膜 13 的接下来的步骤期间,如上所述,由于栅极 12 的存在的反射,图 3B 所示的台阶状部分 23 被形成。因为用于沉积栅极绝缘膜 13 的增强等离子体 CVD 工艺是各向同性沉积工艺,因此即使栅极层 12 的侧面具有局部倒锥形结构 37,在下面的栅极 12 可提供前锥形结构以覆盖栅极绝缘膜 13。

[0044] 另一方面,如果栅极绝缘膜 13 的厚度被设计成等于栅极层 12 的厚度,如图 5A 所示,具有锐角的楔型凹陷 38 可形成在对应于栅极 12 的局部倒锥形结构 37 的栅极绝缘膜的表面上。形成在栅极绝缘膜 13 内的楔形凹陷 38 可在其内捕捉在蚀刻导电材料(如用于给本征半导体层 14、欧姆接触层 16 以及源极层和漏极层形成图案)期间所生成的蚀刻残渣 39,如图 5B 所示。所捕捉的蚀刻残渣 39 可被留在最终的产品内,而因此在最终的产品中形成漏极电流通路。

[0045] 更具体地,蚀刻残渣 39 可在漏极线 17c(图 2)和源极 17a(图 1)之间构成漏极电流通路,以增加 TFT 的截止电流。如果漏极电流的增加相对较低,所增加的漏极电流将在 LCD 装置的图像内产生非均匀性,而如果漏极电流的增加相对较高,所增加的漏极电流将在 LCD 装置的屏幕上产生点缺陷。

[0046] 在本实施例的 LCD 装置的结构中,栅极绝缘膜 13 的厚度小于栅极层 12 的厚度。此结构为绝缘膜 13 提供了沿栅极层 12 的侧面的光滑表面。图 6A 示出了在此情况下的栅极绝缘膜,其中栅极绝缘膜 13 在其表面上具有不明显的凹陷 40,而不是图 5A 和 5B 中所示的具有锐角的楔形凹陷 38。

[0047] 因此,本实施例防止给诸如本征半导体层 14、欧姆接触层 16 以及源极 / 漏极层等导电材料形成图案之后在电极层 12 附近生成蚀刻残渣,如图 6B 所示。这防止在漏极线 17c 和源极 17a 之间的漏极电流通道的形成。因此,本实施例实现了对 TFT 截止电流增加的抑制,并实现了栅极绝缘膜 13 厚度的减少,因此增加了 TFT 排出电流的导通 / 截止比。

[0048] 如果栅极层 12 由诸如高熔点金属铝或铝合金等单层金属膜构成,那么栅极层 12 的图案的形成有时可产生如图 7 中所示的局部倒锥形结构。此结构通常由在通过使用湿法蚀刻在给金属膜形成图案期间由金属膜的表面氧化以及由抗蚀膜对金属层的粘附力的影响而产生。在这种情况下,即,例如,如果栅极层 12 具有局部倒锥形结构,不论栅极层 12 是否是由钼 / 铝 / 钼膜或单层铬膜制成,其中栅极绝缘膜 13 的厚度小于栅极层 12 的厚度的构成提供了类似的优点。

[0049] 可以考虑有意减少栅极层 12 以抑制 TFT 截止电流的增加和降低栅极绝缘膜 13 的厚度。然而,栅极层 12 的较小的厚度增加了构成栅极层 12 的栅极线、公用线等的线阻抗,而由此增加了不期望的信号延迟。

[0050] 本实施例的构造是栅极绝缘膜 13 的厚度小于栅极层 12 的厚度,以抑制 TFT 截止电流的增加。在此构造中,栅极层 12 的厚度不受到由栅极绝缘膜 13 的减少而产生的限制,由此栅极层 12 的厚度可具有最优厚度以确保其较低的线阻抗和 TFT 基板 10 的改良特性。

[0051] 为了确保本发明的优点,研究了栅极绝缘膜 13 的各种厚度下 LCD 装置的特性。图 8 示在图表中示出了研究结果,其中画出了在栅极绝缘膜各种厚度下的产品的不良率(或次品的百分比),即在屏幕上具有不均匀度的次品的数量与产品的总数量的比值。由三角点所代表的曲线(i)示出了包括 70nm 厚的钼膜和 200nm 厚的铝膜的厚度为 270nm 的栅极层 12 的情况,而由圆点所代表的曲线(ii)示出了包括 70nm 厚的钼膜和 300nm 厚的铝膜的厚度为 370nm 的栅极层 12 的情况。栅极绝缘膜 13 的厚度从 250nm 到 550nm 之间变化。本文所引用的用于栅极层、钼膜、铝膜和栅极绝缘膜的厚度为最优厚度或目标厚度。

[0052] 如从图 8 的理解,如果栅极绝缘膜 13 的厚度等于或大于栅极层 12 的厚度,不良率,即次品与总产品的比值显著增加。此外,当绝缘膜 13 的厚度大于栅极层 12 的厚度的情况下,以及当绝缘膜 13 的厚度小于栅极层 12 的厚度的情况下,不良率被降低。此现象不能通过较小的栅极绝缘膜厚度增加孔电流,而增加的孔电流又增加 TFT 的截止电流的常规理论来解释清楚。即,此现象可证明等于栅极层的厚度的栅极绝缘膜的厚度增加蚀刻残渣,增加的蚀刻残渣又增加 TFT 的截止电流。

[0053] 在图 8 的实例中,其中栅极绝缘膜 13 的厚度在铝膜的厚度以下的构造抑制由导电材料的蚀刻残渣所引起的截止电流的增加。因此,在本实施例中优选的是,对于曲线(i)所示的包括 70nm 厚的钼膜和 200nm 厚的铝膜的栅极层 12 的情况,栅极绝缘膜 13 的厚度设为 200nm 或更小,以及对于由曲线(ii)所示的包括 70nm 厚的钼膜和 300nm 厚的铝膜的栅极层 12 的情况,栅极绝缘膜 13 的厚度被设为 300nm 或更小。

[0054] 在本发明中所确保的是对于 200nm 或以上的栅极层 12 的厚度,栅极绝缘膜 13 的厚度优选地比栅极层 12 的厚度小 50nm 或以上,以便实现导电材料蚀刻残渣的抑制。为了防止在 TFT 的制造期间由静电荷导致的 TFT 的破坏,优选的是栅极绝缘膜的厚度为 150nm 或以上。为了抑制漏极电流并保持栅极绝缘膜 13 的所要求的承受电压,优选的是栅极绝缘膜具有大约 200nm 或以上的厚度。

[0055] 虽然参照图 3A 到 3F 所说明的制造过程为所谓的五掩膜工艺,但是该制造过程也可以为四掩膜工艺,其中图 3B 到 3C 中所示的步骤使用普通光致抗蚀剂掩膜(photo resist mask),以便实现类似的优点。虽然上述制造过程在移除本征半导体层的顶端部期间通过控制蚀刻时间长度而提供了具有凹槽沟道结构的 TFT,但是 TFT 的结构不限于凹槽沟道结构。例如,沟道保护式 TFT 可通过在本征半导体层 14 和欧姆接触层 16 之间提供蚀刻停止层以阻止本征半导体层 14 的蚀刻而被形成。LCD 装置可通过任何纵向电场驱动方案和横向电场驱动方案而被驱动。

[0056] 上面实施例中的 TFT 为反交错型 TFT,其中栅极 12a 在栅极绝缘膜 13 的下面。然而,TFT 可以是前交错型,其中源极/漏极层、欧姆接触层 16 以及本征半导体层 14 在栅极绝缘膜 13 的下面,并且栅极 12a 覆盖栅极绝缘膜 13。在这种情况下,由于源极/漏极层、欧姆接触层 16 以及本征半导体层 14 的图案,栅极绝缘膜 13 可在其上具有台阶状部分。然而,在栅极 12a 形成图案之后,小于源极/漏极层、欧姆接触层 16 以及本征半导体层 14 的总厚度的栅极绝缘膜 13 的厚度阻止蚀刻残渣的生成,由此而阻止漏极电流通道在栅极线之间形成。

[0057] 应该注意的是,小于栅极层 12 的厚度的栅极绝缘膜 13 的厚度可产生在栅极层 12 附近形成于栅极绝缘膜 13 上的陡峭的台阶状部分。该陡峭的台阶状部分可导致在栅极绝缘膜的陡峭台阶状部分附近形成于栅极绝缘膜上的漏极线的断开。作为此问题的对策,本征半导体层 14 和欧姆接触层 16 的图案在栅极线和漏极线的交会处可被留下来,并被置于栅极线和漏极线之间。在另一实施例中,可使用较大厚度的源极/漏极层。

[0058] 虽然已参照示例性实施例及其修改具体示出并说明了本发明,但是本发明不限于这些实施例和修改。本领域的技术人员将要理解的是在不脱离由所附权利要求限定的本发明的本质和保护范围的前提下,在形式和细节上可对实施例做各种改变。

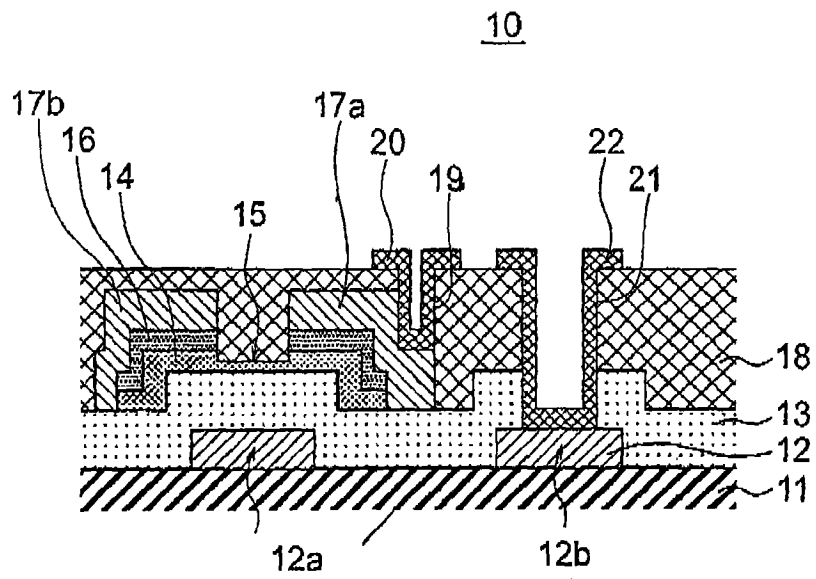


图 1

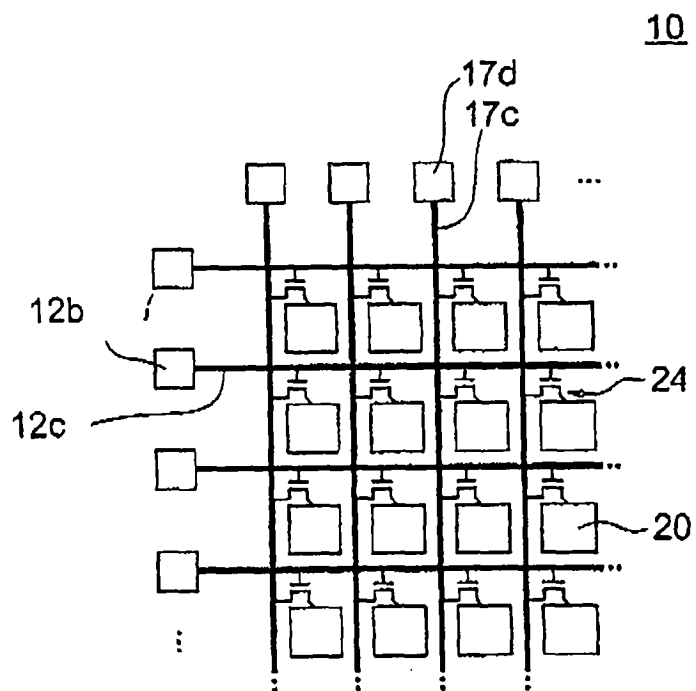


图 2

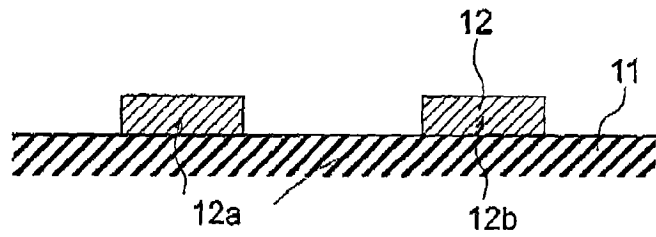


图 3A

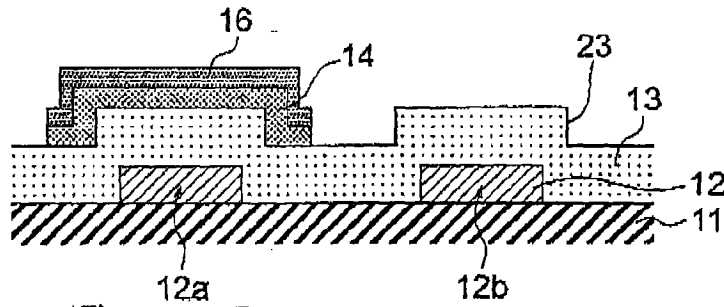


图 3B

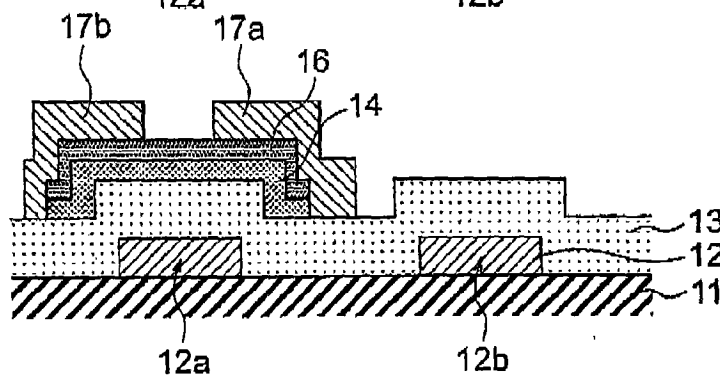


图 3C

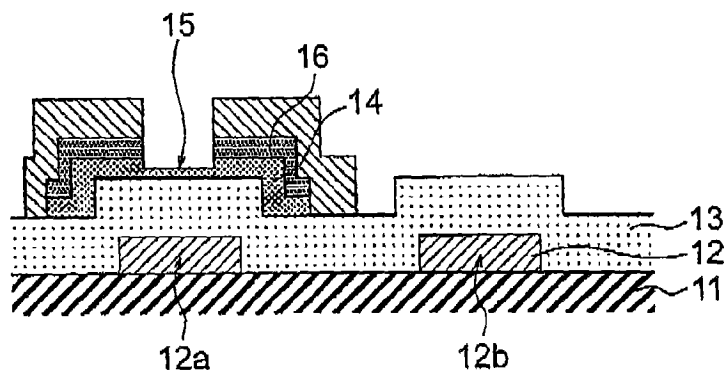


图 3D

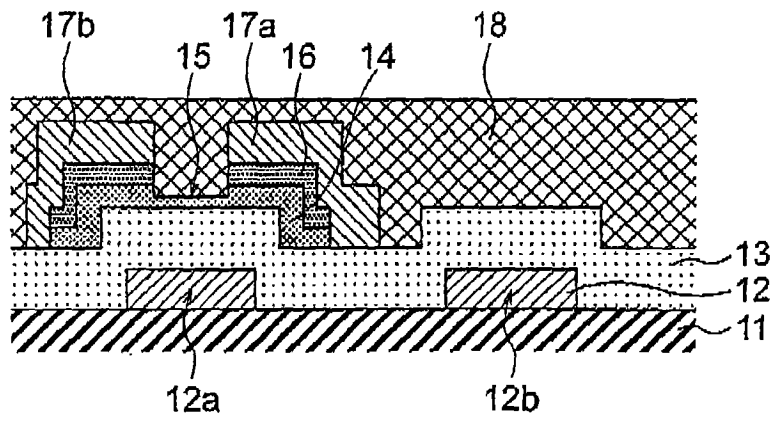


图 3E

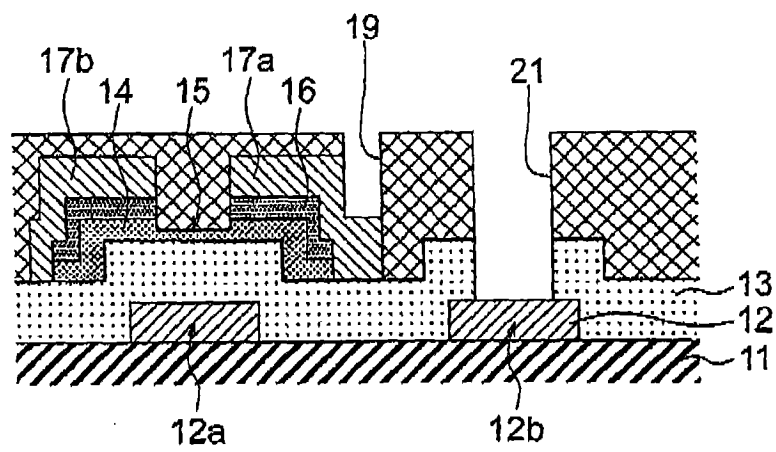


图 3F

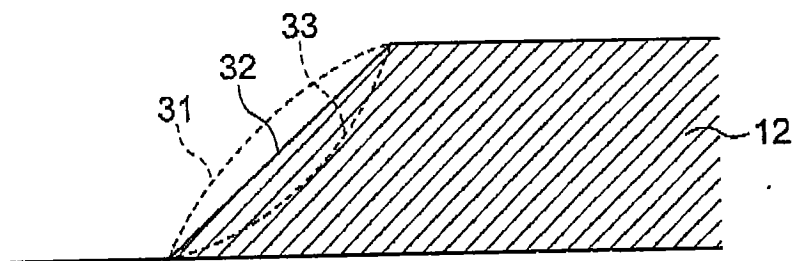


图 4A

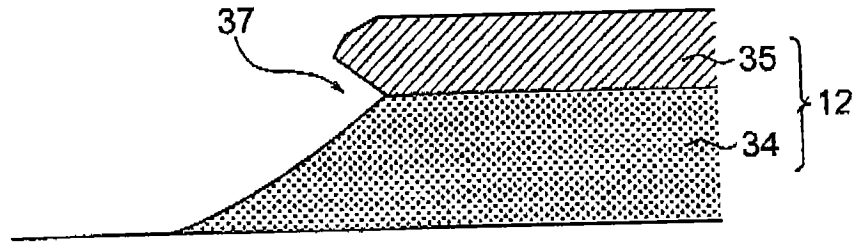


图 4B

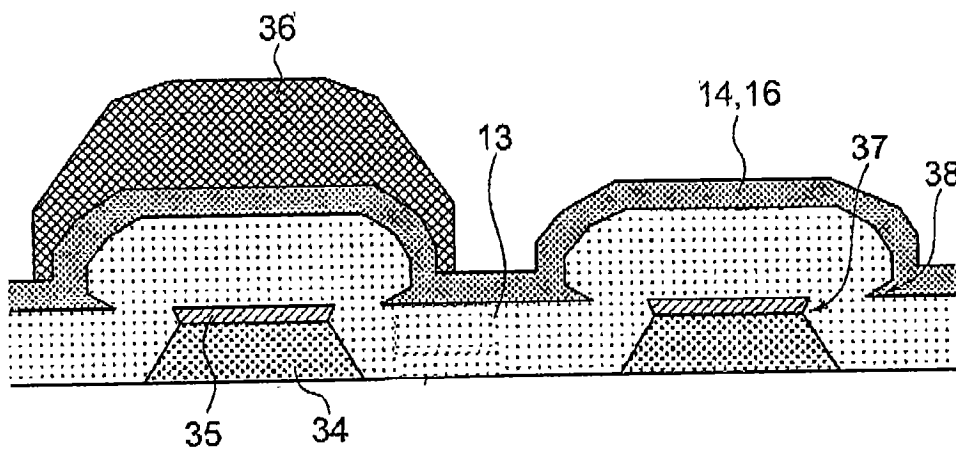


图 5A

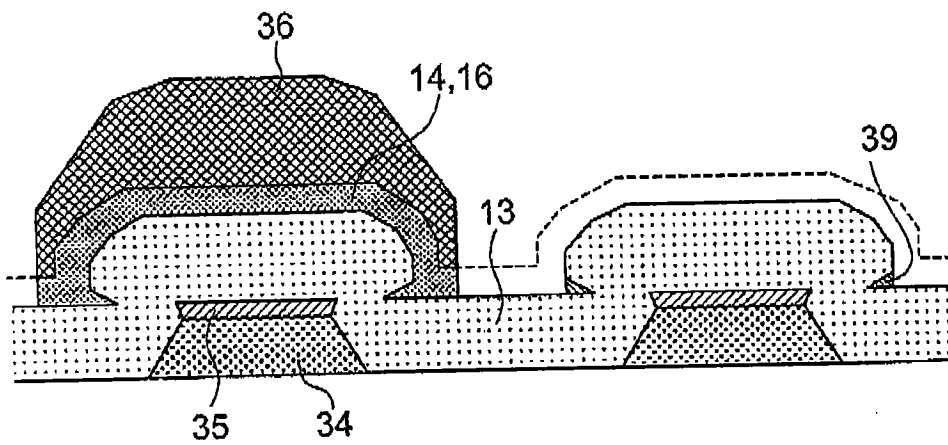


图 5B

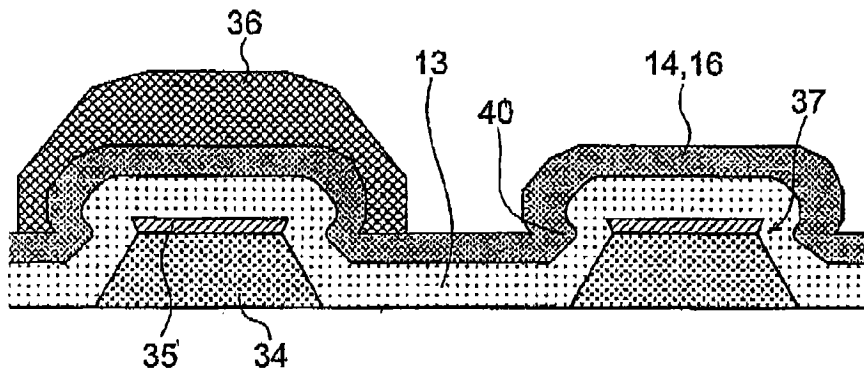


图 6A

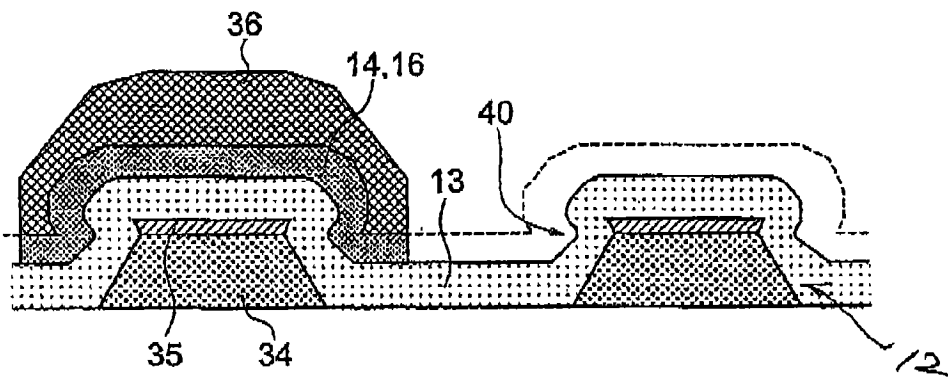


图 6B

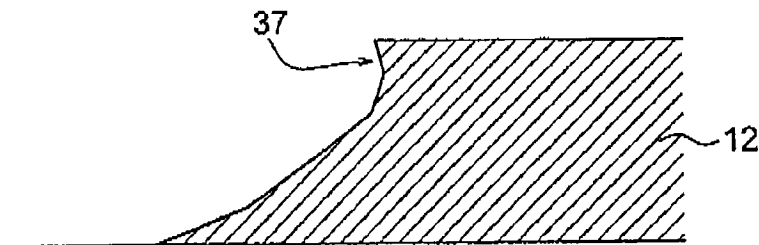


图 7

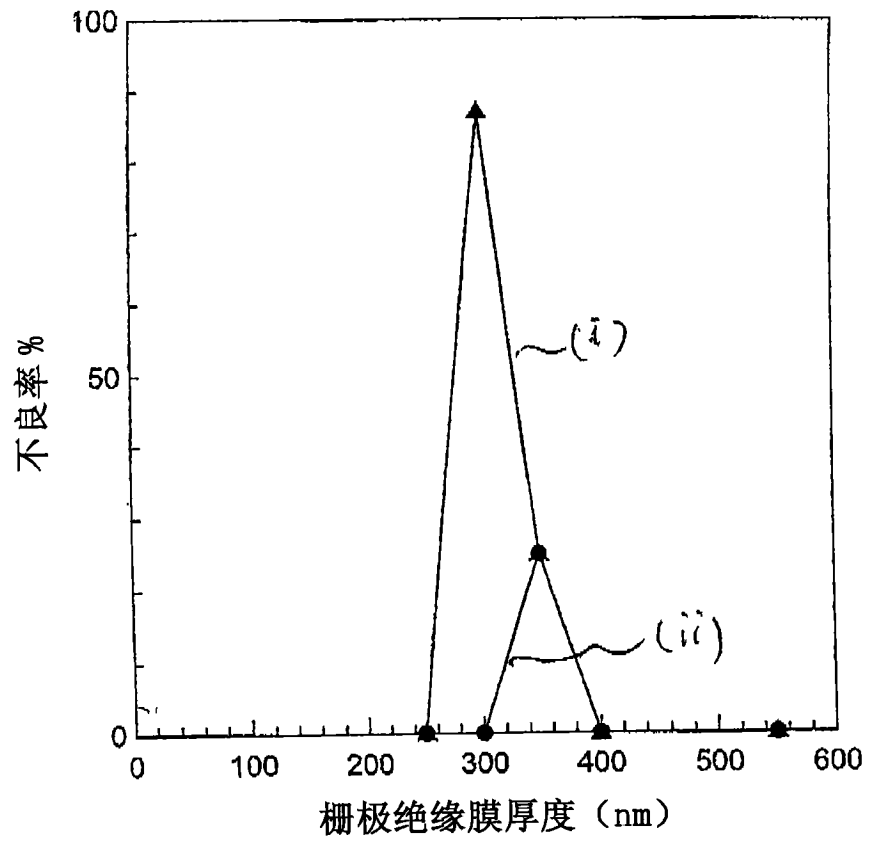


图 8