

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-88862
(P2013-88862A)

(43) 公開日 平成25年5月13日(2013.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 658A	5B046
H01L 21/82 (2006.01)	H01L 21/82 C	5F064
	H01L 21/82 D	
	G06F 17/50 652A	

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2011-225943 (P2011-225943)
(22) 出願日 平成23年10月13日 (2011.10.13)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100106909
弁理士 棚井 澄雄
(74) 代理人 100108578
弁理士 高橋 詔男
(74) 代理人 100138759
弁理士 大房 直樹
(74) 代理人 100140774
弁理士 大浪 一徳
(72) 発明者 加藤 真司
東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

最終頁に続く

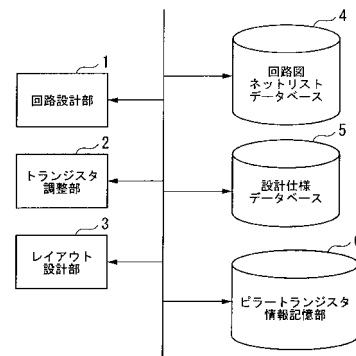
(54) 【発明の名称】 レイアウトデータ作成装置及び半導体装置

(57) 【要約】

【課題】従来のようにピラーの分割単位が小数点数とならず、単位ピラー型トランジスタのピラーの径の変更を行う必要がなくなり、半導体装置を製造するプロセスを複雑化することなく、ピラー型のトランジスタによりセルを、セルロウ内に効率的に配置するレイアウトデータ作成装置を提供する。

【解決手段】本発明のレイアウトデータ作成装置は、集積回路における複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、配置領域内に配置可能な単位ピラー型トランジスタの整数単位に分割し、配置領域内に配置するサブピラー型トランジスタを生成するトランジスタ調整部2を備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

集積回路における複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、配置領域内に配置可能な前記単位ピラー型トランジスタの整数単位に分割し、前記配置領域内に配置するサブピラー型トランジスタを生成するトランジスタ調整部を備えていることを特徴とするレイアウトデータ作成装置。

【請求項 2】

前記トランジスタ調整部が、前記ピラー型トランジスタを構成する前記単位ピラー型トランジスタの個数を、前記配置領域の高さ方向に配置可能な前記単位ピラー型トランジスタの配置個数により除算し、当該除算の結果における小数点以下の数値を繰り上げた数を、当該ピラー型トランジスタの分割数とすることを特徴とする請求項 1 に記載のレイアウトデータ作成装置。

10

【請求項 3】

前記トランジスタ調整部が、前記配置個数と前記分割数とを乗算し、前記ピラー型トランジスタの配置面積に配置可能な前記単位ピラー型トランジスタの配置可能個数を求め、当該配置可能個数から前記ピラー型トランジスタの前記単位ピラー型トランジスタの個数を減算し、前記配置面積に配置されない前記単位ピラー型トランジスタの個数としてピラー欠け数を算出することを特徴とする請求項 2 に記載のレイアウトデータ作成装置。

20

【請求項 4】

前記トランジスタ調整部が、前記ピラー欠け数を前記分割数で除算し、当該除算の結果の小数点を繰り上げ平均数を算出し、当該平均数を前記配置個数から減算し、当該減算の結果を前記配置領域内に対し、配置する前記サブピラー型トランジスタの高さとすることを特徴とする請求項 3 に記載のレイアウトデータ作成装置。

【請求項 5】

複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、当該ピラー型トランジスタを配置する配置領域内に配置可能な前記単位ピラー型トランジスタの整数値からなるサブピラー型トランジスタに分割され、当該サブピラー型トランジスタの各々のソース、ドレイン及びゲートがそれぞれ共通に接続され、内部の回路が形成されていることを特徴とする半導体装置。

30

【請求項 6】

前記ピラー型トランジスタが少なくとも 2 つの前記サブピラー型トランジスタに分割され、前記サブピラー型トランジスタが異なる個数の前記単位ピラー型トランジスタから構成されていることを特徴とする請求項 5 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタのレイアウトデータ作成装置及び半導体装置に関する。

40

【背景技術】

【0002】

従来から、集積回路を高性能かつ高集積に開発するため、この集積回路を構成するトランジスタセルが性能及び面積において最適化されていることが重要である。

特に、トランジスタにおいては、その負荷容量、駆動能力及び面積が、トランジスタにより構成されるセルの性能及び面積に与える影響は大きい。

そして、半導体記憶装置の集積度向上は、主にトランジスタの微細化によって達成されてきたが、トランジスタの微細化はもはや限界に近づいており、これ以上トランジスタサイズを縮小すると、短チャネル効果などによって正しく動作しないおそれが生じている。

【0003】

50

このような問題を根本的に解決する方法として、半導体基板を立体加工し、これによりトランジスタを3次的に形成する方法が提案されている。中でも、半導体基板の主面に対して垂直方向に延びるシリコンピラーをチャンネルとして用いるタイプの3次元トランジスタ（以下、ピラートランジスタ）は、半導体基板主面における占有面積が小さく且つ完全空乏化によって大きなドレイン電流が得られるという利点を有しており、半導体集積回路の集積度の向上が可能である（例えば、特許文献1、特許文献2及び特許文献3を参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-80756号公報

【特許文献2】特開2008-205483号公報

【特許文献3】特開2008-177565号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来から、半導体装置を構成するトランジスタのレイアウトを行う場合、自動レイアウトツールを用いてトランジスタにより構成されるセルの自動配値配線が行われている。

一般的に、セルの自動配値配線においては、セルを配置するための一定の高さと幅とからなるセルロウと呼ばれる配置領域が設定されている。

例えば、図7は、半導体記憶装置におけるメモリセルで構成されるアレイ部周辺の周辺回路部に配置されるセルロウを示す図である。この図7(a)に示されるように、メモリセルから構成されるアレイ部300に対し、周辺回路部200にはセルロウ100が配置されている。図7(b)には、セルロウ100に対してトランジスタからなるセル150が配置される。

【0006】

次に、図8は、従来の配置配線の処理における、セルロウ100の高さHに対応したMOS(Metal Oxide Semiconductor)トランジスタの分割を説明する図である。以下の説明においてMOSトランジスタのゲートのチャンネル長は一定とする。ここでいう分割とは、半導体基板の主面における、平面視でのトランジスタの分割を示している。

ここで、例えばセル150のMOSトランジスタのゲート幅Wを、図8(a)に示すように $W = 7(\mu\text{m})$ である場合でのMOSトランジスタの分割について検討する。

図7におけるセルロウ100の高さHが $H = 4(\mu\text{m})$ である場合、セルの高さ、すなわちMOSトランジスタのゲート幅を均等に $W = 3.5(\mu\text{m})$ として、図8(b)に示すようにMOSトランジスタが2分割される。

また、図7におけるセルロウ100の高さHが $H = 3(\mu\text{m})$ である場合、MOSトランジスタのゲート幅を均等に $W = 2.3(\mu\text{m})$ として、図8(b)に示すようにMOSトランジスタが3分割される。

【0007】

一方、ピラー型のMOSトランジスタは、ピラーの深さでチャンネル長が、ピラーの径でゲート幅が決定されている。

このため、セルロウの高さに対して、ピラーのトランジスタの配置個数が制限され、ピラー型のMOSトランジスタを分割する場合、単位ピラートランジスタのゲート幅に基づいて分割し、小数点以下の端数を含まないように、単位ピラートランジスタの径を変更することになる。

【0008】

しかしながら、ピラー型のMOSトランジスタを用いる場合、ピラーを形成するプロセスの加工精度を保つため、ピラーの深さとピラーの径とが一定の単位ピラートランジスタ(1個のピラー型のMOSトランジスタ)の整数個の組合せにより、所望の能力のMOSトランジスタが形成されており、ピラーの径を変更することは現実的ではない。

10

20

30

40

50

また、ピラーの径を変更した場合、ピラー型のM O Sトランジスタの径を精度良く加工するためには、径の大きさごとにピラーを形成するプロセスを行う必要があり、かなりの工程変更が必要となる。

【課題を解決するための手段】

【0009】

本発明のレイアウトデータ作成装置は、集積回路における複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、配置領域内に配置可能な前記単位ピラー型トランジスタの整数単位に分割し、前記配置領域内に配置するサブピラー型トランジスタを生成するトランジスタ調整部を備えていることを特徴とする。

【0010】

本発明の半導体装置は、複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、当該ピラー型トランジスタを配置する配置領域内に配置可能な前記単位ピラー型トランジスタの整数値からなるサブピラー型トランジスタに分割され、当該サブピラー型トランジスタの各々のソース、ドレイン及びゲートがそれぞれ共通に接続され、内部の回路が形成されていることを特徴とする。

【発明の効果】

【0011】

この発明によれば、従来のようにピラーの分割単位が小数点数とならず、単位ピラー型トランジスタのピラーの径の変更を行う必要が無くなり、半導体装置を製造するプロセスを複雑化することなく、ピラー型のトランジスタによりセルを、セルロウ内に効率的に配置

10

20

【図面の簡単な説明】

【0012】

【図1】本発明の一実施形態によるレイアウトデータ作成装置の構成例を示す概略ブロック図である。

【図2】レイアウトデータ作成装置におけるトランジスタ調整部2を用いたピラー型トランジスタの分割処理の動作例を示すフローチャートである。

【図3】異なる単位ピラー型トランジスタの数で構成されるピラー型トランジスタを、図2のフローチャートにより分割した結果を示すテーブルである。

【図4】本実施形態のレイアウトデータ作成装置により生成した、ピラー型トランジスタを用いたインバータ(N O T回路)のレイアウトを示す図である。

30

【図5】本実施形態のレイアウトデータ作成装置により生成した、ピラー型トランジスタを用いた2入力否定論理積回路(N A N D回路)のレイアウトを示す図である。

【図6】本発明を半導体装置、例えば外部から供給されるクロック信号に同期して動作するS D R A M (シンクロナス・ダイナミック・ランダム・アクセス・メモリ)に適用した場合の半導体装置10の概略構成を示す。

【図7】半導体記憶装置におけるメモリセルで構成されるアレイ部周辺の周辺回路部に配置されるセルロウを示す図である。

【図8】従来の配置配線の処理における、セルロウ100の高さHに対応したM O S (Metal Oxide Semiconductor)トランジスタの分割を説明する図である。

40

【発明を実施するための形態】

【0013】

以下、図面を参照して、本発明の実施の形態について説明する。図1は、この発明の一実施形態によるレイアウトデータ作成装置の構成例を示す概略ブロック図である。

図1において、本実施形態のレイアウトデータ作成装置は、回路設計部1、トランジスタ調整部2、レイアウト設計部3、回路図ネットリストデータベース4、設計仕様データベース5、ピラー型トランジスタ情報記憶部6とを備えている。

【0014】

回路設計部1は、回路の仕様に合わせて記述されたシステムレベル記述を、C / C + + シミュレータ、高位合成ツールにより検証し、H D L 記述に展開し、展開されたH D L (

50

Hardware description language) 記述のシミュレーションを行う。

また、回路設計部 1 は、作成された H D L 記述の回路図からトランジスタの接続を示すネットリストを生成し、回路図の識別情報を付加し、この識別情報を添付して、当該回路のネットリストを回路図ネットリストデータベース 4 に書き込んで記憶させる。ここで、ネットリストは、回路を構成するトランジスタの接続情報と、各单位ピラートランジスタの種別 (p チャンネル型、 n チャンネル型) 及びピラー数とを有するトランジスタデータから構成されている。ピラー型トランジスタ (縦型トランジスタ) の場合、ネットリストにはトランジスタサイズがゲート幅の寸法として記載されて設定されているわけではなく、トランジスタサイズが単位ピラー型トランジスタを半導体基板平面に配置する個数として記載されて設定されている。

10

【 0 0 1 5 】

設計仕様データベース 5 には、ピラー型の M O S トランジスタ (以下、ピラートランジスタ) の面積、セルロウの高さ R_{max} 、レイアウトパターンに関する規則などが予め記憶されている。ここで、ロウセルの高さ R_{max} は、平面視において、ロウセルの高さ方向 (図の上下方向) に配置可能な単位ピラートランジスタの個数で設定されている。ここで、セルロウの高さ R_{max} とは、セルロウに単位ピラートランジスタを配置するときの縦方向における単位ピラートランジスタの最大配置数を示す数として設定されている。

【 0 0 1 6 】

トランジスタ調整部 2 は、回路図ネットリストデータベース 4 から回路を構成するトランジスタデータを読み出し、また、設計仕様データベース 5 からセルロウの高さ R_{max} を読み出す。

20

また、トランジスタ調整部 2 は、読み出したトランジスタデータとセルロウの高さ R_{max} とから、半導体基板平面においてレイアウトするピラートランジスタを、単位ピラートランジスタに分割した分割数と、分割した際のセルの高さ R とを算出する。

【 0 0 1 7 】

ここで、トランジスタ調整部 2 は、セルを構成するピラートランジスタ (複数の単位ピラートランジスタから構成されている) の単位ピラートランジスタ数 P がセルロウの高さ R_{max} を超えるか否かの判定を行い、単位ピラートランジスタ数 P が高さ R_{max} を超えている場合、ピラートランジスタの単位ピラートランジスタを複数のグループ、すなわちサブピラートランジスタに分割し、ピラートランジスタを構成する単位ピラートランジスタ数 P が高さ R_{max} 以下の場合、ピラートランジスタの分割を行わない。

30

【 0 0 1 8 】

ピラートランジスタ情報記憶部 6 は、ネットリストにおけるセルを構成するピラートランジスタの識別情報とともに、ピラートランジスタあるいはサブピラートランジスタを配置するセル高さ R 、ピラートランジスタの分割数 (ピラートランジスタを構成する単位ピラートランジスタを分割するグループ数)、ピラートランジスタが分割されサブピラートランジスタ毎の単位ピラートランジスタ数とが記憶されている。

トランジスタ調整部 2 は、ピラートランジスタの分割処理が終了すると、例えば、単位ピラートランジスタ数 P が 8 で、分割数セル高さ R が 4 で、分割数が Lx が 2 の場合、ピラートランジスタの分割情報として $Tr = (R : 4、Lx : 2、\# 1 (4)、\# 2 (4))$ のデータ構成で、ピラートランジスタの識別情報とともに、ピラートランジスタ情報記憶部 5 に書き込んで記憶させる。

40

【 0 0 1 9 】

ここで、 $\# 1 (4)$ は、ピラートランジスタ分割された 2 つのサブピラートランジスタにおいて、第 1 番目のサブピラートランジスタが 4 個の単位ピラートランジスタから構成されていることを示している。また、 $\# 2 (4)$ は、ピラートランジスタ分割された 2 つのサブピラートランジスタにおいて、第 2 番目のサブピラートランジスタが 4 個の単位ピラートランジスタから構成されていることを示している。

【 0 0 2 0 】

レイアウト設計部 3 は、回路図ネットリストデータベース 4 から回路のネットリストを

50

読み出し、作成したセルをセルロウに対して自動配置し、ネットリストに基づいて各トランジスタの端子の配線を行う。

【 0 0 2 1 】

次に、図 2 を用いて、本実施形態におけるレイアウトデータ作成装置を用いたピラートランジスタの分割処理の流れを説明する。図 2 は、レイアウトデータ作成装置におけるトランジスタ調整部 2 を用いたピラートランジスタの分割処理の動作例を示すフローチャートである。

ステップ S 1 :

トランジスタ調整部 2 は、回路図ネットリストデータベース 4 から、トランジスタデータを順次読み出す。

また、トランジスタ調整部 2 は、設計仕様データベース 5 から、セルロウの高さ R_max を読み出し、処理をステップ S 2 へ進める。

【 0 0 2 2 】

ステップ S 2 :

次に、トランジスタ調整部 2 は、以下の (1) 式により、読み出したトランジスタデータを用い、ピラートランジスタをサブピラートランジスタに分割する分割数 L x の算出を行う。

すなわち、トランジスタ調整部 2 は、トランジスタデータからピラートランジスタの単位ピラートランジスタ数 P を、セルロウの高さ R_max で除算し、分割数 L x を整数値により出力し、処理をステップ S 2 へ進める。

$$L x = \text{ROUNDUP} (P / R_{\text{max}}, 0) \quad \dots (1)$$

ここで使用している ROUNDUP (式 , 0) は、式で計算した結果に対し、小数点以下の切り上げを行う関数である。

【 0 0 2 3 】

ステップ S 3 :

次に、トランジスタ調整部 2 は、ピラートランジスタを構成する単位ピラートランジスタを、分割数 L x に分割した際のピラー欠け数 L p を、以下の (2) 式により算出し、処理をステップ S 4 へ進める。

$$L p = L x \times R_{\text{max}} - P \quad \dots (2)$$

ここで、ピラー欠け数 L p とは、分割数 L x に対し、セルロウの高さ R_max を乗算することにより得られる実際にセルが占有する面積内の単位ピラートランジスタ数 (配置可能な個数) と、実際のピラートランジスタの単位ピラートランジスタの個数 P との差分を示している。すなわち、ピラー欠け数 L p は、現在の配置において単位ピラートランジスタが配置されないにも係わらず、無駄にセルの配置領域として、セルに占有されている単位ピラートランジスタ数を示している。

【 0 0 2 4 】

ステップ S 4 :

次に、トランジスタ調整部 2 は、(2) 式で算出したピラー欠け数 L p が 0 か否かの判定を行い、ピラー欠け数 L p が 0 である (すなわち、L p = 0) 場合、トランジスタセルの高さ R をセルロウの高さ R_max として、処理をステップ S 7 へ進める。

一方、トランジスタ調整部 2 は、ピラー欠け数 L p が 0 でない (すなわち、L p > 0) の場合、セルロウの高さを求めるために処理をステップ S 5 へ進める。

【 0 0 2 5 】

ステップ S 5 :

次に、トランジスタ調整部 2 は、以下の (3) 式により、セルロウの高さ R_max から、トランジスタのセルの高さ R を算出し、処理をステップ S 6 へ進める。

$$R = R_{\text{max}} - \text{ROUNDDOWN} (L p / L x , 0) \quad \dots (3)$$

ここで使用している ROUNDDOWN (式 , 0) は、式で計算した結果に対し、小数点以下の切り下げを行う関数である。この (3) 式の行う処理は、ピラー欠け数が発生したサブピラートランジスタの列において、単位ピラートランジスタが配置されていない領

10

20

30

40

50

域における単位ピラートランジスタの配置可能な数、すなわちピラー欠け数 L_p を、分割数 L_x で乗算することにより、ピラー欠け数 L_p を各サブピラートランジスタに分散させた際のピラー数を算出する処理である。

【0026】

ステップ S 6 :

次に、トランジスタ調整部 2 は、新たに算出したセルの高さ R の数値を、(1) 式の R_{max} に代入し、セル高さ変更後の分割数 L_x を算出する。

また、トランジスタ調整部 2 は、(2) 式によりピラー欠け数 L_p を算出し、高さ R からピラー欠け数 L_p を減算し、分割したいずれかのサブピラートランジスタの単位ピラートランジスタ数として用いる。

10

そして、トランジスタ調整部 2 は、処理をステップ S 7 へ進める。

【0027】

ステップ S 7 :

次に、トランジスタ調整部 2 は、すでに求めたセルの高さ R 、分割数 L_x 及びピラー欠け数 L_p から、セルにおけるサブピラートランジスタの配置構成を決定し、このセルにおけるサブピラートランジスタの配置構成を m ピラートランジスタの識別情報に対応させて、ピラートランジスタ情報記憶部 6 に書き込んで記憶させ、処理をステップ S 8 へ進める。

トランジスタ調整部 2 は、例えば、ピラー数 P が 8 で、分割数セル高さ R が 4 で、分割数 L_x が 2 の場合、 $Tr = (R : 4, L_x : 2, \#1(4), \#2(4))$ として示す、ピラートランジスタを複数のサブピラートランジスタに分割した際の分割情報を、ピラートランジスタの識別情報とともに、トランジスタ調整部 2 により書き込んで記憶させる。

20

【0028】

ステップ S 8 :

次に、トランジスタ調整部 2 は、回路図ネットリストデータベース 4 から、処理していないセルにおけるピラートランジスタのトランジスタデータの有無を検出する。

このとき、トランジスタ調整部 2 は、回路図ネットリストデータベース 4 において、処理されていないセルのピラートランジスタが検出された場合、処理をステップ S 1 へ進める。

一方、トランジスタ調整部 2 は、回路図ネットリストデータベース 4 において、処理されていないセルのピラートランジスタが検出されない場合、処理を終了する。

30

【0029】

以下に、図 2 のフローチャートに従ったピラートランジスタをサブピクセルに分割して行うセルの配置構成の生成について、実際の処理の例を以下に説明する。

< 例 - No. 1 >

ピラートランジスタの単位ピラートランジスタ数 $P = 8$

セル口ウの高さ $R_{max} = 3$

この場合、ステップ S 2 において、トランジスタ調整部 2 は、(1) 式により、 $L_x = 3$ を算出する。

【0030】

40

そして、ステップ S 3 において、トランジスタ調整部 2 は、(2) 式により、ピラー欠け数 $L_p = 1$ を算出する。

このとき、トランジスタ調整部 2 は、ピラー欠け数 L_p が 0 ではないため、ステップ S 4 において、処理をステップ S 5 へ進める。

次に、トランジスタ調整部 2 は、ステップ S 5 において、(3) 式により、セル高さ $R = 3$ を算出する。

【0031】

次に、トランジスタ調整部 2 は、ステップ S 6 において、(1) 式により、ピラートランジスタを分割したサブピラートランジスタの数である分割数 $L_x = 3$ を算出する。

また、トランジスタ調整部 2 は、ステップ S 6 において、(2) 式により、ピラートラ

50

ンジスタのピラー欠け数 $L_p = 1$ を算出し、セル高さ $R = 3$ からピラー欠け数 $L_p = 1$ を減算し、3番目のサブピラートランジスタの単位ピラートランジスタ数 2 とする。

そして、トランジスタ調整部 2 は、上述した処理により、このピラートランジスタの分割情報 $Tr = (R : 3, L_x : 3, \# 1 (3), \# 2 (3), \# 3 (2))$ とし、このピラートランジスタの識別情報とともに、ピラートランジスタ情報記憶部 6 へ書き込んで、記憶させる。

【 0 0 3 2 】

< 例 - No . 2 >

ピラートランジスタのピラー数 $P = 10$

セルロウの高さ $R_{max} = 4$

この場合、ステップ S 2 において、トランジスタ調整部 2 は、(1) 式により、 $L_x = 3$ を算出する。

【 0 0 3 3 】

そして、ステップ S 3 において、トランジスタ調整部 2 は、(2) 式により、ピラー欠け数 $L_p = 2$ を算出する。

このとき、トランジスタ調整部 2 は、ピラー欠け数 L_p が 0 ではないため、ステップ S 4 において、処理をステップ S 5 へ進める。

次に、トランジスタ調整部 2 は、ステップ S 5 において、(3) 式により、セル高さ $R = 4$ を算出する。

【 0 0 3 4 】

次に、トランジスタ調整部 2 は、ステップ S 6 において、(1) 式により、ピラートランジスタを分割したサブピラートランジスタの数であるの分割数 $L_x = 3$ を算出する。

また、トランジスタ調整部 2 は、ステップ S 6 において、(2) 式により、ピラートランジスタのピラー欠け数 $L_p = 2$ を算出し、セル高さ $R = 4$ からピラー欠け数 $L_p = 2$ を減算し、3番目のサブピラートランジスタ (# 3) の単位ピラートランジスタ数 2 とする。

そして、トランジスタ調整部 2 は、上述した処理により、このピラートランジスタの分割情報 $Tr = (R : 4, L_x : 3, \# 1 (4), \# 2 (4), \# 3 (2))$ とし、このピラートランジスタの識別情報とともに、ピラートランジスタ情報記憶部 6 へ書き込んで、記憶させる。

【 0 0 3 5 】

< 例 - No . 3 >

ピラートランジスタのピラー数 $P = 36$

セルロウの高さ $R_{max} = 18$

この場合、ステップ S 2 において、トランジスタ調整部 2 は、(1) 式により、ピラートランジスタを分割したサブピラートランジスタの数である分割数 $L_x = 2$ を算出する。

【 0 0 3 6 】

そして、ステップ S 3 において、トランジスタ調整部 2 は、(2) 式により、ピラー欠け数 $L_p = 0$ を算出する。

このとき、トランジスタ調整部 2 は、ピラー欠け数 L_p が 0 であるため、ステップ S 4 において、処理をステップ S 7 へ進める。

次に、トランジスタ調整部 2 は、上述した処理により、このピラートランジスタの分割情報 $Tr = (R : 18, L_x : 2, \# 1 (18), \# 2 (18))$ とし、このピラートランジスタの識別情報とともに、ピラートランジスタ情報記憶部 6 へ書き込んで、記憶させる。

【 0 0 3 7 】

< 例 - No . 4 >

ピラートランジスタのピラー数 $P = 28$

セルロウの高さ $R_{max} = 18$

この場合、ステップ S 2 において、トランジスタ調整部 2 は、(1) 式により、分割数

10

20

30

40

50

$L_x = 2$ を算出する。

【0038】

そして、ステップ S 3 において、トランジスタ調整部 2 は、(2) 式により、ピラー欠け数 $L_p = 8$ を算出する。

このとき、トランジスタ調整部 2 は、ピラー欠け数 L_p が 0 ではないため、ステップ S 4 において、処理をステップ S 5 へ進める。

次に、トランジスタ調整部 2 は、ステップ S 5 において、(3) 式により、セル高さ $R = 14$ を算出する。

【0039】

次に、トランジスタ調整部 2 は、ステップ S 6 において、(1) 式により、ピラートランジスタを分割したサブピラートランジスタの数である分割数 $L_x = 2$ を算出する。

10

また、トランジスタ調整部 2 は、ステップ S 6 において、(2) 式により、ピラートランジスタのピラー欠け数 $L_p = 0$ を算出し、セル高さ $R = 14$ からピラー欠け数 $L_p = 0$ を減算し、2 番目のサブピラートランジスタの単位ピラートランジスタ数 14 とする。

そして、トランジスタ調整部 2 は、上述した処理により、このピラートランジスタの分割情報 $T_r = (R : 14, L_x : 2, \#1(14), \#2(14))$ とし、このピラートランジスタの識別情報とともに、ピラートランジスタ情報記憶部 6 へ書き込んで、記憶させる。

【0040】

20

次に、図 3 は、上述した例 - No. 1 から No. 4 の処理の結果を示すテーブルである。トランジスタ調整部 2 が読み込んで入力するパラメータとして、処理対象のピラートランジスタの単位ピラートランジスタ数 P とセル口ウ高さ R_{max} とがあり、出力として分割数 L_x 、ピラー欠け数 L_p 及び修正後のセルの高さ R とが示されている。

例 - No. 3 の場合、ピラー欠け数 L_p が 0 であるため、セルの高さ R を (3) 式により新たに求めず、セル口ウの高さ R_{max} をそのまま R として用いる。

また、例 - No. 1 及び No. 2 においては、ピラー欠け数 L_p が存在するが、セル高さ R を求めても、セル口ウ高さ R_{max} と変わらない。このため、トランジスタ調整部 2 は、ピラー欠け数 L_p が 0 ではないが、このピラー欠け数 L_p のまま、ピラートランジスタの分割情報 T_r を生成する。

30

一方、例 - No. 4 の場合、セル口ウの高さ R_{max} から、(3) 式によりセルの高さ R を算出し、このセルの高さ R により、ピラーの欠け数 L_p が 0 となっている。

【0041】

次に、図 4 は、本実施形態のレイアウトデータ作成装置により生成した、ピラートランジスタを用いたインバータ (NOT 回路) のレイアウトを示す図である。図 4 (a) に示すネットリストにおける p チャネル型トランジスタ P_1 と、 n チャネル型トランジスタ N_1 とからなるインバータのピラートランジスタの分割を行った結果が図 4 (b) に示されている。

ここで、図 4 (a) に示すインバータにおいて、 p チャネル型のピラートランジスタ P_1 の単位ピラートランジスタ数 P が $P = 64$ であり、セル口ウの高さ R_{max} が $R_{max} = 16$ である。また、図 4 (a) に示すインバータにおいて、 n チャネル型のピラートランジスタ N_1 の単位ピラートランジスタ数 P が $P = 32$ であり、セル口ウの高さ R_{max} が $R_{max} = 11$ である。

40

【0042】

図 3 に示すフローチャートの処理により、トランジスタ調整部 2 は、図 4 (b) に示すように、 p チャネル型のピラートランジスタ P_1 の分割情報が $T_r = (R : 16, L_x : 4, \#1(16), \#2(16), \#3(16), \#4(16))$ と設定する。

また、同様に、図 4 (b) に示すように、図 3 に示すフローチャートの処理により、トランジスタ調整部 2 は、 n チャネル型のピラートランジスタ N_1 の分割情報が $T_r = (R : 11, L_x : 3, \#1(11), \#2(11), \#3(10))$ と設定する。

50

ピラートランジスタ P 1 を分割したサブピラートランジスタ S P 1 (# 1)、S P 2 (# 2)、S P 3 (# 3)、S P 4 (# 4) の各々は、構成する単位ピラートランジスタの数が同一である。一方、ピラートランジスタ N 1 を分割したサブピラートランジスタ S N 1 (# 1) と S N 2 (# 2) とは同一である。しかしながら、サブピラートランジスタ S N 3 (# 3) は、他のサブピラートランジスタ S N 1 (# 1) 及び S N 2 (# 2) と異なる単位ピラートランジスタの数で構成されている。

【 0 0 4 3 】

また、図 4 (c) には、セルロウにおける、ピラートランジスタ P 1 とピラートランジスタ N 1 との配置が示されている。

セルロウは、p チャンネル型のピラートランジスタを形成する p チャンネル型ピラートランジスタ形成領域 (n 型不純物が拡散されたウェル領域内のトランジスタ形成領域) と、n チャンネル型ピラートランジスタ形成領域 (p 型不純物が拡散されたウェル領域内のトランジスタ形成領域) と、電源配線領域及びセル内トランジスタの配線領域とを有している。

【 0 0 4 4 】

上述した分割情報に示されているように、p チャンネル型のピラートランジスタ P 1 は、ピラー欠け数が 0 であるため、それぞれピラートランジスタ領域にセルの高さを変えずに配置されることになる。

また、n チャンネル型のピラートランジスタ N 1 は、ピラー欠け数 P が 1 であるが、R O U N D D O U N (L p / L x , 0) の結果が 0 となるため、すなわち、L p < L x が 0 であるため、セルの高さ R はセルロウの高さ R_max と同一となる。

【 0 0 4 5 】

また、図 4 (c) に示すように、サブピラートランジスタ S P 1 (# 1)、S P 2 (# 2)、S P 3 (# 3) 及び S P 4 (# 4) の各々のソース、ドレイン及びゲートは共通に接続されている。

すでに述べたように、p チャンネル型ピラートランジスタを配置するときの縦方向のピラーの最大配置数を示す数としてのセルロウの高さ R_max が、p チャンネル型ピラートランジスタ形成領域の高さとして設定されている。同様に、n チャンネル型ピラートランジスタを配置するときの縦方向の単位ピラートランジスタの最大配置数を示す数としてのセルロウの高さ R_max が、n チャンネル型ピラートランジスタ形成領域の高さとして設定されている。

【 0 0 4 6 】

次に、図 5 は、本実施形態のレイアウトデータ作成装置により生成した、ピラートランジスタを用いた 2 入力否定論理積回路 (N A N D 回路) のレイアウトを示す図である。図 5 (a) に示すネットリストにおける p チャンネル型トランジスタ P 2 及び P 3 と、n チャンネル型トランジスタ N 2 及び N 3 とからなる N A N D 回路のピラートランジスタの分割を行った結果が図 5 (b) に示されている。

【 0 0 4 7 】

ここで、図 5 (a) に示す N A N D 回路において、p チャンネル型のピラートランジスタ P 2 及び P 3 の単位ピラートランジスタ数 P が P = 2 2 であり、セルロウの高さ R_max が R_max = 1 1 である。また、図 5 (a) に示す N A N D 回路において、n チャンネル型のピラートランジスタ N 2 及び N 3 の単位ピラートランジスタ数 P が P = 1 6 であり、セルロウの高さ R_max が R_max = 8 である。

【 0 0 4 8 】

図 3 に示すフローチャートの処理により、トランジスタ調整部 2 は、図 5 (b) に示すように、p チャンネル型のピラートランジスタ P 2 及び P 3 の分割情報が T r = (R : 1 1、L x : 2、# 1 (1 1)、# 2 (1 1)) と設定する。

また、同様に、図 5 (b) に示すように、図 3 に示すフローチャートの処理により、トランジスタ調整部 2 は、n チャンネル型のピラートランジスタ N 2 及び N 3 の分割情報が T r = (R : 8、L x : 2、# 1 (8)、# 2 (8)) と設定する。

ピラートランジスタ P 2 を分割したサブピラートランジスタ S P 1 (# 1) 及び S P 2

10

20

30

40

50

の各々は、構成する単位ピラートランジスタの数が同一である。同様に、ピラートランジスタ P 3 を分割したサブピラートランジスタ S P 3 (# 1) 及び S P 4 の各々は、構成する単位ピラートランジスタの数が同一である。また、ピラートランジスタ N 2 を分割したサブピラートランジスタ S N 1 (# 1) 及び S N 2 (# 2) の各々は、構成する単位ピラートランジスタの数が同一である。同様に、ピラートランジスタ N 3 を分割したサブピラートランジスタ S N 3 (# 1) 及び S N 4 (# 2) の各々は、構成する単位ピラートランジスタの数が同一である。

【 0 0 4 9 】

また、図 5 (c) には、セルロウにおける、ピラートランジスタ P 1 及び P 2 とピラートランジスタ N 2 及び N 3 との配置が示されている。

セルロウは、p チャンネル型のピラートランジスタを形成する p チャンネル型ピラートランジスタ形成領域と、n チャンネル型ピラートランジスタ形成領域と、電源配線領域及びセル内トランジスタの配線領域とを有している。

上述した分割情報に示されているように、p チャンネル型のピラートランジスタ P 2 及び P 3 と、n チャンネル型のピラートランジスタ N 2 及び N 3 との各々は、ピラー欠け数が 0 であるため、それぞれピラートランジスタ領域にセルの高さを変えずに配置されることになる。

【 0 0 5 0 】

他の例として、セルロウの高さが $R_{max} = 300$ であり、ピラートランジスタのピラー数が $P = 1000$ の場合を考えると、ピラートランジスタのサブピクセルへの分割数が $Lx = 4$ となり、ピラー欠け数が $Lp = 200$ となる。

この結果、セル高さが $R = 300 - \text{ROUNDDOWN}(200 / 4, 0) = 250$ となり、サブピラートランジスタが単位ピラートランジスタが 4 列 (分割数 Lx) であり、各サブピラートランジスタが単位ピラートランジスタが 250 個 (セル高さ R) のピラートランジスタ構成、すなわち、 $Tr = (R : 250, Lx : 4, \# 1 (250), \# 2 (250), \# 2 (250), \# 4 (250))$ となる。このため、一個の単位ピラートランジスタを配置単位とした面積としては、 $4 \times 250 = 1000$ となり、最小化された面積となる。

一方、ピラー欠け数が発生した場合のトランジスタ構成は、 $Tr = (R : 300, Lx : 4, \# 1 (300), \# 2 (300), \# 2 (300), \# 4 (100))$ となり、一個の単位ピラートランジスタを配置単位とした面積としては、 $4 \times 300 = 1200$ となり、1200 個分の単位ピラートランジスタを配置する面積が必要となる。

【 0 0 5 1 】

したがって、平準化処理、すなわちピラー欠け数 Lp が発生した場合、(3) 式により平準化処理、すなわちピラートランジスタを分割したサブピラートランジスタの単位ピラートランジスタ数を各列で平均化しない場合に比較しての実質的に面積を削減できることになる。

上述したように、本実施形態は、セルを構成するピラートランジスタのサイズを、従来のゲート幅の長さに変え、単位ピラートランジスタの整数で示される個数で設計しており、単位ピラートランジスタの整数倍で設定されたセルロウの高さに対し、ピラートランジスタを単位ピラートランジスタが整数個で配置できるサブピラートランジスタとなるように分割する。

このため、本実施形態によれば、従来のようにピラーの分割単位が小数点数とならず、単位ピラートランジスタのサイズ変更を行う必要がなくなり、半導体装置を製造するプロセスを複雑化することなく、ピラー型のトランジスタによりセルを、セルロウ内に効率的に配置することができる。

また、本実施形態によれば、分割されたサブピラートランジスタを構成するピラーの個数を、それぞれの分割されたサブピラートランジスタでほぼ同様とするため、ピラートランジスタで構成されるセルの面積を低減することができる。

【 0 0 5 2 】

10

20

30

40

50

また、本発明は、集積回路における複数の単位ピラートランジスタ（単位ピラー型トランジスタ）で構成されるピラー型トランジスタ（ピラートランジスタ）を、集積回路におけるピラー型トランジスタの配置領域内に配置可能な単位ピラー型トランジスタの整数単位に分割し、配置領域内に配置するサブピラー型トランジスタを生成するトランジスタ調整部 2 を有している。

このため、本発明によれば、半導体装置の回路（セル）を構成するピラートランジスタのサイズを、従来のゲート幅の長さに変え、単位ピラートランジスタの整数で示される個数で設計しており、単位ピラートランジスタの整数倍で設定されたセルロウの高さに対し、ピラートランジスタを分割し、単位ピラートランジスタをセルロウ内に整数個で配置することができる。

10

【0053】

図 6 は、本発明を半導体装置、例えば外部から供給されるクロック信号に同期して動作する S D R A M（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）に適用した場合の半導体装置 10 の概略構成を示す。なお、図 6 に示されている各回路ブロックは、全て単結晶シリコンからなる同一の半導体チップ上に形成される。各回路ブロックは、例えば、P M O S ピラー型トランジスタ（ピラー型の P 型チャンネル M O S トランジスタ）及び N M O S ピラー型トランジスタ（ピラー型の N 型チャンネル M O S トランジスタ）等の複数のトランジスタで構成される。また、印で示されているのは、当該半導体チップに設けられる外部端子としてのパッドである。

20

【0054】

半導体装置 10 は、メモリセルアレイ 20 及びデータ入出力部 100 を含んで構成される。ここで、制御回路 21 及びデータ入出力部 100 のトランジスタは、本実施形態における複数の単位ピラー型トランジスタからなるピラートランジスタ（すなわち、サブピラートランジスタ）から構成されている。

また、半導体装置 10 は、外部端子（半導体チップ上のパッド）として、コマンド端子 12 a、アドレス端子 13、データ端子 D Q 0 ~ D Q n を備えている。その他、クロック端子、電源端子等の外部端子も備えるが、これらについては本発明とは関連がないため図示を省略してある。

【0055】

コマンド端子 12 a は、例えばロウアドレスストロープ信号 / R A S、カラムアドレスストロープ信号 / C A S、ライトイネーブル信号 / W E、チップセレクト信号 / C S 等の信号が供給される端子を総称して示した端子である。これらの端子に入力される信号の組合せによりコマンド信号 C M D が構成される。このコマンド端子 12 a は、制御回路 21 に接続される。

30

また、アドレス端子 13 は、アドレス信号 A D D が供給される端子であり、制御回路 21 に接続される。

データ端子 D Q は、リードデータの出力及びライトデータの入力を行うための端子であり、データ入出力部 100 に接続されている。

【0056】

メモリセルアレイ 20 は、複数のワード線と複数のビット線と、ワード線とビット線との交点に配置された複数のメモリセルを含む。このメモリセルを構成するトランジスタも、周辺回路と同様に、図に示すように、ピラー型の M O S トランジスタから構成されている。

40

制御回路 21 は、外部からコマンド端子 12 a を介して供給されるコマンド信号 C M D と、外部からアドレス端子 13 を介して供給されるアドレス信号 A D D とに応じて、メモリセルアレイ 20 の動作を制御する各種動作制御信号 I C N T を、メモリセルアレイ 20 に供給する。

制御回路 21 は、各種動作制御信号 I C N T を、メモリセルアレイ 20 に供給することで、メモリセルアレイ 20 におけるメモリセルからのデータの読み出し動作であるリード動作と、メモリセルへのデータの書き込み動作であるライト動作とを制御する。

50

【 0 0 5 7 】

また、制御回路 2 1 は、外部からコマンド端子 1 2 a を介して、コマンド信号 C M D としてモードレジスタセットコマンド (M R S コマンド) が供給された場合、この M R S コマンドとともにアドレス端子 1 3 からアドレス信号 A D D として供給されるモード設定コードに応じたモードレジスタセット信号 M R S により、メモリセルアレイ 2 0 のメモリセルに対するデータの書き込み、及びデータの読み出しを制御する。

データ入出力部 1 0 0 は、リード動作時には、メモリセルアレイ 2 0 から供給されるデータ D a t a を、データ端子 D Q 0 ~ D Q n を介して外部に供給し、一方、ライト動作時には、外部からデータ端子 D Q 0 ~ D Q n を介して供給されるデータ D a t a をメモリセルアレイ 2 0 に供給する。

10

【 0 0 5 8 】

本発明は、複数の単位ピラー型トランジスタで構成されるピラー型トランジスタを、配置領域内に配置可能な単位ピラー型トランジスタの整数値からなるサブピラー型トランジスタに分割し、当該サブピラー型トランジスタの各々のソース、ドレイン及びゲートがそれぞれ共通に接続され、内部の回路が形成されている。

このため、本発明によれば、従来のようにピラーの分割単位が小数点数の端数を有さないため、単位ピラー型トランジスタのサイズ変更を行う必要がなくなり、半導体装置を製造するプロセスを複雑化することなく、ピラー型のトランジスタによりセルを、セルロウ内に効率的に配置することができる。

20

【 0 0 5 9 】

また、図 1 におけるレイアウトデータ作成装置の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによりピラー型トランジスタのセルに配置する際のピラー型トランジスタの分割処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OS や周辺機器等のハードウェアを含むものとする。

【 0 0 6 0 】

また、「コンピュータシステム」は、WWWシステムを利用している場合であれば、ホームページ提供環境 (あるいは表示環境) も含むものとする。

また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信する場合の通信線のように、短時間の間、動的にプログラムを保持するもの、その場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリのように、一定時間プログラムを保持しているものも含むものとする。また上記プログラムは、前述した機能の一部を実現するためのものであっても良く、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるものであっても良い。

30

【 0 0 6 1 】

以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

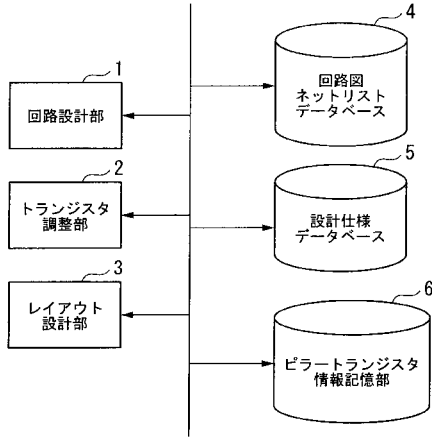
40

【 符号の説明 】

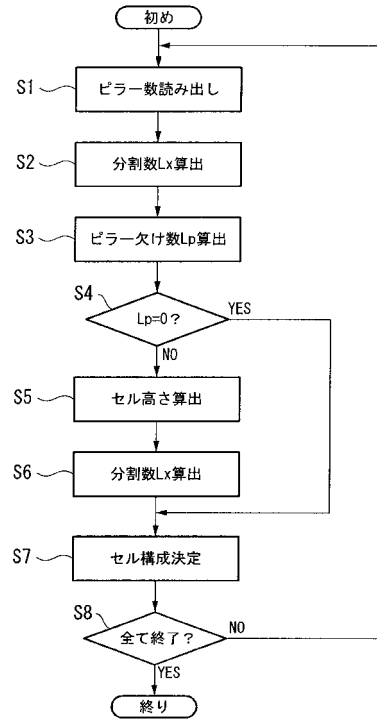
【 0 0 6 2 】

- 1 ... 回路設計部
- 2 ... トランジスタ調整部
- 3 ... レイアウト設計部
- 4 ... 回路図ネットリストデータベース
- 5 ... 設計仕様データベース
- 6 ... ピラー型トランジスタ情報記憶部

【 図 1 】



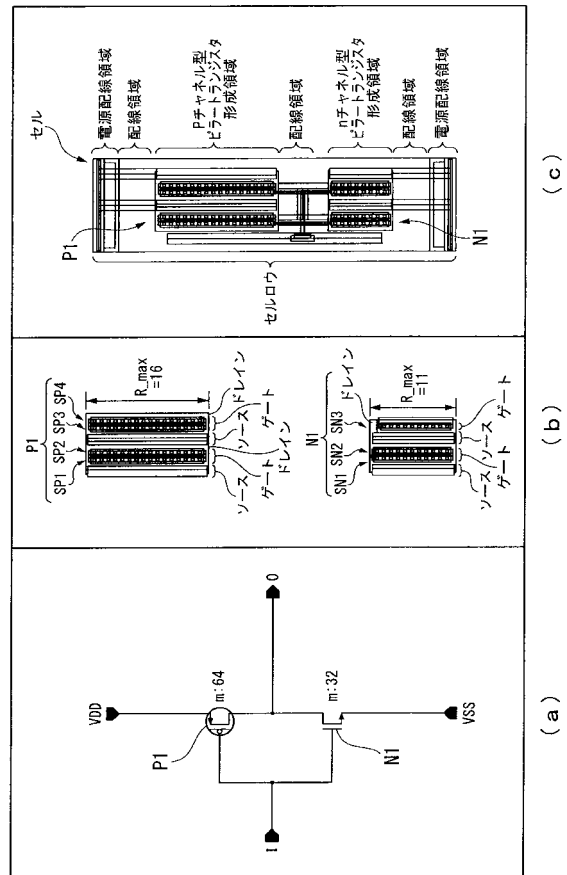
【 図 2 】



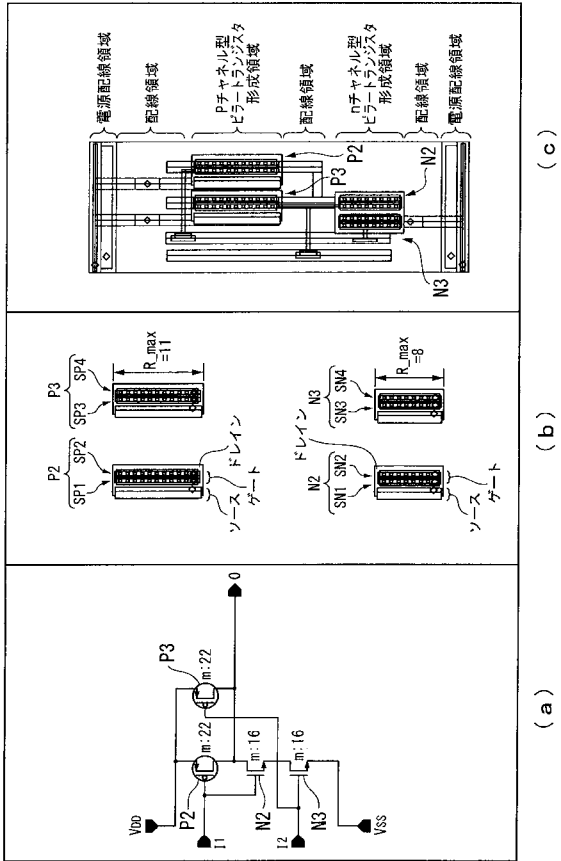
【 図 3 】

項目	定義	例1	例2	例3	例4	備考
ピラー数P	ピラートランジスタを構成する単位ピラー数	8	10	36	23	
セルロウ高さ R_max	セルロウの高さを示すピラー数	3	4	18	18	
分割数Lx	ROUNDUP(P/R_max, 0)	3	3	2	2	
ピラー欠け数Lp	Lx × R_max - P	1	2	0	8	
修正後のセル高さR	R_max - ROUNDOWN(Lp/Lx, 0)	3	4	-	14	ピラー欠けがない場合の処理

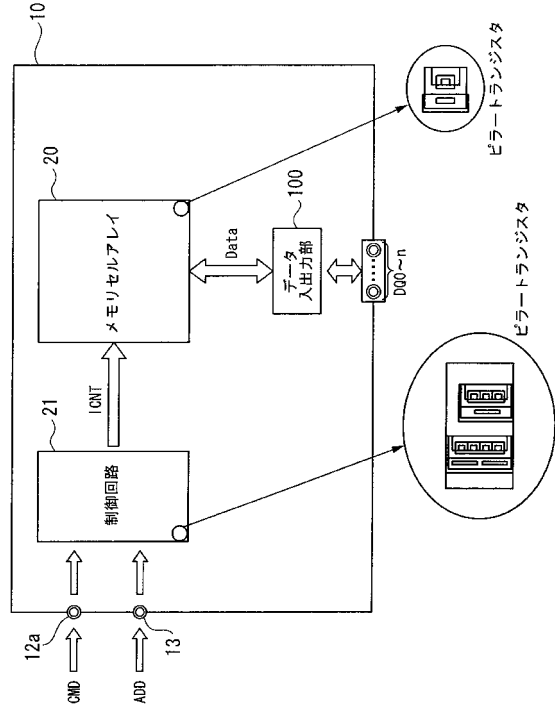
【 図 4 】



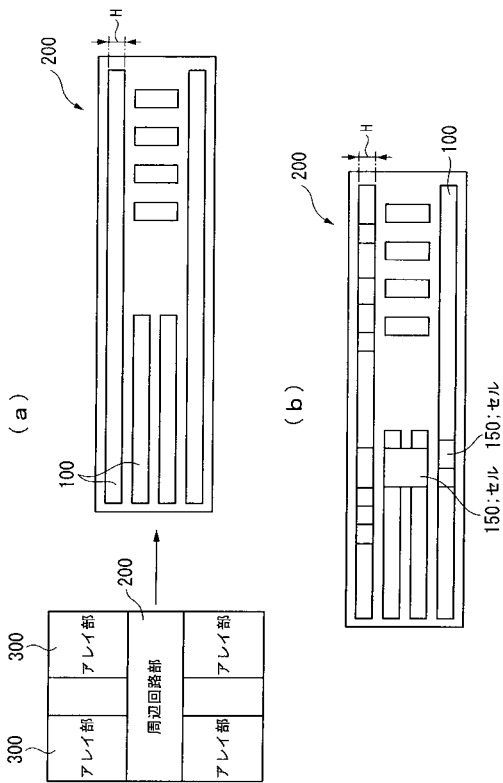
【図5】



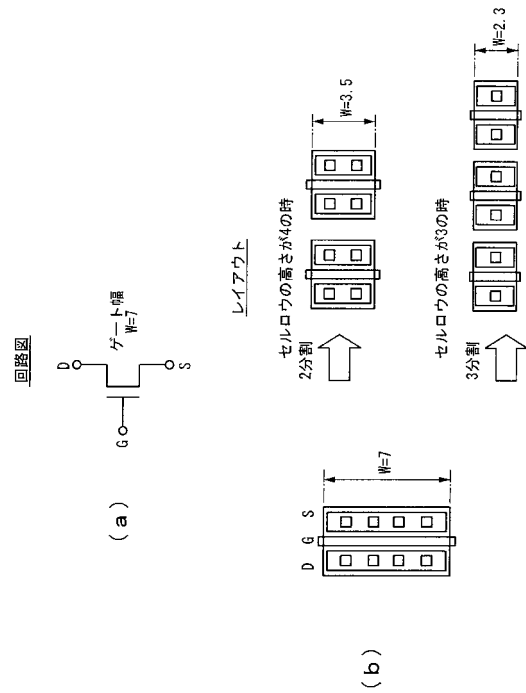
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 石塚 一輝
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 遠藤 清孝
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 國府田 充樹
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5B046 AA08 BA04 KA06

5F064 AA13 BB05 BB13 CC09 CC30 DD02 DD03 DD09 DD12 DD13

DD19 EE02 HH06 HH10