



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0071578
(43) 공개일자 2022년05월31일

(51) 국제특허분류(Int. Cl.)
H03F 1/02 (2006.01) H03F 3/45 (2006.01)
(52) CPC특허분류
H03F 1/0211 (2013.01)
H03F 3/45085 (2013.01)
(21) 출원번호 10-2020-0158879
(22) 출원일자 2020년11월24일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
노호성
경기도 수원시 영통구 청명로 132, 332동 1503호
고형호
대전광역시 유성구 지족로 343, 201동 503호
김형섭
대전광역시 유성구 유성대로783번길 38, 106동 2002호
(74) 대리인
박영우

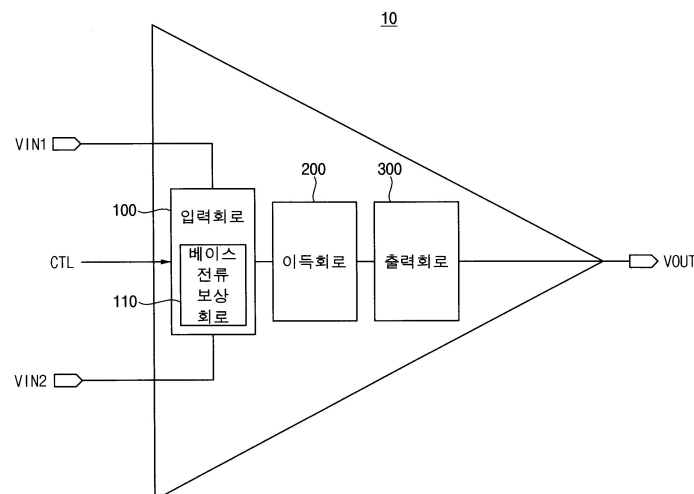
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 증폭기의 입력 회로

(57) 요약

본 발명의 일 실시예에 따른 증폭기의 입력 회로는 수신 회로, 베이스 전류 측정 회로, 상쇄 전류 조절 회로 및 상쇄 전류 제공 회로들을 포함한다. 상기 수신 회로는 제1 및 제2 바이폴라 접합 트랜지스터(Bipolar Junction Transistor)(BJT)들을 포함하고, 베이스 전류 보상 구간에서 상기 제1 및 제2 BJT들의 베이스 단자들로 차동 형태의 제1 및 제2 입력 신호들을 수신하여 컬렉터 전류들을 생성할 수 있다. 상기 베이스 전류 측정 회로는 베이스 전류 측정 구간에서 상기 제1 BJT의 제1 베이스 전류를 측정할 수 있다. 상기 상쇄 전류 조절 회로는 상기 제1 베이스 전류에 기초하여 상쇄 전류 조절 신호를 생성할 수 있다. 상기 상쇄 전류 제공 회로들은 상기 제1 및 제2 BJT들의 베이스 단자들에 연결되고, 상기 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제1 베이스 전류 및 제2 BJT의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들을 생성할 수 있다.

대표도



(52) CPC특허분류

H03F 3/45475 (2013.01)

명세서

청구범위

청구항 1

제1 및 제2 바이폴라 접합 트랜지스터(Bipolar Junction Transistor)(BJT)들을 포함하고, 베이스 전류 보상 구간에서 상기 제1 및 제2 BJT들의 베이스 단자들로 차동 형태의 제1 및 제2 입력 신호들을 수신하여 컬렉터 전류들을 생성하는 수신 회로;

베이스 전류 측정 구간에서 상기 제1 BJT의 제1 베이스 전류를 측정하는 베이스 전류 측정 회로;

상기 제1 베이스 전류에 기초하여 상쇄 전류 조절 신호를 생성하는 상쇄 전류 조절 회로; 및

상기 제1 및 제2 BJT들의 베이스 단자들에 연결되고, 상기 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제1 베이스 전류 및 제2 BJT의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들을 생성하는 상쇄 전류 제공 회로들을 포함하는 증폭기의 입력 회로.

청구항 2

제1 항에 있어서, 상기 상쇄 전류 제공 회로들은

상기 제1 및 제2 BJT들이 PNP BJT들이 경우 상기 제1 및 제2 BJT들의 베이스 단자들로부터 흘러 나오는 상기 제1 및 제2 베이스 전류들을 흡수하고, 상기 제1 및 제2 BJT들이 NPN BJT들이 경우 상기 제1 및 제2 BJT들의 베이스 단자들로 흘러 들어가는 상기 제1 및 제2 베이스 전류들을 공급하는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 3

제1 항에 있어서, 상기 베이스 전류 측정 회로는

상기 제1 입력 신호를 수신하는 제1 노드와 제2 노드 사이에 병렬 연결되는 저항 및 스위치를 포함하고,

상기 제1 및 제2 노드들의 아날로그 전압 신호들을 상기 상쇄 전류 조절 회로로 출력하는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 4

제3 항에 있어서,

상기 증폭기의 입력 회로는 상기 제1 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 상쇄 전류들을 생성하는 베이스 전류 보상 구간에서 동작하고,

상기 베이스 전류 측정 회로에 포함되는 상기 스위치는 상기 베이스 전류 측정 구간에서 오프되고, 상기 베이스 전류 보상 구간에서 온 되는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 5

제3 항에 있어서, 상기 상쇄 전류 조절 회로는

상기 제1 및 제2 노드들의 아날로그 전압 신호들을 비교하여 비교 결과 신호를 출력하는 비교기; 및

상기 비교 결과 신호를 기초로 제1 디지털 신호를 생성하여 상기 상쇄 전류 조절 신호로서 출력하는 SAR(Successive Approximation Register) 로직 회로를 포함하는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 6

제5 항에 있어서, 상기 상쇄 전류 조절 회로는

상기 제1 디지털 신호와 외부로부터 입력되고 상기 상쇄 전류 제공 회로들을 테스트하기 위한 제2 디지털 신호 중 하나를 선택하여 상기 상쇄 전류 조절 신호로서 출력하는 멀티플렉서를 더 포함하는 것을 특징으로 하는 증

폭기의 입력 회로.

청구항 7

제1 항에 있어서, 상기 상쇄 전류 제공 회로들은

상기 제1 BJT의 베이스 단자와 연결되고, 상기 제1 BJT의 베이스 전류를 보상하는 제1 상쇄 전류 제공 회로; 및
상기 제2 BJT의 베이스 단자와 연결되고, 상기 제2 BJT의 베이스 전류를 보상하는 제2 상쇄 전류 제공 회로를
포함하는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 8

제1 및 제2 바이폴라 접합 트랜지스터들(Bipolar Junction Transistor)(BJT) 을 포함하고, 베이스 전류 보상 구간에서 상기 제1 및 제2 BJT들의 베이스 단자들로 차동 형태의 제1 및 제2 입력 신호들을 수신하여 컬렉터 전류들을 생성하는 수신 회로

베이스 전류 측정 구간에서 상기 제1 BJT의 제1 베이스 전류를 측정하는 제1 베이스 전류 측정 회로;

베이스 전류 측정 구간에서 상기 제2 BJT의 제2 베이스 전류를 측정하는 제2 베이스 전류 측정 회로;

상기 제1 베이스 전류에 기초하여 제1 상쇄 전류 조절 신호를 생성하는 제1 상쇄 전류 조절 회로;

상기 제2 베이스 전류에 기초하여 제2 상쇄 전류 조절 신호를 생성하는 제2 상쇄 전류 조절 회로;

상기 제1 BJT의 베이스 단자에 연결되고, 상기 제1 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제1 BJT의 베이스 전류를 보상하는 제1 상쇄 전류를 생성하는 제1 상쇄 전류 제공 회로; 및

상기 제2 BJT의 베이스 단자에 연결되고, 상기 제2 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제2 BJT의 베이스 전류를 보상하는 제2 상쇄 전류를 생성하는 제2 상쇄 전류 제공 회로를 포함하는 증폭기의 입력 회로.

청구항 9

제8 항에 있어서, 상기 제1 베이스 전류 측정 회로는

상기 제1 입력 신호를 수신하는 제1 노드와 제2 노드 사이에 병렬 연결되는 제1 저항 및 제1 스위치를 포함하고, 상기 제1 및 제2 노드들의 아날로그 전압 신호들을 상기 제1 상쇄 전류 조절 회로로 출력하는 것을 특징으로 하는 증폭기의 입력 회로.

청구항 10

제9 항에 있어서,

상기 증폭기의 입력 회로는 상기 제1 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 제1 상쇄 전류를 생성하는 베이스 전류 보상 구간에서 동작하고,

상기 제1 베이스 전류 측정 회로에 포함되는 상기 제1 스위치는 상기 베이스 전류 측정 구간에서 오프되고, 상기 베이스 전류 보상 구간에서 온 되는 것을 특징으로 하는 증폭기의 입력 회로.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서 더욱 상세하게는 증폭기의 입력 회로에 관한 것이다.

배경 기술

[0002] 증폭기는 차동 형태의 입력 신호들을 증폭하여 출력 신호를 생성한다. 상기 증폭기는 입력 회로, 증폭 회로 및 출력 회로를 포함할 수 있고, 상기 증폭기가 효율적으로 동작하기 위해 상기 입력 회로는 높은 입력 임피던스를 가지도록 구현되어야 하고, 상기 출력 회로는 낮은 출력 임피던스를 가지도록 구현되어야 한다.

[0003] 상기 입력 회로가 바이폴라 접합 트랜지스터(Bipolar Junction Transistor)(BJT)를 사용하여 구현되는 경우 상기 BJT는 MOS(Metal Oxide Semiconductor) 트랜지스터와 비교하여 큰 이득(gain)을 가지고, 우수한 선형성(linearity)을 가지며, 매우 낮은 저잡음 특성을 가진다. 다만 상기 BJT의 동작시 흐르는 베이스 전류로 인하여 높은 입력 임피던스를 가지도록 구현하기 어렵다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 바이폴라 접합 트랜지스터로 구현된 증폭기의 입력 회로로서 높은 입력 임피던스를 가지는 증폭기의 입력 회로를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 일 목적을 달성하기 위해 본 발명의 일 실시예에 따른 증폭기의 입력 회로는 수신 회로, 베이스 전류 측정 회로, 상쇄 전류 조절 회로 및 상쇄 전류 제공 회로들을 포함한다. 상기 수신 회로는 제1 및 제2 바이폴라 접합 트랜지스터(Bipolar Junction Transistor)(BJT)들을 포함하고, 베이스 전류 보상 구간에서 상기 제1 및 제2 BJT들의 베이스 단자들로 차동 형태의 제1 및 제2 입력 신호들을 수신하여 컬렉터 전류들을 생성할 수 있다. 상기 베이스 전류 측정 회로는 베이스 전류 측정 구간에서 상기 제1 BJT의 제1 베이스 전류를 측정할 수 있다. 상기 상쇄 전류 조절 회로는 상기 베이스 전류에 기초하여 상쇄 전류 조절 신호를 생성할 수 있다. 상기 상쇄 전류 제공 회로들은 상기 제1 및 제2 BJT들의 베이스 단자들에 연결되고, 상기 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제1 베이스 전류 및 제2 BJT의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들을 생성할 수 있다.

[0006] 일 실시예에서, 상기 상쇄 전류 제공 회로들은 상기 제1 및 제2 BJT들이 PNP BJT들이인 경우 상기 제1 및 제2 BJT들의 베이스 단자들로부터 흘러 나오는 상기 제1 및 제2 베이스 전류들을 흡수하고, 상기 제1 및 제2 BJT들이 NPN BJT들이인 경우 상기 제1 및 제2 BJT들의 베이스 단자들로 흘러 들어가는 상기 제1 및 제2 베이스 전류들을 공급할 수 있다.

[0007] 일 실시예에서, 상기 베이스 전류 측정 회로는 상기 제1 입력 신호를 수신하는 제1 노드와 제2 노드 사이에 병렬 연결되는 저항 및 스위치를 포함하고, 상기 제1 및 제2 노드들의 아날로그 전압 신호들을 상기 상쇄 전류 조절 회로로 출력할 수 있다.

[0008] 일 실시예에서, 상기 증폭기의 입력 회로는 상기 제1 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 상쇄 전류들을 생성하는 베이스 전류 보상 구간에서 동작하고, 상기 베이스 전류 측정 회로에 포함되는 상기 스위치는 상기 베이스 전류 측정 구간에서 오프되고, 상기 베이스 전류 보상 구간에서 온 될 수 있다.

[0009] 일 실시예에서, 상기 상쇄 전류 조절 회로는 상기 제1 및 제2 노드들의 아날로그 전압 신호들을 비교하여 비교 결과 신호를 출력하는 비교기, 및 상기 비교 결과 신호를 기초로 제1 디지털 신호를 생성하여 상기 상쇄 전류 조절 신호로서 출력하는 SAR 로직 회로를 포함할 수 있다.

[0010] 일 실시예에서, 상기 상쇄 전류 조절 회로는 상기 제1 디지털 신호와 외부로부터 입력되고 상기 상쇄 전류 제공 회로들을 테스트하기 위한 제2 디지털 신호 중 하나를 선택하여 상기 상쇄 전류 조절 신호로서 출력하는 멀티플렉서를 더 포함할 수 있다.

[0011] 일 실시예에서, 상기 상쇄 전류 제공 회로들은 상기 제1 BJT의 베이스 단자와 연결되고, 상기 제1 BJT의 베이스 전류를 보상하는 제1 상쇄 전류 제공 회로, 및 상기 제2 BJT의 베이스 단자와 연결되고, 상기 제2 BJT의 베이스 전류를 보상하는 제2 상쇄 전류 제공 회로를 포함할 수 있다.

[0012] 상기 일 목적을 달성하기 위해 본 발명의 일 실시예에 따른 증폭기의 입력 회로는 수신 회로, 제1 베이스 전류 측정 회로, 제2 베이스 전류 측정 회로, 제1 상쇄 전류 조절 회로, 제2 상쇄 전류 조절 회로, 제1 상쇄 전류 제공 회로 및 제2 상쇄 전류 제공 회로를 포함한다. 상기 수신 회로는 제1 및 제2 바이폴라 접합 트랜지스터들(Bipolar Junction Transistor)(BJT)을 포함하고, 베이스 전류 보상 구간에서 상기 제1 및 제2 BJT들의 베이스 단자들로 차동 형태의 제1 및 제2 입력 신호들을 수신하여 컬렉터 전류들을 생성할 수 있다. 상기 제1 베이스 전류 측정 회로는 베이스 전류 측정 구간에서 상기 제1 BJT의 제1 베이스 전류를 측정할 수 있다. 상기 제2 베이스 전류 측정 회로는 베이스 전류 측정 구간에서 상기 제2 BJT의 제2 베이스 전류를 측정할 수 있다. 상기 제1 상쇄 전류 조절 회로는 상기 제1 베이스 전류에 기초하여 제1 상쇄 전류 조절 신호를 생성할 수 있다. 상기

제2 상쇄 전류 조절 회로는 상기 제2 베이스 전류를 기초하여 제2 상쇄 전류 조절 신호를 생성할 수 있다. 상기 제1 상쇄 전류 제공 회로는 상기 제1 BJT의 베이스 단자에 연결되고, 상기 제1 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제1 BJT의 베이스 전류를 보상하는 제1 상쇄 전류를 생성할 수 있다. 상기 제2 상쇄 전류 제공 회로는 상기 제2 BJT의 베이스 단자에 연결되고, 상기 제2 상쇄 전류 조절 신호에 기초하여 상기 베이스 전류 보상 구간에서 상기 제2 BJT의 베이스 전류를 보상하는 제2 상쇄 전류를 생성할 수 있다.

[0013] 일 실시예에서, 상기 제1 베이스 전류 측정 회로는 상기 제1 입력 신호를 수신하는 제1 노드와 제2 노드 사이에 병렬 연결되는 제1 저항 및 제1 스위치를 포함하고, 상기 제1 및 제2 노드들의 아날로그 전압 신호들을 상기 제1 상쇄 전류 조절 회로로 출력할 수 있다.

[0014] 일 실시예에서, 상기 증폭기의 입력 회로는 상기 제1 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 제1 상쇄 전류를 생성하는 베이스 전류 보상 구간에서 동작하고, 상기 제1 베이스 전류 측정 회로에 포함되는 상기 제1 스위치는 상기 베이스 전류 측정 구간에서 오프되고, 상기 베이스 전류 보상 구간에서 온 될 수 있다.

발명의 효과

[0015] 본 발명의 실시예들에 포함되는 증폭기의 입력 회로는 베이스 전류를 보상하여 효과적으로 제거함으로써 높은 입력 임피던스를 가진다. 그 결과 개방 루프 이득, 단위 이득 대역폭, CMRR 및 PSRR의 성능 또한 효과적으로 개선시킬 수 있다.

[0016] 또한, 본 발명의 실시예들에 포함되는 증폭기의 입력 회로는 상기 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 베이스 전류를 보상하기 위해 상쇄 전류를 생성하는 베이스 전류 보상 구간에서 동작할 수 있다. 상기 베이스 전류 측정 구간 및 상기 베이스 전류 보상 구간은 반복적으로 진행되어 PVT(Process, Voltage, Temperature) 변화에도 불구하고 상기 베이스 전류를 효과적으로 보상할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 증폭기의 입력 회로를 포함하는 증폭기를 나타내는 블록도이다.
 도 2는 도 1에 도시된 증폭기의 입력 회로의 일 예를 나타내는 블록도이다.
 도 3은 도 2에 도시된 베이스 전류 측정 회로를 나타내는 회로도이다.
 도 4는 도 2에 도시된 상쇄 전류 조절 회로를 나타내는 블록도이다.
 도 5는 도 4에 도시된 SAR(Successive Approximation Register) 로직 회로를 나타내는 블록도이다.
 도 6은 도 1의 증폭기의 입력 회로가 동작하는 베이스 전류 측정 구간 및 베이스 전류 보상 구간을 설명하기 위한 도면이다.
 도 7은 도 5의 SAR 로직 회로의 동작을 설명하기 위한 그래프이다.
 도 8은 도 2에 도시된 상쇄 전류 제공 회로를 나타내는 회로도이다.
 도 9는 본 발명의 일 실시예에 따른 증폭기의 입력 회로를 포함하는 증폭기를 나타내는 블록도이다.
 도 10은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 주파수 응답 특성을 나타내는 그래프이다.
 도 11은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 입력 기준 잡음을 나타내는 그래프이다.
 도 12는 통상적인 증폭기의 베이스 전류를 나타내는 그래프이고, 도 13은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 베이스 전류를 나타내는 그래프이다.
 도 14는 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 공통 모드 성분 제거비를 나타내는 그래프이고, 도 15는 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 공급 전원 잡음 제거율을 나타내는 그래프이다.
 도 16 및 도 17은 도 1에 도시된 증폭기의 입력 회로의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 증폭기의 입력 회로를 포함하는 증폭기를 나타내는 블록도이다.
- [0020] 도 1을 참조하면, 증폭기(10)는 입력 회로(100), 이득 회로(200) 및 출력 회로(300)를 포함한다. 증폭기(10)는 차동 형태의 입력 신호들(VIN1 및 VIN2)을 수신하고 입력 신호들(VIN1 및 VIN2)을 증폭하여 출력 신호(VOUT)를 생성한다. 보다 구체적으로, 입력 회로(100)는 입력 신호들(VIN1 및 VIN2)에 기초하여 출력 전류를 생성하고 상기 출력 전류를 이득 회로(200)로 제공한다. 이득 회로(200)는 입력 회로(100)로부터 상기 출력 전류를 수신하고 상기 출력 전류에 기초하여 이득 전압들을 생성하고 상기 이득 전압들을 출력 회로(300)로 제공한다. 출력 회로(300)는 이득 회로(200)로부터 상기 이득 전압들을 수신하고 상기 이득 전압들에 기초하여 출력 전압을 출력 신호(VOUT)로서 생성한다.
- [0021] 한편 입력 회로(100)는 바이폴라 접합 트랜지스터(Bipolar Junction Transistor)(BJT)들을 포함하여 구현될 수 있다. 이 경우 증폭기(10)는 상기 BJT들의 특성으로 인하여 낮은 저잡음 특성을 가질 수 있으나 상기 BJT들에 흐르는 베이스 전류에 따른 입력 바이어스 전류가 흐를 수 있어 낮은 입력 임피던스를 갖게 된다. 따라서 입력 회로(100)는 상기 BJT들에 흐르는 베이스 전류를 보상하기 위해 베이스 전류 보상 회로(110)를 구비한다. 이를 통해 증폭기(10)는 낮은 저잡음 특성과 높은 입력 임피던스 특성을 동시에 충족할 수 있게 된다.
- [0022] 일 실시예에서, 입력 회로(100)는 상기 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 베이스 전류를 보상하기 위해 상쇄 전류를 생성하는 베이스 전류 보상 구간에서 동작할 수 있다. 상기 베이스 전류 측정 구간이 진행된 후 상기 베이스 전류 보상 구간이 진행될 수 있고, PVT(Process, Voltage, Temperature) 변화에 따라 상기 베이스 전류의 크기가 변화할 때마다 상기 베이스 전류 측정 구간 및 상기 베이스 전류 보상 구간이 반복적으로 진행될 수 있다.
- [0023] 일 실시예에서, 증폭기(10)는 외부로부터 제어 신호(CTL)를 수신할 수 있고, 입력 회로(100)는 제어 신호(CTL)에 기초하여 상기 베이스 전류 측정 구간 및 상기 베이스 전류 보상 구간에서 동작할 수 있다. 이하에서 증폭기(10)의 입력 회로(100)에 관하여 보다 구체적으로 설명하기로 한다.
- [0024] 도 2는 도 1에 도시된 증폭기의 입력 회로의 일 예를 나타내는 블록도이다.
- [0025] 도 1 및 도 2를 참조하면, 입력 회로(100)는 수신 회로(111), 베이스 전류 측정 회로(113), 상쇄 전류 조절 회로(115), 제1 상쇄 전류 제공 회로(117), 제2 상쇄 전류 제공 회로(118) 및 전류원(119)을 포함한다.
- [0026] 수신 회로(111)는 제1 BJT(BP1) 및 제2 BJT(BP2)를 포함한다. 일 실시예에서, 제1 및 제2 BJT들(BP1 및 BP2)은 PNP BJT들일 수 있으나 본 발명의 범위가 이에 한정되는 것은 아니다. 다른 실시예에서 제1 및 제2 BJT들은 NPN BJT들로 구현될 수 있고, 이에 관한 구체적인 설명은 도 16을 참조하여 후술하기로 한다.
- [0027] 수신 회로(111)는 제1 BJT(BP1) 및 제2 BJT(BP2)의 베이스 단자들(또는 베이스 노드들 즉, NA 및 NB)로 차동 형태의 제1 및 제2 입력 신호들(VIN1 및 VIN2)을 수신한다. 수신 회로(111)는 제1 및 제2 입력 신호들(VIN1 및 VIN2)에 기초하여 컬렉터 전류들을 생성하고, 상기 컬렉터 전류들을 이득 회로(200)로 제공한다.
- [0028] 베이스 전류 측정 회로(113)는 제1 BJT(BP1)의 베이스 단자(또는 베이스 노드 즉, NA)로부터 흘러 나오는 제1 베이스 전류를 측정한다. 일 실시예에서, 베이스 전류 측정 회로(113)는 상기 제1 베이스 전류의 측정의 결과를 베이스 전류 측정 회로(113) 내부에 존재하는 노드들의 노드 전압들(VB1 및 VB2)의 형태로 생성하고, 노드 전압들(VB1 및 VB2)을 상쇄 전류 조절 회로(115)로 제공할 수 있다.
- [0029] 상쇄 전류 조절 회로(115)는 상기 제1 베이스 전류에 기초하여 상쇄 전류 조절 신호(DOUT)를 생성한다. 이를 위해 상쇄 전류 조절 회로(115)는 상기 제1 베이스 전류의 측정의 결과를 나타내는 노드 전압들(VB1 및 VB2)을 베이스 전류 측정 회로(113)로부터 수신하고 노드 전압들(VB1 및 VB2)에 기초하여 상쇄 전류 조절 신호(DOUT)를 생성할 수 있다. 일 실시예에서, 상쇄 전류 조절 회로(115)는 외부로부터 클럭 신호(CLK), 리셋 신호(RST) 및 선택 신호(SEL)를 수신할 수 있고 다른 실시예에서, 상쇄 전류 조절 회로(115)는 외부로부터 디지털 신호(D02)를 더 수신할 수 있다. 이 경우 상쇄 전류 조절 회로(115)는 노드 전압들(VB1 및 VB2), 클럭 신호(CLK), 리셋 신호(RST), 선택 신호(SEL) 및 디지털 신호(D02)에 기초하여 상쇄 전류 조절 신호(DOUT)를 생성할 수 있다. 보다 구체적인 설명은 도 4를 참조하여 후술하기로 한다.
- [0030] 제1 상쇄 전류 제공 회로(117) 및 제2 상쇄 전류 제공 회로(118)는 상쇄 전류 조절 회로(115)로부터 상쇄 전류 조절 신호(DOUT)를 수신한다. 제1 상쇄 전류 제공 회로(117) 및 제2 상쇄 전류 제공 회로(118)는 제1 BJT(BP1)

및 제2 BJT(BP2)의 베이스 단자에 각각 연결되고 상쇄 전류 조절 신호(DOUT)에 기초하여 제1 BJT(BP1)의 제1 베이스 전류 및 제2 BJT(BP2)의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들(ISNK1 및 ISNK2)을 각각 생성한다. 일 실시예에서, 제1 상쇄 전류 제공 회로(117)는 제1 BJT(BP1)의 제1 베이스 전류를 보상하는 제1 상쇄 전류(ISNK1)를 생성하고, 제2 상쇄 전류 제공 회로(118)는 제2 BJT(BP2)의 제2 베이스 전류를 보상하는 제2 상쇄 전류(ISNK2)를 생성할 수 있다. 이 경우 제1 상쇄 전류 제공 회로(117)는 제1 BJT(BP1)의 베이스 단자로부터 흘러 나오는 상기 제1 베이스 전류를 흡수하고, 제2 상쇄 전류 제공 회로(118)는 제2 BJT(BP2)의 베이스 단자로부터 흘러 나오는 상기 제2 베이스 전류를 흡수할 수 있다.

[0031] 전류원(119)은 수신 회로(111)에 바이어스 전류를 공급할 수 있다.

[0032] 도 3은 도 2에 도시된 베이스 전류 측정 회로를 나타내는 회로도이다.

[0033] 도 2를 참조하여 상술한 바와 같이 베이스 전류 측정 회로(113)는 제1 BJT(BP1)의 베이스 단자(또는 베이스 노드 즉, NA)로부터 흘러 나오는 제1 베이스 전류를 측정한다.

[0034] 도 2 및 도 3을 참조하면, 베이스 전류 측정 회로(113)는 상기 제1 베이스 전류를 측정하기 위해 제1 노드(N1)와 제2 노드(N2) 사이에 병렬 연결되는 저항(R) 및 스위치(SW)를 포함한다. 일 실시예에서 제1 노드(N1)는 제1 입력 신호(VIN1)를 수신할 수 있고, 제2 노드(N2)는 제1 BJT(BP1)의 베이스 단자(또는 베이스 노드 즉, NA)에 연결될 수 있다. 베이스 전류 측정 회로(113)는 스위치(SW)를 제어하는 스위치 제어 신호(SWCS)를 수신할 수 있다.

[0035] 일 실시예에서, 스위치(SW)는 스위치 제어 신호(SWCS)에 기초하여 상기 제1 베이스 전류를 측정하는 베이스 전류 측정 구간에서 오프(OFF)되고, 상기 제1 베이스 전류 및 상기 제2 베이스 전류를 보상하기 위해 상쇄 전류들을 생성하는 베이스 전류 보상 구간에서 온(ON) 될 수 있다.

[0036] 일 실시예에서, 상기 베이스 전류 측정 구간에서 스위치(SW)가 오프(OFF)되면, 베이스 전류 측정 회로(113)의 제1 노드(N1)와 제2 노드(N2)는 저항(R)만으로 연결된다. 따라서 베이스 전류 측정 회로(113)는 제1 BJT(BP1)의 베이스 단자(또는 베이스 노드 즉, NA)로부터 흘러 나오는 제1 베이스 전류의 측정의 결과로서 제1 노드(N1)와 제2 노드(N2) 사이의 전압 강하의 크기를 노드 전압들(VB1 및 VB2)의 형태로 생성할 수 있다. 그리고 상기 베이스 전류 보상 구간에서 스위치(SW)가 온(ON)되면, 제1 노드(N1)와 제2 노드(N2)는 단락(short)되어 베이스 전류 측정 회로(113)가 상기 제1 베이스 전류를 측정하지 않는 상태에서 동작할 수 있게 된다.

[0037] 도 4는 도 2에 도시된 상쇄 전류 조절 회로를 나타내는 블록도이다.

[0038] 도 2 및 도 4를 참조하면, 상쇄 전류 조절 회로(115)는 비교기(131) 및 SAR(Successive Approximation Register) 로직 회로(135)를 포함한다.

[0039] 비교기(131)는 도 3을 참조하여 상술한 베이스 전류 측정 회로(113)의 노드 전압들(VB1 및 VB2)을 수신하고 외부로부터 클럭 신호(CLK)를 수신한다. 일 실시예에서, 클럭 신호(CLK)는 도 1을 참조하여 상술한 제어 신호(CTL)에 포함될 수 있다.

[0040] 비교기(131)는 노드 전압들(VB1 및 VB2)을 비교하여 비교 결과 신호(COMP)를 생성하고 비교 결과 신호(COMP)를 SAR 로직 회로(135)로 출력한다.

[0041] SAR 로직 회로(135)는 비교기(131)로부터 비교 결과 신호(COMP)를 수신하고 외부로부터 클럭 신호(CLK) 및 리셋 신호(RST)를 수신한다. 일 실시예에서, 클럭 신호(CLK) 및 리셋 신호(RST)는 도 1을 참조하여 상술한 제어 신호(CTL)에 포함될 수 있다.

[0042] SAR 로직 회로(135)는 비교 결과 신호(COMP), 클럭 신호(CLK) 및 리셋 신호(RST)에 기초하여 제1 디지털 신호(D01<9:0>)를 상쇄 전류 조절 신호(DOUT)로서 생성한다. 도 4에서 제1 디지털 신호(D01<9:0>)는 10 비트의 2진 디지털 신호에 해당하는 것으로 표현되어 있으나 제1 디지털 신호(D01<9:0>)의 형태 및 비트들의 수는 예시적인 것에 불과하다. 이하에서 SAR 로직 회로(135)의 구성 및 동작에 관하여 보다 구체적으로 설명하기로 한다.

[0043] 도 5는 도 4에 도시된 SAR(Successive Approximation Register) 로직 회로를 나타내는 블록도이다. 도 6은 도 1의 증폭기의 입력 회로가 동작하는 베이스 전류 측정 구간 및 베이스 전류 보상 구간을 설명하기 위한 도면이다. 도 7은 도 5의 SAR 로직 회로의 동작을 설명하기 위한 그래프이다.

[0044] 도 4 및 도 5를 참조하면, SAR 로직 회로(135)는 복수의 디-플립플롭들(151, 152, 153, 154, 155, 156, 157, 158 및 159), 복수의 AND 게이트들(171, 173, 175 및 177), 복수의 인버터들(191, 193 및 195)을 포함한다.

- [0045] 일 실시예에서, SAR 로직 회로(135)는LFSR(Linear Feedback Shift Register) 회로로 구현될 수 있다.
- [0046] 일 실시예에서, 복수의 디-플립플롭들(151, 152, 153, 154, 155, 156, 157, 158 및159) 중 제1 디-플립플롭들(151, 152, 153, 154 및 155)은 쉬프트 레지스터의 역할을 수행하고, 제2 디-플립플롭들(156, 157, 158 및 159)은 업데이트 레지스터의 역할을 수행하여 제1 디지털 신호(D01<9:0>)를 상쇄 전류 조절 신호(DOUT)로서 출력할 수 있다.
- [0047] 도 5 및 도 6을 참조하면, 리셋 신호(RST)의 하강 에지에 응답하여 상기 베이스 전류 측정 구간이 개시될 수 있다. 일 실시예에서, 리셋 신호(RST)는 디-플립플롭(151)의 S(SET) 단자 및 디-플립플롭들(152, 153, 154, 155, 156, 157, 158 및 159)의 R(RESET) 단자들에 입력될 수 있다.
- [0048] 리셋 신호(RST)가 로우 레벨을 유지하는 동안 상기 베이스 전류 측정 구간이 진행될 수 있고, 클럭 신호(CLK)의 천이가 반복되는 동안 SAR 로직 회로(135)가 제1 디지털 신호(D01<9:0>)의 각 비트를 순차적으로 출력할 수 있다.
- [0049] 도 7에서 X 축은 시간(t)을 나타내고 Y 축은 시간(t)이 경과함에 따라 상쇄 전류 조절 신호(DOUT)로서 출력되는 제1 디지털 신호(D01<9:0>)를 나타낸다. 도 4 및 도 5 등에서 10 비트의 2진 디지털 신호로 나타낸 제1 디지털 신호(D01<9:0>)는 설명의 편의를 위해 10진 디지털 신호로서 표시하기로 한다.
- [0050] 도 7을 참조하면, 클럭 신호(CLK) 및 리셋 신호(RST)의 천이에 상응하여 시간(t)이 경과함에 따라 10 비트의 2진 디지털 신호에 해당하는 제1 디지털 신호(D01<9:0>)의 각 비트가 순차적으로 출력된다. 일 실시예에서, 제1 디지털 신호(D01<9:0>)는 비교 결과 신호(COMP)에 상응하여 0 부터 1024 사이의 값들 중 하나로 수렴하는 값을 나타낼 수 있다.
- [0051] 다시 도 4를 참조하면, 상쇄 전류 조절 회로(115)는 비교기(131) 및 SAR 로직 회로(135) 이외에 멀티플렉서(137)를 더 포함할 수 있다. 이 경우, 멀티플렉서(137)는 SAR 로직 회로(135)로부터 제1 디지털 신호(D01<9:0>)를 수신하고, 외부로부터 제2 디지털 신호(D02<9:0>) 및 선택 신호(SEL)를 수신할 수 있다. 선택 신호(SEL)는 도 1을 참조하여 상술한 제어 신호(CTL)에 포함될 수 있다. 제2 디지털 신호(D02<9:0>)는 도 8을 참조하여 후술하게 되는 상쇄 전류 제공 회로들을 테스트하기 위한 신호일 수 있다.
- [0052] 일 실시예에서, 멀티플렉서(137)는 제1 디지털 신호(D01<9:0>) 및 제2 디지털 신호(D02<9:0>)에 포함되는 각 비트를 개별적으로 처리하기 위한 복수의 서브 멀티플렉서들(137-1, 137-2 및 137-3)을 포함할 수 있다. 복수의 서브 멀티플렉서들(137-1, 137-2 및 137-3)의 개수는 제1 디지털 신호(D01<9:0>) 및 제2 디지털 신호(D02<9:0>)에 포함되는 비트들의 개수에 기초하여 결정될 수 있다.
- [0053] 일 실시예에서, 멀티플렉서(137)는 선택 신호(SEL)에 기초하여 제1 디지털 신호(D01<9:0>) 및 제2 디지털 신호(D02<9:0>) 중 하나를 선택하여 상쇄 전류 조절 신호(DOUT)로서 출력할 수 있다. 멀티플렉서(137)는 상쇄 전류 조절 신호(DOUT)를 제1 상쇄 전류 제공 회로(117) 및 제2 상쇄 전류 제공 회로(118)로 제공할 수 있다.
- [0054] 도 8은 도 2에 도시된 상쇄 전류 제공 회로를 나타내는 회로도이다.
- [0055] 도 8에서 설명의 편의를 위해 도 2에 도시된 상쇄 전류 제공 회로들 중 제1 상쇄 전류 제공 회로(117)만이 도시된다. 그러나 제2 상쇄 전류 제공 회로(118) 또한 제1 상쇄 전류 제공 회로(117)와 동일한 구성으로 구현될 수 있다.
- [0056] 도 2, 도 7 및 도 8을 참조하면, 제1 상쇄 전류 제공 회로(117)는 전류원(210), 복수의 NMOS 트랜지스터들(MN1, MN2, MN3, MN4, MN5, MN6, MN7, MN8, MN9 및 MN10)을 포함한다.
- [0057] 전류원(210)은 제1 전원 전압 단자(AVDD)와 NMOS 트랜지스터(MN2) 사이에 연결되어 바이어스 전류를 공급한다.
- [0058] 복수의 NMOS 트랜지스터들(MN1, MN2, MN3, MN5, MN7 및 MN9)은 전류 미러 회로를 형성하여 전류원(210)이 제공하는 상기 바이어스 전류와 동일한 크기의 복수의 전류들을 생성한다.
- [0059] 복수의 NMOS 트랜지스터들(MN4, MN6, MN8 및 MN10)은 각각의 게이트 신호로서 상쇄 전류 조절 신호(DOUT)의 비트들 중 하나를 수신한다. 예를 들어, NMOS 트랜지스터(MN4)는 상쇄 전류 조절 신호(DOUT)의 제1 비트(DOUT<0>)를 게이트 신호로서 수신할 수 있고, NMOS 트랜지스터(MN6)는 상쇄 전류 조절 신호(DOUT)의 제2 비트(DOUT<1>)를 게이트 신호로서 수신할 수 있고, NMOS 트랜지스터(MN8)는 상쇄 전류 조절 신호(DOUT)의 제9 비트(DOUT<8>)를 게이트 신호로서 수신할 수 있고, NMOS 트랜지스터(MN8)는 상쇄 전류 조절 신호(DOUT)의 제10 비트

(DOUT<9>)를 게이트 신호로서 수신할 수 있다.

- [0060] 상기 구성에 따라 제1 상쇄 전류 제공 회로(117)는 상쇄 전류 조절 신호(DOUT)가 나타내는 값에 비례하는 상쇄 전류(ISNK)를 생성할 수 있다. 일 실시예에서, 제2 상쇄 전류 제공 회로(118)는 제1 상쇄 전류 제공 회로(117)와 동일한 구성으로 구현되어, 상쇄 전류 조절 신호(DOUT)가 나타내는 값에 비례하는 상쇄 전류(ISNK)를 생성할 수 있다.
- [0061] 일 실시예에서, 도 1 및 도 2를 참조하여 상술한 수신 회로(111)에 제1 및 제2 BJT들이 포함되는 경우, 제1 상쇄 전류 제공 회로(117)는 제1 BJT의 베이스 단자로 연결되어 상쇄 전류(ISNK)를 제공할 수 있고, 제2 상쇄 전류 제공 회로(118)는 제2 BJT의 베이스 단자로 연결되어 상쇄 전류(ISNK)를 제공할 수 있다.
- [0062] 일 실시예에서, 도 1 및 도 2를 참조하여 상술한 수신 회로(111)에 포함되는 제1 및 제2 BJT들이 PNP BJT들이거나 경우 상쇄 전류(ISNK)의 크기는 제1 및 제2 BJT들의 베이스 단자들로부터 흘러 나오는 제1 및 제2 베이스 전류들과 동등한 크기를 가질 수 있다. 이 경우 제1 및 제2 BJT들의 베이스 단자들 각각에 상응하는 베이스 노드들에 대하여 키르히호프의 전류 법칙을 적용하면 상기 제1 및 제2 BJT들의 베이스 단자들로부터 흘러 나오는 상기 제1 및 제2 베이스 전류들은 제1 상쇄 전류 제공 회로(117) 및 제2 상쇄 전류 제공 회로(118)에 의하여 흡수되는 것으로 볼 수 있다.
- [0063] 도 9는 본 발명의 일 실시예에 따른 증폭기의 입력 회로를 포함하는 증폭기를 나타내는 블록도이다.
- [0064] 도 9에서 증폭기(10a)가 도시된다. 증폭기(10a)는 입력 회로(100a), 이득 회로(200a) 및 출력 회로(300a)를 포함한다. 입력 회로(100a), 이득 회로(200a) 및 출력 회로(300a)는 도 1에 도시된 입력 회로(100), 이득 회로(200) 및 출력 회로(300)에 각각 상응한다.
- [0065] 입력 회로(100a)는 도 2에 도시된 입력 회로와 유사한 구성요소들을 포함한다. 일 실시예에서, 입력 회로(100a)는 수신 회로(311), 저항(313-1) 및 스위치(313-2)를 포함하는 베이스 전류 측정 회로, 상쇄 전류 조절 회로(315), 제1 상쇄 전류 제공 회로(317), 제2 상쇄 전류 제공 회로(118) 및 전류원(318)을 포함한다. 일 실시예에서, 수신 회로(311)는 도 1에 도시된 수신 회로(111)에, 저항(313-1) 및 스위치(313-2)는 도 1에 도시된 베이스 전류 측정 회로(113)에, 상쇄 전류 조절 회로(315)는 도 1에 도시된 상쇄 전류 조절 회로(115)에, 제1 상쇄 전류 제공 회로(317)는 도 1에 도시된 제1 상쇄 전류 제공 회로(117)에, 제2 상쇄 전류 제공 회로(318)는 도 1에 도시된 제2 상쇄 전류 제공 회로(118)에, 전류원(319)은 도 1에 도시된 전류원(119)에 각각 대응될 수 있다.
- [0066] 이득 회로(200a)는 캐스코드(cascode) 형태로 구현된다. 일 실시예에서, 이득 회로(200a)는 복수의 PMOS 트랜지스터들(MP21, MP22, MP23, MP24, MP25 및 MP26) 및 복수의 NMOS 트랜지스터들(MN21, MN22, MN23, MN24, MN25 및 MN26)을 포함할 수 있다. PMOS 트랜지스터들(MP2와 MP22, MP23과 MP24, 및 MP25와 MP26) 및 NMOS 트랜지스터들(MN21과 MN22, MN23과 MN24, 및 MN25와 MN26) 각각은 대향 배치되어 제1 전원 전압(AVDD)과 제2 전원 전압(AVSS) 사이에서 직렬 연결되도록 구현될 수 있다.
- [0067] 출력 회로(300a)는 AB 급(class AB) 증폭기의 형태로 구현된다. 일 실시예에서, 출력 회로(300a)는 PMOS 트랜지스터(MP31), NMOS 트랜지스터(MN31) 및 커패시터들(C31 및 C33)을 포함할 수 있다. PMOS 트랜지스터(MP31)는 제1 전원 전압(AVDD)과 출력 노드 사이에 연결될 수 있고, NMOS 트랜지스터(MN31)는 상기 출력 노드와 제2 전원 전압(AVSS) 사이에 연결될 수 있다. 커패시터들(C31 및 C33)은 상기 출력 노드와 증폭 회로(200a)에 포함되는 서로 다른 노드들에 각각 연결되도록 구현될 수 있다.
- [0068] 증폭기(10a)는 복수의 초과 회로들(411, 413 및 415)을 더 포함할 수 있다. 일 실시예에서, 입력 회로(100a)는 제1 초과 회로(411)를 더 포함할 수 있고, 이득 회로(200a)는 제2 초과 회로(413) 및 제3 초과 회로(415)를 더 포함할 수 있다. 이 경우 제1 초과 회로(411)는 제1 및 제2 입력 단자들(VIN1 및 VIN2)과 수신 회로(311)에 포함되는 제1 및 제2 BJT들의 베이스 단자들 사이에 연결될 수 있다. 제2 초과 회로(413)는 PMOS 트랜지스터들(MP21 및 MP22)과 PMOS 트랜지스터들(MP23 및 MP24) 사이에 연결될 수 있다. 제3 초과 회로(415)는 NMOS 트랜지스터들(MN23 및 MN24)과 NMOS 트랜지스터들(MN21 및 MN22) 사이에 연결될 수 있다.
- [0069] 일 실시예에서, 복수의 초과 회로들(411, 413 및 415) 각각은 외부로부터 생성되어 공급되는 초과 클럭 신호(미도시)에 기초하여 각각에 입력되는 아날로그 신호들의 변조 또는 복조를 수행할 수 있다. 이 경우 상기 초과 클럭 신호의 초과 주파수는 통상적으로 상기 아날로그 신호들의 최대 주파수 대역에 기초하여 결정될 수 있다. 예를 들어 상기 초과 주파수는 125 kHz, 250 kHz 및 500 kHz 중 하나로 설정될 수 있으나 상기 초과 주파수의 크기는 예시적인 것으로서 본 발명의 범위가 이에 한정되는 것은 아니다. 복수의 초과 회로들(411, 413 및 415)은

입력 회로(100a)에서 발생하는 플리커(flicker) 잡음을 효과적으로 감소시킬 수 있다.

- [0070] 도 10은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 주파수 응답 특성을 나타내는 그래프이다. 도 11은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 입력 기준 잡음을 나타내는 그래프이다.
- [0071] 도 10에서 X 축은 주파수(Hz)를 나타내고, Y 축은 이득(dB)을 나타낸다. 도 10을 참조하면, 도 1 내지 도 5, 또는 도 9를 참조하여 상술한 증폭기들(10 또는 10a)에서 개방 루프 이득(open loop gain)은 약 108.19 dB를 나타내고, 단위 이득 대역폭(unit gain bandwidth; UGBW)은 3.92 MHz를 나타낸다.
- [0072] 도 11에서 X 축은 주파수(Hz)를 나타내고, Y 축은 잡음의 RMS 크기($V/\sqrt{\text{Hz}}$)를 나타낸다. 도 11을 참조하면, 도 1 내지 도 5, 또는 도 9를 참조하여 상술한 증폭기들(10 또는 10a)에서 입력 기준 잡음(input referred noise) 레벨은, 상기 초과 주파수가 125 kHz로 설정된 상태에서 $5.53 \text{ nV}/\sqrt{\text{Hz}}$ 를 나타낸다(1Hz의 입력 주파수에서 $31.1 \text{ nV}/\sqrt{\text{Hz}}$).
- [0073] 도 12는 통상적인 증폭기의 베이스 전류를 나타내는 그래프이고, 도 13은 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 베이스 전류를 나타내는 그래프이다.
- [0074] 도 12 및 도 13에서 X 축은 시간(s)을 나타내고, Y 축은 베이스 전류의 크기(μA)를 나타낸다. 상기 베이스 전류는 도 1 및 도 9에 도시된 입력 회로들(100 및 100a)에 포함되는 BJT들의 베이스 단자로부터 흘러 나오는 베이스 전류들 중 하나일 수 있다.
- [0075] 도 12 및 도 13을 참조하면, 통상적인 증폭기의 베이스 전류의 크기는 약 $15.363 \mu\text{A}$ 를 나타내는 반면, 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 베이스 전류의 크기는 0.384 nA 를 나타낸다.
- [0076] 도 14는 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 공통 모드 성분 제거비를 나타내는 그래프이고, 도 15는 본 발명의 일 실시예에 따른 입력 회로를 포함하는 증폭기의 공급 전원 잡음 제거율을 나타내는 그래프이다.
- [0077] 도 14 및 도 15에서 X 축은 주파수(Hz)를 나타내고, Y 축은 공통 모드 성분 제거비(common-mode rejection ratio; CMRR) 또는 공급 전원 잡음 제거율(power supply ripple rejection ration; PSRR)을 나타낸다.
- [0078] 도 14를 참조하면, 도 1 내지 도 5, 또는 도 9를 참조하여 상술한 증폭기들(10 또는 10a)에서 CMRR 은, 상기 초과 주파수가 125 kHz로 설정된 상태에서, 입력 주파수가 0.1 Hz로부터 10 Hz 까지인 구간에서 109 dB 의 평균값을 나타내고, 입력 주파수가 60 Hz 인 경우 96 dB의 값을 나타낸다.
- [0079] 도 15를 참조하면, 도 1 내지 도 5, 또는 도 9를 참조하여 상술한 증폭기들(10 또는 10a)에서 PSRR 은, 상기 초과 주파수가 125 kHz로 설정된 상태에서, 입력 주파수가 0.1 kHz로부터 10 Hz 까지인 구간에서 106 dB의 평균값을 나타내고, 입력 주파수가 60 Hz 인 경우 101 dB의 값을 나타낸다.
- [0080] 도 16은 도 1에 도시된 증폭기의 입력 회로의 일 예를 나타내는 블록도이다.
- [0081] 도 1, 도 2 및 도 16을 참조하면, 입력 회로(110a)는 수신 회로(111a), 베이스전류 측정 회로(113a), 상쇄 전류 조절 회로(115a), 제1 상쇄 전류 제공 회로(117a), 제2 상쇄 전류 제공 회로(118a) 및 전류원(119a)을 포함한다.
- [0082] 도 16에 도시된 입력 회로(110a)는 도 2에 도시된 입력 회로(100)와 비교하여 수신 회로(111a)에 포함되는 제1 BJT(BN1) 및 제2 BJT(BN2)가 NPN BJT들이라는 점을 제외하고 유사한 동작을 수행하므로 이하에서 중복되는 설명은 생략하기로 한다.
- [0083] 수신 회로(111a)는 제1 BJT(BN1) 및 제2 BJT(BN2)를 포함한다. 수신 회로(111a)는 제1 BJT(BN1) 및 제2 BJT(BN2)의 베이스 단자들(또는 베이스 노드들 즉, NA 및 NB)로 차동 형태의 제1 및 제2 입력 신호들(VIN1 및 VIN2)을 수신한다.
- [0084] 베이스 전류 측정 회로(113a)는 제1 BJT(BN1)의 베이스 단자(또는 베이스 노드 즉, NA)로 흘러 들어가는 제1 베이스 전류를 측정한다. 일 실시예에서, 베이스 전류 측정 회로(113a)는 상기 제1 베이스 전류의 측정의 결과를 베이스 전류 측정 회로(113) 내부에 존재하는 노드들의 노드 전압들(VB1 및 VB2)의 형태로 생성하고, 노드 전압들(VB1 및 VB2)을 상쇄 전류 조절 회로(115a)로 제공할 수 있다.
- [0085] 상쇄 전류 조절 회로(115a)는 상기 제1 베이스 전류에 기초하여 상쇄 전류 조절 신호(DOUT)를 생성한다.
- [0086] 제1 상쇄 전류 제공 회로(117a) 및 제2 상쇄 전류 제공 회로(118a)는 상쇄 전류 조절 회로(115a)로부터 상쇄 전

류 조절 신호(DOUT)를 수신한다.

- [0087] 제1 상쇄 전류 제공 회로(117a) 및 제2 상쇄 전류 제공 회로(118a)는 제1 BJT(BN1) 및 제2 BJT(BN2)의 베이스 단자에 각각 연결되고 상쇄 전류 조절 신호(DOUT)에 기초하여 제1 BJT(BN1)의 제1 베이스 전류 및 제2 BJT(BN2)의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들(ISOC1 및 ISOC2)을 각각 생성한다. 일 실시예에서, 제1 상쇄 전류 제공 회로(117a)는 제1 BJT(BN1)의 제1 베이스 전류를 보상하는 제1 상쇄 전류(ISOC1)를 생성하고, 제2 상쇄 전류 제공 회로(118a)는 제2 BJT(BN2)의 제2 베이스 전류를 보상하는 제2 상쇄 전류(ISOC2)를 생성할 수 있다. 이 경우 제1 상쇄 전류 제공 회로(117a)는 제1 BJT(BN1)의 베이스 단자로 흘러 들어가는 상기 제1 베이스 전류를 공급하고, 제2 상쇄 전류 제공 회로(118a)는 제2 BJT(BN2)의 베이스 단자로 흘러 들어가는 상기 제2 베이스 전류를 공급할 수 있다.
- [0088] 전류원(119a)은 수신 회로(111a)에 바이어스 전류를 공급할 수 있다.
- [0089] 도 17은 도 1에 도시된 증폭기의 입력 회로의 일 예를 나타내는 블록도이다.
- [0090] 도 1, 도 2 및 도 17을 참조하면, 입력 회로(110b)는 수신 회로(111b), 제1 베이스 전류 측정 회로(113b), 제2 베이스 전류 측정 회로(114b), 제1 상쇄 전류 조절 회로(115b), 제2 상쇄 전류 조절 회로(116b), 제1 상쇄 전류 제공 회로(117b), 제2 상쇄 전류 제공 회로(118b) 및 전류원(119b)을 포함한다.
- [0091] 도 16에 도시된 입력 회로(110b)는 도 2에 도시된 입력 회로(100)와 비교하여 제2 베이스 전류 측정 회로(114b) 및 제2 상쇄 전류 조절 회로(116b)를 더 포함한다는 점을 제외하고는 동일하므로 이하에서 중복되는 설명은 생략하기로 한다.
- [0092] 수신 회로(111b)는 제1 BJT(BP1) 및 제2 BJT(BP2)를 포함한다. 수신 회로(111b)는 제1 BJT(BP1) 및 제2 BJT(BP2)의 베이스 단자들(또는 베이스 노드들 즉, NB 및 NB)로 차동 형태의 제1 및 제2 입력 신호들(VIN1 및 VIN2)을 수신한다.
- [0093] 제1 베이스 전류 측정 회로(113b)는 제1 BJT(BP1)의 베이스 단자(또는 베이스 노드 즉, NA)로부터 흘러 나오는 제1 베이스 전류를 측정한다. 제2 베이스 전류 측정 회로(114b)는 제2 BJT(BP2)의 베이스 단자(즉, NB)로부터 흘러 나오는 제2 베이스 전류를 측정한다.
- [0094] 제1 상쇄 전류 조절 회로(115b)는 상기 제1 베이스 전류에 기초하여 제1 상쇄 전류 조절 신호(DOUT1)를 생성한다. 제2 상쇄 전류 조절 회로(116b)는 상기 제2 베이스 전류에 기초하여 제2 상쇄 전류 조절 신호(DOUT2)를 생성한다.
- [0095] 제1 상쇄 전류 제공 회로(117b) 및 제2 상쇄 전류 제공 회로(118b)는 제1 BJT(BN1) 및 제2 BJT(BN2)의 베이스 단자에 각각 연결되고 제1 및 제2 상쇄 전류 조절 신호들(DOUT1 및 DOUT2)에 기초하여 제1 BJT(BP1)의 제1 베이스 전류 및 제2 BJT(BP2)의 제2 베이스 전류를 보상하는 제1 및 제2 상쇄 전류들(ISNK1 및 ISNK2)을 각각 생성한다. 일 실시예에서, 제1 상쇄 전류 제공 회로(117b)는 제1 BJT(BP1)의 제1 베이스 전류를 보상하는 제1 상쇄 전류(ISNK1)를 생성하고, 제2 상쇄 전류 제공 회로(118b)는 제2 BJT(BP2)의 제2 베이스 전류를 보상하는 제2 상쇄 전류(ISNK2)를 생성할 수 있다. 이 경우 제1 상쇄 전류 제공 회로(117b)는 제1 BJT(BP1)의 베이스 단자로부터 흘러 나오는 상기 제1 베이스 전류를 흡수하고, 제2 상쇄 전류 제공 회로(118b)는 제2 BJT(BP2)의 베이스 단자로부터 흘러 나오는 상기 제2 베이스 전류를 흡수할 수 있다.
- [0096] 전류원(119b)은 수신 회로(111b)에 바이어스 전류를 공급할 수 있다.
- [0097] 이상 설명한 바와 같이, 본 발명의 실시예들에 포함되는 증폭기의 입력 회로는 베이스 전류를 보상하여 효과적으로 제거함으로써 높은 입력 임피던스를 가진다. 그 결과 개방 루프 이득, 단위 이득 대역폭, CMRR 및 PSRR의 성능 또한 효과적으로 개선시킬 수 있다.
- [0098] 또한, 본 발명의 실시예들에 포함되는 증폭기의 입력 회로는 상기 베이스 전류를 측정하는 베이스 전류 측정 구간 및 상기 베이스 전류를 보상하기 위해 상쇄 전류를 생성하는 베이스 전류 보상 구간에서 동작할 수 있다. 상기 베이스 전류 측정 구간 및 상기 베이스 전류 보상 구간은 반복적으로 진행되어 PVT(Process, Voltage, Temperature) 변화에도 불구하고 상기 베이스 전류를 효과적으로 보상할 수 있다.

산업상 이용가능성

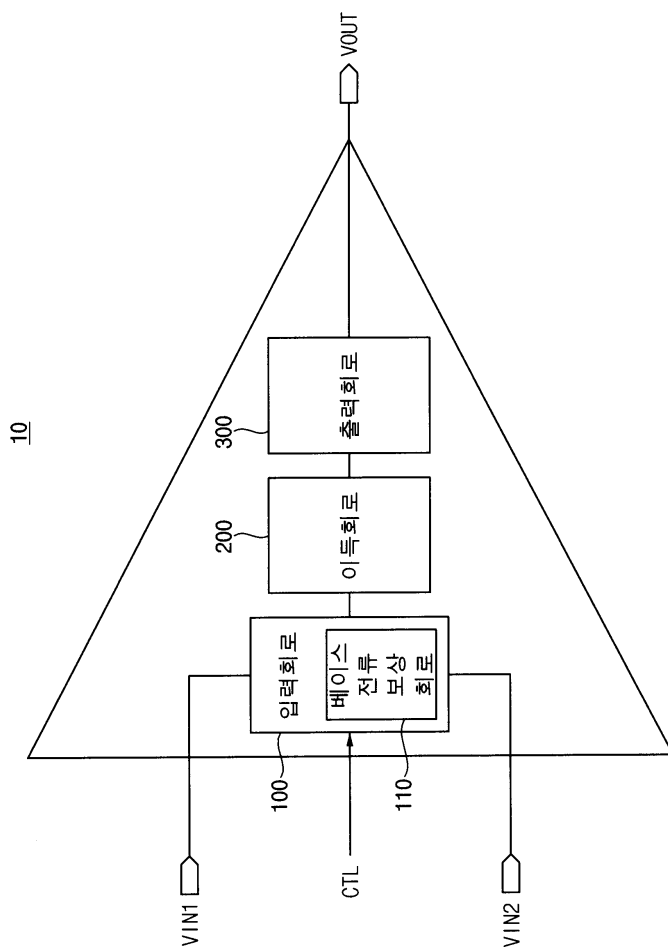
- [0099] 본 발명의 실시예들에 따른 증폭기의 입력 회로는 연산 증폭기를 포함하는 여러 응용분야에서 폭 넓게 적용될 수 있을 것이다. 또한 특히, 본 발명은 디스플레이 장치를 통해 사용자에게 화상을 제공하는 전자시스템 또는

이미지 센서를 포함하는 임의의 전자 장치 및 시스템에 유용하게 이용될 수 있다. 예를 들어, 컴퓨터 (computer), 노트북(laptop), 핸드폰(cellular phone), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console), 네비게이션(navigation) 기기, 웨어러블(wearable) 기기, IoT(internet of things;) 기기, IoE(internet of everything;) 기기, e-북(e-book), VR(virtual reality) 기기, AR(augmented reality) 기기 등과 같은 전자시스템에 더욱 유용하게 적용될 수 있다.

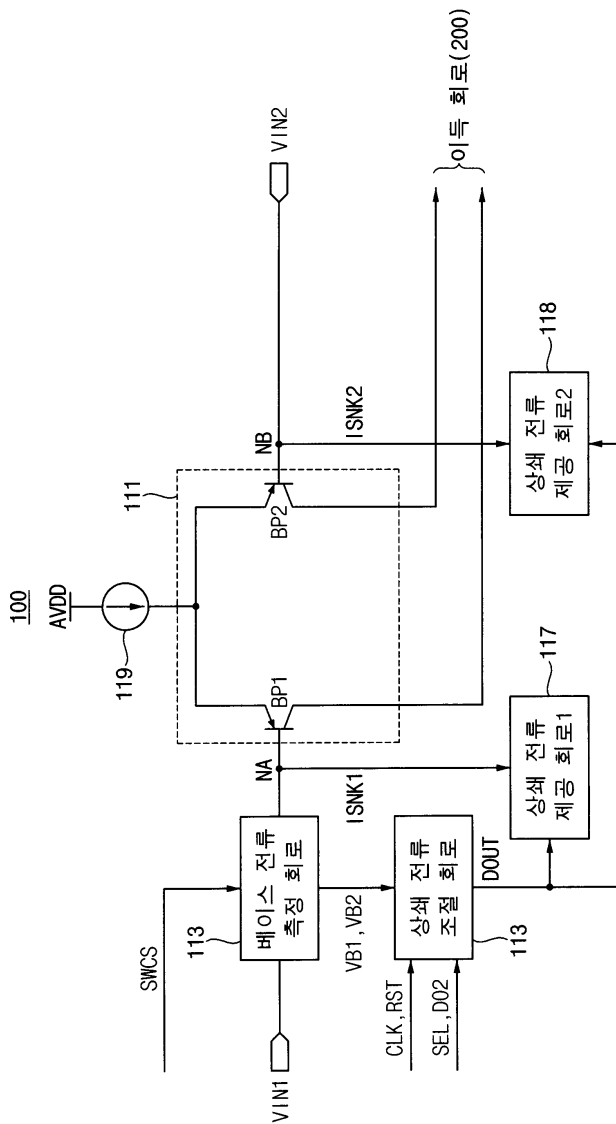
[0100] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

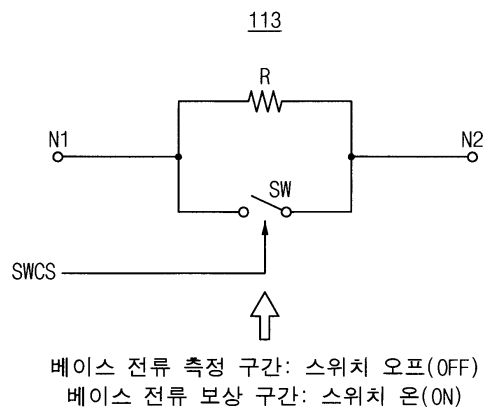
도면1



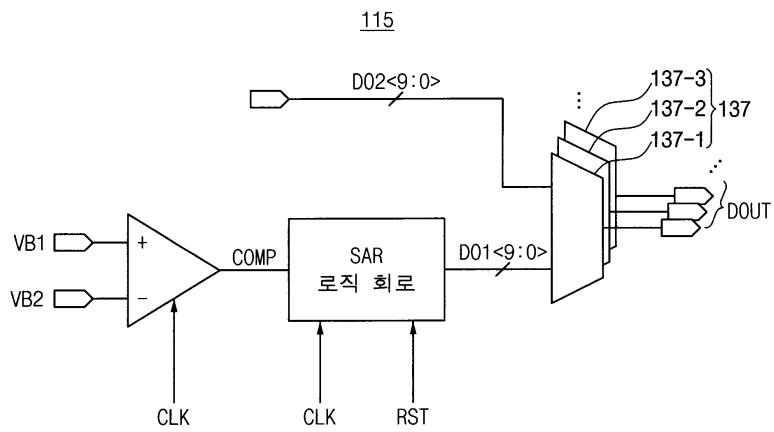
도면2



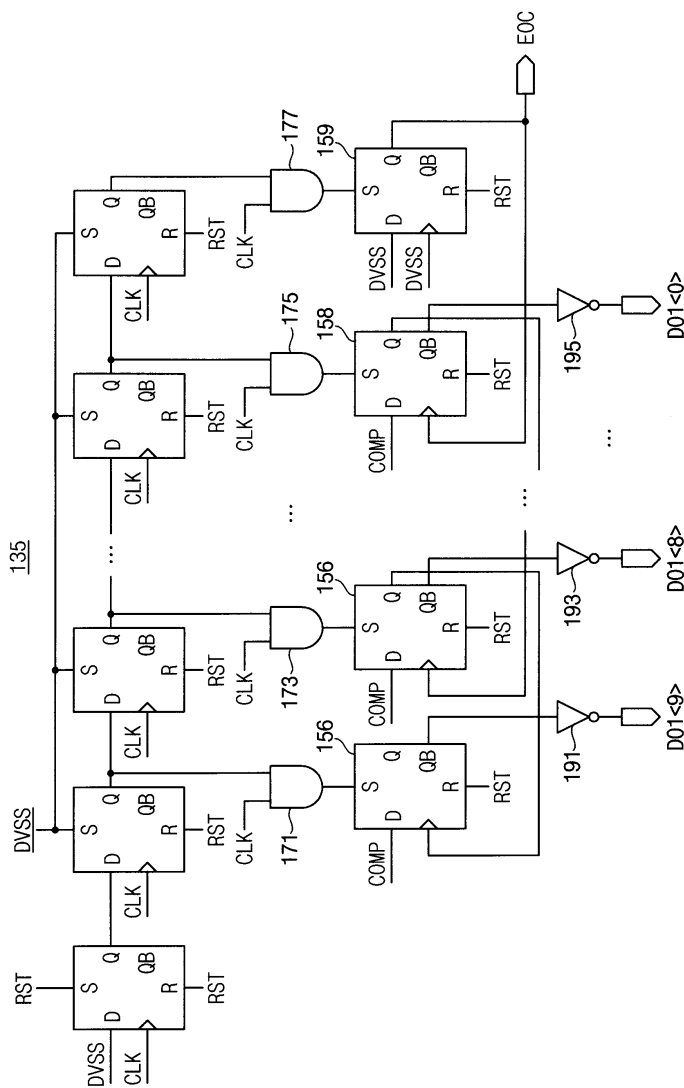
도면3



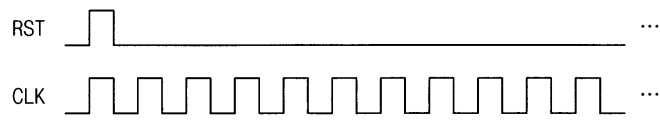
도면4



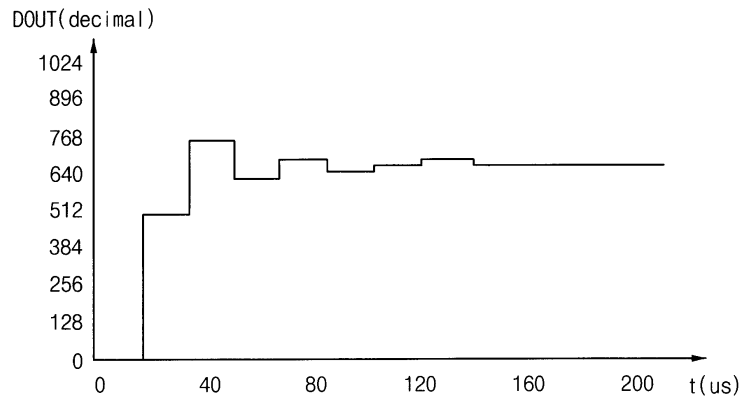
도면5



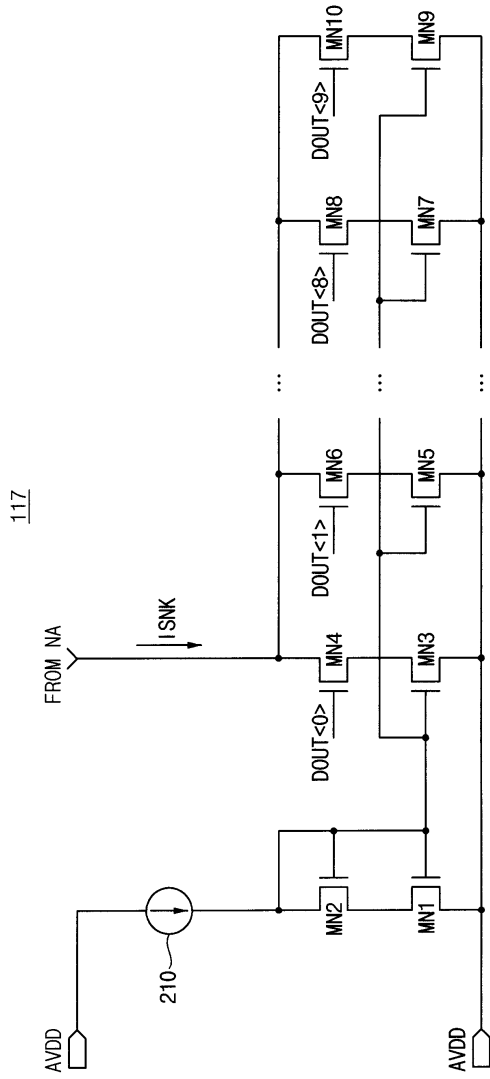
도면6



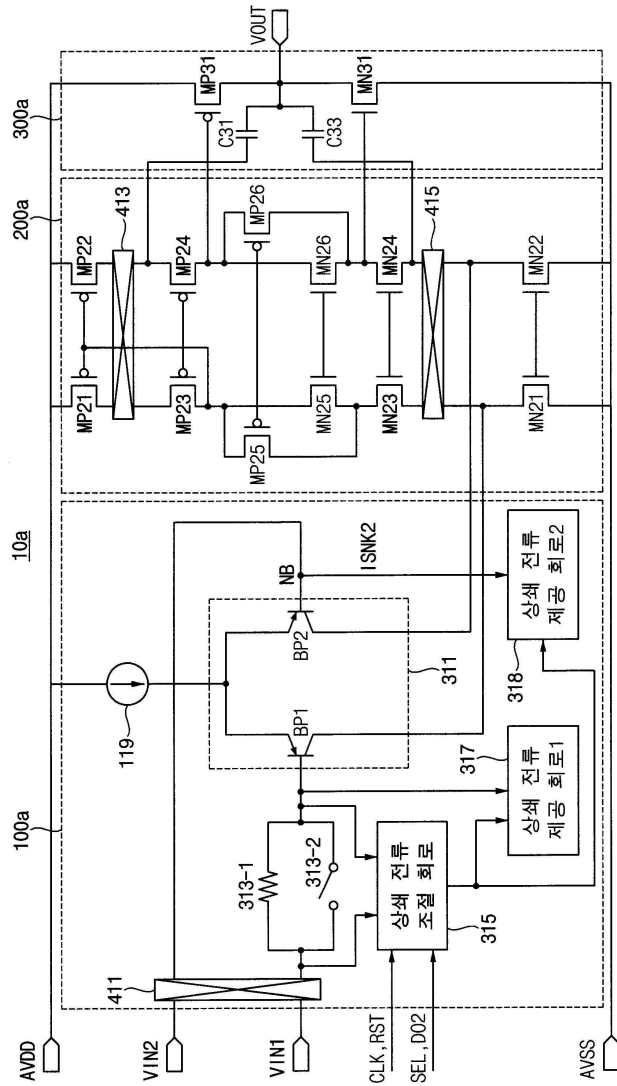
도면7



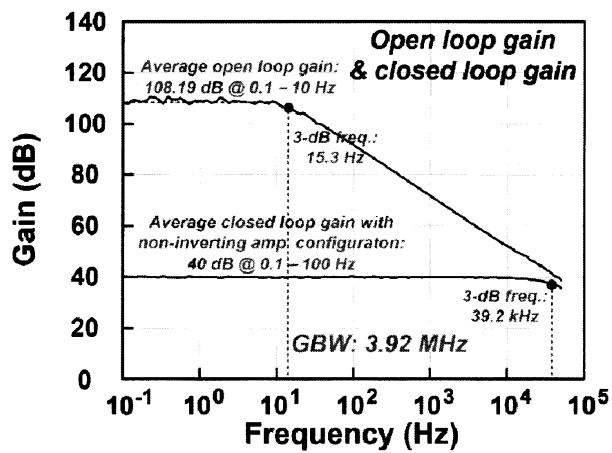
도면8



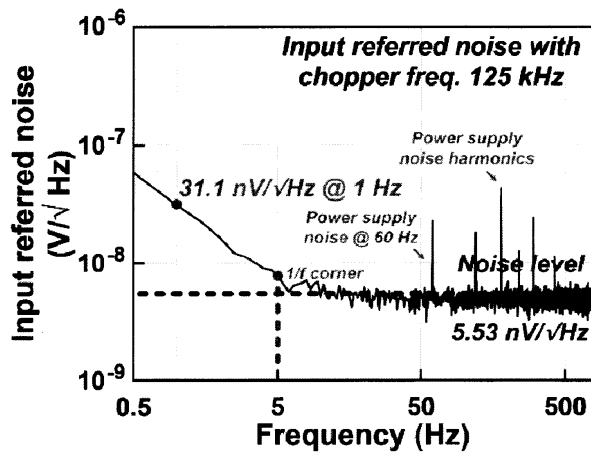
도면9



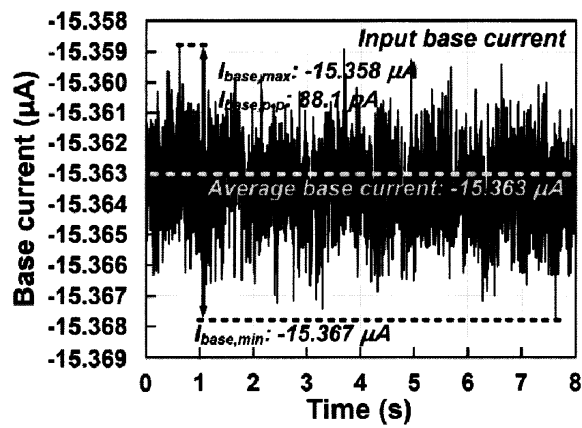
도면10



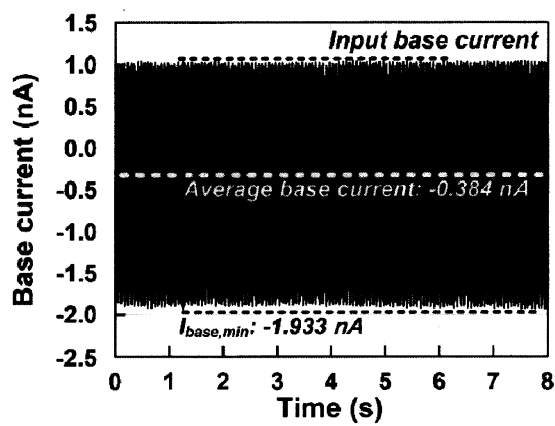
도면11



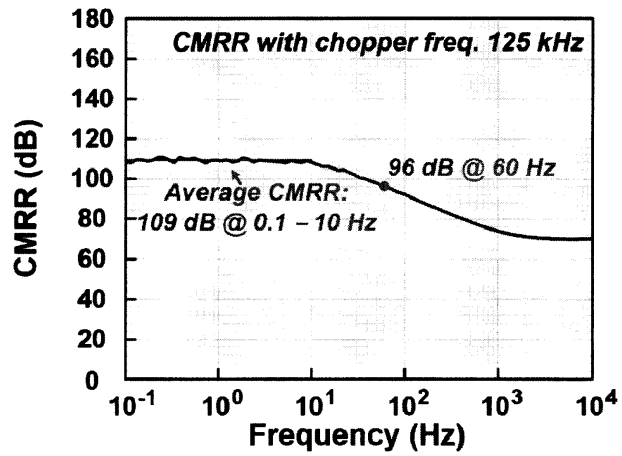
도면12



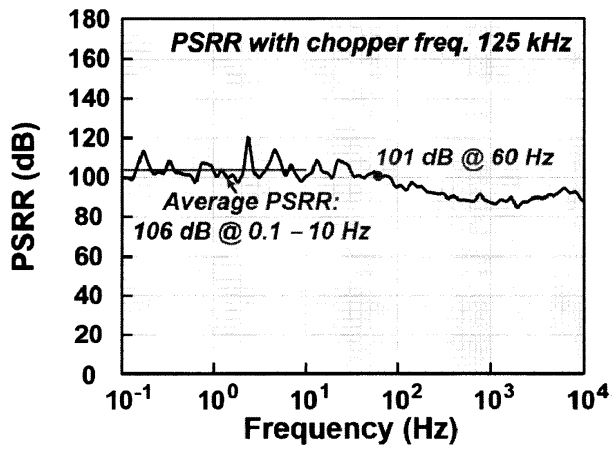
도면13



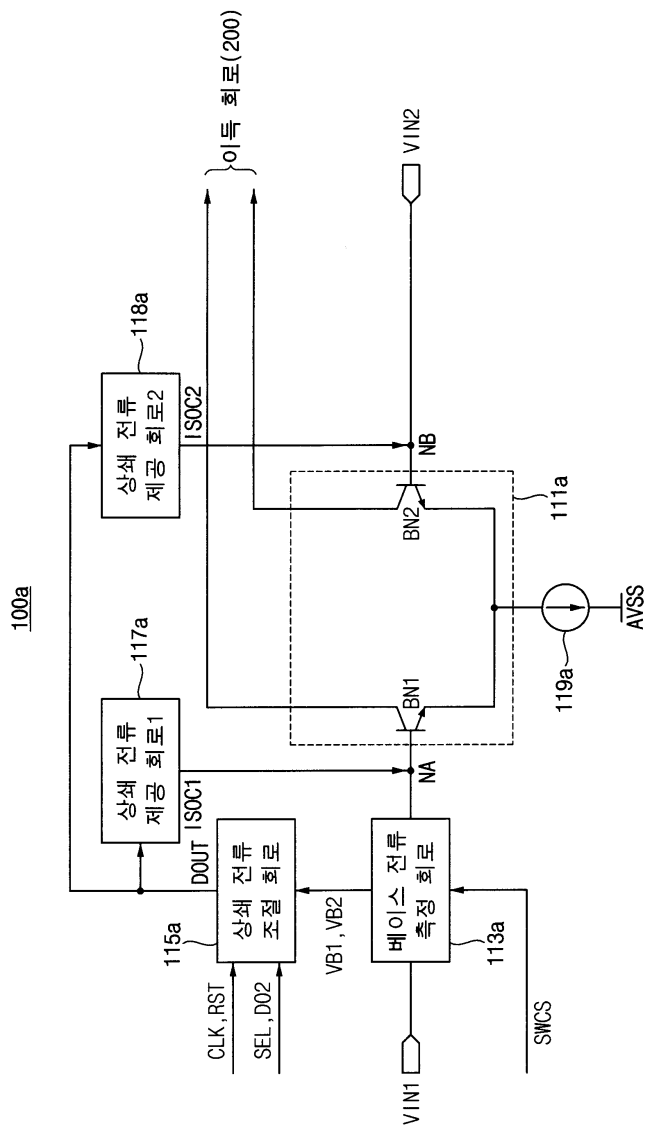
도면14



도면15



도면 16



도면17

