

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 16.12.21.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 23.06.23 Bulletin 23/25.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : Soitec Société anonyme à conseil
d'administration — FR et Soitec Belgium Société ano-
nyme — BE.

72 Inventeur(s) : VEYTIZOU Christelle, RADU Ionut,
DERLUYN Joff et DEGROOTE Stefan.

73 Titulaire(s) : Soitec Société anonyme à conseil
d'administration, Soitec Belgium Société anonyme.

74 Mandataire(s) : OPILEX.

54 STRUCTURE SEMI-CONDUCTRICE EN NITRURE DU GROUPE III SUR SILICIUM SUR ISOLANT ET SON
PROCÉDÉ DE CROISSANCE.

57 L'invention porte sur une structure semi-conductrice
(1) comprenant:

ξ28 un substrat de Silicium sur Isolant (101)
comprenant:

o une couche de base de silicium (10);
o une couche intermédiaire (11) sur ladite couche de
base (10) et comprenant:

? une couche riche en pièges (111); et
? un isolant enterré (121) sur la couche riche en pièges
(111); et

o une couche supérieure de silicium dopé de type n
(12) sur ladite couche intermédiaire (11); et

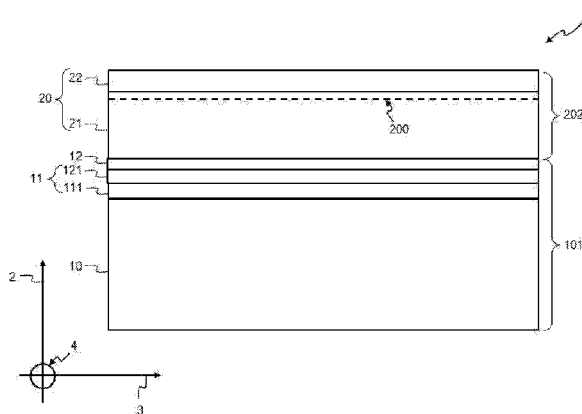
ξ28 un empilement (202) de couches semi-conduc-
trices III-N épitaxiales sur ledit substrat (101) de Silicium sur
Isolant, comprenant:

o une première couche III-N active (21) sur ladite
couche supérieure (12);

o une deuxième couche III-N active (22) sur ladite pre-
mière couche III-N active (21);

avec un Gaz d'Electrons bidimensionnel (200) entre la-
dite première couche III-N active (21) et ladite deuxième
couche III-N active (22).

Figure à publier avec l'abrégié : Fig. 3



Description

Titre de l'invention : STRUCTURE SEMI-CONDUCTRICE EN NITRURE DU GROUPE III SUR SILICIUM SUR ISOLANT ET SON PROCÉDÉ DE CROISSANCE

Domaine technique

- [0001] La présente invention concerne de manière générale, entre autres, une structure semi-conductrice et un procédé de croissance de celle-ci. Plus particulièrement, elle concerne une structure semi-conductrice comprenant un nitrure du Groupe III amené à croître sur un Silicium sur Isolant, dans laquelle la structure semi-conductrice atteint des performances exceptionnelles pour des applications à haute puissance et à haute fréquence, et un procédé de croissance de celle-ci.
- [0002] Contexte de l'invention
- [0003] Les hétérostructures à base de nitrure du Groupe III sont très bien adaptées à des applications à haute puissance et haute fréquence en raison de leur grande vitesse électronique et de leur champ électrique critique élevé. À titre d'exemple, on utilise traditionnellement des hétérostructures d'AlGaIn/GaN pour la fabrication de transistors à effet de champ, également appelés FET. Dans cette hétérostructure, un gaz d'électrons bidimensionnel, également appelé 2DEG, est généré par la polarisation spontanée et piézoélectrique entre les deux couches actives, c'est-à-dire entre l'AlGaIn et le GaN.
- [0004] Les hétérostructures à base de nitrure du Groupe III sont généralement fabriquées sur des substrats de silicium classiques. Compte tenu du besoin toujours croissant de solutions à haute puissance et à haute fréquence, l'industrie des télécommunications doit relever le défi de rendre ces hétérostructures à base de nitrure du Groupe III compatibles avec les technologies existantes. À titre d'exemple, les hétérostructures à base de nitrure du Groupe III devraient permettre la miniaturisation continue des dispositifs microélectroniques et l'amélioration continue de leurs performances.
- [0005] Pour les applications à haute puissance et haute fréquence, il est essentiel de rendre maximale la résistivité du substrat sous-jacent des dispositifs. Cependant, les mesures effectuées par profilage de la résistance distribuée sur du nitrure de gallium formé par croissance épitaxiale sur un substrat de silicium présentent une baisse significative de la résistivité en fonction de la profondeur dans l'hétérostructure.
- [0006] Plus généralement, les mesures effectuées par profilage de la résistance distribuée sur des hétérostructures de nitrure du Groupe III formées par croissance épitaxiale sur un substrat de silicium présentent une baisse semblable de la résistivité à l'interface entre l'hétérostructure de nitrure du Groupe III et le substrat de silicium et une présence semblable de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe

III et le substrat de silicium. Cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'impuretés depuis la couche de croissance initiale des couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de silicium. Les impuretés agissent comme une impureté de type p pour le substrat de silicium. Plus particulièrement, cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'éléments du Groupe III dans le substrat de silicium dans lequel ils agissent comme des impuretés de type p pour le substrat de silicium. À titre d'exemple, dans l'échantillon étudié sur les figures 1 et 2 de la présente invention, la présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration de gallium et/ou d'aluminium à l'intérieur du substrat de silicium. Le gallium et/ou l'aluminium agissent comme des impuretés de type p pour le silicium et modifient ainsi la résistivité du substrat de silicium.

[0007] Plusieurs problèmes découlent de cette diffusion d'éléments du Groupe III à l'intérieur du substrat de silicium. Pour des applications à haute puissance et haute fréquence, la présence d'une concentration élevée de dopants de type p à l'interface entre le nitrure de gallium et le silicium va provoquer un couplage capacitif entraînant une dissipation de puissance et des pertes RF notables pour des composants fabriqués à partir de cette structure. De plus, la diffusion d'éléments du Groupe III dans le substrat de silicium va poser des problèmes de linéarité dus à la génération de fréquences harmoniques dans des composants fabriqués à partir de cette structure.

Résumé de l'invention

[0008] Un objet de certains modes de réalisation de la présente invention est donc de proposer une structure semi-conductrice et un procédé de fabrication qui ne présentent pas les défauts inhérents à l'art antérieur. Plus précisément, un objet de certains modes de réalisation de la présente invention est de proposer une structure semi-conductrice présentant des performances améliorées à haute puissance et haute fréquence et un procédé de fabrication de celle-ci.

[0009] L'étendue de la protection recherchée pour divers modes de réalisation de l'invention est exposée dans les revendications indépendantes.

[0010] Les éventuels modes de réalisation et éléments caractéristiques décrits dans le présent fascicule qui n'entrent pas dans le cadre des revendications indépendantes doivent être interprétés comme étant des exemples utiles à la compréhension des divers modes de réalisation de l'invention.

[0011] Il existe un besoin d'une structure semi-conductrice qui présente une résistivité

améliorée et des pertes de puissance et des problèmes de linéarité réduits. De plus, il existe un besoin d'une structure semi-conductrice qui, du point de vue de la fabrication, soit compatible avec les technologies existantes.

[0012] Cet objet est atteint, selon un premier aspect présenté à titre d'exemple de la présente invention, par une structure semi-conductrice comprenant :

- un substrat de Silicium sur Isolant comprenant :
- une couche de base comprenant du silicium ;
- une couche intermédiaire formée sur le dessus de la couche de base ; et
- une couche supérieure formée sur le dessus de la couche intermédiaire ;
- un empilement de couches semi-conductrices III-N épitaxiales sur le dessus du substrat de Silicium sur Isolant, l'empilement de couches semi-conductrices III-N épitaxiales comprenant une couche active épitaxiale ; dans laquelle la couche active épitaxiale comprend :
- une première couche III-N active formée sur le dessus de la couche supérieure ;
- une deuxième couche III-N active formée sur le dessus de la couche barrière de diffusion ;
- avec un Gaz Électronique bidimensionnel entre la première couche III-N active et la deuxième couche III-N active ;
- et dans laquelle :
- la couche supérieure comprend du silicium dopé de type n ; et
- la couche intermédiaire comprend :
- une couche riche en pièges ; et
- un isolant enterré formé sur le dessus d'une couche riche en pièges.

[0013] Comme mentionné précédemment, la présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et un substrat de silicium sur lequel l'hétérostructure de nitrure du Groupe III est par exemple formée par croissance épitaxiale peut par exemple être mesurée par des mesures de profilage de la résistance distribuée. Cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'impuretés depuis la couche de croissance initiale des couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de silicium. Les impuretés agissent comme une impureté de type p pour le substrat de silicium. Plus particulièrement, cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'éléments du Groupe III dans le substrat de silicium dans lequel ils agissent comme des impuretés de type p pour le substrat de silicium.

[0014] Dans le cas de la structure semi-conductrice selon la présente invention, la diffusion ou la migration des éléments du Groupe III depuis les couches épitaxiales de

l'hétérostructure de nitrure du Groupe III vers le substrat de Silicium sur Isolant est contenue dans une région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure. En effet, la couche intermédiaire du substrat de Silicium sur Isolant selon la présente invention confine la diffusion ou la migration des éléments du Groupe III dans la région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure, raccourcissant ainsi la distance de diffusion des impuretés dans le substrat de Silicium sur Isolant.

[0015] Dans le cas de la structure semi-conductrice selon la présente invention, le dopage de type n de la couche supérieure du substrat de Silicium sur Isolant selon la présente invention compense la concentration d'éléments du Groupe III qui diffusent depuis les couches épitaxiales vers le substrat de Silicium sur Isolant. En d'autres termes, le dopage de type n de la couche supérieure du substrat de Silicium sur Isolant selon la présente invention compense une concentration en dopants de type p à l'interface entre les couches épitaxiales et le substrat de Silicium sur Isolant, dans lequel la concentration de ces dopants de type p résulte d'une diffusion d'atomes du Groupe III depuis ledit empilement de couches semi-conductrices III-N épitaxiales vers la couche supérieure du substrat de Silicium sur Isolant.

[0016] Ainsi, la structure semi-conductrice selon la présente invention présente des performances améliorées à haute puissance et haute fréquence, une résistivité améliorée et une réduction des pertes de puissance et des problèmes de linéarité.

[0017] L'utilisation d'une couche riche en pièges s'est avérée être l'une des techniques les plus efficaces pour réduire ces effets parasites et pour améliorer les propriétés de haute résistivité du silicium, tout en étant compatible avec la fabrication industrielle de tranches de SOI et avec le bilan thermique important du procédé CMOS standard. Les pièges de la couche riche en pièges capturent les porteurs libres à l'interface entre le silicium et la couche intermédiaire, permettant ainsi au substrat de Silicium sur Isolant de retrouver sa résistivité nominale, sa linéarité, cela éliminant la dépendance au courant continu et conduisant à une réduction substantielle des pertes RF et de la diaphonie. Dans le contexte de la présente invention, la couche riche en pièges a une densité de défauts appropriée pour piéger des charges libres qui peuvent être générées dans le substrat de Silicium sur Isolant. La couche riche en pièges peut également fournir un effet de piégeage. La couche riche en pièges a une épaisseur de plusieurs dizaines de nanomètres à plusieurs microns, par exemple de 50 nm à 3 microns. La couche riche en pièges comprend du silicium, ou du carbure de silicium amorphe, ou

du silicium polycristallin également appelé polysilicium.

- [0018] Dans le contexte de la présente invention, un gaz d'électrons bidimensionnel, également appelé 2DEG, est un gaz d'électrons libres de se déplacer dans deux dimensions, mais étroitement confinés dans la première. Ce confinement étroit conduit à des niveaux d'énergie quantifiés pour le mouvement dans cette direction. Les électrons apparaissent sous la forme d'une feuille 2D intégrée à un monde 3D.
- [0019] Dans le contexte de la présente invention, le terme de nitrure du Groupe III fait référence à des composés semi-conducteurs formés entre des éléments du Groupe III du tableau périodique, par exemple le bore, également désigné B, l'aluminium, également désigné Al, le gallium, également désigné Ga, l'indium, également désigné In, et l'azote, également désigné N. Comme exemples de composés binaires de nitrure du Groupe III on peut citer GaN, AlN, BN, etc. Le terme de nitrure du Groupe III fait également référence à des composés ternaires et quaternaires comme par exemple l'AlGaN et l'InAlGaN.
- [0020] Dans le cadre de la présente invention, la première couche III-N active comprend un ou plusieurs éléments parmi N, P, As, et un ou plusieurs éléments parmi B, Al, Ga, In et Tl. La première couche III-N active comprend par exemple du GaN. La deuxième couche III-N active comprend un ou plusieurs éléments parmi N, P, As et un ou plusieurs éléments parmi B, Al, Ga, In et Tl. La deuxième couche III-N active comprend par exemple de l'AlGaN. Le terme AlGaN se rapporte à une composition comprenant Al, Ga et N dans un rapport stœchiométrique quelconque ($\text{Al}_x\text{Ga}_y\text{N}$) dans lequel x est compris entre 0 et 1 et y est compris entre 0 et 1. En variante, la deuxième couche III-N active comprend par exemple de l'AlN. En variante, la deuxième couche III-N active comprend de l'InAlGaN. Une composition telle que l'InAlGaN comprend de l'In dans n'importe quelle quantité appropriée. En variante, la première couche III-N active et la deuxième couche III-N active comprennent toutes deux de l'InAlGaN, et la deuxième couche III-N active comprend une bande interdite plus large qu'une bande interdite de la première couche III-N active et dans laquelle la deuxième couche III-N active comprend une polarisation supérieure à la polarisation de la première couche III-N active. En variante, la première couche III-N active et la deuxième couche III-N active comprennent toutes deux du BInAlGaN, et la deuxième couche III-N active comprend une bande interdite plus large qu'une bande interdite de la première couche III-N active et dans laquelle la deuxième couche III-N active comprend une polarisation supérieure à la polarisation de la première couche III-N active. Les compositions de la couche active peuvent être choisies au vu des caractéristiques à obtenir, les compositions pouvant donc varier en conséquence. À titre d'exemple, de bons résultats ont été obtenus avec une première couche III-N active comprenant du GaN d'une épaisseur d'environ 150 nm et une deuxième couche III-N active comprenant du

AlGaIn d'une épaisseur d'environ 20 nm.

- [0021] Dans le contexte de la présente invention, la couche de base du substrat de Silicium sur Isolant comprend du silicium massif et la résistivité de la couche de base du substrat de Silicium sur Isolant est typiquement comprise entre 3 et 5 kOhm.cm, et est de préférence supérieure à 1 kOhm.cm. Ainsi, la résistivité du substrat sous-jacent à l'empilement de couches semi-conductrices III-N épitaxiales est maximisée pour les applications à haute puissance et haute fréquence.
- [0022] Dans le contexte de la présente invention, la technologie du Silicium sur Isolant, également appelée SOI, correspond à la fabrication de dispositifs à semi-conducteurs dans un substrat stratifié silicium-isolant-silicium. Le choix de l'isolant dépend en grande partie de l'application prévue des dispositifs à semi-conducteurs. Plusieurs types de substrats de Silicium sur Isolant peuvent être utilisés dans le cadre de la présente invention.
- [0023] Du fait de l'isolation vis-à-vis du silicium massif de la couche de base du substrat de Silicium sur Isolant, la capacité parasite au sein des dispositifs semi-conducteurs fabriqués à partir de l'hétérostructure de nitrure du Groupe III est réduite, améliorant ainsi leur consommation d'énergie et leurs performances. Les dispositifs à semi-conducteurs fabriqués sur substrat de Silicium sur Isolant présentent également une plus grande résistance au verrouillage et de meilleures performances à VDD équivalent que les dispositifs à semi-conducteurs intégrés sur d'autres types de substrats. La dépendance à la température des dispositifs à semi-conducteurs fabriqués sur SOI est réduite par comparaison à des dispositifs à semi-conducteurs intégrés sur d'autres types de substrats. Du fait de l'isolation, les dispositifs à semi-conducteurs fabriqués sur SOI présentent de plus faibles courants de fuite et par conséquent, un meilleur rendement énergétique.
- [0024] Les substrats de Silicium sur Isolant pour Radiofréquences, également appelés substrats RF-SOI, permettent d'obtenir de hautes performances RF sur des films de silicium compatibles avec les procédés CMOS standard, une isolation RF et des signaux de puissance à haute linéarité, de faibles pertes RF, un traitement numérique et une intégration de la gestion de l'énergie.
- [0025] À titre d'exemple, un substrat à intégrité de signal améliorée pour application RF comprend une couche de base comprenant du silicium à haute résistivité, une couche riche en pièges formée sur le dessus de la couche de base, un isolant enterré formé sur le dessus de la couche riche en pièges, et une couche supérieure formée sur le dessus de l'isolant enterré, dans lequel la couche supérieure comprend un monocristal. La résistivité de la couche de base est généralement supérieure à 3 kOhm.cm. L'épaisseur de la couche supérieure est typiquement comprise entre 50 nm et 200 nm. L'ajout d'une couche riche en pièges permet d'obtenir des performances RF exceptionnelles. Un tel

substrat est particulièrement bien adapté à des dispositifs ayant des spécifications de linéarité contraignantes. Les applications visent par exemple typiquement les normes LTE-Advanced et 5G et répondent à des exigences de performances différentes. Par comparaison à un substrat de SOI à haute résistivité, un substrat à intégrité du signal améliorée présente une meilleure linéarité, de plus faibles pertes RF, une plus faible diaphonie, des facteurs de qualité améliorés pour les composants passifs, des tailles de puce plus petites et une meilleure conductivité thermique. Les substrats à intégrité de signal améliorée présentent en outre typiquement un facteur de qualité harmonique inférieur à -80 dBm.

- [0026] Un autre exemple de RF-SOI comprend une couche de base comprenant du silicium à résistivité moyenne, une couche riche en pièges formée sur le dessus de la couche de base, un isolant enterré formé sur le dessus de la couche riche en pièges, et une couche supérieure comprenant un monocristal mince. Un tel substrat est particulièrement bien adapté par exemple à des dispositifs hautement intégrés sensibles aux coûts, et est particulièrement bien adapté par exemple aux spécifications des applications Wi-Fi, IoT et autres applications grand public.
- [0027] Un autre exemple de RF-SOI appelé SOI haute résistance vise par exemple des dispositifs ayant des spécifications de linéarité et des spécifications 2G et 3G moins contraignantes. Un tel substrat comprend une couche de base comprenant du silicium à haute résistivité, un isolant enterré formé sur le dessus de la couche de base et une couche supérieure comprenant un monocristal mince.
- [0028] Les substrats de Silicium sur Isolant de puissance répondent aux exigences d'intégration, par exemple, de fonctions à haute tension et analogiques dans des circuits intégrés de puissance intelligents, économes en énergie et de grande fiabilité, pour les marchés automobile et industriel. Ils offrent une excellente isolation électrique et conviennent parfaitement à l'intégration de dispositifs fonctionnant sur différentes tensions, de quelques volts à plusieurs centaines de volts, tout en réduisant la superficie de la puce et en améliorant la fiabilité. Ces substrats sont idéaux pour des applications telles que des émetteurs-récepteurs CAN/LIN, des alimentations à découpage, des circuits d'attaque de moteurs sans balais, des circuits d'attaque de LED, etc. Un SOI de puissance comprend une couche de base comprenant du silicium, un isolant enterré formé sur le dessus comprenant de l'oxyde, et une couche supérieure comprenant du silicium. L'épaisseur de l'isolant enterré est typiquement comprise entre 0,4 μm et 1 μm et l'épaisseur de la couche supérieure est typiquement comprise entre 0,1 μm et 1,5 μm .
- [0029] Les substrats de Silicium sur Isolant pour la photonique répondent à l'exigence d'intégration de fonctions optiques, par exemple sur une puce CMOS, pour des émetteurs-récepteurs optiques de faible coût et à grande vitesse. Ces substrats comprennent une couche de base comprenant du silicium, un isolant enterré formé sur le

dessus de la couche de base et comprenant de l'oxyde, et une couche supérieure formée sur le dessus de l'isolant enterré et comprenant du silicium monocristallin. L'épaisseur de l'isolant enterré est typiquement comprise entre 0,7 μm et 2 μm et l'épaisseur de la couche supérieure est typiquement comprise entre 0,1 μm et 0,5 μm . La couche de silicium cristallin sur isolant peut être utilisée pour fabriquer par exemple des guides d'ondes optiques et d'autres dispositifs optiques, passifs ou actifs, par exemple par le biais d'implantations appropriées. L'isolant enterré permet par exemple la propagation de lumière infrarouge dans la couche de silicium sur la base d'une réflexion interne totale. La surface supérieure des guides d'ondes peut être soit laissée non recouverte et exposée à l'air, par exemple pour des applications de détection, soit recouverte d'un revêtement, par exemple constitué de silice.

- [0030] Du point de vue de la fabrication, les substrats SOI sont compatibles avec la plupart des procédés de fabrication classiques. De manière générale, un procédé à base de SOI peut être mis en œuvre sans équipement spécial ni rééquipement important d'une usine existante. Parmi les défis propres au SOI figurent de nouvelles exigences en matière de métrologie pour tenir compte de l'isolant enterré et de préoccupations liées à la contrainte différentielle dans la couche supérieure comprenant du silicium.
- [0031] Selon des exemples de mode de réalisation, une concentration en dopant de type n de la couche supérieure se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$.
- [0032] Ainsi, le dopage de type n de la couche supérieure du substrat de Silicium sur Isolant compense et équilibre la concentration en éléments du Groupe III qui diffuse depuis les couches épitaxiales vers la couche supérieure du substrat de Silicium sur Isolant.
- [0033] Selon des modes de réalisation donnés à titre d'exemple, l'épaisseur de la couche supérieure est comprise entre 50 et 200 nm. En variante, l'épaisseur de la couche supérieure est inférieure à 100 nm.
- [0034] Ainsi, la couche intermédiaire limite la diffusion ou la migration d'éléments du Groupe III à l'intérieur de la couche mince de silicium formée par la couche supérieure. En d'autres termes, la couche intermédiaire limite la diffusion ou la migration d'éléments du Groupe III à la région superficielle du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III. La structure semi-conductrice présente de hautes performances à haute puissance et haute fréquence, une résistivité améliorée et une réduction des pertes de puissance et des problèmes de linéarité.
- [0035] Selon des exemples de mode de réalisation, la couche supérieure comprend du silicium dopé de type n, dans lequel une orientation du silicium dopé de type n de la couche supérieure est (111).
- [0036] Selon des exemples de modes de réalisation, la couche supérieure comprend du silicium monocristallin.

- [0037] Ainsi, le silicium monocristallin de la couche supérieure peut être utilisé pour fabriquer par exemple des guides d'ondes optiques et d'autres dispositifs optiques, passifs ou actifs, par exemple par le biais d'implantations appropriées. L'isolant enterré permet par exemple la propagation de lumière infrarouge dans le silicium de la couche supérieure sur la base d'une réflexion interne totale. La surface supérieure des guides d'ondes fabriqués à l'intérieur de la couche supérieure peut être soit laissée non recouverte et exposée à l'air, par exemple pour des applications de détection, soit recouverte d'un revêtement, par exemple constitué de silice.
- [0038] Selon des exemples de modes de réalisation, l'isolant enterré comprend du carbure de silicium amorphe et la couche riche en pièges comprend du carbure de silicium amorphe.
- [0039] Ainsi, le carbure de silicium amorphe agit comme une couche riche en pièges et comme barrière contenant la diffusion ou la migration d'éléments du Groupe III depuis les couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de Silicium sur Isolant dans une région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure. En variante, la couche riche en pièges comprend du silicium ou du polysilicium.
- [0040] Selon des exemples de modes de réalisation, l'isolant enterré comprend du dioxyde de silicium et la couche riche en pièges comprend du silicium.
- [0041] Selon des exemples de modes de réalisation, l'isolant enterré comprend du dioxyde de silicium et la couche riche en pièges comprend du carbure de silicium amorphe.
- [0042] En variante, la couche riche en pièges comprend du polysilicium.
- [0043] Selon des exemples de modes de réalisation, l'isolant enterré comprend une couche comprenant du nitrure de silicium confinée entre deux couches comprenant de l'oxyde de silicium ; et la couche riche en pièges comprend du carbure de silicium amorphe.
- [0044] Dans cet exemple de mode de réalisation, l'isolant enterré comprend un empilement diélectrique ONO, où ONO désigne un oxyde-nitrure-oxyde. L'isolant enterré permet une meilleure conduction thermique que le dioxyde de silicium sans dégrader excessivement le couplage capacitif parasite ni compromettre les performances de grande vitesse, par exemple de dispositifs actifs fabriqués à partir de la structure semi-conductrice selon la présente invention. De plus, l'isolant enterré comprenant une couche comprenant du nitrure de silicium améliore encore l'effet technique consistant à contenir la diffusion ou la migration d'éléments du Groupe III depuis les couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de Silicium sur Isolant dans une région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la

couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure. Le blocage de la diffusion d'éléments du Groupe III depuis les couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de Silicium sur Isolant est plus efficace dans une structure semi-conductrice comprenant un isolant enterré comprenant du nitrure de silicium que dans une structure semi-conductrice comprenant un isolant enterré comprenant uniquement du dioxyde de silicium. En variante, la couche riche en pièges comprend du silicium ou du polysilicium.

[0045] Selon des exemples de modes de réalisation, le carbure de silicium est amorphe.

[0046] Les pièges du carbure de silicium amorphe de la couche riche en pièges capturent les porteurs libres à l'interface entre le silicium de la couche supérieure et de la couche intermédiaire, permettant ainsi au substrat de Silicium sur Isolant de retrouver sa résistivité nominale, sa linéarité, en éliminant la dépendance au courant continu et en conduisant à une réduction notable des pertes RF et de la diaphonie.

[0047] Selon des exemples de modes de réalisation, l'épaisseur de la couche riche en pièges est comprise entre quelques dizaines de nanomètres et plusieurs micromètres. À titre d'exemple, l'épaisseur de la couche riche en pièges comprenant du carbure de silicium amorphe peut atteindre quelques dizaines de nanomètres. En variante, l'épaisseur de la couche riche en pièges comprenant du polysilicium peut atteindre quelques micromètres.

[0048] Selon des exemples de modes de réalisation, l'épaisseur de l'isolant enterré est comprise entre 100 nm et 500 nm.

[0049] Selon des exemples de modes de réalisation, l'épaisseur de la couche intermédiaire comprenant l'isolant enterré et la couche riche en pièges est comprise entre quelques centaines de nanomètres et quelques micromètres.

[0050] Selon des exemples de modes de réalisation, l'empilement de couches semi-conductrices III-N épitaxiales comprend en outre une couche d'espacement formée entre la première couche III-N active et la deuxième couche III-N active.

[0051] Ainsi, la couche d'espacement formée par croissance épitaxiale entre la première couche III-N active et la deuxième couche III-N active améliore la mobilité des électrons au sein de l'empilement de couches semi-conductrices III-N épitaxiales.

[0052] Selon des exemples de modes de réalisation, la première couche III-N active comprend du nitrure de gallium et la deuxième couche III-N active comprend du nitrure d'aluminium gallium.

[0053] Préférentiellement, la première couche III-N active est obtenue par croissance épitaxiale et comprend du nitrure de gallium pur, de préférence une monocouche de nitrure de gallium.

[0054] Selon des exemples de modes de réalisation, la première couche III-N active

comprend de l'InAlGa_N, et la deuxième couche III-V active comprend de l'InAlGa_N, et la deuxième couche III-N active comprend une bande interdite plus large qu'une bande interdite de la première couche III-N active et la deuxième couche III-N active comprend une polarisation supérieure à la polarisation de la première couche III-N active.

- [0055] Ainsi, l'utilisation de matériaux différents dans la première couche III-N et la deuxième couche III-V actives adjacentes provoque une polarisation qui contribue à une région conductrice de 2DEG à proximité de la jonction entre la première couche III-N active et la deuxième couche III-N active, notamment dans la première couche III-N active qui comprend une bande interdite plus étroite que la bande interdite de la deuxième couche III-N active.
- [0056] La première couche III-N active a par exemple une épaisseur comprise entre 20 et 500 nm, de préférence entre 30 et 300 nm, plus préférablement entre 50 et 250 nm, comme par exemple entre 100 et 150 nm. La deuxième couche III-N active a par exemple une épaisseur comprise entre 10 et 100 nm, de préférence entre 20 et 50 nm. Une telle combinaison d'épaisseurs permet d'obtenir de bonnes caractéristiques pour la couche active, par exemple en ce qui concerne le 2DEG obtenu.
- [0057] Selon des exemples de modes de réalisation, la couche d'espacement comprend du nitrure d'aluminium.
- [0058] Préférablement, la couche d'espacement est obtenue par croissance épitaxiale et comprend du nitrure d'aluminium pur.
- [0059] Selon des exemples de modes de réalisation, l'épaisseur de la couche d'espacement est inférieure à 2 nm.
- [0060] Ainsi, la couche d'espacement est maintenue suffisamment mince pour minimiser la rugosité de la couche d'espacement. Grâce à la minimisation de la rugosité, la couche d'espacement empêche la diffusion ou la migration d'atomes du Groupe III dans au moins la première couche III-N active. Ainsi, la stabilité thermique de la structure semi-conductrice est encore améliorée. En d'autres termes, plus la couche d'espacement est mince, meilleure est la stabilité thermique de la structure semi-conductrice. Préférablement, l'épaisseur de la couche d'espacement est comprise entre 0,5 nm et 1,5 nm. Encore plus préférablement, l'épaisseur de la couche d'espacement est comprise entre 0,8 nm et 1 nm.
- [0061] Selon des exemples de modes de réalisation, l'empilement de couches semi-conductrices III-N épitaxiales comprend en outre une couche tampon formée par croissance épitaxiale entre le substrat et la couche active épitaxiale.
- [0062] La couche tampon peut être d'une nature différente de celle du substrat, dans la mesure, par exemple, où les bandes interdites du substrat et de la couche tampon sont relativement éloignées l'une de l'autre, par exemple respectivement à 1,1 eV et 6,2 eV,

en ce sens que la couche tampon a une bande interdite élevée, afin d'obtenir les présentes caractéristiques, telles qu'une tension de claquage élevée, par exemple supérieure à 250 V, de préférence supérieure à 500 V, encore plus préférablement supérieure à 1000 V, par exemple supérieure à 2000 V, ou même beaucoup plus élevée. La couche tampon est par exemple une couche tampon III-V à haute bande interdite. Le terme III fait ici référence à des éléments du Groupe III, tels que B, Al, Ga, In, Tl, Sc, Y et les séries des Lanthanides et des Actinides. Le terme V fait ici référence à des éléments du Groupe V, tels que N, P, As, Sb, Bi. La couche tampon peut comprendre un empilement de couches, et dans un exemple, la première est typiquement une couche de nucléation.

[0063] Selon des exemples de modes de réalisation, la structure semi-conductrice comprend en outre un empilement de passivation formé sur le dessus de la couche semi-conductrice III-N épitaxiale.

[0064] L'empilement de passivation est formé in-situ en association avec la formation de l'empilement de couches semi-conductrices III-N épitaxiales. L'empilement de passivation est par exemple formé sur le dessus de la deuxième couche III-N active. Ainsi, un empilement de passivation entièrement cristallin est formé par croissance épitaxiale sur le dessus de l'empilement de couches semi-conductrices III-N épitaxiales. En variante, un empilement de passivation partiellement cristallin est formé par croissance épitaxiale sur le dessus de l'empilement de couches semi-conductrices III-N épitaxiales. L'empilement de passivation peut également être formé par dépôt ex-situ à l'aide d'outils d'épitaxie tels que le dépôt de couche atomique, également appelé ALD, le dépôt chimique en phase vapeur, également appelé CVD, ou le dépôt physique en phase vapeur, également appelé PVD. En variante, l'empilement de passivation peut être formé par dépôt in-situ dans une chambre MOCVD ou MBE. En variante, l'empilement de passivation peut être formé par dépôt d'un film amorphe du même matériau et recristallisation de celui-ci par recuit thermique. L'empilement de passivation présent sur le dessus de la deuxième couche III-N active comprend par exemple du nitrure de gallium. En variante, l'empilement de passivation sur le dessus de la deuxième couche III-N active comprend du nitrure de gallium et du nitrure de silicium.

[0065] Un empilement de passivation est formé entre l'empilement de couches semi-conductrices III-N épitaxiales et, par exemple, une grille d'un transistor. L'empilement de passivation peut être formé uniquement sous la grille et peut en outre servir de diélectrique de grille. En variante, l'empilement de passivation peut être formé sur le dessus de l'empilement de couches semi-conductrices III-N épitaxiales et peut recouvrir entièrement l'empilement de couches semi-conductrices III-N épitaxiales. En variante, l'empilement de passivation peut être formé sur le dessus de l'empilement de

couches semi-conductrices III-N épitaxiales et recouvrir partiellement la surface de l'empilement de couches semi-conductrices III-N épitaxiales, et peut par exemple être formé dans la zone dépourvue de grille entre la source et le drain d'un transistor à haute mobilité d'électrons, où il sert de passivation et empêche l'appauvrissement du 2DEG sous-jacent.

[0066] Selon des exemples de modes de réalisation, l'empilement de passivation comprend en outre une couche d'oxyde et/ou de nitrure de silicium.

[0067] Ainsi, la couche de passivation de la structure semi-conductrice selon un premier aspect présenté à titre d'exemple de la présente invention comprend du nitrure de silicium et/ou une couche d'oxyde qui joue le rôle de couche de passivation. La couche d'oxyde présente une interface électriquement propre avec la deuxième couche III-N active, une constante diélectrique élevée pour rendre maximal le couplage électrostatique entre les contacts électriques formés sur la structure semi-conductrice et le 2DEG, cela conduisant par exemple à une augmentation de la transconductance de transistors à haute mobilité d'électrons fabriqués à l'aide de la structure semi-conductrice, et à une épaisseur suffisante pour éviter un claquage diélectrique et des fuites par effet tunnel quantique.

[0068] Selon un deuxième aspect présenté à titre d'exemple de la présente invention, il est fourni un procédé de fabrication d'une structure semi-conductrice, dans lequel le procédé comprend les étapes consistant à :

- fournir un substrat de Silicium sur Isolant, cela consistant à :
- fournir une couche de base comprenant du silicium ;
- fournir une couche intermédiaire sur la couche de base, cela consistant à :
- fournir une couche riche en pièges ; et
- fournir un isolant enterré formé sur le dessus de la couche riche en pièges ; et
- fournir une couche supérieure comprenant du silicium dopé de type n et formée sur le dessus de la couche intermédiaire ;
- fournir un empilement de couches épitaxiales de semi-conducteurs III-N sur le dessus du substrat de Silicium-sur-Insolant, l'empilement de couches épitaxiales de semi-conducteurs III-N comprenant une couche active épitaxiale ; dans lequel la fourniture de la couche active épitaxiale comprend les étapes consistant à :
- fournir une première couche III-N active sur le dessus de la couche supérieure ;
- fournir une deuxième couche III-N active sur la première couche III-N active ;
- pour former ainsi un gaz d'électrons bidimensionnel entre la première couche III-N active et la deuxième couche III-N active.

[0069] Comme mentionné précédemment, la présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et un substrat de silicium sur lequel l'hétérostructure de nitrure du Groupe III est par exemple formée par croissance

épitaxiale peut par exemple être mesurée par des mesures de profilage de la résistance distribuée. Cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'impuretés depuis la couche de croissance initiale des couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de silicium. Les impuretés agissent comme une impureté de type p pour le substrat de silicium. Plus particulièrement, cette présence de dopants de type p à l'interface entre l'hétérostructure de nitrure du Groupe III et le silicium est attribuée à la diffusion ou à la migration d'éléments du Groupe III dans le substrat de silicium dans lequel ils agissent comme des impuretés de type p pour le substrat de silicium.

[0070] Conformément au procédé de fabrication d'une structure semi-conductrice selon la présente invention, la diffusion ou la migration d'éléments du Groupe III depuis les couches épitaxiales de l'hétérostructure de nitrure du Groupe III vers le substrat de Silicium sur Isolant est contenue dans une région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure. En effet, conformément au procédé selon la présente invention, la couche intermédiaire du substrat de Silicium sur Isolant limite la diffusion ou la migration d'éléments du Groupe III dans la région de surface du substrat de Silicium sur Isolant proche des couches épitaxiales de l'hétérostructure de nitrure du Groupe III, par exemple dans la couche supérieure et facultativement à proximité de l'interface entre la couche intermédiaire et la couche supérieure, réduisant ainsi la distance de diffusion des impuretés dans le substrat de Silicium sur Isolant.

[0071] Conformément au procédé de fabrication d'une structure semi-conductrice selon la présente invention, le dopage de type n de la couche supérieure du substrat de Silicium sur Isolant compense la concentration d'éléments du groupe III qui diffuse depuis les couches épitaxiales vers le substrat de Silicium sur Isolant. En d'autres termes, le dopage de type n de la couche supérieure du substrat de Silicium sur Isolant équilibre la concentration en dopants de type p à l'interface entre les couches épitaxiales et le substrat de Silicium sur Isolant, dans lequel la concentration de ces dopants de type p résulte d'une diffusion d'atomes du Groupe III depuis ledit empilement de couches semi-conductrices III-N épitaxiales vers la couche supérieure du substrat de Silicium sur Isolant.

[0072] Ainsi, la structure semi-conductrice fabriquée conformément au procédé selon la présente invention offre des performances améliorées à haute puissance et haute fréquence, une résistivité améliorée et des pertes de puissance et des problèmes de linéarité réduits.

[0073] L'empilement de couches semi-conductrices III-N épitaxiales comprend une couche

active épitaxiale qui comprend la première couche III-N active, facultativement une couche d'espacement, et la deuxième couche III-N active. La couche active épitaxiale est formée in situ par croissance épitaxiale dans une chambre épitaxiale de dépôt chimique en phase vapeur aux organométalliques, également appelée MOCVD, ou dans une chambre épitaxiale en phase vapeur aux organométalliques, également appelée MOVPE, ou dans une chambre épitaxiale à faisceau moléculaire, également appelée MBE, ou dans une chambre épitaxiale à faisceau chimique, également appelée CBE.

- [0074] La structure semi-conductrice peut être formée par croissance épitaxiale par dépôt chimique en phase vapeur aux organométalliques (MOCVD) ou par épitaxie en phase vapeur aux organométalliques (MOVPE) ou par épitaxie par faisceau moléculaire (MBE) ou par épitaxie par faisceau chimique (CBE). Dans le procédé MOVPE ou dans le procédé MOCVD, la pile de couches semi-conductrices III-N épitaxiales est formée par croissance épitaxiale sur un substrat de Silicium sur Isolant, typiquement à des pressions comprises par exemple entre 5 mBar et 1 Bar et typiquement à des températures comprises par exemple entre 600°C et 1200°C. Les matériaux précurseurs peuvent être, sans s'y limiter, l'ammoniac (NH_3) pour l'azote ; le tri-méthyl-Ga (TMGa) ou le tri-éthyl-Ga (TEGa) pour le gallium, le tri-méthyl-Al (TMAI) ou le tri-éthyl-Al (TEAI) pour l'aluminium ; le tri-méthyl-Indium (TMIIn) pour l'indium ; et le silane (SiH_4) ou le disilane (SiH_3)₂ pour le silicium.
- [0075] Le substrat de Silicium sur Isolant peut comprendre un isolant enterré qui comprend de l'oxyde de silicium. Le substrat de Silicium sur Isolant peut ensuite être produit par plusieurs procédés comme par exemple une Séparation par IMplantation d'Oxygène, connue sous le nom de SIMOX, ou le collage de tranches, ou par un procédé d'ensemencement.
- [0076] Selon des exemples de modes de réalisation, la fourniture d'une couche supérieure comprenant du silicium dopé de type n comprend le dopage du silicium de la couche supérieure par diffusion thermique de dopants de type n dans le silicium de la couche supérieure.
- [0077] Préférentiellement, la concentration en dopant de type n de la couche supérieure se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$.
- [0078] Selon des exemples de modes de réalisation, la fourniture d'une couche supérieure comprenant du silicium dopé de type n comprend le dopage du silicium de la couche supérieure par implantation ionique de dopants de type n dans le silicium de la couche supérieure.
- [0079] Préférentiellement, la concentration en dopant de type n de la couche supérieure se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$.
- [0080] Selon des exemples de modes de réalisation, les dopants de type n comprennent un

ou plusieurs des éléments suivants :

Phosphore ;

Arsenic ;

Antimoine.

Brève description des dessins

- [0081] Certains exemples de modes de réalisation vont maintenant être décrits en référence aux dessins annexés.
- [0082] [Fig.1] et
- [0083] [Fig.2] représentent schématiquement un exemple de mode de réalisation, selon l'art antérieur, de mesures effectuées par profilage de la résistance distribuée sur du nitrure de gallium formé par croissance épitaxiale sur un substrat de silicium.
- [0084] [Fig.3] représente schématiquement un exemple de mode de réalisation d'une structure semi-conductrice selon la présente invention.
- [0085] [Fig.4] représente schématiquement un exemple de mode de réalisation d'une structure semi-conductrice selon la présente invention, dans laquelle l'isolant enterré comprend une couche comprenant du nitrure de silicium confinée entre deux couches comprenant du dioxyde de silicium.
- [0086] [Fig.5] représente schématiquement un exemple de mode de réalisation d'une structure semi-conductrice selon la présente invention, dans laquelle l'empilement de couches semi-conductrices III-N épitaxiales comprend en outre un espaceur entre la première couche III-N active et la deuxième couche III-N active.
- [0087] Description détaillée de modes de réalisation
- [0088] La [Fig.1] illustre schématiquement un exemple de mode de réalisation, selon l'art antérieur, de mesures réalisées par profilage de la résistance distribuée sur du nitrure de gallium formé par croissance épitaxiale sur un substrat de silicium. En effet, la [Fig.1] illustre schématiquement la résistivité 91 en échelle logarithmique d'un échantillon comprenant du nitrure de gallium formé par croissance épitaxiale sur du silicium en fonction de la profondeur 92 dans l'hétérostructure de nitrure de gallium sur silicium. Sur la [Fig.1], la section 93 correspond au nitrure de gallium et la section 95 correspond à une partie du substrat de silicium. Sur la [Fig.1], la section 94 correspond à l'interface entre le nitrure de gallium et le substrat de silicium. Comme on peut le voir sur la [Fig.1], la résistivité 96 mesurée dans le nitrure de gallium est pratiquement constante dans toute la couche et égale à 1.10^6 Ohm.cm, tandis que la résistivité 98 mesurée à partir de pratiquement $1\text{ }\mu\text{m}$ dans le substrat de silicium est pratiquement constante et égale à 1.10^4 Ohm.cm. Cependant, à l'interface 94 entre le nitrure de gallium et le substrat de silicium, et comme cela est visible sur la [Fig.1], une baisse significative de la résistivité 97 est mesurée par profilage de la résistance distribuée. Plus

précisément, la résistivité 97 dans la section 94 de l'hétérostructure s'abaisse de 1.10^6 Ohm.cm à 1.10^1 Ohm.cm avant de remonter lentement à 1.10^4 Ohm.cm plus profondément à l'intérieur du substrat de silicium. Comme on peut le voir sur la [Fig.1], la baisse de résistivité 97 s'étend de $0,5 \mu\text{m}$ à pratiquement $1 \mu\text{m}$ à l'intérieur du substrat de silicium.

[0089] La baisse de résistivité à l'interface entre le nitrure de gallium et le substrat de silicium est étudiée plus en détail par des mesures de profilage de la résistance distribuée. Les résultats de ces mesures sont par exemple illustrés sur la [Fig.2]. La [Fig.2] illustre schématiquement une concentration d'espèces en échelle logarithmique et leur type dans un même échantillon comprenant du nitrure de gallium formé par croissance épitaxiale sur un substrat de silicium tel que caractérisé sur la [Fig.1]. Sur la [Fig.2], la section 93 correspond au nitrure de gallium et la section 95 correspond à une partie du substrat de silicium. La section 94 de la [Fig.2] correspond à l'interface entre le nitrure de gallium et le substrat de silicium. Comme on peut le voir sur la [Fig.2], le nitrure de gallium de cet échantillon est pratiquement non dopé et présente une concentration 81 inférieure à 2.10^{10} atomes.cm⁻³, tandis que le substrat de silicium de cet échantillon présente à partir de pratiquement $1 \mu\text{m}$ à l'intérieur du substrat de silicium une concentration 83 variant de 2.10^{11} atomes.cm⁻³ à 6.10^{11} atomes.cm⁻³. Cependant, à l'interface 94 entre le nitrure de gallium et le substrat de silicium, et comme cela est visible sur la [Fig.2], une concentration significative en dopants de type p 82 est mesurée par profilage de la résistance distribuée. Plus précisément, cette concentration 82 augmente de 2.10^{10} atomes.cm⁻³ à proximité du nitrure de gallium pour atteindre 2.10^{15} atomes.cm⁻³ dans la section 94 et la concentration 82 diminue ensuite lentement à nouveau à l'intérieur du substrat de silicium pour atteindre une concentration de 2.10^{11} atomes.cm⁻³. On peut conclure de ces mesures de profilage de la résistance distribuée qu'une concentration élevée en dopants de type p est présente à l'interface entre le nitrure de gallium et le silicium et s'étend de $0,5 \mu\text{m}$ à pratiquement $1 \mu\text{m}$ à l'intérieur du substrat de silicium.

[0090] La [Fig.3] représente schématiquement une section transversale d'un exemple de mode de réalisation d'une structure semi-conductrice 1 selon la présente invention, dans laquelle la section transversale est réalisée le long d'un plan comprenant une direction de croissance 2, et une direction transversale 3 qui est transversale à la direction de croissance 2. Une troisième direction 4 est transversale à la direction de croissance 2 et à la direction transversale 3. La structure semi-conductrice 1 comprend un substrat de Silicium sur Isolant 101 et un empilement de couches semi-conductrices III-N épitaxiales 202 sur le dessus du substrat de Silicium sur Isolant 101. Le substrat de Silicium sur Isolant 101 comprend une couche de base 10, une couche intermédiaire 11 formée sur le dessus de la couche de base 10, et une couche supérieure 12 formée

sur le dessus de la couche intermédiaire 11. La couche de base 10 comprend du silicium. La résistivité de la couche de base 10 est typiquement comprise entre 3 et 5 kOhm.cm, et supérieure à 1 kOhm.cm. L'empilement de couches semi-conductrices III-N épitaxiales 202 comprend une couche active épitaxiale 20. La couche active épitaxiale 20 comprend une première couche III-N 21 active formée sur le dessus de la couche supérieure 12 et une deuxième couche III-N active formée sur le dessus de la première couche III-N active 21. La première couche III-N active 21 comprend par exemple du nitrure de gallium et la deuxième couche III-N active 22 comprend par exemple du nitrure de d'aluminium gallium. Un Gaz d'Electrons bidimensionnel 200 est formé entre la première couche III-N active 21 et la deuxième couche III-N active 22. La couche supérieure 12 comprend du silicium dopé de type n. Une orientation du silicium de la couche supérieure 12 est (111). La concentration en dopant de type n de la couche supérieure 12 se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$. Une épaisseur de la couche supérieure 12 est comprise entre 50 et 200 nm. Selon une variante de réalisation, une épaisseur de la couche supérieure 12 est inférieure à 100 nm. La couche intermédiaire 11 comprend une couche riche en pièges 111 et un isolant enterré 121 formé sur le dessus de la couche riche en pièges 111. L'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du silicium. Une épaisseur de l'isolant enterré 121 est comprise entre 100 nm et 500 nm. Une épaisseur de la couche riche en pièges 111 peut par exemple être de plusieurs micromètres. Selon une variante de réalisation, l'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du carbure de silicium, par exemple du carbure de silicium amorphe. Une épaisseur de la couche riche en pièges 111 peut par exemple être de quelques dizaines de nanomètres.

[0091] La [Fig.4] représente schématiquement une section transversale d'un exemple de mode de réalisation d'une structure semi-conductrice 1 selon la présente invention, dans laquelle la section transversale est réalisée le long d'un plan comprenant une direction de croissance 2, et une direction transversale 3 qui est transversale à la direction de croissance 2. Une troisième direction 4 est transversale à la direction de croissance 2 et à la direction transversale 3. Les composants dont les références numériques sont identiques à celles de la [Fig.3] remplissent la même fonction. La structure semi-conductrice 1 comprend un substrat de Silicium sur Isolant 101 et un empilement de couches semi-conductrices III-N épitaxiales 202 sur le dessus du substrat de Silicium sur Isolant 101. Le substrat de Silicium sur Isolant 101 comprend une couche de base 10, une couche intermédiaire 11 formée sur le dessus de la couche de base 10, et une couche supérieure 12 formée sur le dessus de la couche intermédiaire 11. La couche de base 10 comprend du silicium. La résistivité de la couche de base 10 est typiquement comprise entre 3 et 5 kOhm.cm, et supérieure à 1 kOhm.cm.

L'empilement de couches semi-conductrices III-N épitaxiales 202 comprend une couche active épitaxiale 20. La couche active épitaxiale 20 comprend une première couche III-N active 21 formée sur le dessus de la couche supérieure 12 et une deuxième couche III-N active formée sur le dessus de la première couche III-N active 21. La première couche III-N active 21 comprend par exemple du nitrure de gallium et la deuxième couche III-N active 22 comprend par exemple du nitrure de d'aluminium gallium. Un Gaz d'Electrons bidimensionnel 200 est formé entre la première couche III-N active 21 et la deuxième couche III-N active 22. La couche supérieure 12 comprend du silicium dopé de type n. Une orientation du silicium de la couche supérieure 12 est (111). La concentration en dopant de type n de la couche supérieure 12 se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$. Une épaisseur de la couche supérieure 12 est comprise entre 50 et 200 nm. Selon une variante de réalisation, une épaisseur de la couche supérieure 12 est inférieure à 100 nm. La couche intermédiaire 11 comprend une couche riche en pièges 111 et un isolant enterré 121 formé sur le dessus de la couche riche en pièges 111. L'isolant enterré 121 comprend une couche 131 comprenant du nitrure de silicium confinée entre deux couches 132 ; 133 comprenant de l'oxyde de silicium et la couche riche en pièges 111 comprend du carbure de silicium, par exemple du carbure de silicium amorphe. Selon une variante de réalisation, l'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du carbure de silicium, par exemple du carbure de silicium amorphe. Une épaisseur de l'isolant enterré 121 est comprise entre 100 nm et 500 nm. Une épaisseur de la couche riche en pièges 111 peut par exemple être de quelques dizaines de nanomètres. Selon une autre variante de réalisation, l'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du silicium. Une épaisseur de la couche riche en pièges 111 peut par exemple être de plusieurs micromètres.

[0092] La [Fig.5] représente schématiquement une section transversale d'un exemple de mode de réalisation d'une structure semi-conductrice 1 selon la présente invention, dans laquelle la section transversale est réalisée le long d'un plan comprenant une direction de croissance 2, et une direction transversale 3 qui est transversale à la direction de croissance 2. Une troisième direction 4 est transversale à la direction de croissance 2 et à la direction transversale 3. Les composants dont les références numériques sont identiques à celles de la [Fig.3] ou de la [Fig.4] remplissent la même fonction. La structure semi-conductrice 1 comprend un substrat de Silicium sur Isolant 101 et un empilement de couches semi-conductrices III-N épitaxiales 202 sur le dessus du substrat de Silicium sur Isolant 101. Le substrat de Silicium sur Isolant 101 comprend une couche de base 10, une couche intermédiaire 11 formée sur le dessus de la couche de base 10, et une couche supérieure 12 formée sur le dessus de la couche in-

termédiaire 11. La couche de base 10 comprend du silicium. La résistivité de la couche de base 10 est typiquement comprise entre 3 et 5 kOhm.cm, et supérieure à 1 kOhm.cm. L'empilement de couches semi-conductrices III-N épitaxiales 202 comprend une couche active épitaxiale 20. La couche active épitaxiale 20 comprend une première couche III-N active 21 formée sur le dessus de la couche supérieure 12, une couche d'espacement 23 formée sur le dessus de la première couche III-N active 21, et une deuxième couche III-N active formée sur le dessus de la couche d'espacement 23. La première couche III-N active 21 comprend par exemple du nitrure de gallium et la deuxième couche III-N active 22 comprend par exemple du nitrure de d'aluminium gallium. La couche d'espacement 23 comprend de préférence du nitrure d'aluminium. Un Gaz d'Electrons bidimensionnel 200 est formé entre la première couche III-N active 21 et la deuxième couche III-N active 22. La couche supérieure 12 comprend du silicium dopé de type n. Une orientation du silicium de la couche supérieure 12 est (111). La concentration en dopant de type n de la couche supérieure 12 se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$. Une épaisseur de la couche supérieure 12 est comprise entre 50 et 200 nm. Selon une variante de réalisation, une épaisseur de la couche supérieure 12 est inférieure à 100 nm. La couche intermédiaire 11 comprend une couche riche en pièges 111 et un isolant enterré 121 formé sur le dessus de la couche riche en pièges 111. L'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du silicium. Une épaisseur de l'isolant enterré 121 est comprise entre 100 nm et 500 nm. Une épaisseur de la couche riche en pièges 111 peut par exemple être de plusieurs micromètres. Selon une variante de réalisation, l'isolant enterré 121 comprend du dioxyde de silicium et la couche riche en pièges 111 comprend du carbure de silicium, par exemple du carbure de silicium amorphe. Une épaisseur de la couche riche en pièges 111 peut par exemple être de plusieurs micromètres.

[0093] Bien que la présente invention ait été illustrée en référence à des modes de réalisation spécifiques, il apparaîtra aux spécialistes de la technique que l'invention n'est pas limitée aux détails des modes de réalisation présentés à titre d'illustration qui précèdent, et que la présente invention peut être mise en œuvre avec diverses transformations et modifications sans s'écarter de son cadre. Les présents modes de réalisation doivent donc être considérés à tous égards comme présentés à titre non limitatif d'illustration, la portée de l'invention étant indiquée par les revendications annexées plutôt que par la description qui précède, et toutes les modifications qui entrent dans le cadre des revendications sont donc destinées à y être incorporées.

[0094] Le lecteur de la présente demande de brevet comprendra en outre que les mots "comprenant" ou "comprennent" n'excluent pas d'autres éléments ou étapes, et qu'un seul élément, tel qu'un système informatique, un processeur ou une autre unité

intégrée, peut remplir les fonctions de plusieurs moyens cités dans les revendications. Tous les symboles de référence figurant dans les revendications ne doivent pas être interprétés comme limitant les revendications respectives concernées. Les termes "premier", "deuxième", "troisième", "a", "b", "c", et autres, lorsqu'ils sont utilisés dans la description ou dans les revendications, sont introduits pour distinguer des éléments ou des étapes semblables et ne décrivent pas nécessairement un ordre séquentiel ou chronologique. De même, les termes "haut", "bas", "au-dessus", "en dessous" et autres sont utilisés à des fins descriptives et ne désignent pas nécessairement des positions relatives. Il est entendu que les termes ainsi utilisés sont interchangeables dans les circonstances appropriées et que des modes de réalisation de l'invention peuvent fonctionner conformément à la présente invention suivant d'autres séquences, ou dans des orientations différentes de celles décrites ou illustrées ci-dessus.

Revendications

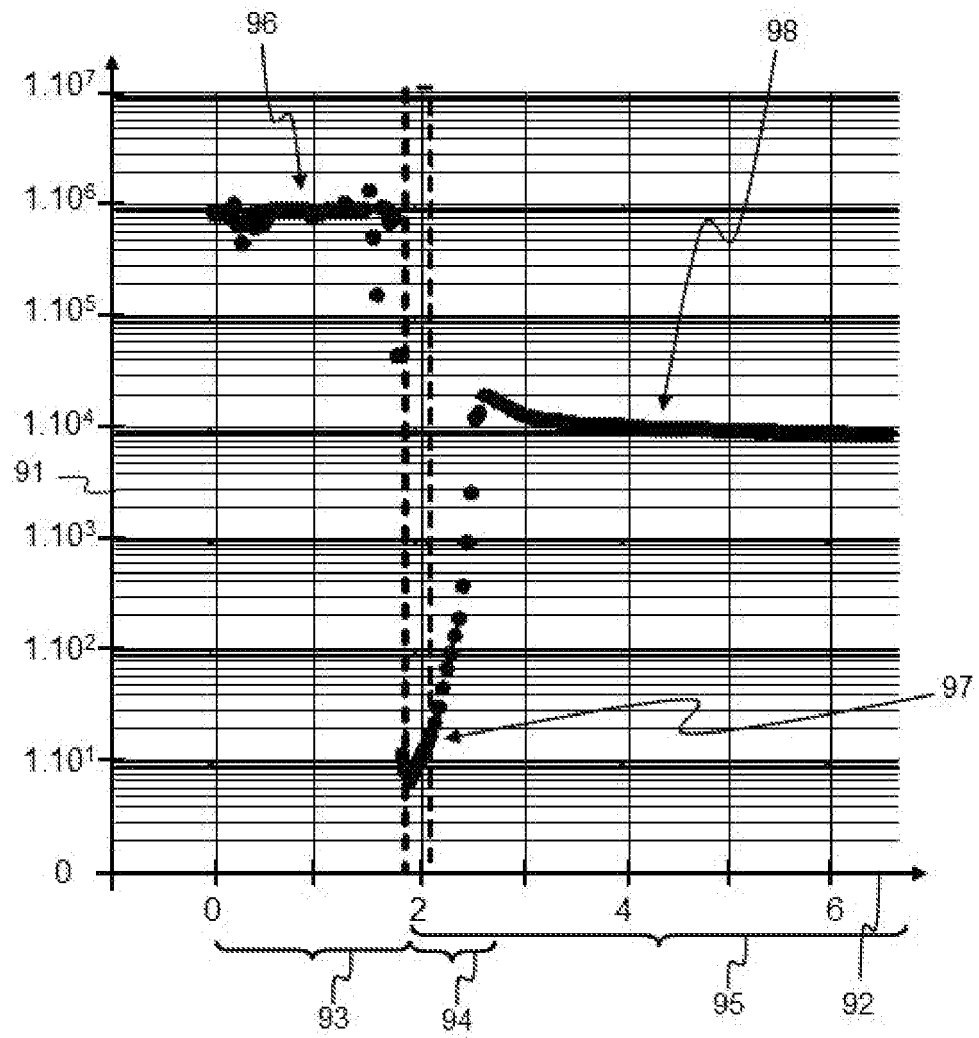
- [Revendication 1] Structure semi-conductrice (1) comprenant :
- un substrat de Silicium sur Isolant (101) comprenant :
 - une couche de base (10) comprenant du silicium ;
 - une couche intermédiaire (11) formée sur le dessus de ladite couche de base (10) ; et
 - une couche supérieure (12) formée sur le dessus de ladite couche intermédiaire (11) ;
 - un empilement de couches semi-conductrices III-N épitaxiales (202) sur le dessus dudit substrat de Silicium sur Isolant (101), ledit empilement de couches semi-conductrices III-N épitaxiales (202) comprenant une couche active épitaxiale (20) ; dans laquelle ladite couche active épitaxiale (20) comprend :
 - une première couche III-N active (21) formée sur le dessus de ladite couche supérieure (12) ;
 - une deuxième couche III-N active (22) formée sur le dessus de ladite première couche III-N active (21) ;
 - avec un Gaz d'Electrons bidimensionnel (200) entre ladite première couche III-N active (21) et ladite deuxième couche III-N active (22) ; et dans laquelle :
 - ladite couche supérieure (12) comprend du silicium dopé de type n ; et
 - ladite couche intermédiaire (11) comprend :
 - une couche riche en pièges (111) ; et
 - un isolant enterré (121) formé sur le dessus d'une couche riche en pièges (111).
- [Revendication 2] Structure semi-conductrice (1) selon la revendication 1, dans laquelle une concentration en dopant de type n de ladite couche supérieure (12) se situe dans la plage de $1.10^{15} \text{ cm}^{-3}$ à $5.10^{15} \text{ cm}^{-3}$.
- [Revendication 3] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle une épaisseur de ladite couche supérieure (12) est comprise entre 50 et 200 nm.
- [Revendication 4] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle une orientation dudit silicium dopé de type n de ladite couche supérieure (12) est (111).
- [Revendication 5] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle ledit isolant enterré (121) comprend du dioxyde de silicium et dans laquelle ladite couche riche en pièges

- (111) comprend du silicium.
- [Revendication 6] Structure semi-conductrice (1) selon l'une quelconque des revendications 1 à 3, dans laquelle ledit isolant enterré (121) comprend du dioxyde de silicium et dans laquelle ladite couche riche en pièges (111) comprend du carbure de silicium amorphe.
- [Revendication 7] Structure semi-conductrice (1) selon l'une quelconque des revendications 1 à 3, dans laquelle ledit isolant enterré (121) comprend une couche (131) comprenant du nitrure de silicium confiné entre deux couches (132 ; 133) comprenant de l'oxyde de silicium ; et dans laquelle ladite couche riche en pièges (111) comprend du carbure de silicium amorphe.
- [Revendication 8] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle une épaisseur dudit isolant enterré (121) est comprise entre 100 nm et 500 nm.
- [Revendication 9] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle ledit empilement de couches semi-conductrices III-N épitaxiales (202) comprend en outre une couche d'espacement (23) formée entre ladite première couche III-N active (21) et ladite deuxième couche III-N active (22).
- [Revendication 10] Structure semi-conductrice (1) selon l'une quelconque des revendications précédentes, dans laquelle ladite première couche III-N active (21) comprend du nitrure de gallium et dans laquelle ladite deuxième couche III-N active (22) comprend du nitrure d'aluminium gallium.
- [Revendication 11] Structure semi-conductrice (1) selon les revendications 9 et 10, dans laquelle ladite couche d'espacement (23) comprend du nitrure d'aluminium.
- [Revendication 12] Procédé de fabrication d'une structure semi-conductrice (1), dans lequel ledit procédé comprend les étapes consistant à :
- fournir un substrat de silicium sur isolant (101), cela consistant à :
 - fournir une couche de base (10) comprenant du silicium ;
 - fournir une couche intermédiaire (11) sur le dessus de ladite couche de base (10) par les étapes consistant à :
 - fournir une couche riche en pièges (111) ; et
 - fournir un isolant enterré (121) formé sur le dessus de ladite couche riche en pièges (111) ; et
 - fournir une couche supérieure (12) comprenant du silicium dopé de type n et formée sur le dessus de ladite couche intermédiaire (11) ;
 - fournir un empilement de couches semi-conductrices III-N épitaxiales

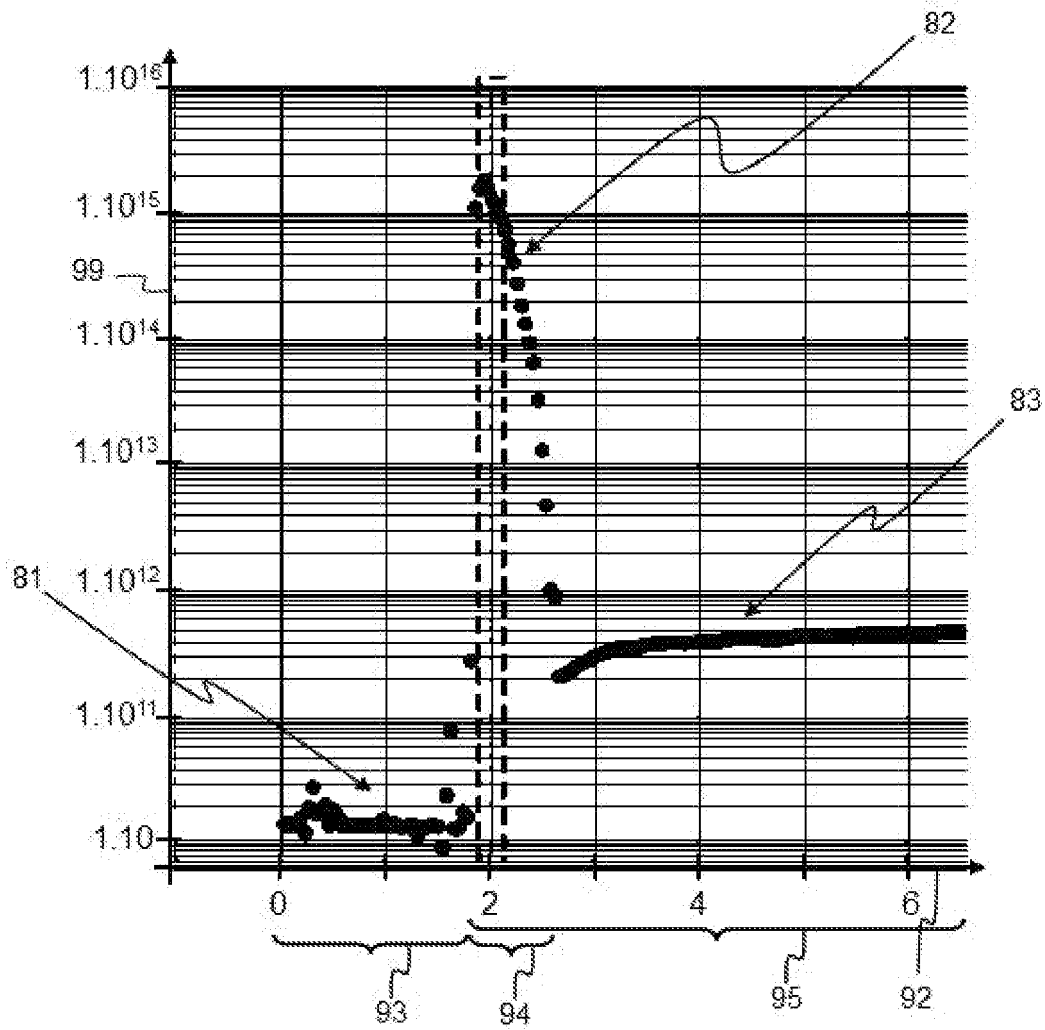
(202) sur le dessus dudit substrat de Silicium sur Isolant (101), ledit empilement de couches semi-conductrices III-N épitaxiales (202) comprenant une couche active épitaxiale (20) ; dans lequel la fourniture de ladite couche active épitaxiale (20) comprend les étapes consistant à : fournir une première couche III-N active (21) sur le dessus de ladite couche supérieure (12) ; fournir une deuxième couche III-N active (22) sur le dessus de ladite première couche III-N active (21) ; pour former ainsi un Gaz d'Electrons bidimensionnel (200) entre ladite première couche III-N active (21) et ladite deuxième couche III-N active (22).

- [Revendication 13] Procédé selon la revendication 12, dans lequel ladite fourniture d'une couche supérieure (12) comprenant du silicium dopé de type n comprend le dopage dudit silicium de ladite couche supérieure (12) par diffusion thermique de dopants de type n dans ledit silicium de ladite couche supérieure (12).
- [Revendication 14] Procédé selon la revendication 12, dans lequel ladite fourniture d'une couche supérieure (12) comprenant du silicium dopé de type n comprend le dopage dudit silicium de ladite couche supérieure (12) par implantation ionique de dopants de type n dans ledit silicium de ladite couche supérieure (12).
- [Revendication 15] Procédé selon l'une quelconque des revendications 12 à 14, dans lequel lesdits dopants de type n comprennent un ou plusieurs des éléments suivants :
Phosphore ;
Arsenic ;
Antimoine.

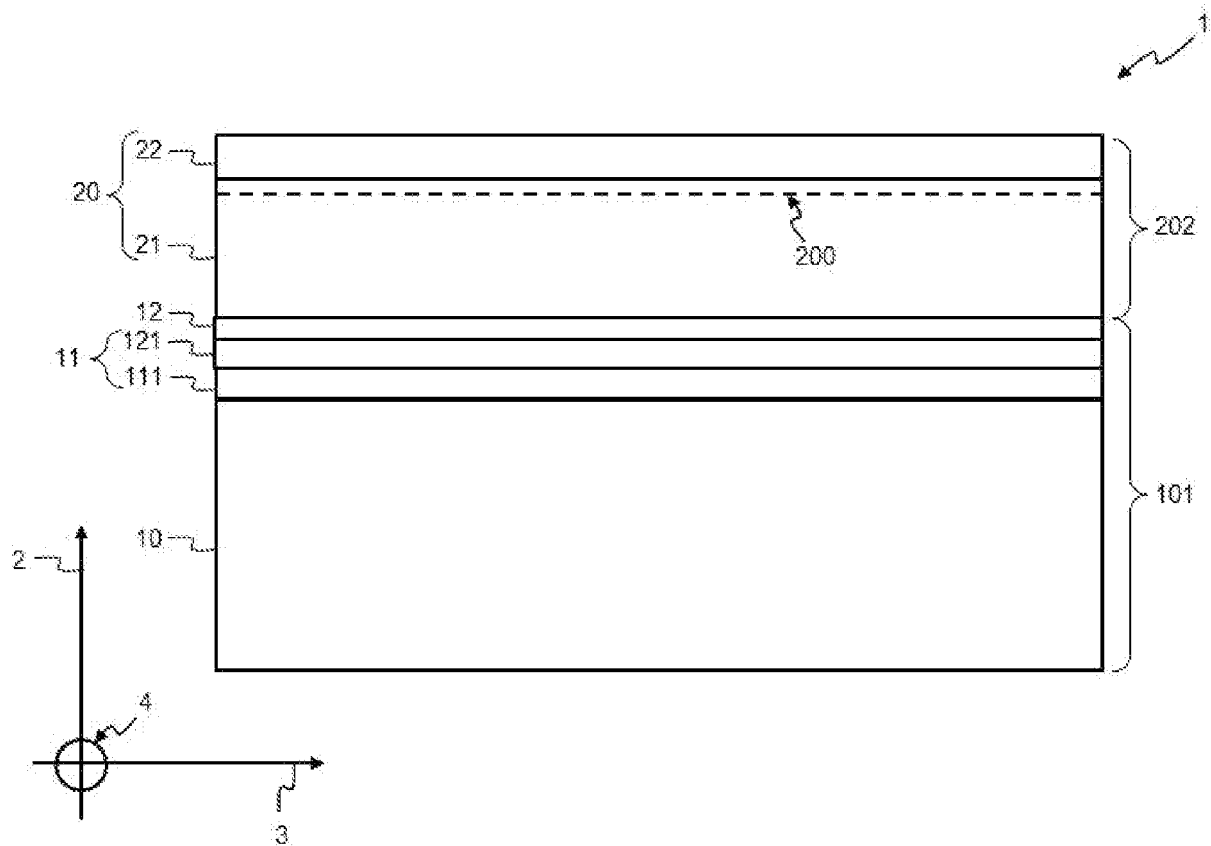
[Fig. 1]



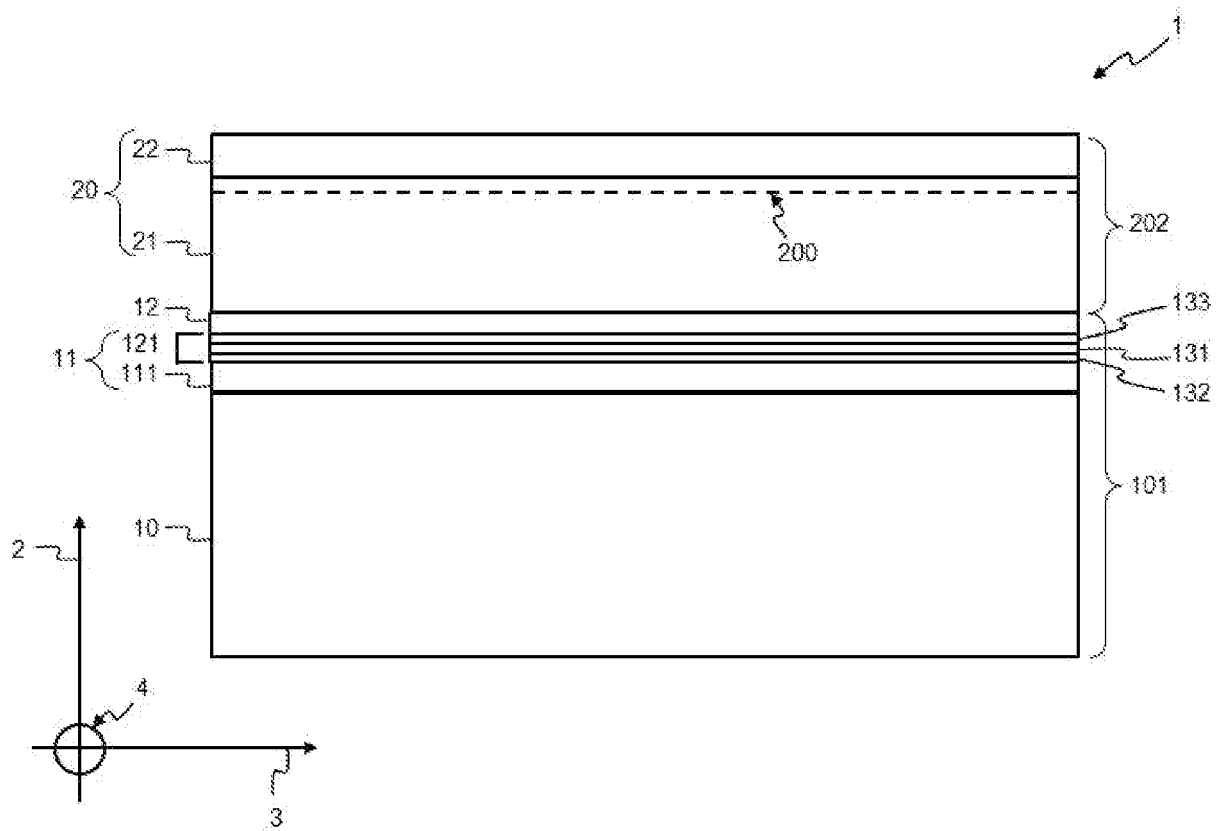
[Fig. 2]



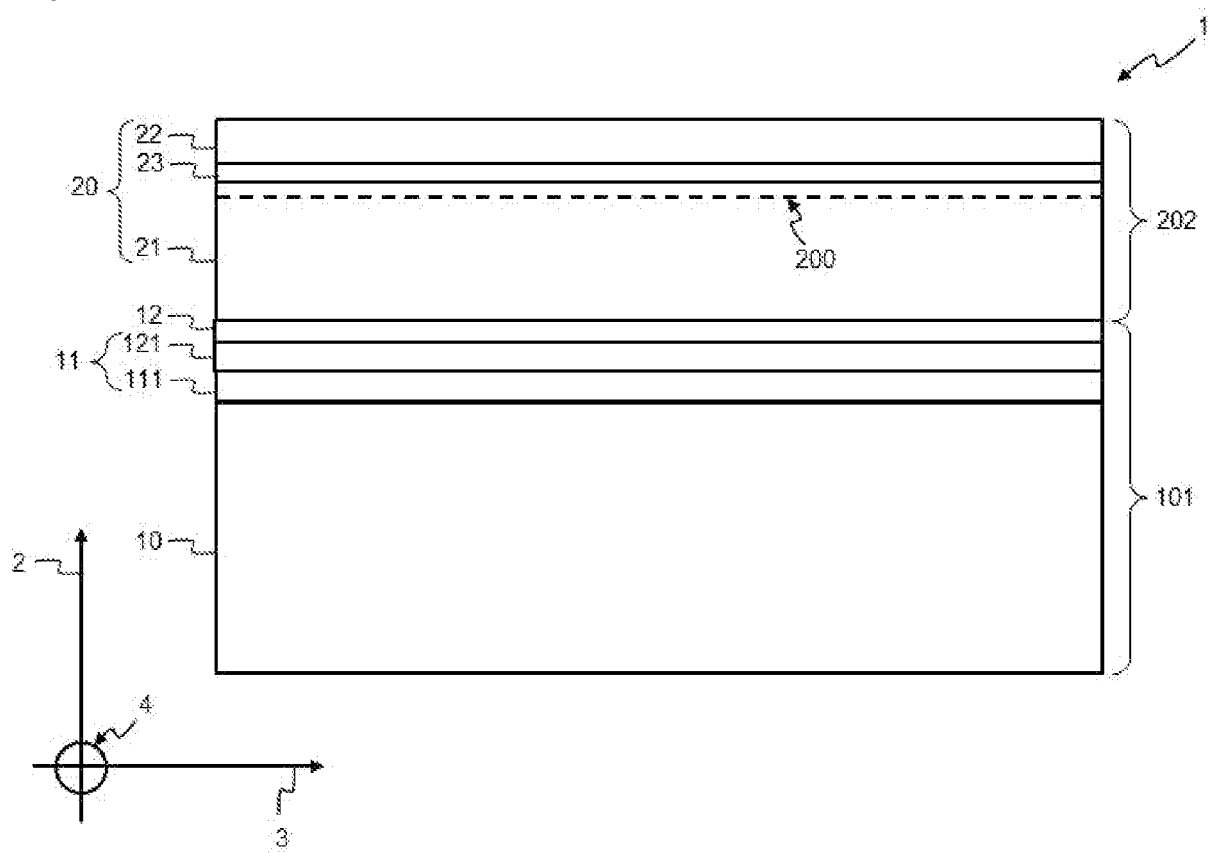
[Fig. 3]



[Fig. 4]



[Fig. 5]



ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2113655 FA 903949

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **01-09-2022**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 2019198623 A1		27-06-2019	CN	109841668 A	04-06-2019
			EP	3503202 A2	26-06-2019
			US	2019198623 A1	27-06-2019
			US	2020227547 A1	16-07-2020

US 2017005111 A1		05-01-2017	US	2017005111 A1	05-01-2017
			US	2017358608 A1	14-12-2017

US 2013196487 A1		01-08-2013	CN	102403201 A	04-04-2012
			EP	2426701 A1	07-03-2012
			JP	5117588 B2	16-01-2013
			JP	2012076984 A	19-04-2012
			KR	20120025369 A	15-03-2012
			TW	201212286 A	16-03-2012
			US	2012058626 A1	08-03-2012
			US	2013196487 A1	01-08-2013

US 2010096668 A1		22-04-2010	EP	2333822 A2	15-06-2011
			JP	2011124572 A	23-06-2011
			US	2010096668 A1	22-04-2010
			US	2011284869 A1	24-11-2011
			US	2014353723 A1	04-12-2014

US 2013076442 A1		28-03-2013	CN	103022117 A	03-04-2013
			JP	5903818 B2	13-04-2016
			JP	2013073962 A	22-04-2013
			KR	20130033284 A	03-04-2013
			TW	201314892 A	01-04-2013
			US	2013076442 A1	28-03-2013
			US	2015206935 A1	23-07-2015
