



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

256 412

K AUTORSKÉMU OSVĚDČENÍ

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 23 03 85
(21) PV 2080-85

(51) Int. Cl.⁴
G 05 F 1/10

(40) Zveřejněno 17 09 87
(45) Vydáno 01 05 89

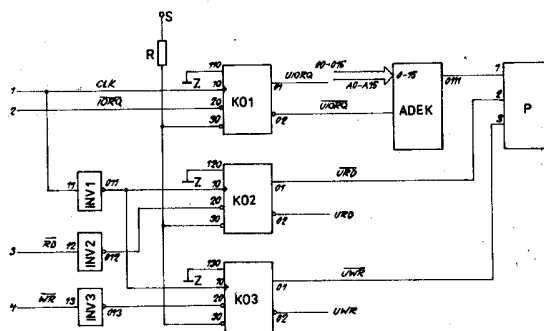
(75)
Autor vynálezu

KOUDAR IVAN,
DUJČEK LUMÍR, BRNO

(54)

Zapojení pro úpravu časování řídicí sběrnice
mikroprocesorů

Řešení zasahuje do oblasti elektrotechniky a slouží k řízení periferních obvodů mikroprocesorových systémů. Přináší možnost připojení periferních obvodů, které není možno řídit prostřednictvím přímého připojení na řídicí sběrnici jiné mikroprocesorové stavebnice. Jeho podstata spočívá v uspořádání tří klopných obvodů, z nichž první je hodinovým vstupem spojen s hodinovým vstupem zapojení pro synchronizační signál CLK systému, zatímco další dva jsou hodinovými vstupy spojeny s prvním invertorem. Nastavovací vstup prvního klopného obvodu je spojen s druhým vstupem zapojení pro stavový signál IORQ, kdežto nastavovací vrstvy druhého klopného obvodu s druhým invertorem a nastavovací vstup třetího klopného obvodu se třetím invertorem. Přitom nulovací vstupy všech tří klopných obvodů jsou spojeny a připojeny přes odpor na kladnou napájecí svorku a jejich datové vstupy na nulové potenciály. První invertor je připojen k hodinovému vstupu zapojení, druhý invertor ke třetímu vstupu zapojení pro řídicí signál čtení RD a třetí invertor ke čtvrtému vstupu zapojení pro řídicí signál zápisu WR. Inverzní výstup prvního klopného obvodu je připojen k adresnímu dekodéru, zatímco přímý výstup druhého klopného obvodu pro negovaný upravený řídicí signál čtení URD k perifernímu obvodu a přímý výstup třetího klopného obvodu pro negovaný upravený řídicí signál zápisu UWR k témuž perifernímu obvodu.



Vynález se týká zapojení pro úpravu časování řídicí sběrnice mikroprocesorů.

Signály, kterými se mají řídit periferní obvody, musí v patřičném okamžiku vyvolat požadovanou funkci těchto periferních obvodů, aby byla zajištěna jejich správná funkce.

Dosud známá zapojení využívají pro řízení periferních obvodů mikroprocesorových systémů řídicí signály, jak je generuje řadič mikroprocesoru. Tento stav nedává možnost spolehlivě používat jiné periferní obvody, než ty, které patří do mikroprocesorové stavebnice daného mikroprocesoru. Proto použití periferních obvodů z jiného stavebnicového systému nedovoluje využít výhodných vlastností těchto obvodů a optimalizovat technické prostředky mikroprocesorového systému.

Tyto nevýhody v podstatě odstraňuje zapojení pro úpravu časování řídicí sběrnice mikroprocesorů podle tohoto vynálezu, jehož podstata spočívá v tom, že hodinový vstup prvního klopného obvodu je spojen s hodinovým vstupem zapojení pro synchronizační signál systému, současně připojeným na vstup prvního invertoru, druhý vstup zapojení pro stavový signál je připojen na nastavovací vstup prvního klopného obvodu, třetí vstup zapojení pro řídicí signál čtení je připojen na vstup druhého invertoru, čtvrtý vstup zapojení pro řídicí signál zápisu je připojen na vstup třetího invertoru, přičemž výstup prvního invertoru je připojen jednak na hodinový vstup druhého klopného obvodu, jednak na hodinový vstup třetího klopného obvodu, výstup druhého invertoru na nastavovací vstup druhého klopného obvodu a výstup třetího invertoru na nastavovací vstup třetího klopného obvodu, zatímco nulovací vstupy prvního klopného obvodu, druhého klopného obvodu a třetího klopného obvodu jsou spojeny a přes odpor připojeny na kladnou napájecí svorku a datové vstupy prvního klopného obvodu, druhého klopného obvodu a třetího klopného obvodu jsou připojeny na nulový potenciál, přičemž invertzní výstup prvního klopného obvodu pro negovaný upravený signál čtení je připojen k prvnímu vstupu adresového dekodéru, přímý výstup druhého klopného obvodu pro negovaný upravený řídicí signál čtení je připojen

na druhý vstup periferního obvodu a přímý výstup třetího klop-
ného obvodu pro negovaný upravený řídicí signál zápisu $\overline{UWR}$ je
připojen na třetí vstup periferního obvodu.

Výhoda tohoto zapojení spočívá v možnosti připojení peri-
ferních obvodů, které jinak není možno řídit přímým připojením
na řídicí sběrnici jiné mikroprocesorové stavebnice. Této před-
nosti bylo dosaženo funkční vlastností časové relace mezi upra-
venými signály řídicí sběrnice zapojení.

Příklad zapojení pro úpravu časování řídicí sběrnice
mikroprocesorů je vyobrazen na připojených výkresech, na nichž
obr. 1 představuje schéma zapojení, obr. 2 časové průběhy signálů.

Hodinový vstup 10 prvního klopného obvodu K01 typu D je spo-
jen s hodinovým vstupem 1 zapojení pro synchronizační signál CLK
signálu, který je současně připojen na vstup 11 prvního invertoru
INV1. Druhý vstup 2 zapojení pro stavový signál $\overline{IORQ}$ je připojen
na nastavovací vstup 20 prvního klopného obvodu K01 typu D. Třetí
vstup 3 zapojení pro řídicí signál čtení $\overline{RD}$ je připojen na vstup
12 druhého invertoru INV2. Čtvrtý vstup 4 zapojení pro řídicí signál
zápisu $\overline{WR}$ je připojen na vstup 13 třetího invertoru INV3. Výstup
011 prvního invertoru INV1 je připojen jednak na hodinový vstup
10 druhého klopného obvodu K02 typu D, jednak na hodinový vstup
10 třetího klopného obvodu K03 typu D. Výstup 012 druhého invertoru
INV2 je připojen na nastavovací vstup 20 druhého klopného obvodu
K02 typu D, výstup 013 třetího invertoru INV3 na nastavovací vstup
20 třetího klopného obvodu K03 typu D. Nulovací vstupy 30 prvního
klopného obvodu K01 typu D, druhého klopného obvodu K02 typu D
a třetího klopného obvodu K03 typu D jsou spojeny a přes odpor R
připojeny na kladnou napájecí svorku S. Datový vstup 110 prvního
klopného obvodu K01 typu D, datový vstup 120 druhého klopného ob-
vodu K02 typu D a datový vstup 130 třetího klopného obvodu K03
typu D jsou připojeny na nulový potenciál Z. Přímý výstup 01 prvního
klopného obvodu K01 typu D pro upravený stavový signál $\overline{UIORQ}$ je k
připojení k neznázorněnému perifernímu zařízení, zatímco jeho in-
verzní výstup 02 pro negovaný upravený stavový signál $\overline{UIORQ}$ je připo-
jen k prvnímu vstupu 1 adresového dekodéru ADEK. Přímý výstup 01 dru-

hého klopného obvodu K02 typu D pro negovaný upravený řídicí signál čtení $\overline{URD}$ je připojen na druhý vstup 2 periferního obvodu P, zatímco jeho inverzní výstup 02 pro upravený řídicí signál čtení $\overline{URD}$ je k připojení k neznázorněnému perifernímu zařízení. Přímý výstup 01 třetího klopného obvodu K03 typu D pro negovaný upravený řídicí signál zápisu $\overline{UWR}$ je připojen na třetí vstup 3 periferního obvodu P, zatímco jeho inverzní výstup 02 pro upravený řídicí signál zápisu $\overline{UWR}$ je k připojení k neznázorněnému perifernímu zařízení. Vstupy zapojení 00 - 015, přivedené z adresové sběrnice mikroprocesoru pro adresní signály A0 - A15, jsou přivedeny na vstupy 0 - 15 adresového dekodéru ADEK. Výstup 0111 adresového dekodéru ADEK je připojen na první vstup 1 periferního obvodu P.

Zapojení pracuje tak, že řídicí signál čtení $\overline{RD}$, případně řídicí signál zápisu $\overline{WR}$, je po inverzi přiveden na asynchronní nastavovací vstup 20 druhého klopného obvodu K02 typu D, případně na asynchronní nastavovací vstup 20 třetího klopného obvodu K03 typu D. Hodinové vstupy 10 těchto obou klopných obvodů jsou připojeny na invertovaný synchronizační signál systému CLK systémových hodin. V době, kdy je řídicí signál čtení $\overline{RD}$, případně řídicí signál zápisu $\overline{WR}$ neaktivní, je druhý klopný obvod K02 typu D, případně třetí klopný obvod K03 typu D, držen asynchronním nastavovacím vstupem 20, kdy i negované upravované řídicí signály čtení $\overline{URD}$, případně negované upravované řídicí signály zápisu $\overline{UWR}$, jsou neaktivní. Po přechodu řídicího signálu čtení $\overline{RD}$, případně řídicího signálu zápisu $\overline{WR}$, do aktivního stavu se druhý klopný obvod K02 typu D, případně třetí klopný obvod K03 typu D, odblokuje a sestupnou hranou hodinového signálu se přepíše nulová úroveň z jejich datových vstupů 120 a 130 na přímé výstupy 01 druhého a třetího klopného obvodu K02 a K03 typu D. Negovaný upravený řídicí signál čtení $\overline{URD}$, případně negovaný upravený řídicí signál zápisu $\overline{UWR}$, se stane aktivním přibližně se zpožděním poloviny periody hodinového kmitočtu oproti řídicímu signálu čtení $\overline{RD}$, případně řídicímu signálu zápisu $\overline{WR}$, který generuje přímo procesor.

Po přechodu řídicího signálu čtení $\overline{RD}$, případně řídicího signálu zápisu $\overline{WR}$, do neaktivního stavu, přejde negovaný upravený řídicí signál čtení $\overline{URD}$, případně negovaný upravený řídicí signál zápisu $\overline{UWR}$, do neaktivního stavu.

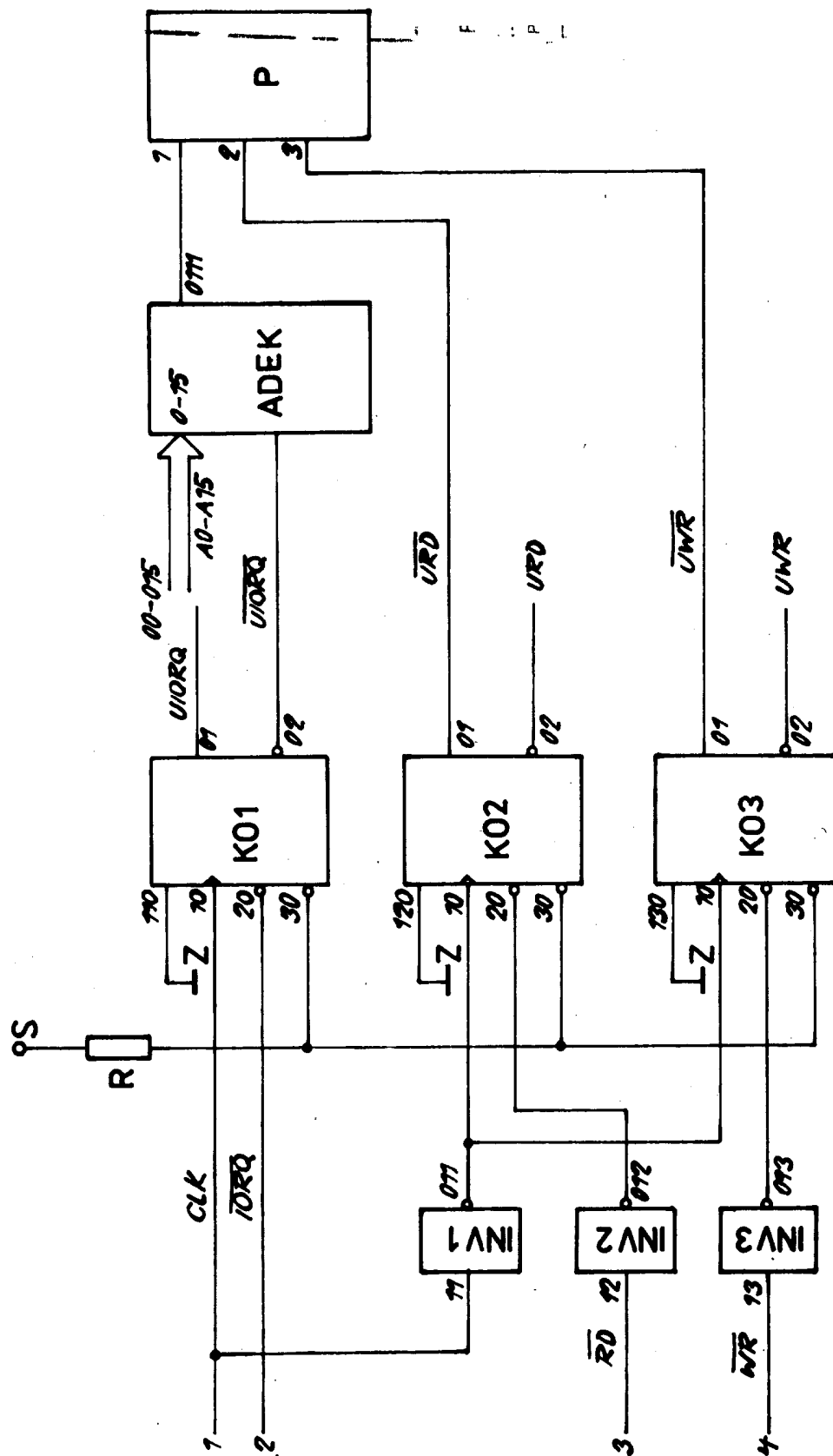
Stavový signál $\overline{IORQ}$ je přiveden na asynchronní nastavovací vstup 20 prvního klopného obvodu K01 typu D. Hodinový vstup 10 tohoto klopného obvodu je připojen na synchronizační signál CLK systému systémových hodin. Po přechodu stavového signálu $\overline{IORQ}$ do aktivního stavu přejde do aktivního stavu i negovaný upravený signál $\overline{UIORQ}$. Po přechodu negovaného upraveného signálu $\overline{IORQ}$ do neaktivního stavu se první klopný obvod K01 typu D odblokuje a nejbližší náběžnou hranou hodinových impulsů přejde negovaný upravený signál $\overline{UIORQ}$ do neaktivního stavu. Aktivní stav je tímto prodloužen o polovinu periody synchronizačního signálu CLK systému oproti stavovému signálu $\overline{IORQ}$. Funkce dále je zřejmá z časového diagramu dle obr. 2.

PŘEDMĚT VÝNÁLEZU

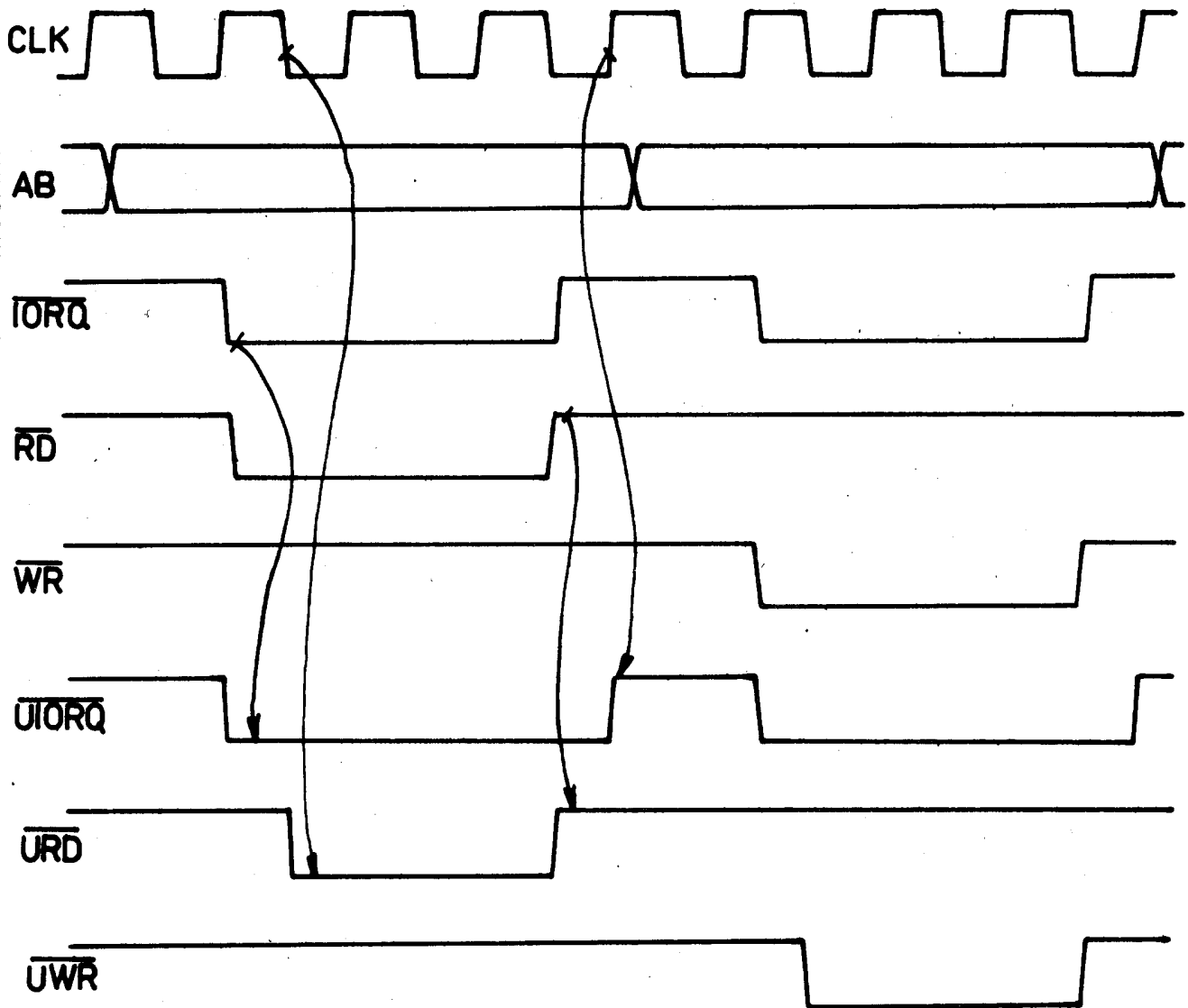
256 412

Zapojení pro úpravu časování řídicí sběrnice mikroprocesorů, připojené k adresovému dekodéru a perifernímu obvodu, vyznačené tím, že hodinový vstup (10) prvního klopného obvodu (K01) je spojen s hodinovým vstupem (1) zapojení pro synchronizační signál (CLK) systému, současně připojeným na vstup (11) prvního invertoru (INV1), druhý vstup (2) zapojení pro stavový signál $\overline{\text{IORQ}}$ je připojen na nastavovací vstup (20) prvního klopného obvodu (K01), třetí vstup (3) zapojení pro řídicí signál čtení $\overline{\text{RD}}$ je připojen na vstup (12) druhého invertoru (INV2), čtvrtý vstup (4) zapojení pro řídicí signál zápisu $\overline{\text{WR}}$ je připojen na vstup (13) třetího invertoru (INV3), přičemž výstup (011) prvního invertoru (INV1) je připojen jednak na hodinový vstup (10) druhého klopného obvodu (K02), jednak na hodinový vstup (10) třetího klopného obvodu (K03), výstup (012) druhého invertoru (INV2) na nastavovací vstup (20) druhého klopného obvodu (K02) a výstup (013) třetího invertoru (INV3) na nastavovací vstup (20) třetího klopného obvodu (K03), zatímco nulovací vstupy (30) prvního klopného obvodu (K01), druhého klopného obvodu (K02) a třetího klopného obvodu (K03) jsou spojeny a přes odpor (R) připojeny na kladnou napájecí svorku (S) a datové vstupy (110, 120, 130) prvního klopného obvodu (K01), druhého klopného obvodu (K02) a třetího klopného obvodu (K03) jsou připojeny na nulový potenciál (Z), přičemž inverzní výstup (02) prvního klopného obvodu (K01) pro negovaný upravený signál $\overline{\text{UIORQ}}$ je připojen k prvnímu vstupu (1) adresového dekodéru (ADEK), přímý výstup (01) druhého klopného obvodu (K02) pro negovaný upravený řídicí signál čtení $\overline{\text{URD}}$ je připojen na druhý vstup (2) periferního obvodu (P) a přímý výstup (01) třetího klopného obvodu (K03) pro negovaný upravený řídicí signál zápisu $\overline{\text{UWR}}$ je připojen na třetí vstup (3) periferního obvodu (P).

2 výkresy



Obr. 1



Obr. 2