

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成21年12月24日 (2009.12.24)

【公開番号】特開2008-187642(P2008-187642A)

【公開日】平成20年8月14日 (2008.8.14)

【年通号数】公開・登録公報2008-032

【出願番号】特願2007-21439(P2007-21439)

【国際特許分類】

H 0 3 K 5/08 (2006.01)

【F I】

H 0 3 K 5/08 E

【手続補正書】

【提出日】平成21年11月6日 (2009.11.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

相補入力信号の差分電圧を C M O S レベルの電圧に変換する差動信号比較器において、
相補の入力信号は、第 1 の差動増幅回路と前記第 1 の差動増幅回路と相補である第 2 の
差動増幅回路に入力され、前記第 1 の差動増幅回路は第 1 と第 2 の電流を出力し、前記第
2 の差動増幅回路は第 3 と第 4 の電流を出力し、前記第 1、第 2 の出力電流は夫々第 1、
第 2 の電流増幅回路に入力され、前記第 3、第 4 の出力電流は夫々第 3、第 4 の電流増幅
回路に入力され、前記第 1 乃至第 4 の電流増幅回路の出力は電流演算回路に入力され、前
記電流演算回路は相補の入力信号に基づく相補の電流を出力し、前記相補の電流出力は電
流 - 電圧変換された後に、C M O S レベル入力の差動コンパレータに入力され、シングル
エンド C M O S レベル出力に変換されることを特徴とする差動信号比較器。

【請求項 2】

前記第 1 の出力電流に基づいて k 倍の電流を 2 系統出力する第 1 のカレントミラー回路
と、前記第 2 の出力電流に基づいて k 倍の電流を 2 系統出力する第 2 のカレントミラー回
路と、前記第 3 の出力電流に基づいて m 倍の電流を出力する第 3 のカレントミラー回路と
、前記第 4 の出力電流に基づいて m 倍の電流を出力する第 4 のカレントミラー回路と、前
記第 3 のカレントミラー回路の出力電流に基づいて n 倍の電流を 2 系統出力する第 5 のカ
レントミラー回路と、前記第 4 のカレントミラー回路の出力電流に基づいて n 倍の電流を
2 系統出力する第 6 のカレントミラー回路と、前記第 1 のカレントミラー回路の出力電流
と前記第 5 のカレントミラー回路の出力電流とが入力され、その入力電流に応じた電流を
出力する第 7 のカレントミラー回路と、前記第 2 のカレントミラー回路の出力電流と前記
第 6 のカレントミラー回路の出力電流とが入力され、その入力電流に応じた電流を出力す
る第 8 のカレントミラー回路とを具備し、前記第 1 のカレントミラー回路からの出力電流
と前記第 5 のカレントミラー回路からの出力電流と前記第 7 のカレントミラー回路からの
出力電流の合成電流を第 1 の差動電流とし、前記第 1 の差動電流と相補で、前記第 2 のカ
レントミラー回路からの出力電流と前記第 6 のカレントミラー回路からの出力電流と前記
第 8 のカレントミラー回路からの出力電流の合成電流を第 2 の差動電流とし、前記第 1 及
び第 2 の差動電流を前記差動コンパレータに入力することによってシングルエンド C M O
S レベル出力に変換することを特徴とする請求項 1 に記載の差動信号比較器。

【請求項 3】

前記カレントミラー回路の増幅率を示す k 、 m 、 n は、 $k = m \times n$ の関係であることを特徴とする請求項 2 に記載の差動信号比較器。

【請求項 4】

前記第 1 の差動増幅回路は、第 1 の PMOS トランジスタと、第 2 の PMOS トランジスタと、前記第 1 と第 2 の PMOS トランジスタのソースが共通接続されたノードに接続される第 1 定電流源とを具備し、

前記第 2 の差動増幅回路は、第 1 の NMOS トランジスタと、第 2 の NMOS トランジスタと、前記第 1 と第 2 の NMOS トランジスタのソースが共通接続されたノードに接続される第 2 定電流源とを具備し、

前記第 1 の PMOS トランジスタのドレインは、前記第 1 のカレントミラー回路の入力に接続され、前記第 2 の PMOS トランジスタのドレインは、前記第 2 のカレントミラー回路の入力に接続され、前記第 1 の NMOS トランジスタのドレインは、前記第 3 のカレントミラー回路の入力に接続され、前記第 2 の NMOS トランジスタのドレインは、前記第 4 のカレントミラー回路の入力に接続され、前記第 1 の PMOS トランジスタのゲートと前記第 1 の NMOS トランジスタのゲートは共通接続されて一方の入力端子に接続され、前記第 1 の NMOS トランジスタのゲートと前記第 2 の NMOS トランジスタのゲートは共通接続されて他方の入力端子に接続されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の差動信号比較器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明は、相補入力信号の差分電圧を CMOS レベルの電圧に変換する差動信号比較器において、

相補の入力信号は、第 1 の差動増幅回路と前記第 1 の差動増幅回路と相補である第 2 の差動増幅回路に入力され、前記第 1 の差動増幅回路は第 1 と第 2 の電流を出力し、前記第 2 の差動増幅回路は第 3 と第 4 の電流を出力し、前記第 1、第 2 の出力電流は夫々第 1、第 2 の電流増幅回路に入力され、前記第 3、第 4 の出力電流は夫々第 3、第 4 の電流増幅回路に入力され、前記第 1 乃至第 4 の電流増幅回路の出力は電流演算回路に入力され、前記電流演算回路は相補の入力信号に基づく相補の電流を出力し、前記相補の電流出力は電流 - 電圧変換された後に、CMOS レベル入力の差動コンパレータに入力され、シングルエンド CMOS レベル出力に変換されることを特徴とする。

本発明においては、相補の CMOS レベル信号に電流 - 電圧変換された電圧信号を差動コンパレータに入力することで、シングルエンド CMOS レベル信号が得られる。