

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年12月24日(2009.12.24)

【公開番号】特開2008-187642(P2008-187642A)

【公開日】平成20年8月14日(2008.8.14)

【年通号数】公開・登録公報2008-032

【出願番号】特願2007-21439(P2007-21439)

【国際特許分類】

H 03 K 5/08 (2006.01)

【F I】

H 03 K 5/08 E

【手続補正書】

【提出日】平成21年11月6日(2009.11.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

相補入力信号の差分電圧をCMOSレベルの電圧に変換する差動信号比較器において、相補の入力信号は、第1の差動增幅回路と前記第1の差動增幅回路と相補である第2の差動增幅回路に入力され、前記第1の差動增幅回路は第1と第2の電流を出力し、前記第2の差動增幅回路は第3と第4の電流を出力し、前記第1、第2の出力電流は夫々第1、第2の電流増幅回路に入力され、前記第3、第4の出力電流は夫々第3、第4の電流増幅回路に入力され、前記第1乃至第4の電流増幅回路の出力は電流演算回路に入力され、前記電流演算回路は相補の入力信号に基づく相補の電流を出力し、前記相補の電流出力は電流-電圧変換された後に、CMOSレベル入力の差動コンパレータに入力され、シングルエンドCMOSレベル出力に変換されることを特徴とする差動信号比較器。

【請求項2】

前記第1の出力電流に基づいてk倍の電流を2系統出力する第1のカレントミラー回路と、前記第2の出力電流に基づいてk倍の電流を2系統出力する第2のカレントミラー回路と、前記第3の出力電流に基づいてm倍の電流を出力する第3のカレントミラー回路と、前記第4の出力電流に基づいてm倍の電流を出力する第4のカレントミラー回路と、前記第3のカレントミラー回路の出力電流に基づいてn倍の電流を2系統出力する第5のカレントミラー回路と、前記第4のカレントミラー回路の出力電流に基づいてn倍の電流を2系統出力する第6のカレントミラー回路と、前記第1のカレントミラー回路の出力電流と前記第5のカレントミラー回路の出力電流とが入力され、その入力電流に応じた電流を出力する第7のカレントミラー回路と、前記第2のカレントミラー回路の出力電流と前記第6のカレントミラー回路の出力電流とが入力され、その入力電流に応じた電流を出力する第8のカレントミラー回路とを具備し、前記第1のカレントミラー回路からの出力電流と前記第5のカレントミラー回路からの出力電流と前記第7のカレントミラー回路からの出力電流の合成電流を第1の差動電流とし、前記第1の差動電流と相補で、前記第2のカレントミラー回路からの出力電流と前記第6のカレントミラー回路からの出力電流と前記第8のカレントミラー回路からの出力電流の合成電流を第2の差動電流とし、前記第1及び第2の差動電流を前記差動コンパレータに入力することによってシングルエンドCMOSレベル出力に変換することを特徴とする請求項1に記載の差動信号比較器。

【請求項3】

前記カレントミラー回路の増幅率を示すk、m、nは、k = m × nの関係であることを特徴とする請求項2に記載の差動信号比較器。

【請求項4】

前記第1の差動増幅回路は、第1のPMOSトランジスタと、第2のPMOSトランジスタと、前記第1と第2のPMOSトランジスタのソースが共通接続されたノードに接続される第1定電流源とを具備し、

前記第2の差動増幅回路は、第1のNMOSトランジスタと、第2のNMOSトランジスタと、前記第1と第2のNMOSトランジスタのソースが共通接続されたノードに接続される第2定電流源とを具備し、

前記第1のPMOSトランジスタのドレインは、前記第1のカレントミラー回路の入力に接続され、前記第2のPMOSトランジスタのドレインは、前記第2のカレントミラー回路の入力に接続され、前記第1のNMOSトランジスタのドレインは、前記第3のカレントミラー回路の入力に接続され、前記第2のNMOSトランジスタのドレインは、前記第4のカレントミラー回路の入力に接続され、前記第1のPMOSトランジスタのゲートと前記第1のNMOSトランジスタのゲートは共通接続されて一方の入力端子に接続され、前記第1のNMOSトランジスタのゲートと前記第2のNMOSトランジスタのゲートは共通接続されて他方の入力端子に接続されていることを特徴とする請求項1乃至3のいずれか1項に記載の差動信号比較器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明は、相補入力信号の差分電圧をCMOSレベルの電圧に変換する差動信号比較器において、

相補の入力信号は、第1の差動増幅回路と前記第1の差動増幅回路と相補である第2の差動増幅回路に入力され、前記第1の差動増幅回路は第1と第2の電流を出力し、前記第2の差動増幅回路は第3と第4の電流を出力し、前記第1、第2の出力電流は夫々第1、第2の電流増幅回路に入力され、前記第3、第4の出力電流は夫々第3、第4の電流増幅回路に入力され、前記第1乃至第4の電流増幅回路の出力は電流演算回路に入力され、前記電流演算回路は相補の入力信号に基づく相補の電流を出力し、前記相補の電流出力は電流 - 電圧変換された後に、CMOSレベル入力の差動コンパレータに入力され、シングルエンドCMOSレベル出力に変換されることを特徴とする。

本発明においては、相補のCMOSレベル信号に電流 - 電圧変換された電圧信号を差動コンパレータに入力することで、シングルエンドCMOSレベル信号が得られる。