

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6103847号
(P6103847)

(45) 発行日 平成29年3月29日 (2017.3.29)

(24) 登録日 平成29年3月10日 (2017.3.10)

(51) Int.Cl.	F I
HO 4 N 5/378 (2011.01)	HO 4 N 5/335 7 8 0
HO 4 N 5/361 (2011.01)	HO 4 N 5/335 6 1 0

請求項の数 7 (全 35 頁)

(21) 出願番号	特願2012-170382 (P2012-170382)	(73) 特許権者	000001007
(22) 出願日	平成24年7月31日 (2012.7.31)		キヤノン株式会社
(65) 公開番号	特開2014-30150 (P2014-30150A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成26年2月13日 (2014.2.13)	(74) 代理人	100076428
審査請求日	平成27年7月30日 (2015.7.30)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 イメージセンサ駆動装置および方法、放射線画像撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の画素回路が2次元に配列されたイメージセンサから画像信号を取り出す走査手段と、

前記画像信号にオフセット補正を施してデジタルデータへ変換する変換手段と、

前記複数の画素回路の一部の画素回路群からの画像信号の取り出し毎に、基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータを取得する取得手段と、

前記取得手段により取得されたデジタルデータに基づいて、前記オフセット補正で用いられる補正値を生成する生成手段と、を備え、

前記基準電圧信号は、前記画素回路において、画素信号をクランプする際に前記変換手段に供給される電圧であることを特徴とするイメージセンサ駆動装置。

【請求項 2】

複数の画素回路が2次元に配列されたイメージセンサから画像信号を取り出す走査手段と、

前記画像信号にオフセット補正を施してデジタルデータへ変換する変換手段と、

前記複数の画素回路の一部の画素回路群からの画像信号の取り出し毎に、基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータを取得する取得手段と、

前記取得手段により取得されたデジタルデータに基づいて、前記オフセット補正で用い

られる補正値を生成する生成手段と、を備え、

前記走査手段による前記イメージセンサから前記画像信号の取り出しが開始されない間に、前記取得手段が前記基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータの取得を行い、前記生成手段が前記デジタルデータに基づく前記補正値の生成を行う、ことを特徴とするイメージセンサ駆動装置。

【請求項 3】

前記走査手段による前記イメージセンサから前記画像信号の取り出しが開始されない間に、前記取得手段が前記基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータの取得を所定の時間間隔で行い、前記生成手段が前記デジタルデータに基づく前記補正値の生成を所定の時間間隔で行う、ことを特徴とする請求項 2 に記載のイメージセンサ駆動装置。

10

【請求項 4】

前記変換手段は、複数の前記イメージセンサからの画像信号を処理し、

複数の前記イメージセンサの各々の黒の電圧レベルの電圧を各イメージセンサに対応させて保持するメモリを更に備え、

前記取得手段は、前記変換手段に処理させる画像信号の取得元のイメージセンサに対応する黒の電圧レベルを前記メモリから読み出し、アナログ信号に変換することにより前記基準電圧信号とすることを特徴とする請求項 1 又は 2 に記載のイメージセンサ駆動装置。

【請求項 5】

複数の画素回路が 2 次元に配列されたイメージセンサを駆動するイメージセンサ駆動方法であって、

20

走査手段が、前記イメージセンサから画像信号を取り出す走査工程と、

変換手段が、前記画像信号にオフセット補正を施してデジタルデータへ変換する変換工程と、

取得手段が、前記複数の画素回路の一部の画素回路群からの画像信号の取り出し毎に、基準電圧信号を前記変換工程に処理させて所定のサンプリング数のデジタルデータを取得する取得工程と、

生成手段が、前記取得工程により取得されたデジタルデータに基づいて、前記オフセット補正で用いられる補正値を生成する生成工程と、を備え、

前記基準電圧信号は、前記画素回路において、画素信号をクランプする際に前記変換手段に供給される電圧であることを特徴とするイメージセンサ駆動方法。

30

【請求項 6】

複数の画素回路が 2 次元に配列されたイメージセンサを駆動するイメージセンサ駆動方法であって、

走査手段が、前記イメージセンサから画像信号を取り出す走査工程と、

変換手段が、前記画像信号にオフセット補正を施してデジタルデータへ変換する変換工程と、

取得手段が、前記複数の画素回路の一部の画素回路群からの画像信号の取り出し毎に、基準電圧信号を前記変換工程に処理させて所定のサンプリング数のデジタルデータを取得する取得工程と、

40

生成手段が、前記取得工程により取得されたデジタルデータに基づいて、前記オフセット補正で用いられる補正値を生成する生成工程と、

前記走査手段による前記イメージセンサから前記画像信号の取り出しが開始されない間に、前記取得手段が前記基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータの取得を行い、前記生成手段が前記デジタルデータに基づく前記補正値の生成を行う工程と、を備えることを特徴とするイメージセンサ駆動装置。

【請求項 7】

コンピュータを請求項 1 乃至 4 のいずれか 1 項に記載のイメージセンサ駆動装置の各手段として機能させるためのプログラム。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、イメージセンサ駆動装置およびその方法、該イメージセンサ駆動装置を用いた放射線画像撮像装置に関する。

【背景技術】

【0002】

近年デジタルX線撮像装置の分野では、イメージインテンシファイアに代わり、解像度の向上や撮像装置の体積の小型化、画像の歪みを押さえることを目的に光電変換素子を用いた等倍光学系の大面積フラットパネル式の放射線撮像装置が普及している。放射線撮像装置に用いられる等倍光学系のフラットパネルセンサの一つとして、シリコン半導体ウエハ上にCMOS半導体製造プロセスにより生成された光電変換素子を二次元につなぎ合わせて構成した大面積フラットパネルセンサがある。

10

【0003】

光電変換素子がシリコン半導体ウエハに形成されるため、フラットパネルセンサのサイズは、シリコン半導体ウエハの大きさに制限される。シリコン半導体ウエハサイズ以上の大面積フラットパネルセンサの撮像領域を実現するための提案として、特許文献1がある。特許文献1によれば、シリコン半導体ウエハから光電変換素子を短冊状に切り出した矩形撮像素子である矩形半導体基板を複数枚タイリングすることにより、大面積フラットパネルセンサを形成するための製造方法が記載されている。

【0004】

20

また、光電変換素子を短冊状に切り出した矩形半導体基板の回路構成が、特許文献2に開示されている。短冊状に切り出した矩形半導体基板上には、二次元に整列した光電変換素子と共に読み出し制御回路として垂直シフトレジスタと水平シフトレジスタが構成されており、水平シフトレジスタの近傍には外部端子（電極パット）が設けられている。この構成によれば、外部端子から入力される制御信号、クロック信号により矩形半導体基板上の垂直シフトレジスタと水平シフトレジスタが制御され、クロック信号に同期して各シフトレジスタから順次各画素列が出力される。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献1】特開2002-026302号公報

【特許文献2】特開2002-344809号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、前記矩形半導体基板、差動増幅器およびA/D変換器などの半導体は一般的にショットノイズ、熱ノイズおよび $1/f$ （フリッカ）ノイズを発生することが知られている。特に、MOSプロセスで製造される半導体は低周波数領域において $1/f$ ノイズが支配的である。矩形半導体基板を複数枚タイリングした構成の放射線撮像装置の場合、複数のA/D変換器でA/D変換されたブロックごとのデジタル画像データ上に、この $1/f$ ノイズが重畳されてしまうため、ブロック状のアーチファクトが発生してしまう。

40

【0007】

たとえば、FPN補正を施した放射線を曝射していない時のダーク画像では、 $1/f$ ノイズが発生しなければ、図24の（a）のような非常にフラットな画像が得られる。ところが、矩形半導体基板、差動増幅器およびA/D変換器それぞれに低周波の $1/f$ ノイズが発生すると、図24の（b）に見られるような、A/D変換器単位でブロック状のアーチファクトが見られるようになる。特に放射線撮像装置は広いダイナミックレンジが必要のため、放射線撮像装置に用いられる読み出し回路には低ノイズ性が求められる。

【0008】

そこで本発明では、 $1/f$ ノイズによるアーチファクトを低減する撮像装置及びその駆

50

動方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記の目的を達成するための本発明の一態様によるイメージセンサ駆動装置は以下の構成を備える。すなわち、

複数の画素回路が2次元に配列されたイメージセンサから画像信号を取り出す走査手段と、

前記画像信号にオフセット補正を施してデジタルデータへ変換する変換手段と、

前記複数の画素回路の一部の画素回路群からの画像信号の取り出し毎に、基準電圧信号を前記変換手段に処理させて所定のサンプリング数のデジタルデータを取得する取得手段と、

前記取得手段により取得されたデジタルデータに基づいて、前記オフセット補正で用いられる補正値を生成する生成手段と、を備え、

前記基準電圧信号は、前記画素回路において、画素信号をクランプする際に前記変換手段に供給される電圧であることを特徴とする。

【発明の効果】

【0010】

本発明によれば、1フレームの読み出し中にも変動する、各種半導体で発生する $1/f$ ノイズによるオフセットをリアルタイムに補正でき、アーチファクトを低減した画像を生成することが可能である。

【図面の簡単な説明】

【0011】

【図1】第1実施形態の放射線動画撮像装置システムを示すブロック図。

【図2】矩形半導体基板における画素回路を示す図。

【図3】図2の画素回路の動画撮影時の駆動制御の一例を示すタイムチャート。

【図4】実施形態による矩形半導体基板の内部構造の一例を示す図。

【図5】矩形半導体基板の制御信号のタイムチャート。

【図6】第1実施形態の放射線撮像装置を表すブロック図。

【図7】第1実施形態による矩形半導体基板制御のフローチャート。

【図8】第1実施形態による矩形半導体基板の制御信号のタイムチャート。

【図9】第1実施形態による矩形半導体基板の制御信号のタイムチャート。

【図10】第3実施形態による矩形半導体基板の制御信号のタイムチャート。

【図11】画像の各ラインでのオフセットを示した図。

【図12】第4実施形態の放射線動画撮像装置システムを示すブロック図。

【図13】第4実施形態の撮影動作を示すタイムチャートである。

【図14】第4実施形態の放射線撮像装置を表すブロック図。

【図15】第4実施形態のオフセット補正の目標値の取得手順を示すフローチャート。

【図16】第4実施形態の撮影時の処理を示すフローチャート。

【図17】オフセット補正動作時にサンプリングされたデータの分布を示すヒストグラム

。 40

【図18】第5実施形態の撮像装置の撮影動作を示すタイムチャート。

【図19】第5実施形態の矩形半導体基板制御を示すフローチャート。

【図20】第5実施形態のオフセット補正動作を示すフローチャート。

【図21】第6実施形態のセンサ信号処理回路を表すブロック図。

【図22】第6実施形態の矩形半導体基板制御時のフローチャート。

【図23】第6実施形態の動画撮像時のサンプリング動作を表すタイミングチャート。

【図24】(a)は、 $1/f$ ノイズが発生しない場合の画像を模式的に示す図、(b)は、 $1/f$ ノイズが発生した場合の画像を模式的に示す図。

【発明を実施するための形態】

【0012】

以下、添付の図面を参照して、本発明の好適な実施形態について説明する。なお、以下では、本発明のイメージセンサ駆動装置を放射線画像（動画）撮像システムに適用した構成を説明するが、これに限られるものではない。

【0013】

<第1実施形態>

図1は、第1実施形態による放射線画像撮像装置を含む撮像システムの構成例を示すブロック図である。図1では、大面積フラットパネル式の放射線動画撮像システムの全体構成を模式的に示している。図1において、100は放射線撮像装置、101は画像処理部を含むシステム制御装置、102は画像表示装置、103は放射線発生装置、104は放射線源である。図1に示す撮像システムにおいて、撮影時にはシステム制御装置101により、放射線撮像装置100及び放射線発生装置103が同期制御される。

10

【0014】

放射線源104より放射され、被写体を透過した放射線は不図示のシンチレータにより可視光に変換された後に光電変換され、光電変換後の光量に応じた電気信号がアナログ／デジタル変換（A／D変換）される。そして、A／D変換された信号が、放射線照射に対応したフレーム画像データとして放射線撮像装置100からシステム制御装置101内の画像処理部に転送される。システム制御装置101は、フレーム画像データに画像処理を行った後、画像表示装置102に放射線画像をリアルタイムに表示させる。なお本実施形態では、放射線撮像装置100をX線検出器として説明する。

【0015】

20

放射線撮像装置100は、フラットパネルセンサ105を有する。フラットパネルセンサ105には、光電変換素子と、光電変換素子からの信号をサンプルホールドするサンプルホールド回路とを有する画素回路が、2次元状に複数配置されている。フラットパネルセンサ105は、シリコン半導体ウエハから矩形状に切り出した、光電変換素子であるCMOS型撮像素子が形成された矩形半導体基板106が、不図示の平面基台上にマトリクス状にタイリングされた構成を有する。

【0016】

矩形半導体基板106の各々は、つなぎ用エリアセンサとして利用可能なものであり、複数のCMOS型撮像素子を有し、それらが等ピッチで2次元状に配置されている。フラットパネルセンサ105と上述のシンチレータ（不図示）により、X線を検出して画像を得るX線画像センサが構成される。また、平面基台上で隣接する矩形半導体基板106は、矩形半導体基板間の境界を挟んで並ぶ光電変換素子のピッチが矩形半導体基板106上でのピッチと同じになるようにタイリングされている。図1には、矩形半導体基板106が14列×2行のマトリクス状にタイリングされた例を示しているが、これに限定されるものではなく、タイリングする矩形半導体基板106の行方向の数、及び列方向の数は任意である。

30

【0017】

フラットパネルセンサ105の上辺部及び下辺部には、マトリクス状に並んだ矩形半導体基板106の不図示の外部端子（電極パッド）が配されている。矩形半導体基板106の電極パッドは不図示のフライングリード式プリント配線板で外部の回路と接続される。131～138はアナログマルチプレクサで、撮影制御部109の制御信号により、接続されている複数の矩形半導体基板106のいずれかの画素出力を選択し、それぞれに接続される差動増幅器141～148に出力する。151～158はA／D変換器で、撮影制御部109から出力される同期クロックに従い、それぞれ接続される差動増幅器141～148のアナログ信号をデジタル化し、撮影制御部109に出力する。撮影制御部109はA／D変換器151～158によりA／D変換されたブロックごとのデジタル画像データをフレームデータに合成し、システム制御装置101の画像処理部に転送する。

40

【0018】

撮影制御部109は、システム制御装置101と制御コマンドの通信、同期信号の通信、システム制御装置101内の画像処理部への画像データの送信を行う。撮影制御部10

50

9は、フラットパネルセンサ105の制御機能も有しており、フラットパネルセンサ105の駆動制御や撮影モード制御を行う。すなわち、撮影制御部109、アナログマルチプレクサ131～138、差動増幅器141～148、A/D変換器151～158は、フラットパネルセンサ105を構成する複数の矩形半導体基板106のイメージセンサ駆動装置を構成する。

【0019】

110はコマンド制御用インターフェースであり、システム制御装置101からは撮影制御部109への撮影モードの設定、各種パラメータの設定、撮影開始設定、撮影終了設定などが通信される。また、コマンド制御用インターフェース110を介して、撮影制御部109からシステム制御装置101へ放射線撮像装置100の状態等が通信される。111は画像データインターフェースで、撮影により得られた画像データが、撮影制御部109からシステム制御装置101へ送られる。112はREADY信号であり、放射線撮像装置100が撮影可能状態になったことを撮影制御部109からシステム制御装置101へ伝える信号である。113は外部同期信号であり、システム制御装置101が撮影制御部109からREADY信号112を受け、撮影制御部109に放射線曝射のタイミングを知らせる信号である。114は曝射許可信号であり、曝射許可信号114がイネーブルの間にシステム制御装置101から放射線発生装置103に曝射信号が送信される。フラットパネルセンサ105では、放射線源104から曝射された放射線が有効な放射線として蓄積され、X線画像が形成される。

【0020】

図2に、タイリングに用いられるCMOS型の矩形半導体基板106に二次元に構成される画素回路の、1画素分の画素回路の一例を示す。

【0021】

図2において、PDは光電変換を行うフォトダイオードである。M2はフローティングディフュージョンに蓄積された電荷を放電させるためのリセットMOSトランジスタ（リセットスイッチ）、Cfdは電荷を蓄積するフローティングディフュージョン（浮遊拡散領域）の容量である。M1は高ダイナミックレンジモードと高感度モードを切り換えるための感度切り換え用MOSトランジスタ（感度切り換えスイッチ）である。C1はダイナミックレンジ拡大用の容量であり、感度切り換えスイッチ（M1）をオンすると電荷の蓄積が可能となる。感度切り換えスイッチ（M1）をオンするとフローティングノード部の容量が実質的に増え、感度は低くなるがダイナミックレンジを拡大することができる。よって例えば高感度が必要な透視撮影時には感度切り換えスイッチ（M1）をオフし、高ダイナミックレンジが必要なDSA（Digital Subtraction Angiography）撮影時などには感度切り換えスイッチ（M1）をオンする。M4はソースフォロアとして動作する増幅MOSトランジスタ（画素アンプ1）である。M3は画素アンプ1（M4）を動作状態とさせるための選択MOSトランジスタ（選択スイッチ1）である。

【0022】

画素アンプ（M4）の後段は光電変換部で発生するkTCノイズを除去するクランプ回路が設けられている。Cclはクランプ容量で、M5はクランプ用MOSトランジスタ（クランプスイッチ）である。M7はソースフォロアとして動作する増幅MOSトランジスタ（画素アンプ2）である。M6は画素アンプ2（M7）を動作状態とするための選択MOSトランジスタ（選択スイッチ2）である。

【0023】

画素アンプ2（M7）の後段には2つのサンプルホールド回路が設けられている。M8は光信号蓄積用のサンプルホールド回路を構成する、サンプルホールド用MOSトランジスタ（サンプルホールドスイッチS）である。CSは光信号用ホールド容量である。M11はノイズ信号蓄積用のサンプルホールド回路を構成する、サンプルホールドMOSトランジスタ（サンプルホールドスイッチN）である。CNはノイズ信号用ホールド容量である。M10はソースフォロアとして動作する、光信号の増幅MOSトランジスタ（画素アンプS）である。M9は画素アンプS（M10）で増幅された光信号をS信号出力線へ出

力するためのアナログスイッチ（転送スイッチS）である。M13はソースフォロアとして動作する、ノイズ信号の増幅MOSトランジスタ（画素アンプN）である。M12は画素アンプN（M13）で増幅されたノイズ信号をN信号出力線へ出力するためのアナログスイッチ（転送スイッチN）である。

【0024】

EN信号は、選択スイッチ1（M3）、選択スイッチ2（M6）のゲートに接続され、画素アンプ1（M4）、画素アンプ2（M7）を動作状態とさせるための制御信号である。EN信号がハイレベルの時、画素アンプ1（M4）、画素アンプ2（M7）は同時に動作状態となる。WIDE信号は、感度切り換えスイッチ（M1）のゲートに接続され、感度の切換を制御する。WIDE信号がローレベルの時は、感度切り換えスイッチがオフし高感度モードとなる。PRES信号は、リセットスイッチ（M2）をオンしてフォトダイオードPDに基準電圧VRESを印加し、蓄積された電荷を放電させるリセット信号である。PCL信号はクランプスイッチ（M5）を制御する信号で、PCL信号がハイレベルのときクランプスイッチ（M5）がオンし、クランプ容量（Ccl）を基準電圧VCL（クランプ電圧）にセットする。

【0025】

TS信号は光信号サンプルホールド制御信号で、TS信号をハイレベルとし、サンプルホールドスイッチS（M8）をオンすることで光信号が画素アンプ2（M7）を通して容量CSに一括転送される。次いで、全画一括で信号TSをローレベルとし、サンプルスイッチS（M8）をオフすることで、サンプルホールド回路への光信号電荷の保持が完了する。TN信号はノイズ信号サンプルホールド制御信号で、TN信号をハイレベルとし、サンプルホールドスイッチN（M11）をオンすることでノイズ信号が画素アンプ2（M7）を通して容量CNに一括転送される。次いで、全画一括で信号TNをローレベルとし、サンプルスイッチN（M11）をオフすることで、サンプルホールド回路へのノイズ信号電荷の保持が完了する。容量CS、容量CNのサンプルホールド後は、サンプルホールドスイッチS（M8）、サンプルホールドスイッチN（M11）がオフとなり、容量CS、容量CNは前段の蓄積回路と切り離される。そのため、再度サンプルホールドされるまで蓄積した光信号を非破壊で読み出すことが可能である。

【0026】

図3は図2の画素回路における、固定フレームレートでX線ウィンドウ制限のある動画撮影時の駆動タイミングを示すタイミングチャートである。以下、動画撮影において、光信号用ホールド容量CSおよびノイズ信号用ホールド容量CNに電荷がサンプルホールドされるまでの制御信号のタイミングについて図3を用いて説明する。

【0027】

図3のタイムチャートにおいて、t50で撮影モードが設定され、t51で撮影のための駆動が開始される。t51で始まるリセット駆動R1について説明する。リセット駆動R1は、リセットとクランプを行う駆動であり、撮影制御部109の制御下で実行される。まず、t51で撮影制御部109は、信号ENをハイレベルにし、スイッチM3およびM6をONの状態にし、画素アンプ1（M4）、画素アンプ2（M7）を動作状態にする。次にt52で、撮影制御部109は、信号PRESをハイレベルにし、リセットスイッチ（M2）をONとし、フォトダイオードPDとフローティングディフュージョン容量Cfdに基準電圧VRESを印加する。これにより、センサがリセットされる。次にt53で、撮影制御部109は、信号PCLをハイレベルにすることによりクランプスイッチ（M5）をオンする。これにより、クランプ容量（Ccl）の画素アンプ2（M7）側に基準電圧VCLが印加される。t54で、撮影制御部109は、信号PRESをローレベルにしてリセットスイッチ（M2）をOFFし、リセットを終了する。これにより、クランプ容量（Ccl）の画素アンプ1（M4）側にリセット電圧がセットされる。t55で、撮影制御部109は、信号PCLをローレベルにセットする。これにより、クランプスイッチ（M5）がオフし、基準電圧VCLと基準電圧VRESの差分の電圧に応じた電荷がクランプ容量（Ccl）に蓄積され、クランプが終了する。

【0028】

リセット駆動R1が終了すると、t55からフォトダイオードPD、フローティングデ
ィフュージョン容量(Cfd)の光電変換部の蓄積が開始される。t56で信号ENをロー
ーレベルとし、画素アンプ1(M4)、画素アンプ2(M7)を非動作状態にする。以上
の動作によりフラットパネルセンサ105が蓄積状態になるので、t56において、さら
に曝射許可信号をイネーブルにしX線の曝射を要求する。後に続くリセット駆動もこの
タイミングで制御される。

【0029】

タイリングされた矩形半導体基板106では、タイリングされた各撮像素子の全ての画
素について、一括して同一のタイミング、同一の期間でリセット駆動が行われる。これは
、動画撮影時において、撮像素子間、走査線間の時間的スイッチングのずれにより発生す
る画像ズレを防止するためである。その後一括露光による蓄積が行われ各画素回路のフォ
トダイオードPDで発生した光電荷が容量(Cfd)に蓄積される。なお、リセット駆動
のt52からt54のフォトダイオードPDへの基準電圧VRESの印加において光電変
換部でリセットノイズ(kTCノイズ)が発生する。しかしながら、クランプ回路のクラ
ンプ容量(Ccl)の画素アンプ2(M7)側に基準電圧VCLをセットすることにより
、このリセットノイズが除去される。

【0030】

次に、t60で始まるサンプリング駆動S1について説明する。t60で、撮影制御部
109は、信号ENをハイレベルにし、選択スイッチ1(M3)、選択スイッチ2(M6
20)をオンする。これにより、容量(Cfd)に蓄積されている電荷は電荷／電圧変換され
ソースフォロアとして動作する画素アンプ1(M4)により電圧としてクランプ容量(C
cl)に出力される。画素アンプ1(M4)の出力はリセットノイズを含むが、クランプ
回路によりリセット時に画素アンプ2(M7)側を基準電圧VCLにセットしているので
、リセットノイズが除去された光信号となって画素アンプ2(M7)に出力される。次に
t61で、撮影制御部109は、サンプルホールド制御信号TSをハイレベルとし、サン
プルホールドスイッチS(M8)をオンすることで、光信号は画素アンプ2(M7)を通
して光信号用ホールド容量(CS)に一括転送される。サンプルホールドを開始したので
、t62で曝射許可信号をディセーブルとしX線曝射を禁止する。

【0031】

次に、t63で、撮影制御部109は、信号TSをローレベルとし、サンプルホールド
スイッチS(M8)をオフすることで、光信号用ホールド容量(CS)に光電荷信号がサ
ンプルホールドされる。次にt64で、撮影制御部109は、リセット信号PRESをハ
イレベルとし、リセットスイッチ(M2)をオンし、容量(Cfd)を基準電圧VRES
にリセット、すなわちセンサをリセットする。次にt65で、撮影制御部109は、信号
PCLをハイレベルとする。これにより、クランプ容量(Ccl)には電圧VCLと電圧
VRESの差分の電圧にリセットノイズが重畳した電荷が蓄積される。t66で、撮影制
御部109は、リセット信号PRESをローレベルとしリセットを完了する。

【0032】

続いて、撮影制御部109は、t67で信号TNをハイレベルとし、サンプルホールド
スイッチN(M11)をオンすることで、基準電圧VCLにセットされた時のノイズ信号
をノイズ信号用ホールド容量(CN)に転送する。続いて、t68で、撮影制御部109
が、信号TNをローレベルとし、サンプルホールドスイッチN(M11)をオフすること
で、ノイズ信号のノイズ信号用ホールド用容量(CN)にノイズ信号がサンプルホールド
される。その後、撮影制御部109は、t69で、信号PCLをローレベルとし、t70
で信号ENをローレベルとし、サンプリング駆動S1を終了する。サンプリング駆動S1
は全画素を一括して行う。後に続くサンプリング駆動もこのタイミングで制御される。サ
ンプリング駆動S1の後、t81にて再びリセット駆動R1が行われ、次のフレームのフ
ォトダイオードPDでの蓄積を開始させる。

【0033】

光信号およびノイズ信号の走査は画素ごとに行われる。転送スイッチS (M9) をオンすると、光信号用ホールド容量(CS)の電圧が、画素アンプS (M10)を通して光信号出力線に転送される。同様に、転送スイッチN (M12) をオンすると、ノイズ信号用ホールド容量(CN)の電圧が、画素アンプN (M13)を通してノイズ信号出力線に転送される。ノイズ信号出力線と光信号出力線に転送された信号は、ノイズ信号出力線と光信号出力線に接続された不図示の差動入力アンプで減算される。これにより、画素アンプでの熱ノイズ、 $1/f$ ノイズ、温度差、プロセスばらつきによるFPNを除去している。なお、センサからの読み出しが可能な期間は、 t_{68} のサンプルホールド終了時から、光信号用ホールド容量(CS)とノイズ信号用ホールド容量(CN)に、次フレームの光電荷信号のサンプルホールドが再び開始される t_{91} までの間である。サンプリング駆動S1終了後に画素の読み出し処理RD1が行われる。読み出し処理は画像表示までのディレイをできる限り短くするよう、サンプルホールド直後に行われる。

10

【0034】

図2の画素回路において、フォトダイオードPDの蓄積開始のタイミングは、図3に示すリセット完了後に信号PCLをローレベルにしてクランプが完了した時点である t_{55} や t_{69} である。また蓄積終了のタイミングは、信号TSをローレベルにして光信号をサンプルホールドした時点 t_{63} である。光信号およびノイズ信号をサンプルホールドするサンプリング駆動S1とサンプリング駆動S1の間に、蓄積時間開始のためのリセット駆動R1を挿入することにより、蓄積時間を制限している。図3においては、 t_{60} で始まるサンプリング駆動S1と t_{90} で始まるサンプリング駆動S1の間に、 t_{81} で始まるリセット駆動R1を挿入することにより、実質的な蓄積時間であるX線ウィンドウを t_{85} から t_{93} の期間Tに制限している。

20

【0035】

図4は、本実施形態における矩形半導体基板106の内部構造の一例を模式的に示す図である。矩形半導体基板106は、光電変換素子を含む図2に示した画素回路が2次元に配列されたイメージセンサである。矩形半導体基板106は、チップセレクト信号端子CS、光信号出力端子S、ノイズ信号出力端子N、垂直走査スタート信号端子VST、垂直走査クロック端子CLKV、水平走査スタート信号端子HST、水平走査クロック端子CLKHを有する。垂直走査回路303は、横方向の画素群を選択し、垂直走査クロックCLKVに同期して画素群を順次副走査方向である垂直方向に走査する。水平走査回路304は、垂直走査回路303により選択された主査方向である横方向の画素群の列信号線を水平走査クロックCLKHに同期して順次1画素ずつ選択する。画素回路302は、図2に示した画素回路であり、垂直走査回路303の出力線である行信号線305がイネーブルになることにより、列信号線306、307にサンプルホールドされた光信号電圧信号S、ノイズ電圧信号Nを出力する。列信号線306、307に出力された電圧信号を水平走査回路304が順次選択することにより、アナログ出力線308、309に各画素の電圧信号が画像信号として順次出力される。

30

【0036】

以上のように、矩形半導体基板106は、垂直走査回路303及び水平走査回路304を使用したXYアドレス方式によるスイッチング動作によって画素選択が行われる。そして、選択された画素からのトランジスタで増幅された各画素の光信号S及びノイズ信号Nの電圧信号は、列信号線306、307、アナログ出力線308、309を通してアナログ出力端子S、Nに出力される。

40

【0037】

チップセレクト信号端子CSは、チップセレクト信号の入力端子で、チップセレクト信号をハイレベルとすることにより内部走査に従った撮像素子の光電圧信号S、ノイズ電圧信号Nがアナログ出力端子S、Nから出力される。光信号及びノイズ信号に係るサンプルホールド回路後段の出力切り換えアナログスイッチ310、列信号線306、307、列信号線を水平走査回路304の出力により切り換えるスイッチングトランジスタ311は、読み出し走査の伝送回路を構成している。

50

【0038】

垂直走査クロック端子CLKVは、垂直走査回路303のクロックの入力端子であり、垂直走査スタート信号端子VSTは、垂直走査回路303のスタート信号の入力端子である。垂直走査スタート信号VSTをハイレベルにした後、垂直走査クロックCLKVを入力することにより、V1, V2, ..., Vmと行選択信号が順次イネーブルに入れ替わる。垂直走査が開始されたら垂直走査スタート信号VSTをローレベルにする。水平走査クロック端子CLKHは、水平走査回路304のクロックの入力端子であり、水平走査スタート信号端子HSTは、水平走査回路304のスタート信号の入力端子である。水平走査スタート信号HSTをハイレベルにし、水平走査クロックCLKHを入力することにより、H1, H2, ..., Hnと列選択信号が順次イネーブルに入れ替わる。水平走査が開始されたら水平走査スタート信号HSTをローレベルにする。

10

【0039】

垂直走査回路303の行信号線V1の出力がイネーブルになると、行信号線V1に接続する横1行の画素群(1, 1)から(n, 1)が選択され、この横1行の各画素からそれぞれの列信号線306、307に光電圧信号S、ノイズ電圧信号Nが出力される。水平走査回路304の列選択信号のイネーブルをH1, H2, ..., Hnと順次切り換えることにより、横1行の光電圧信号S、ノイズ電圧信号Nが順次アナログ出力線308、309を経由してアナログ出力端子S、Nに出力される。行信号線Vmまで同様な水平走査を行うことにより、全画素の画素出力が得られる。

20

【0040】

図5の(a)は、タイリングされた4枚の矩形半導体基板の画素データを1つのA/D変換器で読み出すためのタイムチャートである。

【0041】

信号CS0~CS3は矩形半導体基板のアナログ信号の出力を制御するチップセレクト信号である。図5の(b)は、図1の構成から、1つのA/D変換器についての構成を抜き出して示したものである。矩形半導体基板106のアナログ出力信号に振られている番号は、タイムチャートのチップセレクト信号CSの数字と1対1で対応している。たとえば、CS0がハイレベルの間は、アナログ出力信号番号“0”のアナログ出力が有効になり、次段の増幅器141~148に出力される。CS1がハイレベルの時はアナログ出力信号番号“1”のアナログ出力が有効になり、次段の増幅器141~148に出力される。すなわち、CS0はアナログ出力信号番号“0”の矩形半導体基板106に接続され、CS1はアナログ出力信号番号“1”の矩形半導体基板106に接続されている。同様に、CS2はアナログ出力信号番号“2”の矩形半導体基板106に接続され、CS3はアナログ出力信号番号“3”の矩形半導体基板106に接続されている。

30

【0042】

画像の読み出しでは、まずチップセレクトC0が選択される。垂直走査スタート信号VSTがハイレベルの状態、垂直走査クロックCLKVが立ち上がると、図4の垂直走査回路の行信号線V1がイネーブルとなる。その結果、行信号V1で選択される画素群(1, 1)から(n, 1)の出力が有効になり、列信号線に画素群(1, 1)から(n, 1)の各画素の画素電圧信号が出力される。

40

【0043】

水平走査スタート信号HSTがハイレベルの状態、水平走査クロックCLKHが立ち上がると、水平走査回路の列選択行信号H1がイネーブルとなる。CLKHの立ち上がり同期して、水平走査回路の列選択行信号がH2, ..., Hnと切り換わり、画素を(1, 1)から順番に(n, 1)まで選択し、水平方向のチップセレクトC0で選択された矩形半導体基板の横方向画素群の走査を終了する。CLKHのクロックに同期して矩形半導体基板106の画素出力が順次外部アナログ出力端子に出力されるので、A/D変換器はCLKHのクロックに同期するA/D変換クロックCLKADによりA/D変換を行う。

【0044】

次にチップセレクトをC1に切り換え同様に水平走査を行い、C2も同様に水平走査を

50

行うことにより、3枚の矩形半導体基板の、横1ラインに配列した画像群の読み出しを終了する。以降、CLKVにより垂直走査回路の行信号線を順次切り換えながら、同様に水平走査をVmまで行うことにより、4枚の矩形半導体基板全画素の読み出しが完了する。

【0045】

次に、第1実施形態で行う、各種半導体で発生する $1/f$ ノイズによるオフセットをリアルタイムに補正する方法を図6のブロック図と図7のフローチャートを用いて説明する。図6は、第1実施形態によるイメージセンサ駆動装置の構成例を示すブロック図である。図7は、第1実施形態による矩形半導体基板の駆動制御を示すフローチャートである。

【0046】

まず、オフセット補正の目標値の生成動作に関して説明する(S101~S104)。目標値の生成は、撮影前に行われる。図6では、図1に示した放射線撮像装置100に、マルチプレクサ421~428、D/A変換器411~418および増幅器401~408で構成されるオフセット補正回路が追加されている。上述したように、アナログマルチプレクサ131~138、差動増幅器141~148およびA/D変換器151~158でそれぞれ構成されるブロックは、矩形半導体基板106の出力信号のうちの1つの信号を撮影制御部109の指示に基づき出力する。オフセット補正回路はこれらブロックのそれぞれに追加されている。マルチプレクサ421~428は、アナログマルチプレクサ131~138の出力信号と、所定の電圧である基準電圧信号Vrefと、から信号を選択する。D/A変換器411~418および増幅器401~408は、撮影制御部109で計算されたオフセット補正データをアナログ信号に変換する。なお、図6では、矩形半導体基板106を見やすいように縦方向に並べているが、実際は図1に示したような配置となる。

【0047】

撮影制御部109は、システム制御装置101により指定された撮影モードを設定する(S101)。次に、撮影制御部109は、オフセット補正用の目標値を生成するために、まずD/A変換器411~418に±0となる基準値を出力する(S102)。続いて、撮影制御部109は、SELをハイレベルの状態として、マルチプレクサ421~428が基準電圧信号Vrefを出力するように制御する(S103)。矩形半導体基板106のアナログ出力であるS信号とN信号が入力される差動増幅器141~148は、同じ電圧の信号が入力されると、所定の電圧を出力するような回路構成となっている。そのため、マルチプレクサ421~428が基準電圧信号Vrefを出力し始めると、差動増幅器141~148に同じ電圧が入力されることによって、所定の電圧がA/D変換器151~158に入力される。マルチプレクサ421~428が基準電圧信号Vrefを出力し始めると、撮影制御部109は、A/D変換器151~158が出力するデータを所定のサンプル数であるN個のサンプリングをして、N個の目標値データDAnの和 ΣDAn を計算する(S104)。S102において、D/A変換器に基準値を設定しているので、DAnからの変動値を補正すれば $1/f$ ノイズによるオフセットを0に近づけることができる。また、DAnを取得するときの状態を±0にしているので、D/A変換器のダイナミックレンジを有効に使うことができる。

【0048】

サンプリングされたデータは、マルチプレクサ421~428、差動増幅器141~148およびA/D変換器151~158で発生するノイズにより、値がばらつくので、統計的にサンプリング数が多いほど平均値の精度がよくなることが知られている。

【0049】

次に、撮影制御部109は、同期信号を検出すると(S105)、放射線撮像装置100による撮影が行われる。すなわち、フラットパネルセンサ105における全画素のリセットを行なって蓄積を開始し(S106)、蓄積開始から所定時間の経過後にサンプルホールドを行なう(S107)。以上のようにして、サンプリングが終了すると、撮影制御部109は、フラットパネルセンサ105からの信号の読出しに先立って、オフセット補正のためのデータ取得を行う。以下、オフセット補正のためのデータ取得の動作(S10

8～S110、第1取得処理)について説明する。

【0050】

撮影制御部109はSELをアサートし(ハイレベルの状態とし)、マルチプレクサ421～428の入力として基準電圧信号Vrefを選択する(S108)。なお、このとき、D/A変換器411～418には上述した基準値が設定されている。基準電圧信号Vrefを選択した状態で、A/D変換器151～158の出力データDBnを所定数N個サンプリングし、それらの和 ΣDBn を求める(S109)。基準電圧信号Vrefを選択することによって、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する1/fノイズを目標値からの変動値として測定することができる。

10

【0051】

ここで、撮影制御部109は、補正データとして、 $DCn = (\Sigma DAN - \Sigma DBn) / N$ を計算し、その結果をD/A変換器411～418に出力する(ステップS110)。求められた補正值DCnは、目標値からの変動分を表す。出力された補正值はデジタルデータであるが、各D/A変換器411～418によってアナログ信号に変換され、増幅器401～408を介して、所定のアナログ信号処理が施されて、加算回路431～438に入力される。加算回路431～438が入力された補正值をマルチプレクサ421～428の出力信号に加算することでオフセットが補正される。たとえば、1/fノイズが発生し、オフセットが大きくなると、目標値 ΣDAN に対して、測定値 ΣDBn が大きくなる。そのため、DCnはマイナスとなり、結果的にマルチプレクサ421～428の出力信号に重畳するオフセットを減じる方向の補正值が印加されることになる。

20

【0052】

このようにして、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する1/fノイズを補正することができる。この処理は同期信号に同期して実行されるので、フレームごとにオフセット補正值を決定することができる。しかしながら、1フレーム内で垂直シフトレジスタおよび水平シフトレジスタで走査し、容量CSとCNにサンプルホールドされた電圧を順次外部に出力する読み出しの間にも、1/fノイズは変動する。図11は、S110の処理が終了した時点における画像のライン番号と、オフセットの関係を表した図である。このように、サンプリング終了時の画素読み出し前に1度だけオフセット補正を行う補正方法では、図24(b)に見られるような、A/D変換器単位でのブロック状のアーチファクトが残ってしまう。

30

【0053】

そこで、第1実施形態では、容量CSとCNにサンプルホールドされた電圧を順次外部に出力する間にもオフセット補正のためのデータの取得、オフセットのための補正值の調整を実行して、読み出し中に変動する1/fノイズもリアルタイムに補正する。以下、垂直シフトレジスタおよび水平シフトレジスタで走査することにより、容量CSとCNにサンプルホールドされた電圧を順次外部に出力しながらオフセット補正のためのデータを取得し、オフセット補正の補正值(オフセット補正值)を調整する動作を説明する。

【0054】

図8で示すように、垂直走査スタート信号端子VST、垂直走査クロック端子CLKVを制御し、垂直走査回路303が読み出しを行うラインmを選択する(S111)。このとき、S112～S114に示される、オフセット補正のためのデータを取得する第2取得処理が実行される。図8に示すように、撮影制御部109はSELをハイレベルの状態として、マルチプレクサ421～428の入力として、基準電圧信号Vrefを選択する(S112)。撮影制御部109は、基準電圧信号Vrefを選択した状態で、A/D変換器151～158の出力データDPnを所定数N'個サンプリングし、それらの和 $\Sigma DPn'$ を求める(S113)。

40

【0055】

ここで、撮影前に行う目標値のデータ生成時に取得するサンプリング数N(第1のサンプリング数)と、読み出し時のオフセット補正のために取得するサンプリング数N'(第

50

2のサンプリング数)が等しい($N=N'$)場合、補正データとして、 $DR_n = (\sum DAn - \sum DPn') / N$ を得ることができる。一方、S104、S109、S113でそれぞれサンプリングする個数は、同一でなくてもよい。たとえば、第1のサンプリング数を第2のサンプリング数の所定倍とした場合、すなわち、サンプリング数 $N=M \times N'$ である場合は、 $DR_n = (\sum DAn - \sum DPn' \times M) / N$ のように求めればよい。

【0056】

フレームレート高速化のために垂直シフトレジスタおよび水平シフトレジスタの切り替え時間を短くすると、ライン切り替えの間隔が短くなる。そのため、ライン切り替えの間隔で読み出し時のオフセット補正のために取得するサンプリング数 N' が、 N に比べてかなり小さな値にしか設定できない場合がある。平均を求める際に、サンプリングした数が少ないと、ランダムノイズの影響が大きくなってしまう。

10

【0057】

そこで、撮影制御部109は、 $\sum Bn$ と $\sum DPn' \times M$ の加重平均を用いて補正值 DR_n を求め、これをD/A変換器411~418に出力する。例えば、 M が大きいときは、 $\sum Bn$ の加重を大きくし、 M が小さくなるにつれて徐々に $\sum DPn' \times M$ の加重を大きくしていくことが考えられる。このようにすれば、サンプリング数が少ない間は $\sum Bn$ が支配的になり、サンプリング数が少ないことに起因したランダムノイズの影響を低減できる。

【0058】

また、 $\sum DPn'$ の見かけのサンプリング数を増加させて精度を向上するために、今回および過去に取得された複数の $\sum DPn'$ を用いるようにしてもよい。本実施形態では m ライン目に取得した $\sum DPn' (m)$ に加えて、それよりも前の k 個のラインで取得した $\sum DPn' (m-1)$ 、 $\sum DPn' (m-2)$ 、 $\dots \sum DPn' (m-k)$ を用いることによりサンプリング数を増やす。ただし、 k は0以上の自然数で、 $k < m$ とする。なお、 $\sum DPn' (m-1)$ 、 $\sum DPn' (m-2)$ 、 $\dots \sum DPn' (m-k)$ は、撮影制御部109が有するメモリ(不図示)に保持される。 $\sum DPn' (m)$ 、 $\sum DPn' (m-1)$ 、 $\sum DPn' (m-2)$ 、 $\dots \sum DPn' (m-k)$ による単純平均結果である $\sum DS_n'$ を用いることにより、オフセットの補正值 $DR_n = (\sum DAn - \sum DS_n' \times M) / N$ を得る。このように、最近の $k+1$ ラインにおけるサンプリング結果を用いた移動平均(単純移動平均)を用いることで、見かけのサンプリング数を増加させてランダムノイズの影響を低減させることができる。

20

30

【0059】

撮影制御部109は、以上のようにして計算により得られた補正值 DR_n をD/A変換器411~418に出力する(S114)。これにより、各ラインについて取得可能なサンプリング数が少ない場合でも、ランダムノイズの影響を抑え、かつ、読み出し中に変動する $1/f$ ノイズもリアルタイムに補正することができる。

【0060】

続いて、撮影制御部109は、選択されているライン m の画素データを読み出す(S115)。読み出しが完了すると、撮影制御部109は、撮影制御部109は m が最終ラインか否かを判断する(S116)。 m が最終ラインではない場合、処理はS111に戻り、撮影制御部109は次のラインのオフセット補正動作を開始する。

40

【0061】

以上を繰り返し、矩形半導体基板106の画素の読み出しが行われる。そして、 m が最終ラインに達すると、処理はS116からS117へ進み、撮影制御部109は、撮影終了か否かを判断する。撮影終了であれば、撮影制御部109は、撮影動作を終了する。他方、撮影終了でない場合は、処理はS105に戻り、引き続き次の画像の撮影動作を行う。

【0062】

DC_n または DR_n のどちらか一方を利用して補正しても効果は得られる。しかし、本実施形態のように、 DC_n と DR_n を併用して補正することにより、 $1/f$ ノイズによる

50

アーチファクトをさらに低減することができる。すなわち、オフセット補正値の調整を、矩形半導体基板106における複数の光電変換素子（複数の画素回路）を分割した光電変換素子群（画素回路群）からの画像信号の取り出し毎に実行することでフレーム内における $1/f$ ノイズが解消される。

【0063】

なお、本実施形態では、上記の光電変換素子群として1ラインを採用し、1ラインごとに補正値 DR_n を求め補正を行っているが、これに限られるものではない。例えば、複数のラインをまとめて補正対象とすることで処理をより効率化させることができる。また、少なくとも1つの画素単位を補正対象とすることで、周波数の高い変動にも追従で、より精度を向上させることができる。また、別の例では、1フレーム内において補正対象を変更する。たとえば、最初の所定数ラインについては2ライン毎にオフセット補正値の調整を実行し、他のラインについては1ライン毎にオフセット補正動作を実行する。

10

【0064】

また、本実施形態では図7のS111からS114、および図8に示すように、読み出しを行うライン m を選択した後にSELをハイレベルの状態にして基準電圧信号 V_{ref} を選択しているが、この順番に限られるものではない。図7でS110を行った後、S112、S113、S111、S114、S115の順に処理するようにしてもよい。すなわち、図9に示すように、読み出しライン m を選択する直前にSELをハイレベルの状態にして基準電圧信号 V_{ref} を選択し、補正値 DR_n を求めて補正する。但し、画素データの読み出しと補正用の基準電圧信号のサンプリングとの時間差は、できるだけ短くすることが望ましい。

20

【0065】

また、図7のフローチャートでは撮影モード設定（S101）の完了後に目標値の取得を開始しているが、目標値の取得は撮影モード設定開始前でもよい。撮影前に行うオフセット補正時の目標値のデータは、温度などの条件によって変動するので、データが安定した時点での値を取得することが望ましい。

【0066】

オフセットの補正値を求める際、撮影制御部109が $(\Sigma DA_n - \Sigma DB_n)$ または $(\Sigma DA_n - \Sigma DP_n' \times M)$ または $(\Sigma DA_n - \Sigma DS_n' \times M)$ を N で割って、平均値を補正値として出力するようにしたが、これらに限られるものではない。たとえば、増幅器401～408に $1/N$ のゲインを持たせて増幅器で平均をとるようにしてもよい。これにより、 A/D 変換器151～158の分解能以下まで有効となり、高精度な補正が可能となる。

30

【0067】

加えて、第1実施形態では、3個あるいは4個の矩形半導体基板106をアナログマルチプレクサ131～138で順次選択するようにしていたがこれに限られるものではない。たとえば、1個の矩形半導体基板106に対して、差動増幅器、 A/D 変換器、オフセット補正回路をそれぞれ1個とした構成としてもよい（アナログマルチプレクサ131～138が省略可能になる）。このような構成により、高速なフレームレートの動画像においても、 $1/f$ ノイズを低減することが可能となる。

40

【0068】

また、本実施形態では、ライン切り替えの間隔で読み出し時のオフセット補正のために取得するサンプリング数 N' が、 N に比べてかなり小さな値にしか設定できない場合に求めた $\Sigma DS_n'$ を、 $\Sigma DP_n'(m)$ 、 $\Sigma DP_n'(m-1)$ 、 $\Sigma DP_n'(m-2)$ 、 $\dots \Sigma DP_n'(m-k)$ による $k+1$ 個の値の単純移動平均の結果としたが、これに限られるものではなく、たとえば加重平均の結果（加重移動平均）を用いることができる。オフセットは、 $1/f$ で変動しているので、単純平均では過去の値の影響により補正値がずれる可能性がある。対象ラインのサンプリング値 $\Sigma DP_n'(m)$ に近いラインでサンプリングしたデータほど重みを大きくして平均を行う加重移動平均のほうが現在のオフセット変動の影響をより精度よく計算できる。また、移動平均法に代えて、第2実施形態で説

50

明するような再帰処理により得られるオフセット補正値を用いることができる。

【0069】

なお、 $k+1$ ライン分の平均を求める場合、それらのサンプリングしたデータを保存しておくための領域（メモリ）が必要となる。また、補正対象のラインが変化するたびに保存しているデータを更新する必要も生じる。平均を求めるためにサンプリング数が多く必要であるが、平均を求めるために利用するライン数またはサンプリング数が増えるほど、必要なメモリが増える。

【0070】

<第2実施形態>

第1実施形態において、D/A変換器411～418、増幅器401～408、加算回路431～438、マルチプレクサ421～428のいずれかの応答時間が遅い場合には、(S114)において求めた補正値と補正対象のラインにずれが生じる。そのため、オフセットをリアルタイムに補正できなくなる可能性がある。そこで、第2実施形態では、上記のような場合でも、読み出し中に変動する $1/f$ ノイズをリアルタイムに補正することを可能とするために、補正値を予測してオフセット補正をする。第2実施形態では、再帰的にオフセットの補正値を求める方法を説明する。

【0071】

第2実施形態による放射線動画撮像装置の構成、イメージセンサ駆動装置の構成や基本的な駆動動作は、第1実施形態（図1～図9）と同様である。第2実施形態では、図7のS104、S109、S113でそれぞれ求めた $\Sigma D A n$ 、 $\Sigma D B n$ 、 $\Sigma D P n$ （ $\Sigma P n' \times M$ ）を用いて、現在のラインよりも所定数のライン後の補正を行うのに適した補正値を予測する（S114）。

【0072】

m ライン目の、再帰的に求めたサンプリング値 $\Sigma D Q n' (m)$ は、以下のように再帰的に求められる。 α はフィードバック係数である。ただし、 $0 < \alpha < 1$ とし、システムごとに最適となる値を利用する。

【0073】

[数1]

$$\Sigma D Q n' (m) = (1 - \alpha) \Sigma D P n' + \alpha \Sigma D Q n' (m - 1) \quad (\text{式1})$$

フィードバック係数 α で再帰的に $\Sigma D Q n' (m)$ を求めた場合、 $m \rightarrow \infty$ になると、 $\Sigma D Q n' (m)$ のノイズの減衰率 $R = \sigma_{out} / \sigma_{in}$ は、(式2)のように漸近する。このとき、ライン間でノイズに相関がないものとする。

【0074】

[数2]

$$R = \frac{\sigma_{out}}{\sigma_{in}} = \sqrt{\frac{(1 - \alpha)^2}{(1 - \alpha^2)}}$$

ここで、 $\Sigma D B n$ と1ライン目のサンプリングデータ $\Sigma D P n' (1)$ を用いて、 $m = 1$ のときから減衰率 R が(式2)の値になるようにすれば、2ライン目以降のノイズ減衰率 R も常に漸近値に近づくようになる。

【0075】

よって、 $m = 1$ のときの再帰的サンプリング値 $\Sigma D Q n' (1)$ を(式3)のように求め、 $m > 1$ の再帰的サンプリング値 $\Sigma D Q n' (m)$ を(式1)のように求めることで、1ライン目から常にノイズの減衰率 R が漸近値に近づいた結果を得ることができる。ただし、サンプリング数 $N = M \times N'$ とする。

[数3]

$$\Sigma D Q n' (1) = (1 - \beta) \Sigma D P n' + \beta \Sigma D B n / M \quad (\text{式3})$$

【0076】

β は $m = 1$ のときのフィードバック係数である。 $\Sigma D B n$ と $\Sigma D P n'$ はサンプリング数が M 倍異なるので、 $\Sigma D B n$ は $\Sigma D P n'$ に比べてノイズ σ が $1 / \sqrt{M}$ であるといえる

。これをもとに β は(式4)のように求める。

[数4]

$$\beta = \frac{1 - \sqrt{1 - (1 + \frac{1}{M})(1 - R^2)}}{(1 + \frac{1}{M})}$$

β は、 $(1 - R^2) / R^2 > M$ の場合、解がないので、フィードバック係数 α を大きく設定したい場合は、 DBn のサンプリング数 N が大きく、ノイズが十分に小さくないと値を求めることができない。

【0077】

以上のように求めた $\Sigma DQn'$ (m)を用いて、補正值 $DRn = (\Sigma DAn - \Sigma DQn' \times M) / N$ を計算し、結果をD/A変換器411～418に出力する(S114)。S115以降の処理は第1実施形態と同様である。

【0078】

以上の処理により、補正対象のラインのオフセット補正值を予測できるので、応答時間が遅い場合にも、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する $1/f$ ノイズをリアルタイムに補正することができる。また、フレームレート高速化のために垂直シフトレジスタおよび水平シフトレジスタの切り替え時間が短く、サンプリングした数 N' が少ない場合でも、第2実施形態で説明した再帰的な処理を用いることにより、ランダムノイズの影響を抑えることができる。

【0079】

なお、第2実施形態では再帰的な処理を用いた例を説明したが、例えばD/A変換器411～418、増幅器401～408、加算回路431～438、マルチプレクサ421～428のいずれかの応答の遅れが比較的小さい場合には、補正值を予測する方法として、第1実施形態に記述したような移動平均法を用いることができる。移動平均法を用いる場合には、移動平均法により求めた結果を補正対象のラインの補正值とする。ただし、移動平均法は計算に用いる複数の ΣDPn (m)を保存しておくメモリが必要となる。これに対して、再帰的な処理を用いた場合には、補正值 $\Sigma DQn'$ (m)を求める際に利用する値は $\Sigma DPn'$ (m)と $\Sigma DQn'$ (m-1)だけでよいので、移動平均法を用いた場合よりもメモリを削減できる。また、移動平均法に比べて再帰的な処理のほうが漸近値に近づくスピードが速い。したがって、時間的に変動する $1/f$ ノイズの補正には再帰的な処理を用いるほうが効果が高い。

【0080】

<第3実施形態>

上記の第1実施形態および第2実施形態では、目標値およびオフセット測定時にマルチプレクサ421～428で基準電圧信号を選択するようにしたがこれに限られるものではない。たとえば、目標値およびオフセット測定時にマルチプレクサ421～428でアナログマルチプレクサ131～138を選択し、かつ図10に示すように、CLKVを立ち上げたのち、CS0～CS3とHSTをサンプリング時間だけ長くして、矩形半導体基板106の各ラインの1画素目の画素データを所定数サンプリングし、オフセットを補正するようにしてもよい。矩形半導体基板106ごとに発生するオフセットが異なるので、各矩形半導体基板106での1画素目の画素データを取得する必要がある。この場合、目標値としてサンプリングした矩形半導体基板106の各ラインのデータは、不図示のメモリにライン単位で格納し、矩形半導体基板106のライン毎に不図示のメモリから読み出して、補正值を算出する。これによって、矩形半導体基板106で発生する $1/f$ ノイズによるオフセット変動を含めて測定することが可能となり、さらに、アーチファクトを低減することが可能になる。また、第3実施形態では、オフセット補正值を求めるための動作において基準電圧を使用しないので、アナログマルチプレクサ131～138の出力信号と、所定の電圧である基準電圧信号Vrefと、から信号を選択するマルチプレクサ42

10

20

30

40

50

1～428を省略することが可能になる。

【0081】

<第4実施形態>

上述したように、矩形半導体基板、差動増幅器およびA/D変換器それぞれに低周波の1/fノイズが発生すると、図24の(b)に見られるような、A/D変換器単位でブロック状のアーチファクトが見られるようになる。上記各実施形態では、フレーム内の光電変換素子群からの画像信号の取り出し毎に加算回路431～438に与えるオフセット補正值の調整を実行することで、上記アーチファクトを低減している。他方、オフセット補正の目標値の設定タイミングも、アーチファクトの発生、低減に寄与する。たとえば、撮影モードが切り替わるたびに、オフセット補正の目標値を設定すると、オフセット補正画
10
像(暗画像)を取得した時と本撮影とで目標値が変化してしまう可能性がある。異なる目標値で取得されたオフセット補正画像により本撮影の画像を補正すると、定常的なオフセットが発生してしまう。第4実施形態では、オフセット補正画像の取得時の目標値を本撮影でも確実に利用できるようにする。

【0082】

図12は、第4実施形態による撮像装置を含む撮像システムの構成例を示すブロック図である。第1実施形態の構成(図1)と同様の構成には同一の参照番号を付してある。フラットパネルセンサ105上の2次元に配列された複数の光電変換素子(画素回路)の一部分である光電変換素子群に対応した領域が、遮光部502、503により遮光されている。本実施形態では、フラットパネルセンサ105の上辺部及び下辺部側の所定ライン数のCMOS型撮像素子は遮光部502および503により光学的に遮光されている。これ
20
らの遮光された領域は、複数の光電変換素子のうちの水平方向に並ぶ所定数の隣接したラインに対応した領域であり、垂直方向に走査する際の先頭のラインを含む領域となっている。後で説明する1/fノイズによるオフセット変動を補正するときには、この遮光された領域の画素データを読み出し、オフセット補正が行われる。なお、第4実施形態による画素回路や矩形半導体基板106の構成、それらの動作タイミング等は、第1実施形態(図2～図5)と同様である。

【0083】

次に、放射線をパルス状に断続的に被写体に照射して動画像を撮影する場合のサンプリング動作において、第4実施形態で行う、各種半導体で発生する1/fノイズによるオフ
30
セット変動を補正する方法を図13、図14、図15および図16を用いて説明する。図13は、第4実施形態による撮影動作を示すタイミングチャートである。図14は第4実施形態によるイメージセンサ駆動装置の構成例を示すブロック図である。図15、図16は、第4実施形態によるイメージセンサ駆動装置の動作を説明するフローチャートである。

【0084】

図15において、まず、撮影制御部109はシステム制御装置101から撮影モードが設定されるまで待機する(S201)。この撮影モードには、たとえば、撮影間隔を示すフレームレート、放射線を蓄積するための蓄積時間、画素回路の感度、出力画像のサイズ
40
情報、オフセット補正用の画像取得など少なくとも何れかが含まれている。図13の時刻t0で撮影モードが設定されると、撮影制御部109は、撮影モードに従って矩形半導体基板106に対する設定を行う。

【0085】

次に、撮影制御部109は、設定された撮影モードに対応するオフセット補正時の目標値がメモリ501に格納されているかを確認する(S202)。設定された撮影モードに対応する目標値がメモリ501に格納されていない場合、処理はS203に進み、撮影制御部109は、撮影前にオフセット補正時の目標値を生成する目標値生成動作を開始する。S202において、撮影制御部109は、設定された撮影モードに対応したオフセット補正時の目標値がすでにメモリ501に格納されていることを検出すると、目標値生成動作を終了する。
50

【0086】

目標値生成動作に関して図14を用いて説明する。図14は図12の放射線撮像装置100に対応しており、図6に示した構成と同様の構成には同一の参照番号を付してある。第4実施形態の構成では、オフセット補正時の目標値を撮影モード毎に記憶するためのメモリ501が追加されている。なお、図14では、矩形半導体基板106は見やすいように縦方向に並べて示されているが、実際は図12のような配置となる。

【0087】

オフセット補正用の目標値を生成するために、まず、撮影制御部109は、遮光部502および遮光部503によって光学的に遮光された矩形半導体基板106の画素領域を読み出すためのリセット駆動0を行う。このリセット駆動は、時刻 $t_1 \sim t_2$ の間に、信号EN, PRESS, PCLを用いて行われ、各信号のタイミングは図3に示したリセット駆動R1と同様である。

【0088】

タイリングされた矩形半導体基板106では、タイリングされた各撮像素子の全ての画素について、一括して同一のタイミング、同一の期間でリセット駆動が行われる。動画撮影時に撮像素子間、走査線間の時間的スイッチングのずれにより発生する画像ズレを防止するためである。その後一括露光による蓄積が行われ各画素回路のフォトダイオードPDで発生した光電荷が容量(Cfd)に蓄積される。リセット駆動0の時刻 t_1 から時刻 t_2 の間のフォトダイオードPDへの基準電圧VRESの印可において光電変換部でリセットノイズ(kTCノイズ)が発生する。しかしながら、クランプ回路のクランプ容量(Cc1)の画素アンプ2(M7)側に基準電圧VCLをセットすることによりリセットノイズが除去される。

【0089】

撮影モード設定時に設定された蓄積時間の経過後、撮影制御部109は、時刻 $t_3 \sim t_6$ のサンプリング駆動を開始する(S204)。サンプリング駆動は、図3の時刻 $t_{60} \sim t_{70}$ において説明したとおりである。

【0090】

次に、遮光部502と遮光部503で光学的に遮光された画素群の読み出し処理動作RD0(時刻 $t_6 \sim t_7$)を説明する。まず、撮影制御部109は、信号SEL(図14)をローレベルの状態として(図13)、マルチプレクサ421~428が画素信号を出力するように制御する(S205)。次に、撮影制御部109は、D/A変換器411~418の出力が中心値となる基準値を出力する(S206)。そして、図5(a)に示すように、撮影制御部109は、VSTをハイレベルの状態としてCLKVを立ち上げ、最初の1行目を選択する(S207)。

【0091】

CLKVを立ち上げると、図4の垂直走査回路303は内部の回路がリセットされ、垂直走査回路303の出力V1にはハイレベルが出力される。こうして、行信号線305で制御される1ラインが選択され、画素出力が有効となる。続いて、HSTがハイレベルの状態ではCLKHが立ち上がると、水平走査回路304は内部の回路がリセットされ、水平走査回路304の出力H1にハイレベルが出力される。これにより、行信号線305により有効になっている1ラインの画素のうちH1で選択される画素回路302の出力がアナログ出力端子に出力される。以降、順次にCLKHパルスが入力されると、水平走査回路304のハイレベル出力は、順次H1、H2、・・・、Hnへとシフトして1ラインの読み出しを終了する。

【0092】

撮影制御部109は、図5(a)に示すようにCS0~CS3を順次ハイレベルとすることにより、アナログマルチプレクサ131~138に接続されている矩形半導体基板106の出力を切り替え、画素データ読み出し動作を開始する。そして、撮影制御部109は、A/D変換器151~158が出力するデータを所定数N個サンプリングし、N個のサンプリングデータDTの和 $\Sigma DT = A$ を求め目標値を決定する(S208)。

【0093】

サンプリングされたデータは、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生するショットノイズ、熱ノイズなどにより、値がばらつく。したがって、サンプリングされたデータは、統計的にサンプリング数が多いほど平均値の精度がよくなることが知られている。つまり、N個のサンプリングされたデータは、図17のヒストグラムに示されるAのように正規分布するので、サンプリング数が多ければ多いほど、その平均値は真値に近づく。そこで、Mを整数とした場合に、増幅器401～408の減衰率を $1/M$ とし、サンプリングする個数NをMの倍数となるように取得して目標値としてもよい。これによって、A/D変換器151～158の分解能に対して、増幅器401～408の出力分解能を十分小さくすることが可能となり、 $1/f$ ノイズによるオフセット変動を精度よく補正することが可能となる。

10

【0094】

以上のようにして目標値Aが決定されると、撮影制御部109は、目標値Aをメモリ501の撮影モードに対応した所定のアドレスに格納する(S209)。すなわち、目標値Aは、設定されている撮影モードに対応付けてメモリ501に保持される。これにより、当該撮影モードにおいて取得されるオフセット補正用の画像(暗画像)や、本撮影の画像には、同じ目標値Aが採用されることになる。その後、放射線撮像装置100は撮影の開始、すなわち、同期信号の入力を待つ。

【0095】

図16において、撮影制御部109は、システム制御装置101から入力される最初の1枚目の画像に対する同期信号の検出を行う。図13の時刻t8でシステム制御装置101から最初の同期信号SYNCが入力されると、撮影制御部109はこれを検知する(S221)。撮影制御部109は、同期信号SYNCを検出すると、放射線の蓄積を開始するため、リセット駆動を行なう(S222)。図13の時刻t9で開始されるリセット駆動R1がこれに対応する。リセット駆動R1は、図3で説明したリセット駆動(t51～t56)と同様である。

20

【0096】

リセット駆動R1により、画素のリセット動作およびクランプ動作を終了し、フォトダイオードPDの蓄積が開始され、放射線の曝射が有効になる。撮影制御部109は、蓄積状態になったので、曝射許可信号をイネーブルにしX線の曝射を要求する。

30

【0097】

次に、撮影制御部109は、設定された蓄積時間の経過後、サンプリング駆動を開始する(S223)。このサンプリング駆動は、図13の時刻t11～t14のサンプリング駆動S1であり、図3に示したサンプリング駆動(t60～t70)と同様である。このサンプリング駆動において、撮影制御部109は、時刻t12で信号TSをローレベルとするとともに、曝射許可信号をディセーブルとし、X線曝射を禁止する。なお、サンプリング駆動S1は全画素を一括して行われる。後に続くサンプリング駆動もこのタイミングで制御される。続いて、撮影制御部109は、遮光部502と503で光学的に遮光された画素群の読み出し処理動作RD1を行い、 $1/f$ ノイズなどによるオフセット変動を低減するためのオフセット補正動作を開始する。

40

【0098】

撮影制御部109は時刻t14においてSELをローレベルの状態として、マルチプレクサ421～428の入力として、画素信号を選択する(S224)。続いて、撮影制御部109は、D/A変換器の出力が中心値となる基準値を出力し(S225)、図5(a)に示されるようにVSTをハイレベルの状態とした後にCLKVを立ち上げ(S226)、最初の1行目を選択する。

【0099】

CLKVが立ち上がると、垂直走査回路303(図4)は内部の回路がリセットされ、垂直走査回路303の出力V1にハイレベルが出力される。こうして、行信号線305で制御される1ラインが選択され、画素出力が有効となる。HSTがハイレベルの状態

50

LKHが立ち上がると、水平走査回路304では内部の回路がリセットされ、水平走査回路304の出力H1にハイレベルが出力される。こうして、行信号線305により有効になっている1ラインの画素のうちH1で選択される画素回路302の出力がアナログ出力端子に出力される。順次CLKHパルスが入力され、水平走査回路304のハイレベル出力は、順次H1、H2、・・・、Hnへとシフトして1ラインの読み出しを終了する。

【0100】

撮影制御部109は、図5に示すようにCS0～CS3を順次にハイレベルとすることにより、図14のアナログマルチプレクサ131～138に接続されている矩形半導体基板106の出力を切り替え、画素データを読み出す(S227)。ここで、撮影制御部109は、A/D変換器151～158が出力する画素データを所定数N個サンプリングし、N個のサンプリングデータDTの和 $\Sigma DT = B$ を求める。この所定数Nは、目標値Aを求めたときのサンプリング個数と同じ数である。

10

【0101】

このとき、N個のサンプリングされたデータは、例えば、図18のヒストグラムのBに示されるように正規分布する。したがって、このBの分布の平均値とAの分布の平均値の差分Cが、補正すべきオフセット量となる。

【0102】

そこで、撮影制御部109は、まず、設定された撮影モードに対応した目標値Aをメモリ501から読み出す(S228)。そして、撮影制御部109は、増幅器401～408の減衰率を $1/M$ としたとき、デジタル値の補正データとして、 $D = (A - B_n) / (N/M)$ を計算する(S229)。この計算により求められた補正值は、目標値からの変動分のM倍の値であり、撮影制御部109は、求められた補正值をD/A変換器411～418に出力する(S230)。出力された補正值はデジタルデータであるが、各D/A変換器411～418によって、アナログ信号に変換される。そして、このアナログ信号には、増幅器401～408の出力信号が $1/M$ となるようにアナログ信号処理が施され、加算回路431～438でマルチプレクサ421～428の出力信号に加算され、オフセットが補正される。

20

【0103】

例えば、A/D変換器151～158の分解能を14ビット、入力範囲を2Vとすると、1ビットに相当する電圧値は $122 \mu V$ となる。また、D/A変換器411～418の分解能を12ビット、出力範囲を2Vとすると、1ビットに相当する電圧値は $488 \mu V$ となる。したがって、増幅器401～408の減衰率を $1/20$ とすると、増幅器401～408の出力分解能は $24.4 \mu V$ となり、A/D変換器151～158の分解能の5倍の分解能でオフセット補正を行うことができる。また、D/A変換器411～418にA/D変換器151～158の分解能よりも低いものを使用することができるので、コストを下げることもできる。さらに、D/A変換器411～418の分解能は、12ビットに限ることはなく、14ビットあるいは16ビット品を使用すれば、さらに、オフセット補正の精度をあげることができる。なお、増幅器401～408に $1/M$ の減衰率を設定した構成は、上記各実施形態にも適用が可能である。

30

【0104】

このような構成により、 $1/f$ ノイズが発生し、図17のヒストグラムのBに示されるようにオフセットが大きくなると、目標値Aに対して、測定値Bが大きくなる。そのため、S229において算出されるオフセット補正值がマイナスとなり、D/A変換器411～418の出力が、マルチプレクサ421～428の出力信号に重畳するオフセットを減じる方向に印加される(S230)。

40

【0105】

オフセット補正動作が終了すると、撮影制御部109は、現在のラインが遮光部にあるか否かを判断する(S231)。現在のラインが遮光部に該当するラインの場合は、処理はS232に進み、再度CLKVを立ち上げ、垂直走査回路303がV2を選択する。S231、S232を繰り返し、遮光部に該当しないラインであるmライン目が選択された

50

ことがS 2 3 1で検出されると、処理はS 2 3 3に進む。

【0106】

撮影制御部109は、図17に示されるようにCS0～CS3を順次ハイレベルとすることにより、アナログマルチプレクサ131～138に接続されている矩形半導体基板106の出力を切り替える。こうして、光が照射された画素領域の画素データ読み出し動作が行われる(S 2 3 3)。続いて、撮影制御部109は、現在のラインが最終ラインか否かを判断し、現在のラインが最終ラインの場合は、処理をS 2 3 6に進める。他方、現在のラインが最終ラインでなければ、処理はS 2 3 4に進み、撮影制御部109は、CLKVを立ち上げることで次のラインの画素データの読み出し動作を再度行う。これらの動きを順次繰り返し、矩形半導体基板106の画素の読み出しが行われる。

10

【0107】

S 2 3 6において、撮影制御部109は、撮影終了か否かを確認し、撮影終了でない場合は、処理をS 2 2 1へ戻し、次の画像に対する同期信号の検出を行う。撮影終了と判断した場合は動作を終了する。図13のタイミングチャートでは、このような画素の読み出し処理がRD1、RD2およびRD3の3回行われた例を示している。

【0108】

以上のように、第4実施形態によれば、画素データの読み出しが開始される前に、遮光部の画素領域の画素データが読み出され、その画素データに基づいてオフセット補正が行われる。これにより、矩形半導体基板106、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する1/fノイズによるオフセット変動を補正できる。すなわち、オフセットが補正された状態で、画素の読み出し処理を行うことができる。特に、第4実施形態では、撮影モード毎に、目標値Aをメモリ501に格納し、設定された撮影モードに応じて、メモリ501から目標値を読み出してオフセット補正するようにした。そのため、放射線を蓄積するための蓄積時間、画素回路の感度によるオフセットなどの撮影モードによる変動に対応した目標値を利用することが可能となり、1/fノイズによるオフセット変動を精度よく補正することができる。したがって、1枚目の画像から、1/fノイズによるアーチファクトを低減した画像を生成することができる。

20

【0109】

なお、上記の第4実施形態では、図15のS 2 0 7、S 2 0 8や図16のS 2 2 6、S 2 2 7で、遮光部502と503で遮光される領域の1ライン目のみの画素データを読み出して、目標値Aと測定値Bを取得し、オフセット補正値を生成した。しかしながら、これに限られるものではなく、遮光される複数ラインの画素データを読み出してオフセット補正のための目標値の設定やオフセット補正値の生成を行なうようにしてもよい。

30

【0110】

また、第4実施形態では、システム制御装置101からの撮影モードの設定に応じてオフセット補正のための目標値を取得するようにしていたが、これに限られるものではない。例えば、設定された撮影モードが撮影モード毎のオフセット補正用の画像取得の時のみ、目標値を取得するようにしてもよい。これにより、オフセット補正用の画像と本撮影時の画像との目標値を同じにできるので、1枚目の画像から、1/fノイズによるアーチファクトを低減した画像を生成することができる。

40

【0111】

また、第4実施形態による目標値の設定のタイミング、および目標値を撮影モードに対応付けてメモリに記憶し、これを利用する構成は、上記各実施形態にも適用可能であることは当業者には明らかである。なお、第4実施形態では、オフセット補正値を求めるための動作において基準電圧を使用しないので、マルチプレクサ421～428を省略してもよい。

【0112】

<第5実施形態>

上記各実施形態では、撮影動作の開始に応じて目標値との差を検出し、オフセット補正

50

値を求めている。しかしながら、目標値を設定した後、撮影モードの切り替わり時などで、同じ目標値でオフセット補正を行なうと、目標取得時のオフセットと現在発生しているオフセットとの乖離が大きくなり、最初の数枚のブロックノイズが大きくなる場合がある。第5実施形態では、そのような不具合を解消するために、目標値を設定した後に所定間隔でオフセット補正値を生成する処理を実行する。

【0113】

放射線をパルス状に断続的に被写体に照射して動画像を撮影する場合のサンプリング動作において、第5実施形態で行う、各種半導体で発生する $1/f$ ノイズによるオフセット変動を補正する方法を図18、図19、図20を用いて説明する。なお、第5実施形態による放射線撮像装置の構成や基本的な動作は、第1実施形態(図1～図6)により説明した第1実施形態と同様である。図18は、第5実施形態によるイメージセンサ駆動装置の撮影動作を示すタイムチャートである。図19、図20は、第5実施形態による矩形半導体基板106の制御を示すフローチャートである。

10

【0114】

まず、図18の時刻 $t_0 \sim t_1$ で、撮影制御部109は、撮影前にオフセット補正時の目標値を生成するための動作を開始する。オフセット補正用の目標値を生成するために、まず、撮影制御部109が、D/A変換器411～418の出力が中心値となる基準値を出力する(S301)。そして、撮影制御部109は、SELをアサートして(ハイレベルの状態として)マルチプレクサ421～428が基準電圧信号Vrefを出力するように制御する(S302)。

20

【0115】

撮影制御部109は、A/D変換器151～158が出力するデータを所定数N個サンプリングし、N個のサンプリングデータDTの和 $\Sigma DT = A$ をもとめ目標値を決定する(S303)。なお、第4実施形態と同様に、増幅器401～408の減衰率を $1/M$ とし、サンプリングする個数NをMの倍数となるように取得するものとする。

【0116】

サンプリングされたデータは、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生するショットノイズ、熱ノイズなどにより、値がばらつく。統計的にサンプリング数が多いほど、サンプリングされたデータの平均値の精度がよくなることが知られている。つまり、N個のサンプリングされたデータは、図18で示したヒストグラムのAのように正規分布するので、サンプリング数が多ければ多いほど、その平均値は真値に近づく。そこで、増幅器401～408の減衰率を $1/M$ とすることによって、サンプリングする個数Nを、整数Mの倍数となるように取得し、合計値をNで割り算して目標値を求めている。これによって、A/D変換器151～158の分解能に対して、増幅器401～408の出力分解能を十分小さくすることが可能となり、 $1/f$ ノイズによるオフセットを精度よく補正することが可能となる。

30

【0117】

目標値Aが決定されると、撮影制御部109は、時刻 t_1 においてSELをネゲートする(S304)。続いて、撮影制御部109は、目標値Aに基づいて、オフセット補正を開始する(S305)。以下、第5実施形態におけるオフセット補正の動作を、図20のフローチャートを用いて説明する。オフセット補正動作が開始されると、まず撮影制御部109は、オフセット補正動作を所定間隔で行わせるため、所定時間待機する(S321)。この待機時間は、使用する各種半導体で発生する $1/f$ ノイズによって、実験的に決定するのがよい。

40

【0118】

所定時間待機した後、撮影制御部109は時刻 t_2 においてSELをハイレベルの状態とすることで、マルチプレクサ421～428の入力として、基準電圧信号Vrefを選択する(S322)。基準電圧信号Vrefを選択した状態で、撮影制御部109は、A/D変換器151～158の出力データDTを所定数N個サンプリングし、和 $\Sigma DT = B_n$ を求める(S323)。この所定数Nは、目標値Aを求めたときのサンプリング個数と

50

同じ数である。このとき、N個のサンプリングされたデータは、例えば、図18のヒストグラムのBに示されるように正規分布する。したがって、このBの分布の平均値とAの分布の平均値の差分Cが、補正すべきオフセット量となる。

【0119】

そこで、撮影制御部109は、増幅器401～408の減衰率を $1/M$ としたとき、補正データとして、 $D = (A - B_n) / (N/M)$ を計算する(S324)。求められた補正值は、目標値からの変動分を表し、撮影制御部109は、求められた補正值を D/A 変換器411～418に出力する(S325)。出力された補正值はデジタルデータであるが、各 D/A 変換器411～418によってアナログ信号に変換される。そして、アナログ信号に変換された補正值は、増幅器401～408において出力信号が $1/M$ となるようにアナログ信号処理が施され、加算回路431～438でマルチプレクサ421～428の出力信号に加算される。こうして、撮影制御部109から出力された補正值（デジタルデータ）により、オフセットが補正される。

10

【0120】

なお、減衰率が $1/M$ の増幅器401～408を用いることにより、低分解能の D/A 変換器を用いて A/D 変換器151～158の分解能を超えた分解能でオフセット補正を行うことができる点は、第4実施形態で説明したとおりである。

【0121】

以上のような構成により、 $1/f$ ノイズが発生し、図17のヒストグラムのBに示されるようにオフセットが大きくなると、目標値Aに対して、測定値Bが大きくなる。そのため、S324において算出されるオフセット補正值がマイナスとなり、 D/A 変換器411～418の出力が最終的にマルチプレクサ421～428の出力信号に重畳するオフセットを減じる方向に印加される(S325)。

20

【0122】

オフセット補正動作が終了すると、撮影制御部109は、図18の時刻 t_3 でSELをネゲートし(S326)、オフセット補正動作を停止するか否かの判断を行う(S327)。ここで、撮影制御部109は、画素データの読出しを開始する場合はオフセット補正動作を停止するため、S327から処理が終了する。それ以外の場合は、処理はS321に戻り、所定時間待機する。つまり、画素データの読出しを開始しない間は、図18の時刻 t_2 からのように所定時間間隔でSELのアサートが繰り返し行われ、SELのアサート期間中にオフセット補正動作が行われる。なお、S321で所定時間の待機を行なっている間にもオフセット補正の停止を監視し、オフセット補正停止が指示されていれば本処理を終了するようにしてもよい。

30

【0123】

その後、撮影制御部109は、システム制御装置101から撮影モードが設定されるのを待つ(S306)。この撮影モードには、撮影間隔を示すフレームレート、放射線を蓄積するための蓄積時間、画素回路の感度、出力画像のサイズ情報などが含まれている。そして、撮影制御部109は設定された撮影モードに従って矩形半導体基板106に対する各種の設定を行う。

【0124】

本例では、図18の時刻 t_4 においてシステム制御装置101から撮影モードが設定されており、撮影制御部109は、上述のごとく設定を行なう。続いて、撮影制御部109は、システム制御装置101から入力される最初の1枚目の画像に対する同期信号の検出を行う(S307)。本例では、図18の時刻 t_5 において、システム制御装置101から最初の同期信号SYNCが入力されている。

40

【0125】

撮影制御部109は、時刻 t_5 で同期信号SYNCを検知すると、放射線に応じた電荷の蓄積を開始するために、時刻 t_6 でリセット駆動R1を行う(S308)。まず、このリセット駆動は、第1実施形態において説明したリセット駆動と同様である。このリセット駆動により、フォトダイオードPDによる電荷の蓄積が開始され、放射線の曝射が有効

50

になる。フォトダイオードPDが蓄積状態になったので曝射許可信号をイネーブルにし、X線の曝射を要求する（時刻 t_7 ）。後に続くリセット駆動もこのようなタイミングで制御される。

【0126】

タイリングされた矩形半導体基板106では、動画撮影時に撮像素子間、走査線間の時間的スイッチングのずれにより発生する画像ズレを防止するため、タイリングされた各撮像素子の全ての画素が一括して同一のタイミング、同一の期間でリセット駆動される。その後一括露光による蓄積が行われ各画素回路のフォトダイオードPDで発生した光電荷が容量(Cfd)に蓄積される。リセット駆動の時刻 t_6 から時刻 t_7 のフォトダイオードPDへの基準電圧VRESの印加において、光電変換部でリセットノイズ(kTCノイズ)が発生する。しかしながら、クランプ回路のクランプ容量(Ccl)の画素アンプ2(M7)側に基準電圧VCLをセットすることにより、そのようなリセットノイズは除去される。

10

【0127】

次に、図18の時刻 t_8 において、撮影制御部109は、サンプリング駆動S1（図20のS309）を開始する。このサンプリング駆動は第1実施形態において説明したサンプリング駆動と同様である。サンプリング駆動S1は全画素を一括して行う。後に続くサンプリング駆動もこのタイミングで制御される。

【0128】

撮影制御部109は、サンプリング駆動S1を終了すると、オフセット補正動作の停止処理を行う（S310）。これにより、所定時間間隔で動作していたオフセット補正動作（図20）が停止する（S327でYES）。

20

【0129】

以上のように、第5実施形態では、画素データの読出しが開始されない間は、所定の間隔で、オフセット補正が繰り返し行われる。これにより、常にマルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する $1/f$ ノイズによるオフセット変動を補正できる。したがって、オフセットが補正された状態で、画素の読み出し処理RD1を行うことができるため、1枚目の画像から、 $1/f$ ノイズによるアーチファクトを低減した画像を生成することができる。

【0130】

次に、撮影制御部109は、SELがローレベルの状態となっているため、マルチプレクサ421～428で画素信号が選択され、図5でVSTをハイレベルの状態とし、続いてCLKVを立ち上げて、最初の1行目($m=1$)を選択する（S311）。

30

【0131】

CLKVが立ち上がると、図4の垂直走査回路303は内部の回路がリセットされ、垂直走査回路303の出力V1にハイレベルが出力される。その結果、行信号線305で制御される1ラインが選択され、画素出力が有効となる。HSTがハイレベルの状態でCLKHが立ち上がると、水平走査回路304は内部の回路がリセットされ、水平走査回路304の出力H1にハイレベルが出力される。その結果、行信号線305により有効になっている1ラインの画素のうちH1で選択される画素回路302の出力がアナログ出力端子に出力される。順次CLKHパルスが入力され、水平走査回路304のハイレベル出力は、順次H1、H2、・・・、Hnへとシフトして1ラインの読み出しを終了する。

40

【0132】

撮影制御部109は、図5に示されるようにCS0～CS3を順次ハイレベルとすることにより、アナログマルチプレクサ131～138に接続されている矩形半導体基板106の出力を切り替え、画素データを読み出し動作を行う。さらに、撮影制御部109は、現在のラインが最終ラインか否かを判断し（S313）、最終ラインである場合はオフセット補正動作を再開する（S314）。現在のラインが最終ラインでなければ、処理はS311へ戻る。今回は、1ライン目であるので、処理はS311に戻り、次のラインの画素データの読出し動作を行う。

50

【0133】

これらの動作が順次繰り返されることにより、矩形半導体基板106の画素の読み出しが行われる。撮影制御部109は、S314でオフセット補正を開始すると、撮影終了か否かを確認する(S315)。撮影終了でない場合、処理はS307に戻り、引き続き、次の画像の撮影動作が行われる。他方、撮影終了と判断された場合は、処理はS316に進み、撮影制御部109は、次の撮影の撮影モードが設定されるまで待機する。なお、この待機中も、S314で開始されたオフセット補正動作は所定の時間間隔で繰り返し行われる。これにより、マルチプレクサ421～428、差動増幅器141～148およびA/D変換器151～158で発生する1/fノイズによるオフセット変動を常に、補正された状態に保つことができる。そのため、S316で次の撮影モードが設定されて撮影が開始されても、次の撮影モードの撮影開始1枚目から補正することができ、アーチファクトを低減した画像を生成することが可能である。

10

【0134】

なお、上記第5実施形態では、矩形半導体基板106の画素の読み出し動作中(S311～S313)は、オフセット補正動作を停止したが、これに限られるものではない。たとえば、所定数のラインの画素の読出しが終了してから、CLKVを立ち上げて次のラインを選択し、HSTをハイレベルの状態とするまでのラインブランキング時間に図20に示したようなオフセット補正值の生成を行ってもよい。あるいは、第1実施形態で説明したような、S112～S114に示される、オフセット補正のためのデータを取得する第2取得処理をS311～S313の間に実行してもよい。その場合、ライン単位でもオフセット補正が行われることになり、さらにアーチファクトを低減した画像を生成することが可能である。

20

【0135】

<第6実施形態>

次に、第6実施形態について説明する。図2の画素回路において、アナログ出力端子S、Nに出力されるアナログ信号の光学的に黒の時の電圧レベルとは、基準電圧VCLが画素アンプM10やM13、垂直走査回路303および水平走査回路304によって電圧降下して出力される電圧である。なお、基準電圧VCLはクランプ電圧とも呼ばれる。以下、放射線をパルス状に断続的に被写体に照射して動画像を撮影する場合のサンプリング動作において、第6実施形態で行われる、各種半導体で発生する1/fノイズによるオフセット変動を補正する方法を図21～図23を用いて説明する。図21は、第6実施形態によるイメージセンサ駆動回路を表すブロック図である。図22は、第6実施形態の矩形半導体基板106の制御を示すフローチャートである。図23は、第6実施形態による動画像撮影時のサンプリング動作を表すタイミングチャートである。

30

【0136】

まず、放射線撮像装置100の撮影制御部109は、システム制御装置101から撮影モードを設定され、動作を開始する(S401)。この撮影モードには、撮影間隔を示すフレームレート、放射線を蓄積するための蓄積時間、出力画像のサイズ情報などが含まれている。

【0137】

次に、撮影制御部109は、撮影前にオフセット補正時の目標値とするためのデータ生成動作を行う(S402)。このデータ生成動作に関して図21を用いて説明する。図21は第6実施形態におけるセンサ信号処理回路を表す模式的ブロック図である。図21において、アナログマルチプレクサ131は、タイリングされた4枚の矩形半導体基板106のうちの1つのS信号とN信号を撮影制御部109の指示に基づき出力する。ここで、上述の実施形態(図1)で示された構成と同様に2入力1出力の差動増幅器および1入力1出力のA/D変換器151を用いることとしてもよいが、2入力2出力の差動増幅器と、2入力1出力のA/D変換器151を用いることができる。2入力2出力の差動増幅器は、入力された2の入力信号の差分を特定の倍率で増幅し2の出力信号を出力する。ここで出力される2の出力信号の差分値は、入力信号の差分値を当該特定の倍率で増幅した値

40

50

となっている。そして、かかる2の出力信号をA/D変換器に入力する。A/D変換器はその差分値をデジタル値として出力する。このような2出力の差動増幅器及び2入力のA/D変換器を用いると、仮に増幅器の入出力にノイズが重畳したとしても、各入力信号または出力信号のそれぞれに同様のノイズが重畳することとなる。そのため、2信号の差分値に対してはノイズによる影響が小さくなる。そしてかかる2信号に基づいて2入力のA/D変換器でデジタル信号を得ることができるため、ノイズに起因した信号の変動を抑えることができる。また、図21では、このブロックに、以下のオフセット補正回路が追加されている。

【0138】

オフセット補正回路は、

- ・アナログマルチプレクサ131の出力信号、画素信号が光学的に黒の電圧レベルと略同じ電圧の基準電圧信号Vref、およびD/A変換器441からの信号のいずれかを選択するマルチプレクサ421と451、
 - ・撮影制御部109で計算されたオフセット補正データをアナログ信号に変換するD/A変換器411、
 - ・D/A変換器411のアナログ出力信号を増幅する増幅器401、
 - ・増幅器401の出力信号をマルチプレクサ451の出力信号に加算する加算回路431、
- を含んでいる。

【0139】

オフセット補正用の目標値を生成するために、まず撮影制御部109はマルチプレクサ421が基準電圧信号Vrefを出力するように制御する。マルチプレクサ421が基準電圧信号Vrefを出力し始めると、撮影制御部109は、A/D変換器151が出力するデータをN個サンプリングし、N個の目標値データDTnの和 ΣDTn を計算しておく。この基準電圧信号Vrefは、画素信号が光学的に黒の電圧レベルと略同じ電圧であるので、マルチプレクサ421を切り替えたときに電圧が安定するまでの時間を短くすることが可能となる。そのため、切り替え後ただちにサンプリングを行うことができ、フレームレートを向上することができる。さらに、切り替え時の電圧変動を小さくできるので、電圧変動による放射ノイズの発生も低減することができる。また、この基準電圧信号Vrefは画素信号が光学的に黒の電圧レベルは各矩形半導体基板に依拠してばらつくので、各矩形半導体基板の光学的に黒の電圧レベルの平均値の電圧とすればよい。

【0140】

サンプリングされたデータは、マルチプレクサ421、差動増幅器141およびA/D変換器151で発生するノイズにより、図17のヒストグラムに示されるAのように正規分布する。そのため、統計的にサンプリング数が多いほど平均値の精度がよくなることが知られている。そこで、サンプリングする個数は、Nの整数M倍となるように取得し、合計値をMで割り算して目標値を求めてもよい。

【0141】

次に、撮影制御部109は、システム制御装置101から入力される最初の1枚目の画像に対する同期信号の検出を行う(S403)。図23の時刻t1でシステム制御装置101から最初の同期信号SYNCが入力されると、撮影制御部109は、放射線に対応した電荷の蓄積を開始するため、時刻t2からリセット駆動を行う(S404)。リセット駆動は第1実施形態と同様であり、リセット駆動が行われると、フォトダイオード部PDの蓄積が開始され、放射線の曝射が有効になる。

【0142】

放射線は所定時間のパルスで被写体に照射される。したがって、撮影制御部109は、その照射時間に対応した時間が経過したら蓄積を終了させるため、時刻t5でEN信号をハイレベルにしてサンプリング駆動を開始する(S405)。サンプリング駆動は第1実施形態と同様である。

【0143】

次に、垂直シフトレジスタおよび水平シフトレジスタを走査することによって、コンデ

10

20

30

40

50

ンサCSとCNにサンプルホールドされた電圧を順次外部に出力させながらオフセット補正のためのデータを取得する動作を説明する。まず、撮影制御部109は、SEL1とSEL2によって、マルチプレクサ421、451の入力として、基準電圧信号Vrefを選択する(S406)。基準電圧信号Vrefを選択することによって、マルチプレクサ421、451、差動増幅器141およびA/D変換器151で発生する1/fノイズを目標値からの変動値として測定することができる。

【0144】

次に、撮影制御部109は、A/D変換器151の出力データDONを所定数N個サンプリングし、それらの和 ΣDON を求める(S407)。この所定数Nは、目標値Aを求めたときのサンプリング個数と同じ数である。このとき、N個のサンプリングされたデータは、例えば、図17のヒストグラムのBに示されるように正規分布する。したがって、このBの分布の平均値とAの分布の平均値の差分Cが、補正すべきオフセット量となる。

10

【0145】

そして、撮影制御部109は、S402で求めた目標値の和 ΣDTn から ΣDON を引いて、サンプリング数Nで割り、補正值を求める(S408)。求められた補正值は、目標値からの変動分を表し、撮影制御部109は、求められた補正值をD/A変換器411に出力する(S408)。出力された補正值はデジタルデータであるが、各D/A変換器411によって、アナログ信号に変換され、増幅器401を介して、所定のアナログ信号処理が施され、加算回路431でマルチプレクサ451の出力信号に加算され、オフセットが補正される。たとえば、1/fノイズが発生し、オフセットが大きくなると、目標値 ΣDTn に対して、測定値 ΣDON が大きくなるので、S408で得られる結果がマイナスとなり、最終的にマルチプレクサ451の出力信号に重畳するオフセットを減じる方向に印加される。

20

【0146】

その後、撮影制御部109は、SEL1とSEL2によって、アナログマルチプレクサ131を選択し、最初の1行目であるのでVSTを“H”の状態として、CLKVを立ち上げる(S409)。

【0147】

CLKVが立ち上がると、垂直走査回路303(図4)は内部の回路がリセットされ、垂直走査回路303の出力V0に“H”が出力され行信号線305で制御される1ラインが選択され、画素出力が有効となる。そして、HSTが“H”の状態ではCLKHが立ち上がると、水平走査回路304は内部の回路がリセットされ、水平走査回路304の出力H1に“H”が出力される。その結果、行信号線305により有効になっている1ラインの画素のうちH1で選択される画素回路302の出力が、アナログ出力端子に出力される。順次CLKHパルスが入力され、水平走査回路304の“H”出力は、順次H1、H2、・・・、Hnへとシフトして1ラインの読み出しが終了する。撮影制御部109は、図5のようにCS0~CS3を順次“H”とすることにより、アナログマルチプレクサ131に接続されている矩形半導体基板の出力を切り替え、画素データの読み出し動作を行う(S410)。

30

40

【0148】

さらに、撮影制御部109は、現在のラインが最終ラインか否かを判断し(S411)、最終ラインと判断された場合は処理をS412に進める。今回は、1ライン目であるので、処理はS411からS406に戻り、次のラインのオフセット補正動作と画素データの読み出しを行う。これらの動きを繰り返すことで、矩形半導体基板106の画素の読み出しが行われる。最終ラインまで処理が終わると、撮影制御部109は、撮影終了か否かを確認する(S412)。撮影終了でない場合は、処理はS403に戻り、引き続き次の画像の撮影動作を行うために、同期信号を待つ。他方、撮影終了と判断した場合は撮影動作を終了する。

【0149】

50

なお、上記第6実施形態では、オフセット補正時にマルチプレクサ421が基準電圧信号Vrefを出力するように制御したがこれに限られるものではない。たとえば、各矩形半導体基板106の画素信号の光学的に黒の電圧レベルが個体差により大きく異なるような場合は、共通のVrefでは誤差が大きくなってしまう。したがってマルチプレクサ421がD/A変換器441を選択するようにして、オフセット補正時に各矩形半導体基板106の画素信号の光学的に黒の電圧レベルに応じた電圧を出力するようにしてもよい。

【0150】

この場合、各矩形半導体基板106の画素信号の光学的に黒の電圧レベルに応じた電圧は、工場での組立時に各矩形半導体基板106の画素信号の光学的に黒の電圧レベルを測定し、撮影制御部109の不図示の不揮発性メモリにそれぞれ記憶しておく。メモリには、矩形半導体基板ごとに黒の電圧レベルが記憶される。そして、オフセット補正のための目標値や補正值を生成するためのデータサンプリング時には、画像信号の取得元の矩形半導体基板に対応する黒の電圧レベルをメモリから読み出し、D/A変換器441によりアナログ信号に変換して基準電圧信号とする。なお、黒の電圧レベルは、たとえば、CS0～CS3の切り替えにしたがって切り替わることになる。そして、マルチプレクサ421がD/A変換器441の出力を選択するようにSEL1、SEL2を設定する。なお、常にD/A変換器441の出力を用いる場合、マルチプレクサ421、451が基準電圧Vrefを選択する構成を省略してもよい。なお、上記では黒の電圧レベルを、矩形半導体基板単位で切り替えているが、D/A変換器単位で切り替えるようにしてもよい。この場合、アナログマルチプレクサ131に接続されている複数の矩形半導体基板の黒の電圧レベルの平均が基準電圧としてメモリに保持されることになる。

【0151】

このような動作をすることにより、それぞれの矩形半導体基板106の画素信号の光学的に黒の電圧レベルにより近い電圧でオフセット動作を行えるので、さらにマルチプレクサ421を切替たときに電圧が安定するまでの時間を短くすることが可能となる。そのため、切り替え後ただちにサンプリングを行うことができ、フレームレートを向上することができる。また、切替時の電圧変動を小さくできるので、電圧変動による放射ノイズの発生も低減することができる。

【0152】

加えて、上記第6実施形態では、3個あるいは4個の矩形半導体基板106をアナログマルチプレクサ131で順次選択するようにしていたがこれに限られるものではない。たとえば、5個以上の矩形半導体基板106をアナログマルチプレクサで選択するようにしてもよい。また、1個の矩形半導体基板106に対して、差動増幅器、A/D変換器、オフセット補正回路をそれぞれ1個とした構成としてもよい。このような構成により、高速なフレームレートの動画像においても、1/fノイズを低減することが可能となる。

【0153】

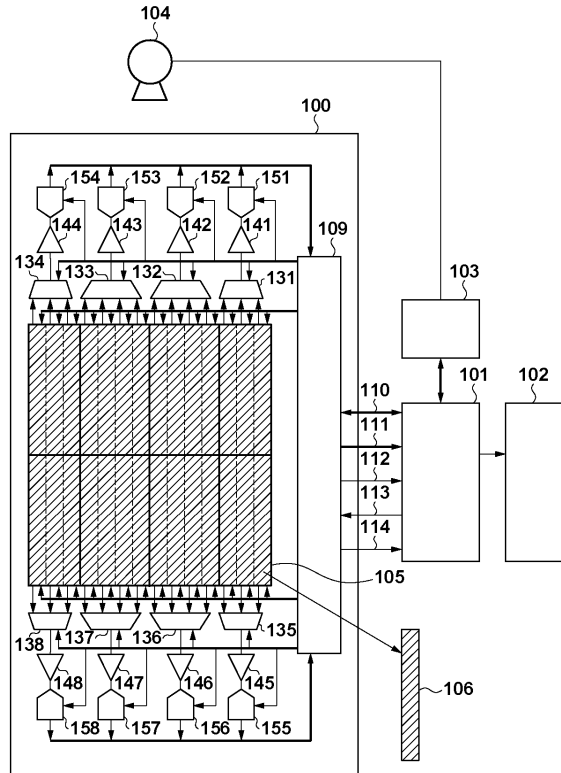
なお、第6実施形態による基準電圧信号(Vref)や、D/A変換器441を用いた基準電圧信号の設定は、第1～第3実施形態や第5実施形態にも適用可能である。

【0154】

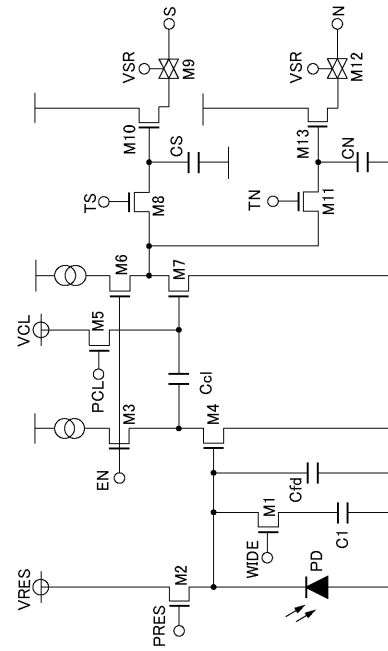
他の実施形態

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア(プログラム)を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ(またはCPUやMPU等)がプログラムを読み出して実行する処理である。

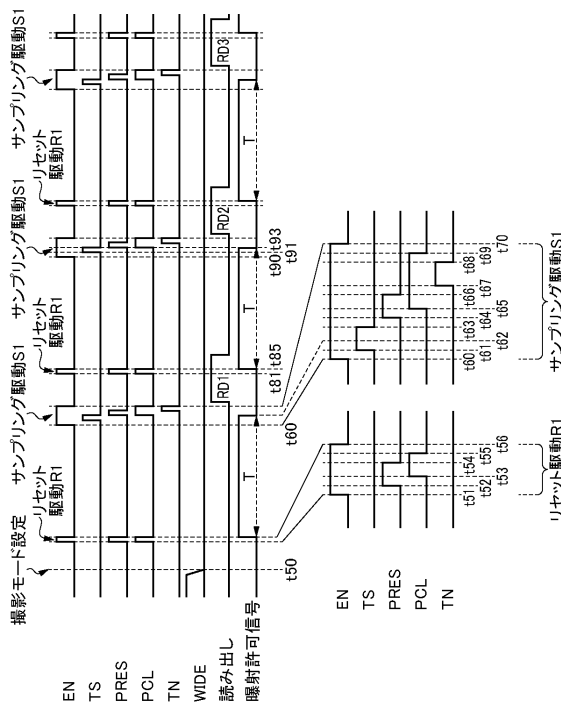
【図 1】



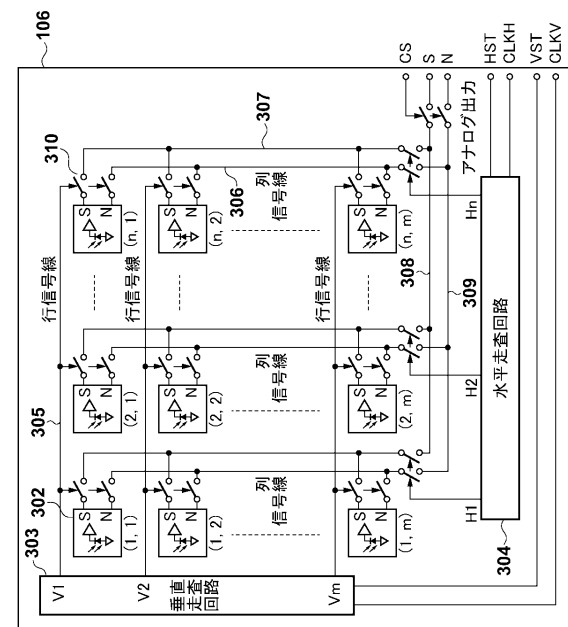
【図 2】



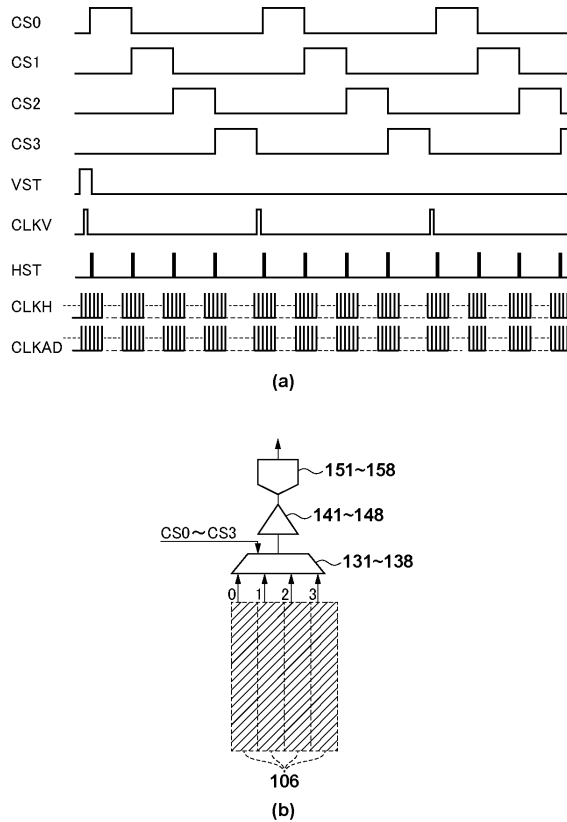
【図 3】



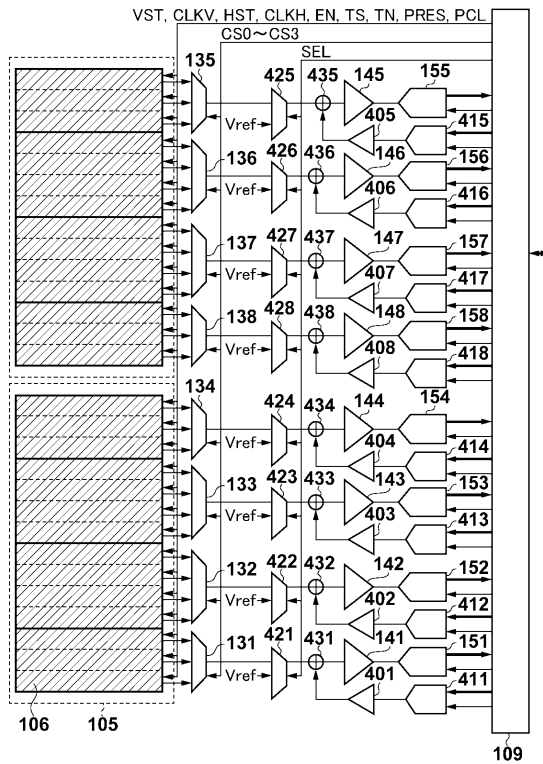
【図 4】



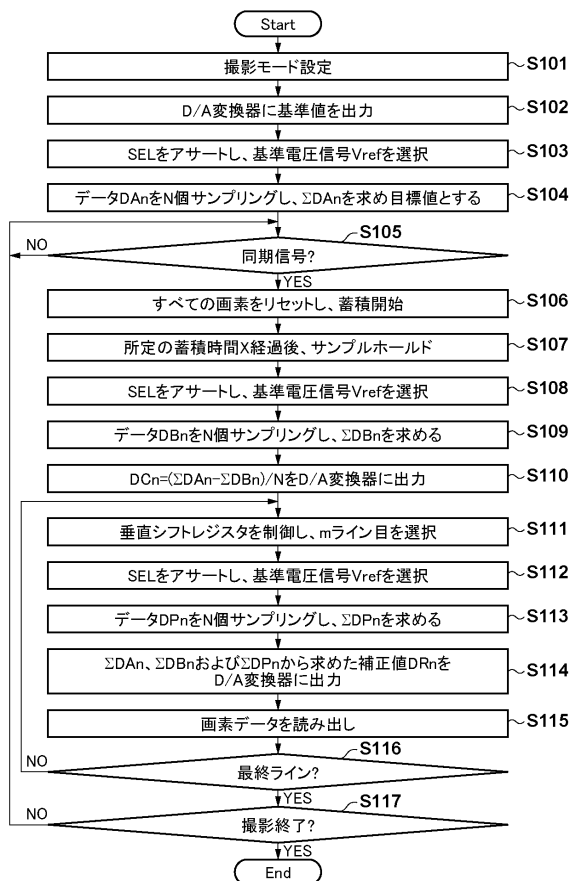
【図 5】



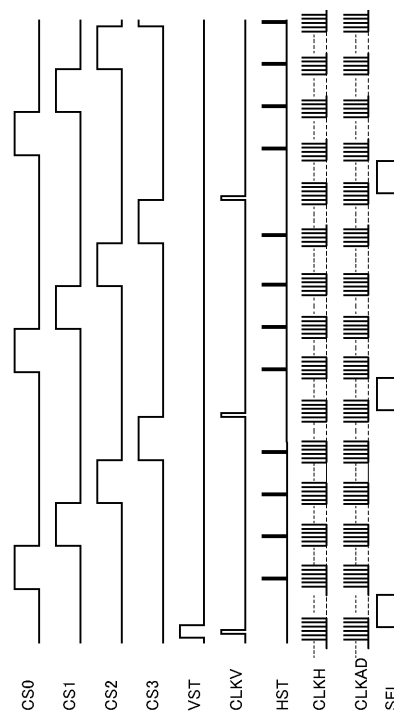
【図 6】



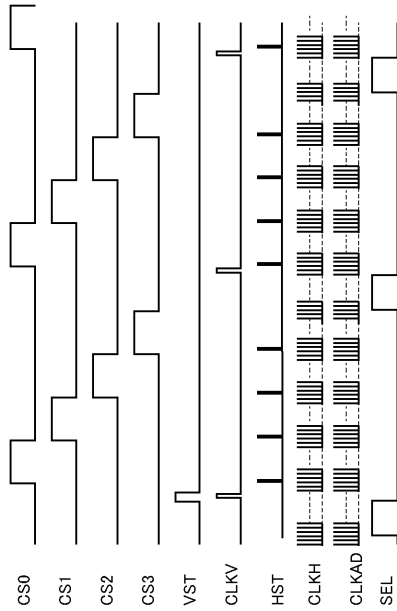
【図 7】



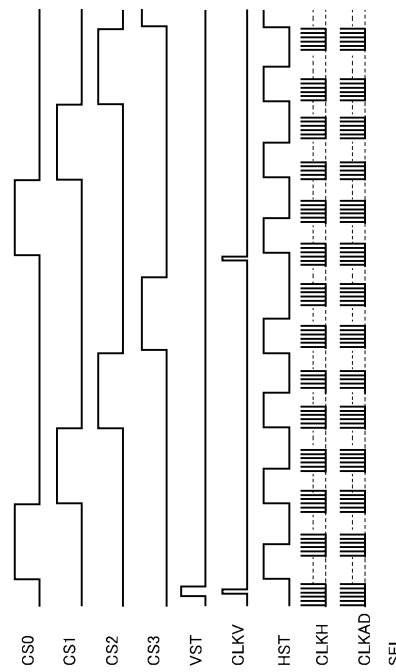
【図 8】



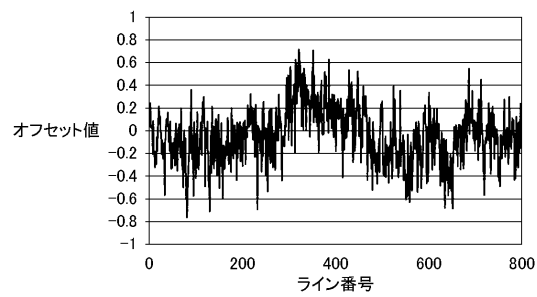
【図 9】



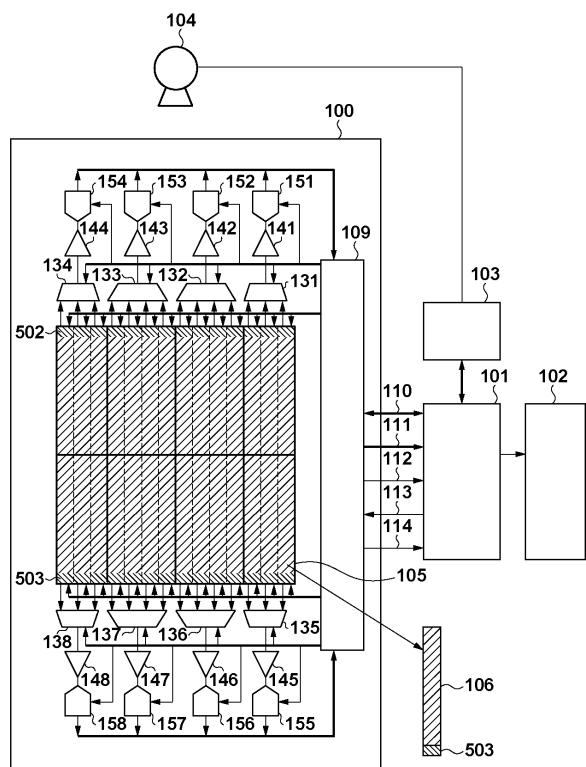
【図 10】



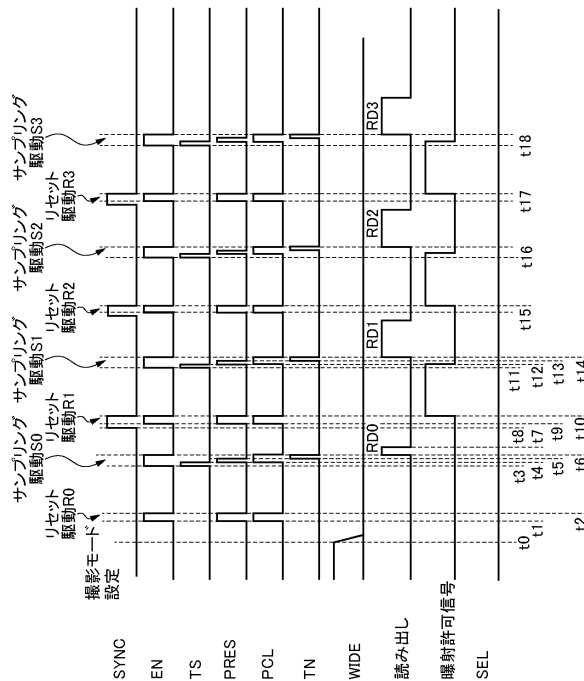
【図 11】



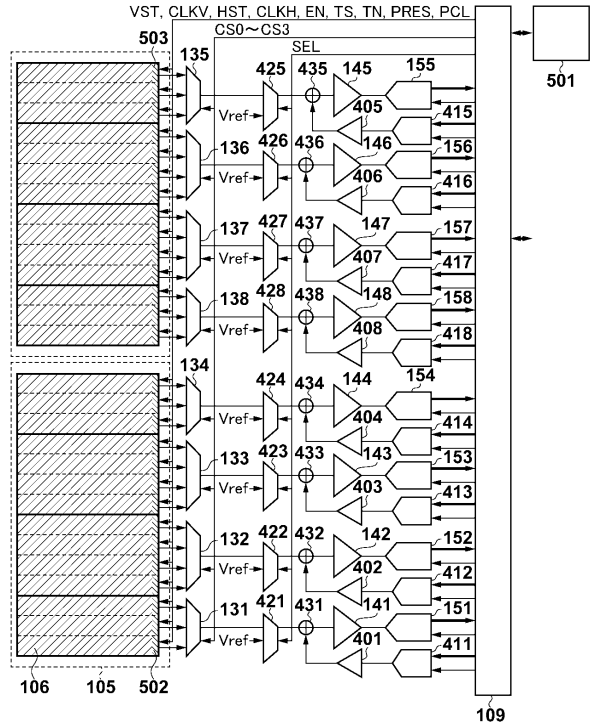
【図 12】



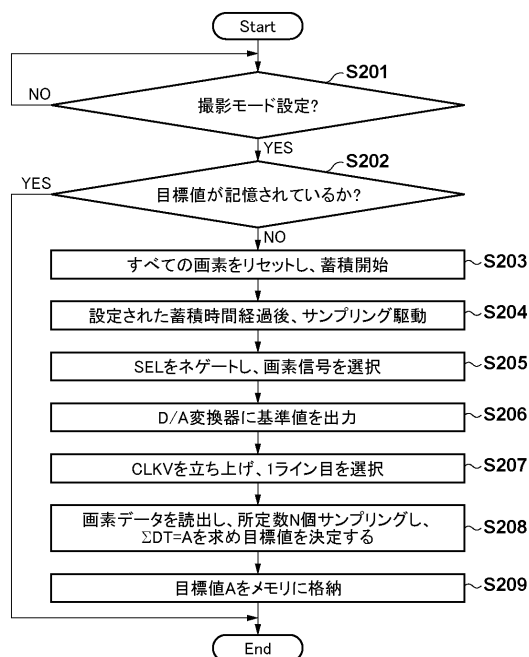
【図 13】



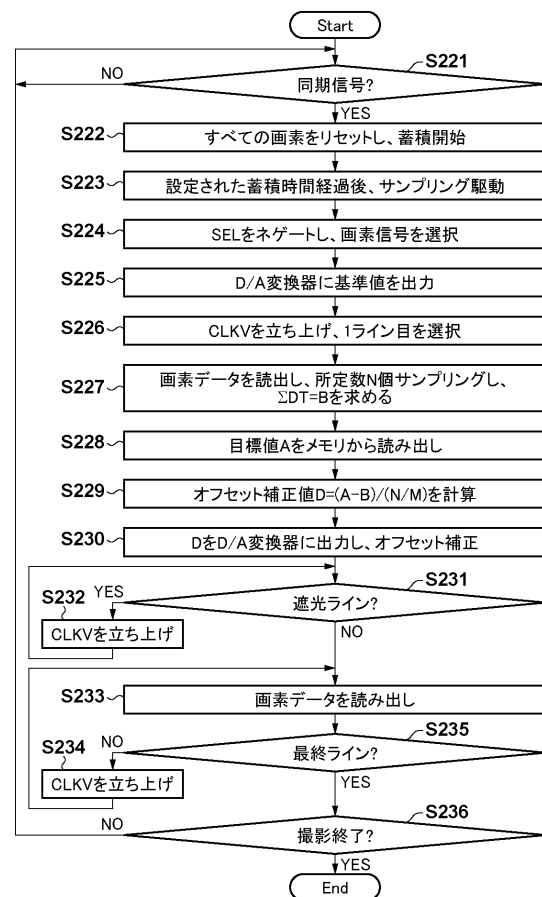
【図 14】



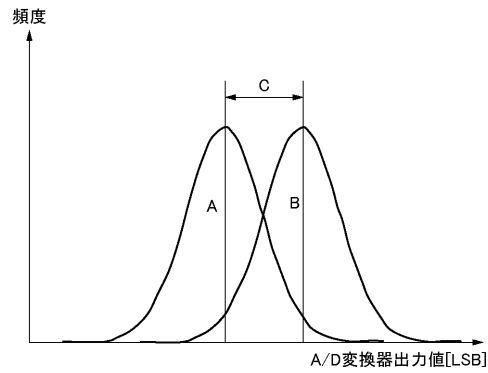
【図 15】



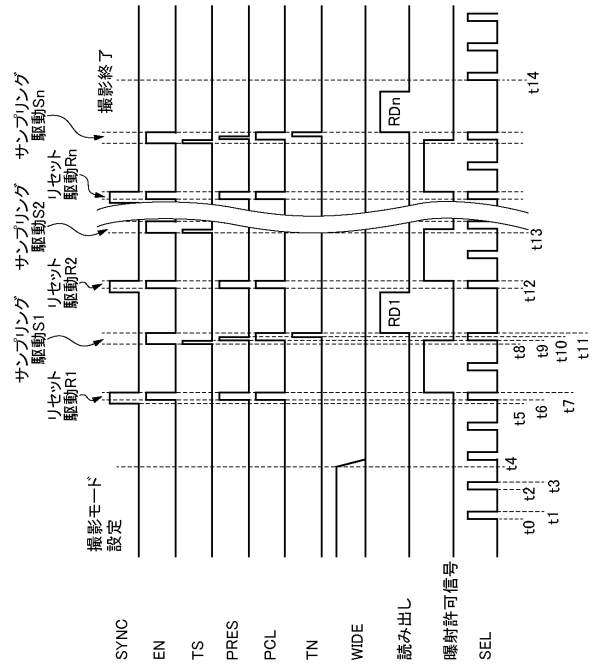
【図 16】



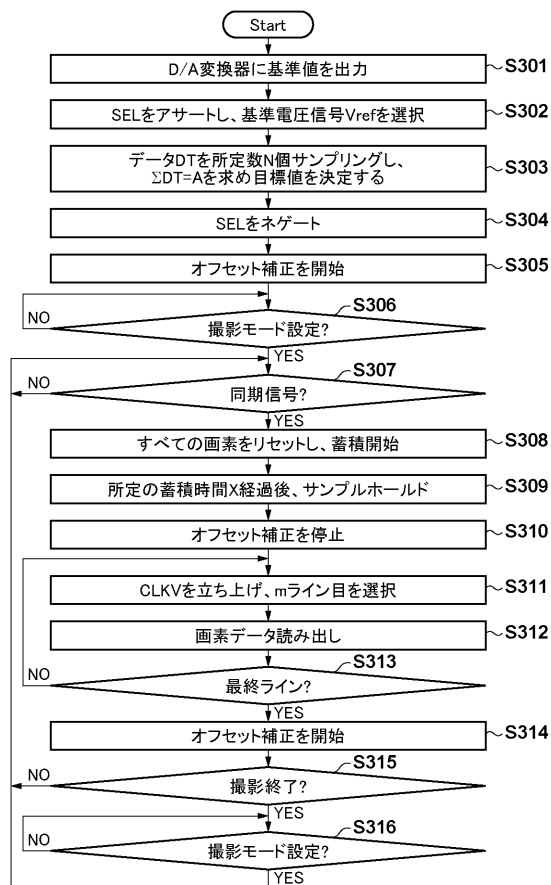
【図 17】



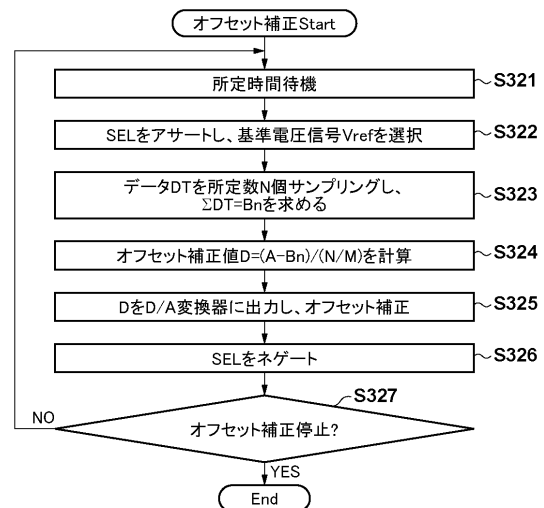
【図 18】



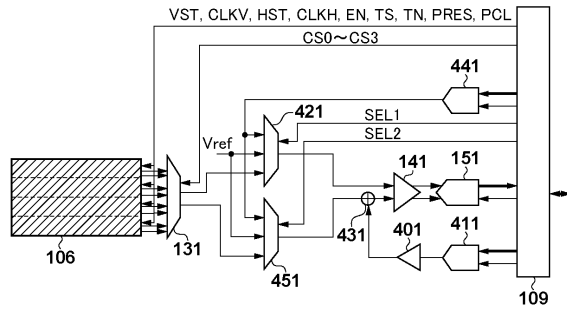
【図 19】



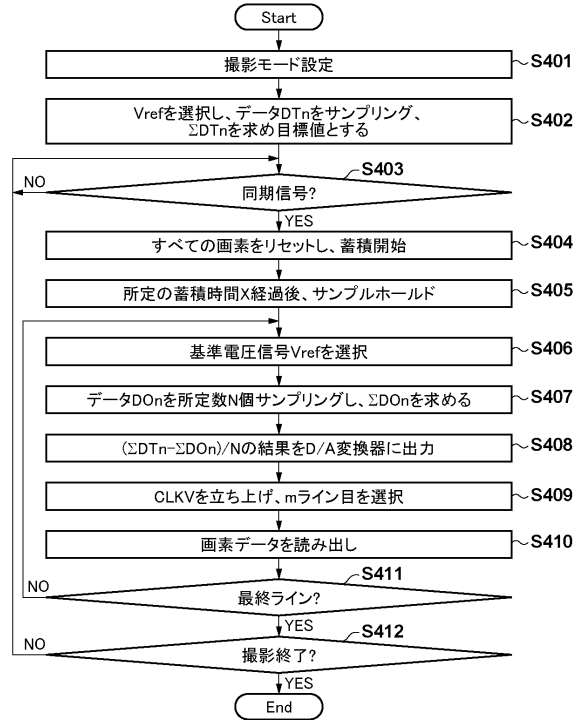
【図 20】



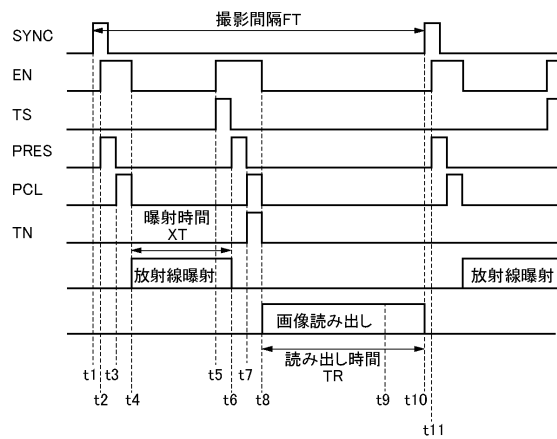
【図 2 1】



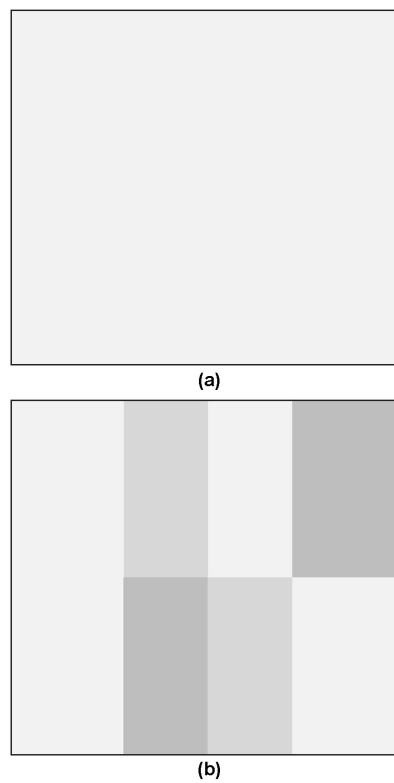
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

- (72)発明者 内藤 雄一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 松本 和正
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山▲崎▼ 貴史
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 堂脇 可菜子
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 国際公開第99/023819 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30-5/378