(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[8]
H01L 29/78 (2006.01)

(45) 공고일자 2006년02월28일
(11) 등록번호 10-0510096
(24) 등록일자 2005년08월17일

(21) 출원번호 10-1998-0042470
(22) 출원일자 1998년10월07일

(65) 공개번호 10-1999-0037016
(43) 공개일자 1999년05월25일

(30) 우선권주장 08/961,642 1997년10월31일 미국(US)
08/962,867 1997년11월03일 미국(US)

(73) 특허권자 실리코닉스 인코퍼레이티드
미국 캘리포니아주(우편번호95054) 산타클라라 라우렐우드 2201

(72) 발명자 그래보우스키 웨인 비.
미국 캘리포니아주 (우편번호 : 94024) 로스 알토즈 미러베일애버뉴 1390

윌리암스 리차드 케이.
미국 캘리포니아주 (우편번호 : 95014) 쿠퍼티노 노리치 애버뉴 10292

다위쉬 모하메드 엔.
미국 캘리포니아주 (우편번호 : 95070) 새러토우거애버딘 코트 12891

(74) 대리인 김명신

심사관 : 임동우

(54) 트렌치-게이트형 파워 MOSFET

요약

본 발명은 트렌치-게이트형 파워 MOSFET에 관한 것으로, 파워 MOSFET은 다수의 MOSFET 셀을 정의하는 트렌치형 게이트를 포함하고, 보호 디퓨전은 MOSFET 셀 각각에서 채널 영역과 병렬 연결되는 다이오드를 형성하도록 대개 비활성 셀내에 생성되며, 미국특허 제5,072,266호에 개시된 깊은 중심 디퓨전을 대신하는 보호 디퓨전은 충격 이온화 및 결과적인 게이트 트렌치 코너 근방에서의 캐리어 발생을 막고, 상기의 캐리어 발생은 게이트 산화층을 손상 또는 단절시킬 수 있다. 또한, 다이오드는 게이트 산화층을 통하는 전기장의 세기를 제한하는 항복(breakdown) 전압을 갖도록 설계될 수 있으며, 깊은 중심 디퓨전의 제거는 셀 밀도내 증가를 허용하고 MOSFET의 온-저항을 개선하며, 상업적으로 수용가능한 다수의 장치에 관한 설명이 제공되는 것을 특징으로 한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 트렌치 코너에서의 전기장을 감소시키기 위해 깊은 중심 디퓨전을 포함하는 종래의 트렌치-게이트형 MOSFET의 단면도,

도 2a는 트렌치가 기판으로 확장되고, 깊은 중심 디퓨전을 갖지 않는 종래의 트렌치-게이트형 MOSFET의 단면도,

도 2b는 도 2a의 MOSFET를 위한 대응하는 회로도,

도 3은 인접한 MOSFET 셀내에 보호 디퓨전을 포함하는 본 발명의 제 1 실시예의 단면도,

도 4a는 트렌치가 기판으로 디퓨전되고, 인접한 MOSFET 셀내 보호 디퓨전을 포함하는 본 발명의 제 2 실시예의 단면도,

도 4b는 도 4a의 MOSFET에서의 대응하는 회로도,

도 5는 종래 MOSFET 셀의 평면도,

도 6은 본 발명에 따른 스퀘어-셀 MOSFET의 평면도,

도 7은 도 6의 스퀘어-셀 MOSFET의 상세한 평면도,

도 8은 본 발명에 따른 스트립 셀 MOSFET의 평면도,

도 9는 본 발명에 따른 제 2 실시예의 또 다른 단면도,

도 10은 본 발명에 따른 제 3 실시예의 단면도,

도 11은 본 발명에 따른 제 4 실시예의 단면도,

도 12는 본 발명에 따른 제 5 실시예의 단면도,

도 13a 및 도 13b는 각각 넓은 보호성셀을 포함하는, 제 6 실시예의 단면도 및 평면도,

도 14a 내지 도 14e는 도 3에 도시된 MOSFET을 제작하는 공정단계를 설명하는 도면,

도 15a 및 도 15b는 각각 미국특허 제5,072,266호에 개시된 바와 같은 깊은 중심 바디 디퓨전을 갖는 MOSFET 및 평바닥 바디 영역을 갖는 MOSFET내 전류 흐름선의 시뮬레이션을 설명하는 도면,

도 16은 균일한 전도가 이뤄지는 에피텍시얼층내 깊이와 전류 디퓨전 각도간의기하학적 관계를 나타내는 MOSFET의 도면,

도 17은 분산된 다이오드 셀을 갖는 MOSFET내 및 깊은 중심 디퓨전을 갖는 MOSFET내 셀 밀도와의 상관관계로서의 특정한 온-저항을 나타내는 그래프,

도 18은 각각 12Mcells/in^2 및 32Mcells/in^{2}의 셀 밀도를 갖는 MOSFETs를 위한 게이트 바이어스와의 상관관계로서의 특정한 온-저항 변화를 나타내는 그래프,

도 19a 및 도 19b는 다이오드 셀을 갖고 애벌란시 항복을 경험하는 MOSFET내 및 정상적인 전도동안 그 선형 영역에서 작동하는 MOSFET내 전류 흐름선의 시뮬레이션을 설명하는 도면,

도 20은 MOSFET내 드레인 전압 및 클램프되지 않은 유도 스위칭 전류를 나타내는 그래프,

도 21은 MOSFET의 항복 특성 및 측정된 Ⅰ-Ⅴ을 나타내는 그래프,

도 22는 게이트 바이어스와의 상관관계로서의 패키지된 MOSFET의 다양한 구성요소의 온-저항을 나타내는 그래프,

도 23a 및 도 23b는 각각 비교적 두꺼운 게이트 산화층 및 비교적 얇은 게이트 산화층을 갖는 평바닥(flat-bottomed) MOSFETs내 애벌란시 항복(avalanche breakdown)의 위치를 나타내는 시뮬레이션을 설명하는 도면,

도 24는 본 발명에 따른 분산된 다이오드 셀을 갖고, 평바닥(flat-bottomed) 바디 영역을 가지며, 깊은 중심 바디 디퓨전을 갖는 MOSFET을 위한 게이트 산화층 두께로 표준화된 상관관계로서의 항복 전압을 나타내는 그래프,

도 25는 MOSFET의 Ⅰ-Ⅴ특성을 나타내는 그래프,

도 26은 12Mcells/in^2 및 32Mcells/in^{2}의 셀 밀도를 갖는 얇은(12-V 게이트 규격) 산화 MOSFETs 및 두꺼운(20-V 게이트 규격) 산화 MOSFETs을 위한 게이트 바이어스와의 상관관계로서의 특정한 온-저항을 나타내는 그래프,

도 27은 MOSFET 셀 및 다이오드 셀을 포함하는 MOSFET 구조의 "리치스루(reachthrough)" 타입의 단면도,

도 28은 "리치스루" 접근을 사용하는 에피택시얼층 두께 20-V 드레인, 12-V 게이트, N-채널 MOSFET과의 상관관계로서의 항복 전압을 나타내는 그래프,

도 29는 "리치스루" 접근을 사용하는 에피택시얼층 두께 30-V 드레인, 20-V 게이트, N-채널 MOSFET과의 상관관계로서의 항복 전압을 나타내는 그래프,

도 30은 MOSFET 셀 및 다이오드 셀을 포함하는 MOSFET 구조의 "스텝 epi(stepped epi)" 타입의 단면도,

도 31은 "스텝 epi" 접근을 사용하는 20-V 드레인, 12-V 게이트, N-채널 장치에서 낮은 epi 하부층의 불순물 농도와의 상관관계로서의 항복 전압을 나타내는 그래프,

도 32는 낮은 epi 하부층의 불순물 농도 및 고유저항과의 상관관계로서의 다이오드 셀(수평축)내 항복 전압의 그래프,

도 33, 도 34, 및 도 35는 스텝 epi 접근을 이용하는 30-V 드레인, 20-V 게이트, N-채널 장치를 위한 다양한 데이터를 나타내는 도면,

도 36은 리치스루 접근을 이용하는 30-V 드레인, 20-V 게이트, P-채널 장치를 위한 다양한 데이터를 나타내는 도면,

도 37 및 도 38은 다이오드 디퓨전에서의 주입횟수 및 여러 주입 용량에서의 epi 농도와의 상관관계로서의 다이오드 및 MOSFET 셀을 위한 항복 전압간의 차 및 다이오드 셀의 항복 전압을 나타내는 도면,

도 39는 6개 다른 주입 용량에서의 P-epi층의 두께와의 상관관계로서의 N-타입 다이오드 디퓨전을 위한 항복 전압을 나타내는 도면, 및

도 40은 P-epi층의 7개 다른 두께에서의 주입 용량과의 상관관계로서의 N-타입 다이오드 디퓨전을 위한 항복 전압을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 1995년 6월 2일 출원된 미국특허출원 제08/459,555호의 부분 연속 출원인, 1997년 10월 31일 출원된 미국특허출원 제[대리인 일련번호 제M-3278-4P호]의 부분 연속 출원이다. 본 출원은 1997년 6월 30일 출원된 미국특허출원 제08/884,826호, 1995년 4월 26일 출원된 미국특허출원 제08/429,414호, 및 1997년 10월 7일 특허된 미국특허 제5,674,766호와 관련된다. 상기한 특허출원 각각은 본 명세서에서 전체적으로 참조로 구체화된다.

본 발명은 전력 전계 효과 트랜지스터와 관련되고, 특히 게이트가 실리콘 표면에 형성된 트렌치에 위치하는 MOSFET (metal-oxide-silicon field-effect transistor)에 관한 것이다.

트렌치-게이트형 MOSFETs은 표면에 형성되고 실리콘으로 확장되는 트렌치에 게이트가 위치하는 MOSFETs의 한 종류이다. 게이트는 MOSFET의 각각의 셀을 정의하는 격자 유사 기하학적 패턴으로 형성되고, 패턴은 일반적으로 폐다각형 (사각형, 육각형 등) 또는 일련의 서로 얽힌 스트라이프 또는 직사각형의 형태를 취한다. 전류는 트렌치의 측면에 인접하여 형성되는 수직 채널로 흐른다. 트렌치는 일반적으로 로 도프된 도전 게이트 재료로 채워지고, 그것은 일반적으로 실리콘 이산화물로 구성된 유전체층에 의해 실리콘으로부터 절연된다.

전력 MOSFET의 두가지 문제점은 그 항복 전압, 즉 오프 상태일 경우 전류를 전도하기 시작하는 전압, 및 그 온-저항, 즉 온 상태일 경우 전류 흐름으로의 그 저항이다. MOSFET의 온-저항은 일반적으로 그 셀 밀도에 따라 직접적으로 변화하기 때문에, 단위 영역당 그 이상의 셀이 있는 경우, 통과하는 전류에서 더 큰 전체 "게이트 폭"(약 각각의 셀의 주변길이) 또한 있게 된다. MOSFET의 항복 전압은 먼저 도핑 농도 및 각각의 MOSFET 셀내 소스, 바디, 및 드레인 영역의 위치에 종속된다.

MOSFET은 일반적으로 농도 짙게 도프된 실리콘 기판상에 형성되는 농도 낮게 도프된 실리콘 에피택시얼층으로 형성된다. 정상적으로 게이트 트렌치는 에피택시얼층으로 확장되고, 대개 코너로 경계지어진 평바닥을 갖는 직사각형이다. 이러한 구조는 MOSFET이 오프되어 있는 경우 전기장이 게이트 트렌치의 코너 가까이에서 최대가 된다는 문제점을 발생시킨다. 이것은 결과적인 캐리어 발생과 함께, 게이트 산화면 근방에서의 충격 이온화 및 애벌란시 항복을 유도할 수 있다. 만일 캐리어가 실리콘과 게이트 산화물간의 인터페이스의 평균 자유 경로내에서 생성되는 경우, 그들은 통과하기에 충분한 에너지를 가질 수 있고, 게이트 산화층으로 주입될 수 있다. 실리콘/실리콘 이산화물 에너지 배리어를 극복할 수 있는 캐리어는 종종 "핫 캐리어(hot carrier)"로 언급된다. 핫 캐리어 주입은 게이트 산화층을 결국 손상시킬 수 있고, 임계 전압, 상호 콘덕턴스, 또는 온-저항의 변경을 야기시킬 수 있으며, 따라서 MOSFET을 손상시키거나 파괴한다.

미국특허 제5,072,266호에서는 MOSFET 셀에서, 트렌치의 바닥 아래로 확장하는 깊은 중심 바디 디퓨전의 형성에 의해 게이트 근방의 전압 항복을 억제하는 기법에 대해 개시하고 있다. 이러한 깊은 중심 디퓨전은 핫 캐리어가 게이트 산화층에 도달하는 것을 막는 위치에서, 게이트로부터 멀리 벌크 실리콘내에서 항복이 발생하는 방법으로 전기장을 형성한다. 미국특허 제5,072,266호에 따른 MOSFET의 단면도가 도 1에 도시되어 있고, 트렌치된 게이트(11), N+ 소스 영역(12), N+ 기판(드레인)(13), N-에피택시얼층(14) 및 깊은 중심 P+ 디퓨전(15)을 포함하는 MOSFET 셀(10)이 설명하고 있다. P+ 디퓨전(15)의 최저점은 게이트(11)의 바닥 아래에 있다는 것을 주의해야 한다.

깊은 P+ 디퓨전(15)의 도핑은 참조번호 "17"로 점선으로 표시된 채널 영역에서의 P-바디(16)의 도핑 이상이다. 결과적으로, 게이트 트렌치들간의 거리(Y_S)는 최소값 또는 그 이상으로 유지되어야 한다. 그렇지 않다면, 깊은 P+ 불순물은 채널(17)로 퍼지고, 장치의 임계 전압(V_{tn})을 상승시킬 것이다. 게이트의 두께에 따른 Y_S 값은셀 밀도를 정의하고, MOSFET의 온-저항을 결정하는 것을 돕는다.

또한, 깊은 P+ 디퓨전은 N-에피택시얼 영역(14)내 전류의 디퓨전을 제한한다. 도 15a 및 도 15b는 각각 평바닥 P-바디 영역을 갖는 종래 MOSFET 및 깊은 P+ 디퓨전을 갖는 MOSFET에서의 전류 흐름선의 시뮬레이션을 나타낸다. 도 15b의 전류선은 약 45 내지 47°(95% 흐름선에서 측정됨)의 디퓨전 각도(에피택시얼 전류 균일성을 설명하기 위해 사용된 분석 접근)에 제한되어, 도 15a에 묘사된 장치에서보다 더 높은 고유 온-저항 및 N-에피택시얼 영역의 차선의 이용이라는 결과를 낳는다. 73 내지 78°범위의, 종래 장치의 넓은 전류 디퓨전 각도는 수학식 $x=(Y_{CELL}-Y_G)2\tan\theta$ 에서 계산된 바와 같이 두드러지게 얕은 깊이에서 균일한 전도를 이루고, θ는 전류 디퓨전 각도, Y_{CELL}은 MOSFET 셀의 전체 폭, 그리고 Y_G는 게이트 트렌치간의 거리이다. 이러한 관계가 도 16에 도시되어 있다. 깊은 P+ 영역의 존재가 0.5미크론 내지 1.6 미크론의 N-에피택시얼 영역에서 균일한 전도가 이뤄지는 깊이를 증가시킨다는 것이 발견되었다.

매우 낮은 전압, 낮은 온-저항 전력 MOSFET을 제조하기 위해, 장치의 차원이 일반적으로 하락된다. 특히, 셀 밀도가 증가되고, 에피택시얼층이 더 얇아지는데, 게이트 트렌치가 농도 짙게 도프된 기판으로 확장될 수 있는 지점까지 얇아진다. 그러한 MOSFET이 도 2a의 MOSFET으로 설명되어 있다.

이것은 전체적으로 새로운 세트의 디자인 기준을 생성한다. 도 2a를 참조하면, 게이트 트렌치(21)의 코너(21C)가 N+ 기판(13)에 의해 둘러싸여 있기 때문에, 이러한 위치에서의 전기장은 게이트 산화층내내 전체적으로 떨어진다. 실리콘내 핫 캐리어의 형성이 더 낮을 수 있는 반면, 게이트 산화층상의 높은 전기장은 장치 붕괴 또는 손상을 유도할 수 있다. 한 상태에서, 게이트가 소스 및 바디와 본질적으로 동일한 전위에서 바이어스되는 경우(즉, 장치가 오프되는 경우), 트렌치의 바닥에서 게이트 산화층이 장치에 걸쳐 전체 전압을 지원해야 하는 것이 심각한 문제이다. 도 1의 실시예와 비교하면, 이러한 전압차의 일부를 흡수하기 위한 에피택시얼층이 없다.

MOSFET(20)에서의 대응하는 회로가 도 2b에 도시되어 있다. 다이오드(D_{DB})는 N-에피택시얼층(14)과 P-바디 영역(22) 사이의 PN 접합을 나타내고, 커패시터(C_{GD})는 게이트 산화층(21A)에 걸친 커패시터를 나타낸다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 트렌치-게이트형 MOSFET는 위에 놓인 에피택시얼층과 결합하거나 또는 기판 하나만 포함하는 반도체칩으로 형성된다. MOSFET의 게이트는 칩의 표면으로부터 아래로 확장된 트렌치로 형성된다. MOSFET은 제 1 도전형의 소스 영역, 제 2 도전형의 바디 영역, 및 제 1 도전형의 드레인 영역을 포함하고, 이들은 트렌치의 측벽을 따라 수직으로 배치된다. 게이트 트렌치는 에피택시얼층으로 확장되거나, 또는 에피택시얼층을 통해 기판으로 확장될 수 있다.

MOSFET은 게이트 트렌치에 의해 정의된 다수의 셀로서 형성된다. 셀은 임의의 형태중의 하나가 될 수 있다. 예를 들어, 셀은 사각형 또는 육각형, 또는 일련의 평행한 스트라이프 또는 직사각형의 형태가 될 수 있다.

본 발명에 따르면, 칩내에 제 2 도전형의 보호 디퓨전(protection diffusion)이 생성되고, 상기 보호 디퓨전은 에피택시얼층 또는 기판내 제 1 도전형 재료와 함께 PN 접합을 형성한다. 이러한 PN 접합은 다이오드로서 기능한다. 금속층은 다이오드가 MOSFET 셀의 채널과 병렬로 연결되도록 MOSFET 셀의 소스 영역과 보호 디퓨전(즉, 다이오드의 한 단자)을 접합시킨다.

적절한 실시예에서, 보호 디퓨전은 MOSFET에 걸쳐 선택된 패턴으로 셀의 일부로 형성된다.

제 2 도전형의 보호 디퓨전은 게이트 산화물을 통한, 그리고 트렌치 코너에서의 전기장의 강도를 감소시키기 위해 작동하고, 특히 트렌치가 에피택시얼층으로 확장되는 실시예에서 트렌치의 부근에서의 핫 캐리어의 형성을 제한한다. 애벌란시 항복은 애벌란시 영역이 공간적으로 게이트 트렌치로부터 분리되는한 임의의 수의 메카니즘(리치스루, 곡률 반경 등)에 의해 유도될 수 있다. 다이오드는 또한 전압 클램프로서 작동할 수 있어, 특히 트렌치가 기판으로 확장되고 게이트 산화물이 MOSFET에 걸쳐 전체 전압 드롭을 지원해야 하는 실시예에서 게이트 산화층에 걸친 전압을 제한한다.

적절한 실시예에서, MOSFET에 걸쳐 반복적인 패턴으로 보호 디퓨전("다이오드 셀")을 포함하는 하나의 셀이 선택된 수의 활성 MOSFET 셀("활성 셀")을 위해 제공된다. 활성 셀당 다이오드 셀의 수는 MOSFET의 디자인 기준에 의해 결정된다. 일반적으로, 예를 들어, 항복을 경험하기를 요구되는 MOSFETs은 더 자주 다이오드 셀의 더 많은 부분을 요구할 것이다.

또한, 다이오드 셀의 존재는 MOSFET이 전진 전도하는 그 바디 다이오드와 함께 작동하는 경우 많은 부분의 드레인 대 바디 다이오드 전류를 전달하려는 경향이 있다. (N-채널 장치에서의 사분면Ⅲ 작동으로 불리는) 그러한 작동은 유도자 또는 모터가 푸시-풀 또는 브리지 구성된 쌍의 MOSFET에 의해 구동되는 경우 공통적으로 발생한다. 활성 셀내 높은 다이오드 전류는 다이오드를 오프시키는(다이오드가 역방향 복구 강요됨) 소수의 충전 기억장치에 이를 수 있고, 일단 높은 역방향 전압이 다시 장치에 걸쳐 적용되는 경우 기생 소스-바디-드레인 활성 셀 NPN 양극 트랜지스터의 스냅백에 이를 수 있으므로 바람직하지 않다.

본 발명의 제 1 실시예가 도 3에 설명되어 있다. 트렌치-게이트형 MOSFET(30)은 N-에피택시얼층(14)에 형성되고, 상기 층은 N+ 기판(13)의 상측면상에서 성장된다. 트렌치(32)에 형성된 게이트(31)는 산화층(31A)에 의해 반도체 재료로부터 분리된다. MOSFET(30)의 셀(35)은 또한 P-바디 영역(33), 얕은 P+ 접촉 영역(33A), 및 N+ 소스 영역(34)을 포함한다. 금속층(36)은 P-바디 영역(33) 및 N+ 소스 영역(34)과 접촉하고, 상기 영역들 사이에 단락을 형성한다.

N+ 기판(13)은 MOSFET(30)의 드레인의 역할을 하고, 바닥으로부터 접촉될 수 있다. 대신, N+ 기판 대신 가려진 N+ 층이 드레인과 같이 사용될 수 있고, 드레인은 예를 들어 N+ 싱커 영역 및 상측면 접촉에 의해 구조체의 상측면으로부터 접촉될 수 있다.

이웃하는 셀(37)에서, 보호성 깊은 P+ 디퓨전(a protective deep P+ diffusion)(38)이 형성된다. 디퓨전(38)은 N-에피택시얼층(14)과 함께 PN 접합(39)을 형성한다. 금속층(36)은 보호 디퓨전(38)과 접촉하고, 따라서 PN 접합(39)은 셀(35)의 채널과 병렬로 연결된 다이오드를 나타낸다.

보호 디퓨전(38)은 전기장의 강도 및 트렌치(32) 코너 근방에서의 결과적인 캐리어 형성을 제한하고, 따라서 MOSFET 셀(35)내 깊은 중심 디퓨전(a deep central diffusion)의 필요성을 제거한다. 깊은 중심 P+ 디퓨전 없이, MOSFET 셀(35)의 차원은 대체로 감소될 수 있고, MOSFET(30)의 셀 밀도는 눈에 띄게 증가될 수 있다. 예를 들어, N+ 소스 영역(34)의 각각의 측면 폭은 약 1.0㎛까지 감소될 수 있고, P-바디(33)에서 P+ 접촉 영역과 금속층(36)간의 접촉폭은 약 1.0㎛까지 감소될 수 있으며, 따라서 트렌치들(31)간의 전체 폭은 3.5㎛의 순으로 있을 수 있지만, 실제로 트렌치들(31)간의 전체 폭은 5.0㎛에서 설정된다. 이것은 깊은 중심 디퓨전을 포함하는 MOSFET 셀에서의 약 8.0㎛의 최소폭과 비교된다(도 1 참조).

도 4a는 도 2a에 도시된 셀과 유사한 MOSFET 셀(41)을 포함하는 MOSFET(40)을 설명하고 있다. 즉, 트렌치(43)는 N-에피택시얼층(14)을 통해, 그리고 N+ 기판(13)으로 확장되고, 셀(41)은 중심 깊은 P+ 디퓨전을 포함하지 않는다. 인접한 셀(42)에서, 보호성 P+ 디퓨전(44)은 N+ 기판(13)의 상측면에 이르는 디퓨전(44)의 낮은 접합과 함께 형성된다.

도 4b는 MOSFET(40)에서 대응하는 회로를 설명하고 있다. 트렌치(43)의 코너가 농도 짙게 도핑되어 강력한 전기장을 지원할 수 없는 N+ 기판(13)에 위치하고 있기 때문에, 트렌치 코너에서의 전기장 문제가 크게 감소된다. 대신, 게이트(45)와 N+ 기판(13) 사이, 즉 게이트 산화층(45A)에 걸친 전기장의 강도가 문제 요인이 된다. 이 위치가 도 4b에서 커패시터(C_{GD})로 표시되어 있다. P-바디 영역(22)과 N-에피택시얼층(14)간의 PN 접합은 다이오드(D_{DB})로 표시되고, P+ 디퓨전(44)과 N+ 기판(13)간의 PN 접합은 다이오드($D_{P+/N+}$)로 표시된다. 도시된 바와 같이, 다이오드(D_{DB})와 다이오드($D_{P+/N+}$)는 MOSFET 셀(41)의 채널과 병렬로 연결된다.

도 5는 도 1에 도시된 종래 MOSFET(10)의 평면도를 나타내고 있다. 보호성 깊은 P+ 영역(15)은 N+ 소스 영역(12)과 게이트(11)에 의해 둘러싸인 각각의 스퀘어 셀의 중심에 도시되어 있다. 도 5에 4개 완전한 셀이 도시되어 있다.

도 6은 도 3에 도시된 MOSFET(30)의 평면도를 나타내고 있다. 도 4a에 도시된 MOSFET(40)의 평면도와 유사하게 보인다. 각각의 셀 중심에서의 보호성 P+ 영역이 제거되었기 때문에, 셀의 차원이 감소되었다. P+ 디퓨전(때때로 "다이오드 셀"로 언급됨)을 포함하는 셀 또한 도시되어 있다. 도 6에서, 8개 활성 MOSFET 셀 당 하나의 다이오드 셀이 있다(전체 9개 셀).

도 7은 도 6에 도시된 3개 셀(두개 활성 MOSFET 셀 및 하나의 다이오드 셀)의 상세한 평면도를 나타낸다. 도 7에서, Y_S는 트렌치된 게이트들간의 거리를 나타내고 Y_G는 트렌치의 단면폭(게이트 폭(W)과 혼동해선 안됨)을 나타낸다. n 전체 셀당 하나의 다이오드 셀이 있는 것으로 가정하면, 다음식에 의해 n 셀의 전체 영역(A)이 주어진다:

$$A=(Y_G+Y_S)^2+(n-1)(Y_G+Y_S)^2=n(Y_G+Y_S)^2$$

이들 셀중 n-1이 활성 MOSFET 셀이기 때문에, n 셀내 전체 게이트 폭(W)은 다음과 같다:

$$W=4Y_S(n-1)$$

따라서, 영역 대 폭 비율(A/W)(게이트 폭(W)이 얼마나 효과적으로 영역(A)으로 채워질 수 있는가를 나타내는 가치의 수)은 다음과 같다:

$$\frac{A}{W}=(Y_G+Y_S)^2$$

따라서, 다이오드 셀을 포함하는 MOSFET에서의 A/W 비율은 다이오드 셀을 가지고 있지 않은 종래 MOSFET와 비교할 때, 인수 n/(n-1)만큼 증가된다. 이러한 "페널티" 인수는 다이오드 셀이 전류를 전혀 전달하지 않는다는 사실로부터 발생하고, n이 증가함에 따라 1에 접근한다. 페널티는 장치의 셀 밀도를 증가시키므로써 얻어지는 증가된 전체 게이트 폭(및 전류 전달 용량)에 의해 평형을 유지한다. 일반적으로 n은 MOSFET이 항복되도록 요구되는 주파수에 의해 결정된다. 좀더 빈번히 항복이 요구되는 장치는 일반적으로 더 낮은 n을 요구할 것이다, 즉 전체 셀의 수와 비교하여 더 많은 수의 다이오드 셀이 있어야 한다. 다른 셀마다 비활성(즉, 다이오드) 셀이고, N=2이며, n/(n-1)=2인 최후의 경우, 이러한 구조의 효율 이득은 일부 제한된다. 반면, 만일 21개 셀마다 그중 하나만이 다이오드인 경우, 예를 들어 n=21이고 n/(n-1)=21/20인 경우, 사실상 다이오드에서 어떠한 페널티도 없음을 나타낸다.

상기에서 지적한 바와 같이, 미국특허 제5,072,266호에 개시된 바와 같은 깊은 P+ 영역의 존재는 에피택시얼 영역내 전류의 디퓨전을 제한하고, 따라서 온-저항을 증가시킨다. 도 17은 깊은 P+ 디퓨전(곡선(170))을 갖는 MOSFET, 및 분산된 다이오드 셀(곡선(172))을 갖는 MOSFET내 셀 밀도와의 상관관계로서의 고유 온-저항($R_{DS}A$)을 나타내는 그래프를 설명한다. 지적한 바와 같이, 깊은 P+ 디퓨전을 포함하는 MOSFET의 고유 온-저항은 그것이 P+ 바디 불순물의 채널로의 주입으로 인한 임계 전압에서 증가 및 전류 밀집의 결과로서 증가되기 시작한 후에 최소값에 도달한다. 분산된 다이오드 셀을 갖는 MOSFET에서, 개선된 전류 디퓨전 때문에 온-저항에서 눈에 띄는 개선이 있게 되고, 셀 밀도가 증가함에 따라 추가적으로 개선이 실현된다. 도 17의 그래프에서, 활성 평바닥 셀의 온-저항은 단순히 증가된 전류 디퓨전 각도(도 17에서 12Mcells/in^2)의 결과로서, 35mΩ-㎠까지 31% 개선한다. 28%의 추가 향상은 먼저 낮은 A/W 인수로부터 개선된 채널 저항의 결과로서 32Mcells/in^2까지 셀 밀도를 증가시키므로써 이뤄진다. 순량 효과, 이들 개선의 증가된 생산물은 그 12Mcells/in^2의 앞선 것과 비교된 30-V N-채널 트렌치된 게이트 MOSFET에서의 다이 저항에서 대충 51% 축소이다. 도 18은 두 개 장치에서 게이트 바이어스와의 상관관계로서의 고유 $R_{DS}A$의 변화를 나타낸다. 20-V 게이트율을 갖는 장치에서, 임계 전압은 10-V 및 4.5-V 게이트 바이어스에서의 추측된 연산에서 일관된 2.9V에서 유지되었다.

N 중의 1 클램프된 MOSFET의 애벌란시 용량은 UIS(unclamped inductive switching) 시뮬레이션을 이용하여 분석되었다. 상기 장치는 매 16 활성 MOSFET 셀마다 하나의 다이오드 셀을 갖는다. 도 19a는 스위칭전에 정상적인 전도동안 그 선형 영역에서 작동하는 장치의 전류 흐름선을 설명하고, 도 19b는 상기 장치가 유도적으로 스위치된 후의 전류 흐름선을 설명하고 있다. 도시된 바와 같이, 애벌란시 항복이 다이오드 셀에서 발생하고, 다이오드 셀은 "오프" 활성 MOSFET 셀에서의 높은 게이트 산화 필드, 프리애벌란시, 또는 상당한 충격 이온화없이 모든 전류를 전도한다.

실시예 1

UIS 테스터(AOT ILT-200 Inductive Load Tester)를 이용한 10-A 작동에서 추측된 SO-8 크기의 MOSFET을 이용하여 수행되었다. 도 20은 측정된 UIS 전류가 MOSFET의 추측된 작동 전류를 7배 초과하여, 950A/㎠ 이상의 전류 밀도에 이르는 것을 나타낸다. 36V(도 21 참조) 내지 46V의 근소한 항복으로부터 UIS 동안 애벌란시 항복 전압내 증가가 관찰되었고, MOSFET으로의 손상은 없었다.

실시예 2

32Mcell/in^2 기술을 이용하여, D^2PAK형 패키지를 위한 크기로 만들어진 0.574㎝×0.427㎝ MOSFET이 디자인되고, 제조되며, 조립된다. 1,075,620 활성 MOSFET 셀과 함께, 이러한 장치는 제조 기술의 ULSI 분류를 이루기 위해 제 1의 공지된 파워 MOSFET이 된다(>1백만 트랜지스터). 도 21에 도시된 바와 같이, 측정된 다이는 4.0V의 게이트 바이어스에서 140A를 초과하는 포화 전류 및 300A(테스터 한도) 이상에서 선형으로 유지되는 5V에서의 드레인 전류를 나타낸다. 게이트 충전은 195nC Vgs=10V에서 측정되고, 도 22에 도시된 바와 같이, 대응하는 패키지된 전체 온-저항은 3.1mΩ이 된다. 측정된 1.1mΩ의 패키지 저항을 뺀 후, 결과적인 2.0mΩ이하의 다이 저항이 보고된 바 있는 최저값이다. 그러나, 더 작은 다이상의 온-저항 시뮬레이션 및 측정은 MOSFET의 상위 금속내 디퓨전 저항에서 0.5mΩ 정도의 추가 저항을 고려할 수

있는 것으로 제안한다. 따라서, 패키지하는 것은 일반적으로 패키지된 생산물의 전체 저항의 33%를 고려한다. 단지 0.25mΩ/㎠의 고유 저항으로, 32Mcell/㎠ MOSFET은 제조된 바 있는 임의의 30-V 전력 MOSFET의 가장 낮은 고유 온-저항을 갖고, 다른 유사한 장치의 영역 스케일 제한, 신뢰성, 및 UIS에 종속되지 않는다.

실시예 3

낮은 게이트 바이어스에서의 작동을 위한 N중의 1 디자인을 스케일하는데 있어 특수한 문제에 직면하게 된다. 게이트 산화물이 두꺼운 경우, (본 명세서에서 일반화된 산화물 두께 η=100% 또는 1을 갖는 것으로 정의된) 20V 또는 그 이상의 추측된 게이트 산화물 항복 전압을 갖는 MOSFETs에 한해서, PN 접합 전기장에서의 트렌치 게이트의 영향은 최소가 된다. 도 23a에 도시된 바와 같이, 상기에서 참조된 Bulucea 특허에서 개시된 바와 같은 깊은 P+ 디퓨전 또는 본 명세서에서 개시된 바와 같은 분산된 다이오드로부터의 전압 클램핑이 없더라도, P-채널 장치의 MEDICI 시뮬레이션은 PN 접합에서 발생하는 애벌란시 항복을 나타낸다. 그러나, 낮은 전압 작동에서 MOSFET을 최적화하기 위해, 게이트 산화층은 (채널 펀치스루없이) 낮은 임계 전압을 이루고 높은 채널 트랜스콘덕턴스를 이루기 위해 다운스케일되어야 한다(즉, 얇아져야 한다). 얇은 게이트 산화물에서, 예를 들어 도 23b에 도시된 바와 같이 η=35%인 경우, FPI(field plate induced) 애벌란시 항복은 PN 접합과 부합하지 않는 게이트 전극과 인접한 위치에서 발생하여, 장치의 항복 전압을 낮게 하고 핫 캐리어 발생의 위험에 게이트 산화물이 종속되게 한다. 상기에서 참조된 Bulucea 특허에 따른 깊은 디퓨전을 포함하는 MOSFET에서, 다이오드 클램프된 셀은 깊은 디퓨전과 관련된 방출 영역에 의한 게이트의 정전기적 차폐 결과로서 FPI(도 24 참조)에 덜 민감해진다. 평바닥 바디 영역을 갖는 MOSFET 셀을 보호성하기 위해, "N중의 1" 다이오드의 항복 전압은 대체로 FPI 항복이 발생하는(도 24) 전압 이하로 설정된다. FPI 문제를 극복하므로써, 에피택시얼 영역의 사용을 개선하기 위해 더 높은 셀 밀도에 있어서의 모든 이점을 이용하는 것이 가능하고, (낮은 게이트 바이어스에서 전체 온-저항을 좌우하는) 채널 저항을 감소시킨다.

P-채널 MOSFET은 본 명세서에서 설명된 "N중의 1" 이론에 따라 제조되었다. MOSFET의 드레인은 20V에서의 작동을 위해 공지된 기법에 따라 디자인되었다. 셀 밀도는 32Mcells/in^2로 설정되었고, 게이트 산화물은 η=60%까지 얇아졌으며, 임계 전압은 1.3V로 설정되었다. 2.5V만의 게이트 바이어스와 함께 50A 이상 전도하는 10-A로 추측된 SO-8 크기로 된 패키지를 위한 다이가 사용되었다. 도 25는 장치의 Ⅰ-Ⅴ 특성을 나타낸다. 도 26에 도시된 바와 같이, 측정된 고유 온-저항은 2.5V의 게이트 바이어스에서 850μΩ-㎠이었고, 2.7V의 게이트 바이어스에서 750μΩ-㎠이었다. 이해를 위해, 이들은 낮은 게이트 바이어스(<3V) 작동에서 P-채널 MOSFET에 보고된적 있는 가장 낮은 온-저항이다. 4.5V의 게이트 바이어스에서 측정된 온-저항은 526μΩ-㎠뿐이었다. SO-8 장치의 온-저항은 11mΩ이고, 이해를 돕자면 이것은 4.5V의 게이트 바이어스에서 P-채널 장치에 보고된적 있는 가장 낮은 온-저항이다.

결론적으로, 수직 트렌치 FET내 비활성 깊은 P+ 셀의 규칙적인 분산 함유물은트렌치 게이트의 부근 또는 코너에서 캐리어 발생율 및 전기장을 제한하는 전압 클램핑 특징을 제공한다. 전기적으로 지나친 압력이 존재할 때의 장치의 신뢰성 및 존속성은 따라서 온-저항 또는 셀 밀도를 제한하지 않고 개선된다. 깊은 P+ 영역은 트렌치 가장자리까지 확장될 필요는 없지만, 요구되는 경우 그 셀 기하학보다 더 작게 만들어질 수 있다. PIN 다이오드가 깊은 P+ 영역과 N+ 기판 사이에서 형성될 수 있는 경우(도 11 참조), 만일 트렌치가 N+ 기판에 중첩되는 경우 깊은 P+ 영역은 트렌치 아래로 확장될 필요가 없다. 중간 또는 "고유" 영역의 폭 및 도핑 농도와의 상관관계로서의 (도 11의 다이오드(D2)와 같은) PIN 다이오드의 항복 전압을 나타내는 그래프가 본 명세서에서 참조된 S.M.Sze의 Physics of Semiconductor Devices 제 2 판(John Wiley & Sons(1981), p.105, Fig.32)에 나타나있다.

본 발명의 "n중의 1" 기법을 이용하여, MOSFET 셀 차원은 눈에 띄게 감소될 수 있고, 따라서 바디 접촉의 질 또는 영역을 희생할 필요없이 12Mcell/in^2 내지 32Mcell/in^2(5Mcell/cm^2)로 셀 밀도를 증가시킨다. 매개변수 "n"은 2에서부터 64 또는 그 이상과 같은 큰 수에까지 변화할 수 있다. 따라서 애벌란시 항복을 견뎌내기 위한 MOSFET의 능력은 n/n-1 인수에 의해 표현된 순수한 평바닥 셀과 비교된 온-저항에서의 페널티와 함께, 디자인에 의해 제어될 수 있다. 많은 실시예에서, 이러한 페널티 인수는 이상적인 평바닥 장치의 소수 퍼센트내로 조정될 수 있다.

도 8은 셀이 스트라이프 형태를 갖는 대안적인 MOSFET의 평면도를 설명하고 있다. MOSFET(80)에서, 셀(81,82,83,84)은 활성 MOSFET 셀이고, 셀(85)은 보호성 P+ 디퓨전(86)을 포함하는 다이오드 셀이다. 셀(81-84) 각각은 P+ 접촉 영역(87) 및 N+ 소스 영역(88)을 포함한다. 도 8에 도시된 것 중의 두 개 접촉구멍(89)은 금속층(도시되지 않음)과 P+ 영역(87) 및 MOSFET 셀(81-84)내 N+ 소스 영역(88)과 다이오드 셀(85)내 P+ 영역(86)간의 접촉을 제공하기 위해 사용된다. 접촉 구멍(89)은 셀(81-85)에 걸쳐 다양한 패턴으로 배치될 수 있다. 게이트(91)와 접촉하기 위한 접촉 구멍(90) 또한 도시되어 있다.

P+ 다이오드 셀의 또 다른 사용은 게이트와 N+ 기판 사이의 초과적인 전기장으로 인한 과다 압력으로부터 게이트 산화층을 보호성하도록 드레인 전압을 클램프하는 것이다. 이러한 상황은 트렌치 게이트가 기판으로 확장되고 트렌치의 바닥(bottom)에서의 게이트 산화층이 따라서 게이트와 기판간의 전체 전압차로 드러나는 경우의 실시예에서 특히 발생한다. 실리콘 이산화물은 약 8MV/㎝와 동일한 전압을 견뎌낼 수 있다. 50%의 안전율을 이용하여, 산업은 일반적으로 X_{OX}·4MV/㎝가 되도록 게이트 산화층에 걸쳐 적용될 수 있는 최소 전압을 고려하고, X_{OX}는 센티미터의 게이트 산화물 두께이다. 따라서, 보호성 P+ 디퓨전에 의해 형성된 다이오드의 항복 전압은 X_{OX}·4MV/㎝ 이하이어야 한다. 예를 들어, 400Å의 두께를 갖는 산화층에서, 산화층은 약 32V에서 단락될 것이고, 신뢰적인 작동을 위해 최대 전압은 16V로 제한되어야 한다.

도 9 내지 도 11은 본 발명에 따른 일부 대안적인 실시예의 단면도를 설명하고 있다. 도 9는 트렌치가 N+ 기판(13)으로 확장하는 MOSFET(92)을 나타낸다. N-에피택시얼층의 박막층은 MOSFET 셀(93)내에 유지되는 반면, 다이오드 셀(94)에서 보호성 P+ 디퓨전은 N+ 기판(13)의 상측면에 이른다. 도 10에 도시된 MOSFET(100)에서, MOSFET 셀(101)내 P-바디 영역은 N+ 기판(13)의 상측면으로 확장되고, 에피택시얼층(14)의 N- 도프된 영역은 전혀 남아있지 않다. 도 11에 도시된 MOSFET(110)에서, P- 또는 N- 도프된 에피택시얼층(14)의 얇은 단부는 MOSFET 셀(111) 및 다이오드 셀(112) 각각에 남아있다.

도 9 내지 도 11에서, 다이오드(D1)는 MOSFET 셀내 PN 접합을 나타내고, 다이오드(D2)는 보호성 다이오드 셀내 PN 접합을 나타내며, 커패시터(C1)는 게이트 및 N+ 기판에 의해 인접한 게이트 산화층을 나타낸다. 모든 세가지 경우에서, $BV_{D2} < 50\% \cdot BV_{C1}$의 관계가 유지되어야 하고, 이때 BV_{D2}는 다이오드(D2)의 항복 전압이며, BV_{C1}는 커패시터(C1)의 항복 전압이다. 또한, 다이오드(D2)의 항복 전압은 각각의 경우에서 다이오드(D1)내 항복 전압 이하이다.

도 12에 도시된 MOSFET(120)은 도 2a에 도시된 종래의 MOSFET과 유사한 것으로 나타낸다. 다이오드(D1)는 얕은 P+ 접촉 영역, P-바디 및 N+ 기판의 조합에 의해 각각의 MOSFET 셀의 중심에서 형성되었다. MOSFET(120)에서, PIN 다이오드(D1)의 항복 전압은 커패시터(C1)의 항복 전압의 50% 이하로 설정되고, 커패시터의 항복 전압은 센티미터로 표시된 게이트 산화층의 두께에서 8MV/㎝를 기본으로 계산된다. 결과적으로, MOSFET(120)에서, 만일 있는 경우라면, 게이트 산화층을 손상시키지 않을 전압 및 각각의 셀의 중심 영역에서 항복이 발생할 것이다.

또 다른 대안적인 실시예가 도 13a 및 도 13b에 설명되어 있고, 도 13a는 도 13b의 평면도에 도시된 단부 ⅧA-ⅧA에서 취해진 단면도이다. MOSFET(130)은 깊은 P+ 영역(132)을 포함하는 더 넓은 셀(131)뿐만 아니라 셀(121)을 포함한다. 깊은 P+ 영역(132)은 N+ 소스 영역(133)을 갖는, 활성 MOSFET 셀 자체로서 역할하는 동안 셀(121)내 게이트 산화층을 위한 보호성 기능을 제공한다. 따라서, 셀(131)이 MOSFET의 전체적인 셀 밀도를 감소시키는 동안, 온-저항에 관한 페널티는 만일 셀(131)이 보호성 기능만 수행했고 어떠한 전류도 전달하지 않은 경우일 때보다 작다. 도 12의 MOSFET(120)에서와 같이, 셀(121)은 보호성 깊은 P+ 영역이 각각의 셀에 포함된 경우에서보다 일반적으로 작다.

본 발명에 따른 MOSFET을 제조하기 위한 다수의 공정이 있지만, 도 14a 내지 도 14e는 도 3에 도시된 MOSFET(30)을 제조하기 위한 예시적인 공정을 설명하고 있다.

도 14a를 참조하면, N-에피택시얼층(14)이 공지된 공정을 이용하여 성장되는 종래의 N+ 기판(13)이 시작지점이 된다.

두꺼운 산화층(130)이 성장되고, 마스크되며, 에치되고, 얇은 산화층(131)은 깊은 P+ 영역(38)이 형성될 경우 구조의 상측면상에 형성된다. 그러면, 깊은 P+ 영역(38)은 $1\times10^{14}㎝^{-2}$ 내지 $7\times10^{15}㎝^{-2}$의 불순물 및 60-100keV의 에너지에서 얇은 산화층(131)을 통해 주입된다. 결과적인 구조가 도 14a에 설명되어 있다. 그리고, 산화층(130,131)은 제거된다.

공정의 한 형태에서, 두꺼운 산화층(132)이 성장되고, 깊은 P+ 영역(38)에 걸친 부분을 제외하고 포토마스크하므로써 제거되며, 얇은 산화층(133)이 성장된다. 얇은 산화층(133)은 도 14b에 도시된 바와 같이, 마스킹되고, 트렌치가 형성될 경우 구조의 일부분으로부터 제거된다. 그리고 트렌치는 마스크 되며, 반응 이온법 또는 플라즈마 건조 에칭법 등의 공지된 방법을 이용하여 에칭된다. 그러면, 트렌치는 게이트 산화층(31A)을 형성하기 위해 산화되고, 폴리실리콘이 트렌치의 상위를 흐를때까지 트렌치로 침전된다. 그러면, 폴리실리콘은 $5\times10^{13}㎝^{-2}$ 내지 $5\times10^{15}㎝^{-2}$의 불순물 및 60keV의 에너지에서 $POCl_3$ 선침전 또는 이온 주입에 의해 인으로 도핑되고, 20-70Ω/sq.의 시이트(sheet) 저항을 제공한다. P-채널 장치

에서, 폴리실리콘은 대략 40-120Ω/sq.의 시이트 저항까지 이온 주입법을 이용하여 붕소로 도프된다. 그러면, 폴리실리콘은 마스크가 그것을 보호성하는 경우를 제외하고, 트렌치의 표면과 평면이 될 때까지 다시 에칭되어, 대체로 금속과 접촉될 수 있다.

P-바디(33)는 얇은 산화층(133)을 통해 주입된다(예를 들어, $1\times10^{13}㎝^{-2}$ 내지 $4\times10^{14}㎝^{-2}$의 불순물 및 40-100keV의 에너지에서의 붕소). 불순물이 인인 경우를 제외하고, P-채널 장치를 제조할 때와 유사한 방법이 사용된다. 결과적인 구조물이 도 14c에 설명되어 있다.

그러면, N+ 소스 영역(34)은 마스크 및 비소 이온 주입법(또는 P-채널 장치에서의 붕소 이온 주입법)을 이용하여 $5\times10^{14}㎝^{-2}$ 내지 $1\times10^{16}㎝^{-2}$의 불순물 및 20-100keV의 에너지에서 주입된다. 결과적인 구조물이 도 14d에 도시되어 있다.

N+ 소스 영역(38)의 형성에 따라, 새로운 마스크가 형성되고, P-바디와 접촉하도록 사용되는 얕은 P+ 영역(33A)은 $1\times10^{13}㎝^{-2}$ 내지 $5\times10^{14}㎝^{-2}$의 불순물 및 20-80keV의 에너지에서 이온 주입법으로 주입된다. 대신, 도 14e에 도시된 바와 같이, 얕은 P+ 영역(33A)은 N+ 소스 영역/P+ 접촉 영역과 깊은 P+ 영역을 위한 접촉 구멍을 형성하는데 사용되는 동일한 마스크를 통해 P-타입 불순물을 주입하므로써 형성될 수 있다. 이러한 기법으로 P-타입 불순물의 일부가 N+ 소스 영역(34)으로 주입되지만, P-타입 도핑 레벨은 N+ 소스 영역내 N-타입의 이온 농도에 현저하게 영향을 미치기에는 충분하지 않다.

얇은 산화층은 가열하여 성장된다. 그러면, BPSG(Borophosphosilicate glass)는 구조의 표면에 침전된다. BPSG는 원활하게 흐르고, 다이의 표면 형태를 평평하게 하기 위해 약 850℃ 내지 950℃까지 순간적으로 가열된다. 접촉구멍은 산화층 및 BPSG층에서 에칭되고, 금속층(36)은 침전되고, 접촉구멍을 통해 소스 및 바디 영역과 깊은 P+ 영역과의 접촉을 형성한다. 이것은 도 3에 도시된 MOSFET(30)을 만들어낸다.

그러면, 다이는 SiN 또는 BPSG로 패시베이트되고, 패드 마스크 윈도우는 결합을 촉진하기 위해 에칭된다.

일련의 시뮬레이션 및 실험이 상업적으로 수용가능한 생산물: 20-V 및 30-V율 드레인 전위, 12-V 및 20-V율 게이트 전위, 및 N-채널 및 P-채널 장치의 조직을 생성하는 매개변수 범위를 결정하기 위해 수행된다. MOSFET 셀전에 "N중의 1" 다이오드 셀이 항복하는 장치를 만들어내는 매개변수 범위를 식별하는 것이 요구되었다. 두가지 접근이 채택되었다: (i) 먼저 중간층의 두께에 의해 결정된 항복 전압과 PIN 타입 다이오드의 사용을 연관시킨 "리치스루" 접근; 및 (ii) 하부층중 낮은 층과 중첩되는 다이오드 셀내 깊은 디퓨전과 함께, 두 개 하부층을 포함하는 에피택시얼층이 사용되는 "스텝 epi" 접근이 있다.

도 27에 설명된 타입의 "리치스루" 구조로 테스트의 초기 세트가 처리되었고, MOSFET 셀(270) 및 다이오드 셀(272)을 포함한다. 다이오드 셀은 에피택시얼층의 표면 아래로 3㎛ 확장하는 깊은 P+ 디퓨전(274)을 포함한다. 도 27은 N-채널 장치를 나타내고; P-채널 장치는 동일한 일반적 구조를 갖지만, 도전형은 제외된다.

테스트 결과가 도 28의 그래프에 도시되어 있고, 상기 도면중 수직축은 항복 전압이며, 수평축은 2 내지 6㎛ 범위에서 에피택시얼층의 "플랫"부(Xepi(flat)), 즉 N-에피택시얼층과 N+ 기판간의 전이 영역에서 증가되기 시작하기 전에 N-타입 불순물의 농도가 비교적 일정한 부분이 된다. 이러한 전이 영역이 도 27에 해치된 영역(276)으로 표시되어 있다.

도 28은 20-V 드레인, 12-V 게이트, N-채널 장치와 관련된 테스트 데이터를 나타낸다. 제 1 세트의 곡선(280,282,284)은 N-에피택시얼층내 불순물 농도가 각각 $1.0\times10^{16}㎝^{-3}$, $2.0\times10^{16}㎝^{-3}$ 및 $3.0\times10^{16}㎝^{-3}$인 경우, 장치의 항복 전압을 나타낸다. 게이트 산화층의 두께는 300Å이고, 타겟 드레인율은 20V였다. Xepi(flat)이 3㎛ 두께보다 얇은 경우, 다이오드 셀(272)내 항복이 발생하고, Xepi(flat)에 따라 증가한다. Xepi(flat)이 약 4㎛ 두께인 경우, MOSFET 셀(270)에서 항복이 발생하고, 따라서 항복 전압은 Xepi(flat)에 독립적으로 된다.

도 28에서 곡선(286,288)은 각각 $2.0\times10^{16}㎝^{-3}$ 내지 $3.0\times10^{16}㎝^{-3}$의 N-에피택시얼 농도에서의 MOSFET 셀(270)과 다이오드 셀(272)의 항복전압간의 차를 나타낸다. MOSFET 셀과 다이오드 셀간의 항복 전압에서의 차이가 약 5V에서 수용가능한 것으로 가정하면, $2.0\times10^{16}㎝^{-3}$의 N-epi 농도 및 3㎛의 Xepi(flat)은 만족할만한 장치를 만들어낸다. 다른 상황에서, 도 28에 도시된 범위내에 매개변수를 갖는 다른 장치는 만족할만한 결과를 생산한다.

도 29는 "리치스루" 30-V 드레인, 500Å의 게이트 산화물 두께를 갖는 20-V 게이트 N-채널 장치에서 유사한 곡선 세트를 나타낸다. 곡선(290,292,294)은 각각 $5.0\times10^{15}㎝^{-3}$, $1.0\times10^{16}㎝^{-3}$, 및 $2.0\times10^{16}㎝^{-3}$의 N-epi 농도에서의 장치의 항복 전압을 나타낸다. 곡선(266,298,299)은 각각 $5.0\times10^{15}㎝^{-3}$, $1.0\times10^{16}㎝^{-3}$, 및 $2.0\times10^{16}㎝^{-3}$의 N-에피택시얼 농도에서의 MOSFET 셀(270)과 다이오드 셀(272)의 항복 전압간의 차이를 나타낸다.

도 28 및 도 29에서의 곡선은 시뮬레이션에 의해 개발되었다. 데이터 포인트(사각형, 삼각형, 다이아몬드 등)는 실제 실험적 결과를 나타낸다.

도 31은 도 30에 도시된 장치로부터 얻어진 실험 결과는 나타내고, 도 30은 "스텝된" N-epi층을 포함한다, 즉 상기한 미국 특허 제5,674,766호(1997.10.7)에 설명된 바와 같이, 다른 N-타입 불순물을 갖는 하부층(N-epi1,N-epi2)을 포함한다. 이것은 20-V 드레인, 12-V 게이트, "스텝 epi" 장치이다. 위쪽 하부층(N-epi2)은 3.5미크론 두께(Xepi2)이지만, 다른 실시예에서, N-epi2는 2㎛ 내지 5㎛ 두께 범위를 가질 수 있다. MOSFET 셀(300)내 P-바디 영역과 트렌치는 위쪽 하부층(N-epi2)으로만 확장하는 반면, 다이오드 셀(302)내 깊은 P+ 디퓨전은 N-epi2를 통해 낮은 하부층(N-epi1)으로 확장된다. P-채널 장치에서, 도전형은 제외된다. 도 31에서, 수평축은 $1.0\times10^{16}㎝^{-3}$ 내지 $1.0\times10^{18}㎝^{-3}$까지 변화하는 아래쪽 하부층(N-epi1)의 불순물 농도를 나타낸다. 곡선(310,312,314)은 각각 위쪽 하부층(N-epi2)이 $5.0\times10^{15}㎝^{-3}$, $1.0\times10^{16}㎝^{-3}$, 및 $1.5\times10^{16}㎝^{-3}$의 불순물 농도를 갖는 경우, 장치의 항복 전압을 나타낸다. 점선 곡선(316,318,319)은 하부층(N-epi1)이 각각 $5.0\times10^{15}㎝^{-3}$, $1.0\times10^{16}㎝^{-3}$, 및 $1.5\times10^{16}㎝^{-3}$의 불순물 농도를 갖는 경우, MOSFET 셀(300)과 다이오드 셀(302)의 항복 전압간의 차이를 나타낸다. 이러한 실시예에서, 하부층(N-epi1)은 MOSFET 셀(300)과 다이오드 셀(302)의 항복 전압이 하부층(N-epi1)의 두께에 독립적이 되도록 충분히 두껍게 만들어진다.

도 32는 아래쪽 하부층(N-epi1)의 불순물 농도(우측 수직축) 및 고유저항(좌측 수직축)과의 상관관계로서의 다이오드 셀(수평축)내 항복 전압의 그래프를 나타낸다.

도 33 내지 도 35는 30-V 드레인 전압, 20-V 게이트 전압을 갖는 스텝 epi N-채널 장치에서의 유사한 데이터를 나타낸다. 도 33에서, 곡선(330)은 MOSFET 셀의 항복 전압을 나타내고, 곡선(332)은 다이오드 셀의 항복 전압을 나타내며, 곡선(334)은 MOSFET 및 다이오드 셀내 항복 전압간의 차이를 나타낸다. 아래쪽 epi 하부층에서의 불순물 농도는 $4\times10^{15}㎝^{-3}$이고, 위쪽 하부층은 3.5㎛ 두께였다. 수평축은 위쪽 epi 하부층의 불순물 농도를 나타내고, 그 농도는 $5.0\times10^{15}㎝^{-3}$ 내지 $2.5\times10^{16}㎝^{-3}$의 범위에 있다. 이러한 범위는 $3.0\times10^{16}㎝^{-3}$까지 확장될 수 있고, 2.0×10^{16}가 적절한 농도이다.

도 34 및 도 35는 동일한 장치에서 다른 형태를 갖는 데이터를 나타낸다. 도 34에서, 곡선(340)은 MOSFET 셀에서의 항복 전압을 나타내고, 곡선(342)은 다이오드 셀에서의 항복 전압을 나타내며, 곡선(344)은 두 값간의 차이를 나타낸다. 위쪽 및 아래쪽 epi 하부층에서의 불순물 농도는 각각 $1.0\times10^{16}㎝^{-3}$ 및 $4\times10^{16}㎝^{-3}$였다. 수평축은 위쪽 하부층의 두께를 나타내고, 그 두께는 2㎛ 내지 5㎛의 범위를 가지며, 3㎛이 적절하다. 도 35에서, 곡선(350)은 MOSFET 셀에서의 항복 전압을 나타내고, 곡선(352)은 다이오드 셀에서의 항복 전압을 나타내며, 곡선(354)은 두 값간의 차이를 나타낸다. 위쪽 epi 하부층의 불순물 농도 및 두께는 각각 $1.0\times10^{16}㎝^{-3}$ 및 3.5㎛였다. 수평축은 아래쪽 epi 하부층의 불순물 농도를 나타내고, 그 범위는 두께를 나타내고, 그 두께는 $1\times10^{16}㎝^{-3}$ 내지 $5.0\times10^{16}㎝^{-3}$의 범위를 가지며, $4\times10^{16}㎝^{-3}$이 적절하다.

도 36은 30-V 드레인, 20-V 게이트 P-채널 장치에서의 유사한 데이터를 나타내고, 상기 장치는 "리치스루" 접근을 이용한다. 곡선(360,362,364)은 P-epi층의 두께가 4㎛ 내지 8㎛까지 변화하는 경우 다이오드 셀의 항복 전압을 나타내고, 각각 $5.0\times10^{15}㎝^{-3}$, $1.0\times10^{16}㎝^{-3}$, 및 $2.0\times10^{16}㎝^{-3}$의 P-epi 농도를 나타낸다. 곡선(366,368,369)은 각각 동일 레벨의 P-epi 농도에서의 MOSFET 및 다이오드 셀의 항복 전압간의 차를 나타낸다.

도 37 및 도 38은 P-채널 20-V 드레인, 12-V 게이트 장치에서의 데이터를 나타내고, 상기 장치는 "리치스루" 접근을 이용한다. 양쪽 도면에서, 항복 전압은 P-epi층 두께와의 상관관계로서 계획된다. 곡선(370,380)은 $5.0\times10^{15}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 항복 전압을 나타내고; 곡선(372,382)은 $1.0\times10^{16}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 항복 전압을 나타내며; 곡선(374,384)은 $2.0\times10^{16}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 항복 전압을 나타낸다. 곡선(376,386)은 $5.0\times10^{15}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 및 MOSFET 셀간의 항복 전압에 있어서의 차이를

나타내고; 곡선(378,388)은 $1.0\times10^{16}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 및 MOSFET 셀간의 항복 전압에 있어서의 차이를 나타내며; 곡선(379,389)은 $2.0\times10^{16}㎝^{-3}$의 P-epi 불순물 농도에서의 다이오드 및 MOSFET 셀간의 항복 전압에 있어서의 차이를 나타낸다.

P-채널 20-V 드레인 장치에서, MOSFET 셀전에 항복할 다이오드 셀을 얻는 것이 좀더 어렵다. 더 얇은 게이트 산화물에서, 상기한 바와 같이 FPI 항복은 PN 접합 항복전에 발생하려는 경향이 있다. 따라서, 다이오드 셀에서의 디퓨전을 형성하기 위해 사용된 주입 불순물을 증가시키거나 또는 다이오드 디퓨전의 깊이를 증가시키기 위한 특별한 드라이브인 단계를 이용하는 것이 필요할 수 있다. 도 37은 $1.0\times10^{15}㎝^{-2}$의 "표준" 주입 불순물의 결과를 나타내지만, 1-3시간 동안 1050-1100℃에서의 두 개 드라이브인을 이용해서 이뤄진다. 도 38은 1-3시간 동안 1050-1100℃에서의 두 개 드라이브인을 이용한, $4.0\times10^{15}㎝^{-2}$의 주입 불순물의 결과를 나타낸다.

도 39는 6개 다른 주입 불순물: $1.0\times10^{15}㎝^{-2}$(곡선(390)); $2.0\times10^{15}㎝^{-2}$(곡선(391)); $3.0\times10^{15}㎝^{-2}$(곡선(392)); $4.0\times10^{15}㎝^{-2}$(곡선(393)); $5.0\times10^{15}㎝^{-2}$(곡선(394)); 및 $6.0\times10^{15}㎝^{-2}$(곡선(395))에서의 P-epi층의 두께와의 상관관계로서 대략 3㎛ 깊은의 N-타입 다이오드 디퓨전에서의 항복 전압을 나타낸다.

도 40은 7개 다른 P-epi 두께: 9.0㎛(곡선(400)); 8.75㎛(곡선(401)); 8.5㎛(곡선(402)); 8.25㎛(곡선(403)); 8.0㎛(곡선(404)); 7.75㎛(곡선(405)); 및 7.5㎛(곡선(406))에서의 주입 불순물과의 상관관계로서 대략 3㎛ 깊은의 N-타입 다이오드 디퓨전에서의 항복 전압을 나타낸다.

상기한 실시예는 설명을 위한 것일뿐 그에 제한되지 않는다. 본 발명의 폭넓은 이론에 따른 다수의 대안적인 실시예가 당업자에게 명확할 것이다.

발명의 효과

상기한 바와 같은 구성에 의해, 게이트 산화층을 손상 또는 단절시킬 수 있는 캐리어 발생을 막고, 다이오드는 게이트 산화층을 통하는 전기장의 세기를 제한하는 항복(breakdown) 전압을 갖도록 설계될 수 있으며, 깊은 중심 디퓨전을 제거하여 셀 밀도내 증가를 허용하고 MOSFET의 온-저항을 개선하는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

트렌치-게이트형 파워 MOSFET 장치에 있어서,

반도체 재료와,

상기 반도체 재료의 표면내에 형성된 트렌치-여기서, 상기 트렌치는 다수의 MOSFET 셀과 적어도 하나의 다이오드 셀을 정의하며, 상기 MOSFET 셀의 각각은 제 1 도전형의 소스영역과, 상기 소스영역과 인접하여 전류를 전달시키는 채널 영역을 형성하는 제 2 도전형의 바디영역으로 이루어지고, 상기 소스영역 및 상기 바디영역은 상기 트렌치의 일 측면에 인접함-와,

상기 트렌치 내에 위치하는 게이트와,

상기 적어도 하나의 다이오드 셀 내에 형성되며, 상기 다이오드 셀의 모든 측면이 상기 트렌치와 인접하는 상기 제 2 도전형의 보호 디퓨전(protective diffusion)을 포함하고,

상기 보호 디퓨전은 상기 제 1 도전형의 영역과 인접하여 다이오드를 형성하며,

상기 다이오드는 상기 MOSFET 셀 각각의 상기 채널 영역과 병렬 연결되는

것을 특징으로 하는 MOSFET 장치.

청구항 2.

제 1 항에 있어서,

상기 반도체 재료는 기판, 및 상기 기판의 표면상에 형성된 에피택시얼층(epitaxial layer)을 포함하는 것을 특징으로 하는 MOSFET 장치.

청구항 3.

제 2 항에 있어서,

상기 트렌치의 바닥은 상기 에피택시얼층 내에 위치하고, 상기 기판과 상기 에피택시얼층 사이의 인터페이스로부터 분리되어 있는 것을 특징으로 하는 MOSFET 장치.

청구항 4.

제 3 항에 있어서,

상기 보호 디퓨전의 바닥은 상기 에피택시얼층 내에 위치하고, 상기 기판과 상기 에피택시얼층 사이의 인터페이스로부터 분리되어 있는 것을 특징으로 하는 MOSFET 장치.

청구항 5.

제 4 항에 있어서,

상기 보호 디퓨전은 상기 MOSFET 셀 각각의 상기 소스영역과 단락되어 있는 것을 특징으로 하는 MOSFET 장치.

청구항 6.

제 1 항에 있어서,

다수의 상기 다이오드 셀을 포함하고,

상기 다이오드 셀은 상기 게이트에 의해 형성된 격자 내에 규칙적인 간격으로 위치하는 것을 특징으로 하는 MOSFET 장치.

청구항 7.

제 6 항에 있어서,

상기 다이오드 셀마다 소정 개수의 상기 MOSFET 셀이 있는 것을 특징으로 하는 MOSFET 장치.

청구항 8.

제 2 항에 있어서,

상기 트렌치의 바닥은 상기 기판 내에 위치하는 것을 특징으로 하는 MOSFET 장치.

청구항 9.

제 8 항에 있어서,

상기 보호 디퓨전의 바닥은 상기 기판과 상기 에피택시얼층간의 인터페이스에 위치하는 것을 특징으로 하는 MOSFET 장치.

청구항 10.

제 8 항에 있어서,

상기 에피택시얼층내의 상기 제 1 도전형의 영역은 상기 MOSFET 셀내에서 상기 기판으로부터 상기 바디영역을 분리시키는 것을 특징으로 하는 MOSFET 장치.

청구항 11.

제 1 항에 있어서,

상기 트렌치는 스퀘어 셀(square cells)의 격자를 형성하는 것을 특징으로 하는 MOSFET 장치.

청구항 12.

제 1 항에 있어서,

상기 트렌치는 스트라이프들(stripes) 형태로 셀 격자를 형성하는 것을 특징으로 하는 MOSFET 장치.

청구항 13.

제 8 항에 있어서,

상기 게이트는 게이트 산화층에 의해 상기 반도체 재료로부터 분리되고,

상기 다이오드는 상기 게이트 산화층에 손상을 일으키는 전압보다 낮은 항복전압을 갖는 것을 특징으로 하는 MOSFET 장치.

청구항 14.

제 10 항에 있어서,

상기 에피택시얼층내의 상기 제 1 도전형의 영역은 상기 다이오드 셀내에서 상기 기판으로부터 상기 보호 디퓨전을 분리시키는 것을 특징으로 하는 MOSFET 장치.

청구항 15.

트렌치-게이트형 파워 MOSFET 장치에 있어서,

기판 및 상기 기판 표면상에 형성된 에피택시얼층을 구비하는 반도체 재료와,

트렌치내에 위치하고, 산화층에 의해 상기 반도체 재료로부터 분리된 게이트를 포함하며,

상기 트렌치는 상기 에피택시얼층의 표면내에 형성되며 상기 기판내로 확장되고 다수의 MOSFET 셀을 정의하며,

상기 MOSFET 셀의 각각은 제 1 도전형의 소스영역과, 상기 소스영역과 인접한 제 2 도전형의 바디영역을 구비하고,

상기 소스영역 및 상기 바디영역은 상기 트렌치의 측면에 인접하며,

상기 바디영역은 상기 제 1 도전형의 드레인 영역과 인접하고,

상기 바디영역과 상기 드레인 영역간의 PN 접합은 다이오드를 형성하며,

상기 다이오드는 상기 산화층에 손상을 일으키는 전압보다 낮은 항복전압을 갖는 것을 특징으로 하는 MOSFET 장치.

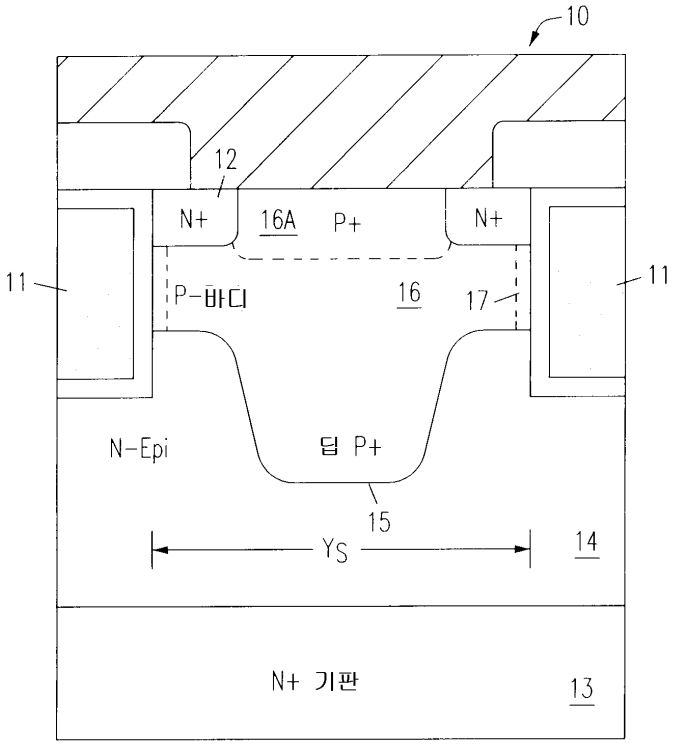
청구항 16.

제 15 항에 있어서,

상기 바디영역은 상기 MOSFET 셀 각각의 상기 소스 영역과 단락되는 것을 특징으로 하는 MOSFET 장치.

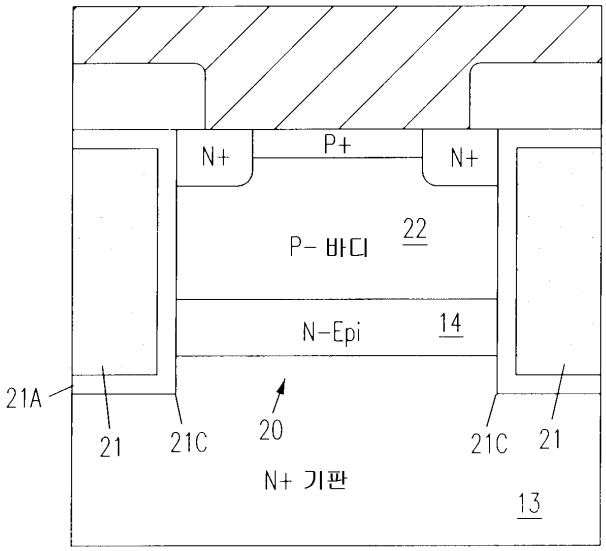
도면

도면1

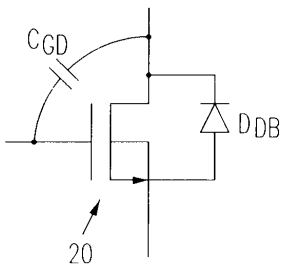


(종래기술)

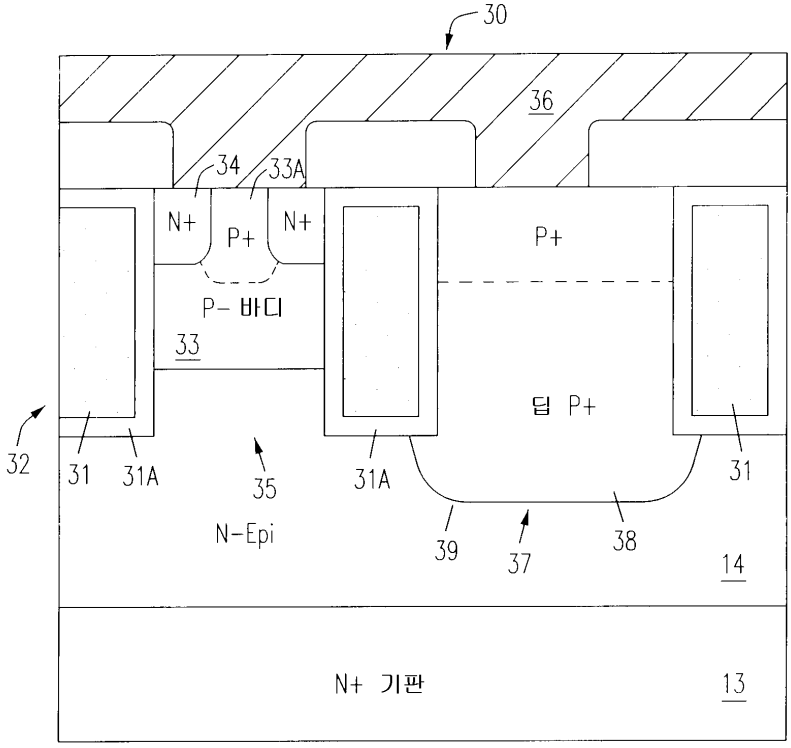
도면2a



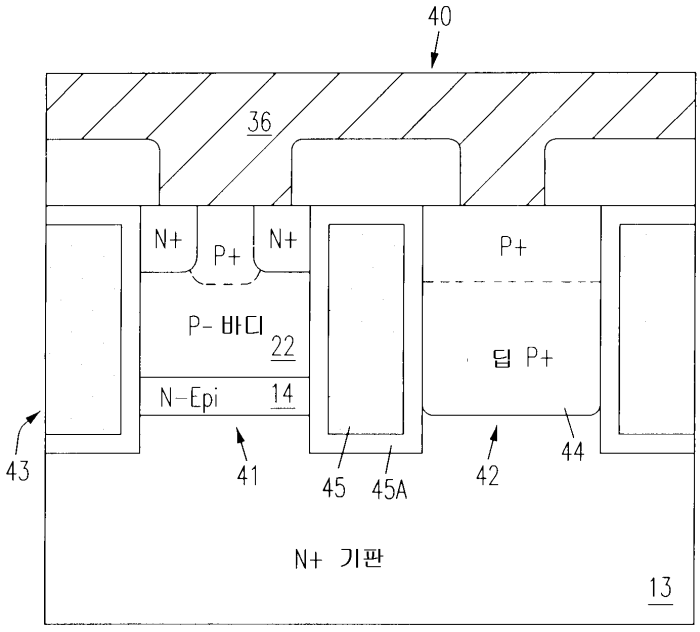
도면2b



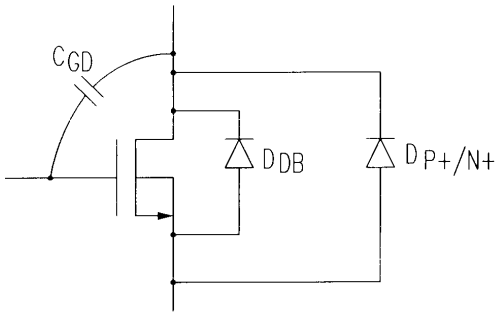
도면3


30
36
34
33A
N+
P+
N+
P+
P- 바디
33
딥 P+
32
31
31A
35
31A
31
N-Epi
39
37
38
14
N+ 기판
13

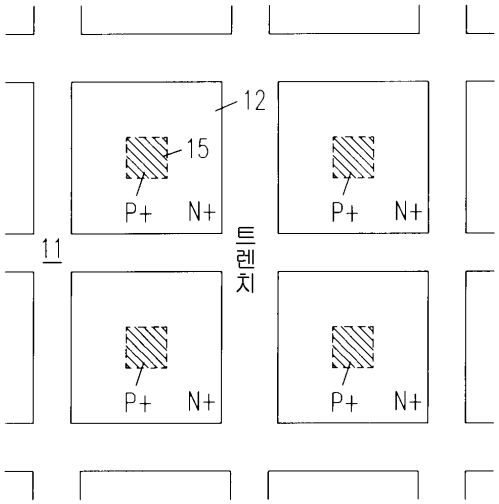
도면4a


40
36
N+
P+
N+
P+
P- 바디
22
딥 P+
N-Epi
14
43
41
45
45A
42
44
N+ 기판
13

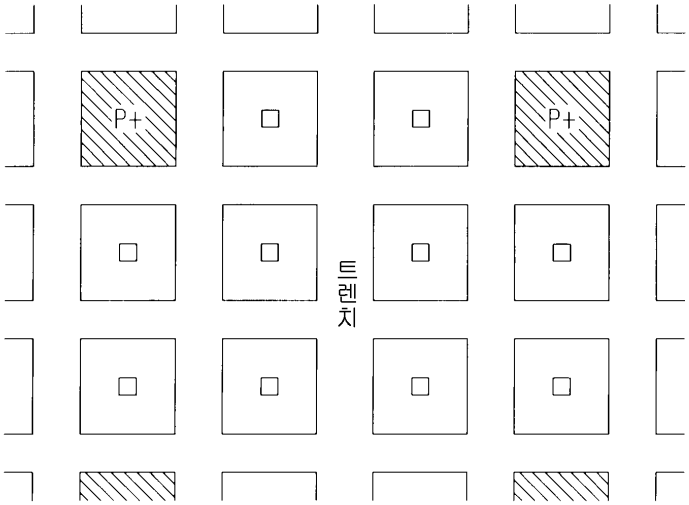
도면4b



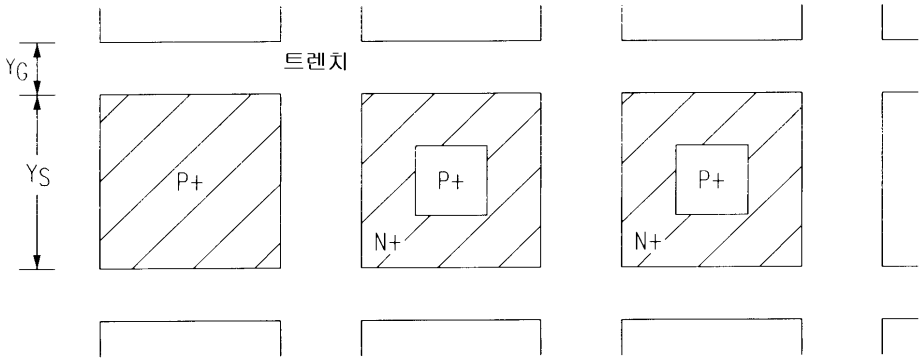
도면5



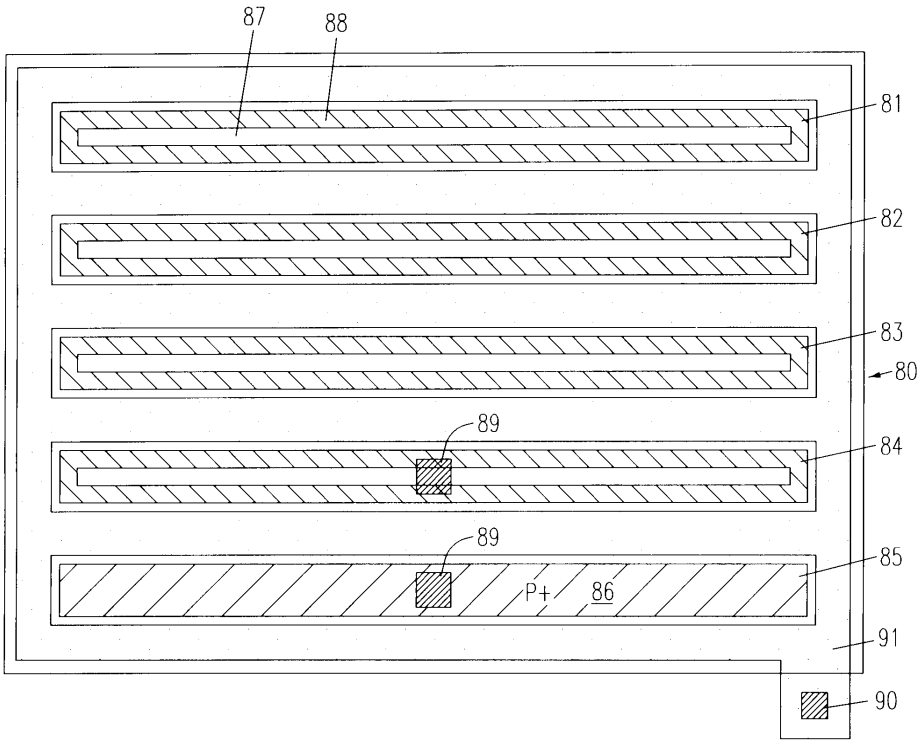
도면6



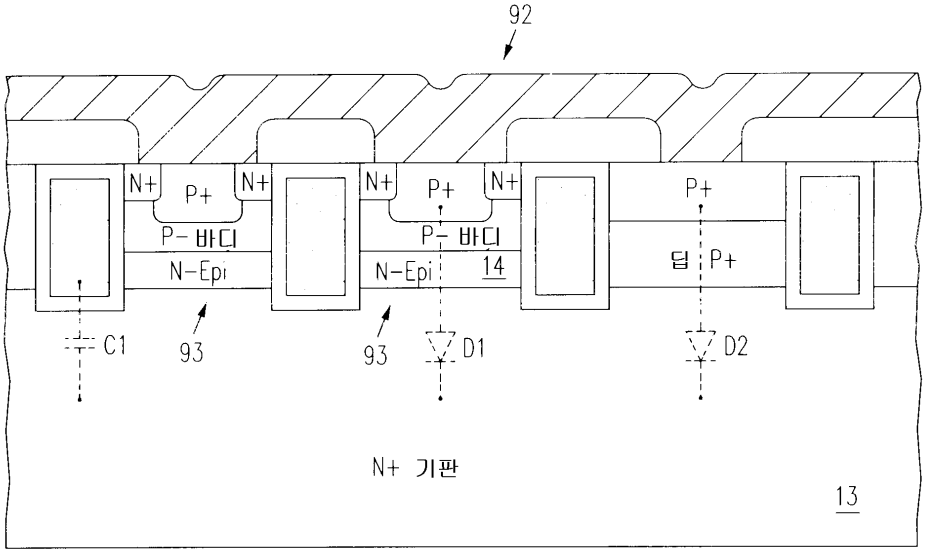
도면7



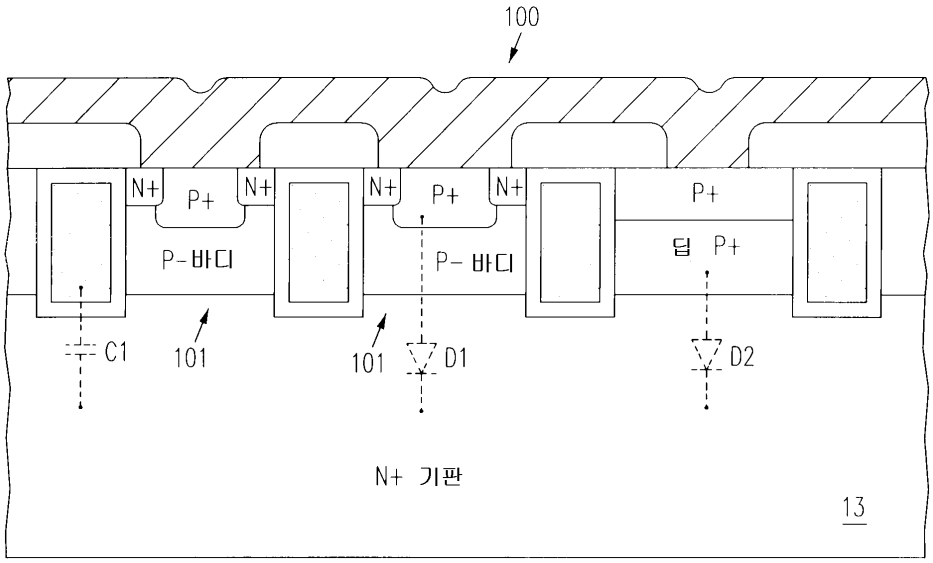
도면8



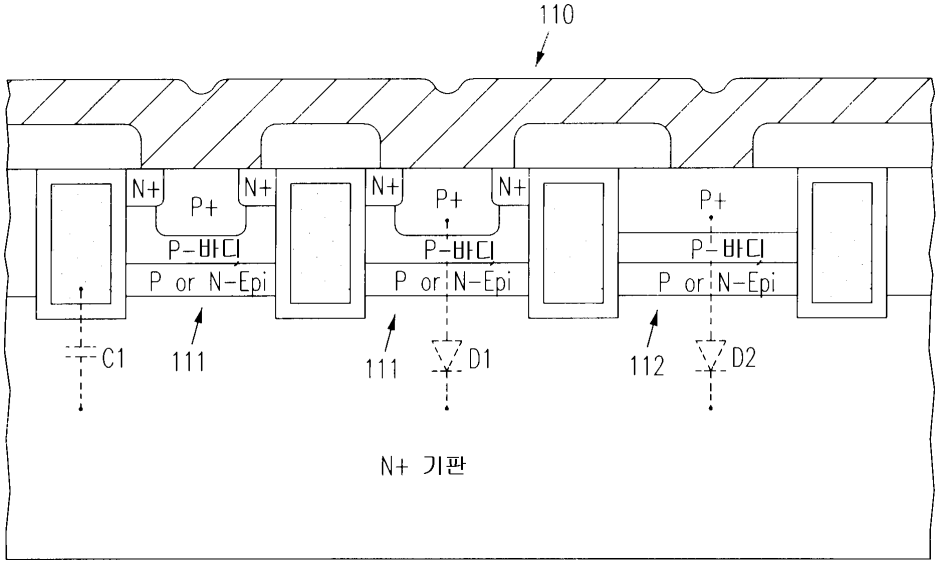
도면9


92
N+
P+
N+
N+
P+
N+
P+
P- 바디
P- 바디
N-Epi
N-Epi
14
딥 P+
C1
93
93
D1
D2
N+ 기판
13

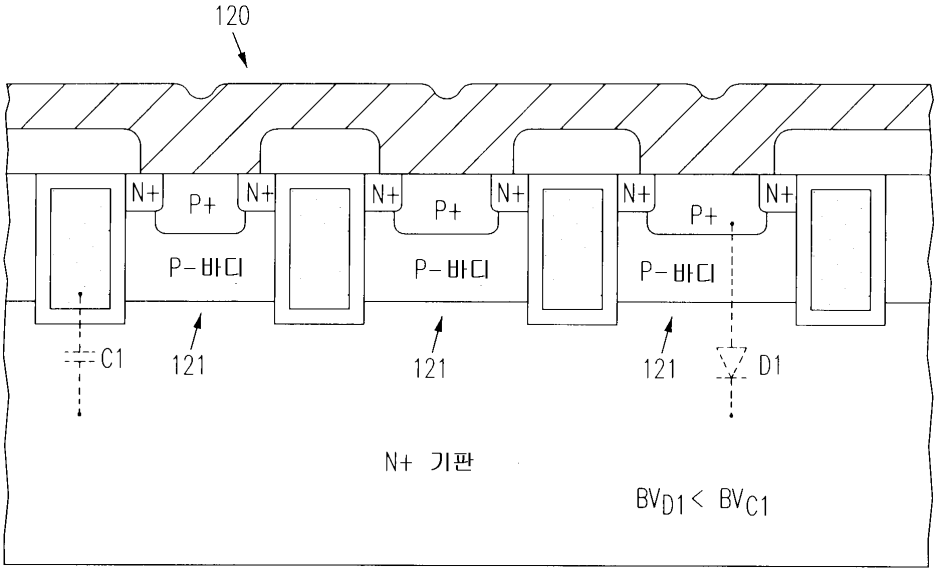
도면10


100
N+
P+
N+
N+
P+
N+
P+
P-바디
P- 바디
딥 P+
C1
101
101
D1
D2
N+ 기판
13

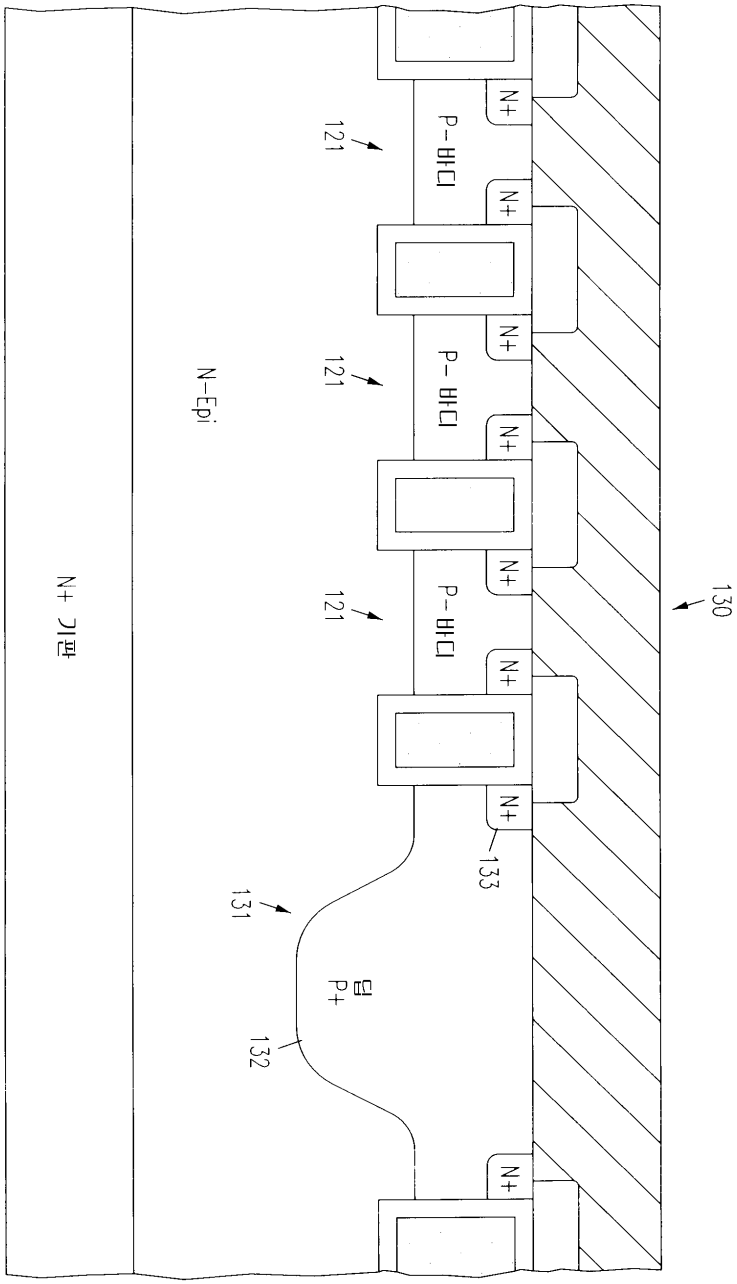
도면11


110
N+
P+
N+
N+
P+
N+
P+
P-바디
P-바디
P-바디
P or N-Epi
P or N-Epi
P or N-Epi
C1
111
111
D1
112
D2
N+ 기판

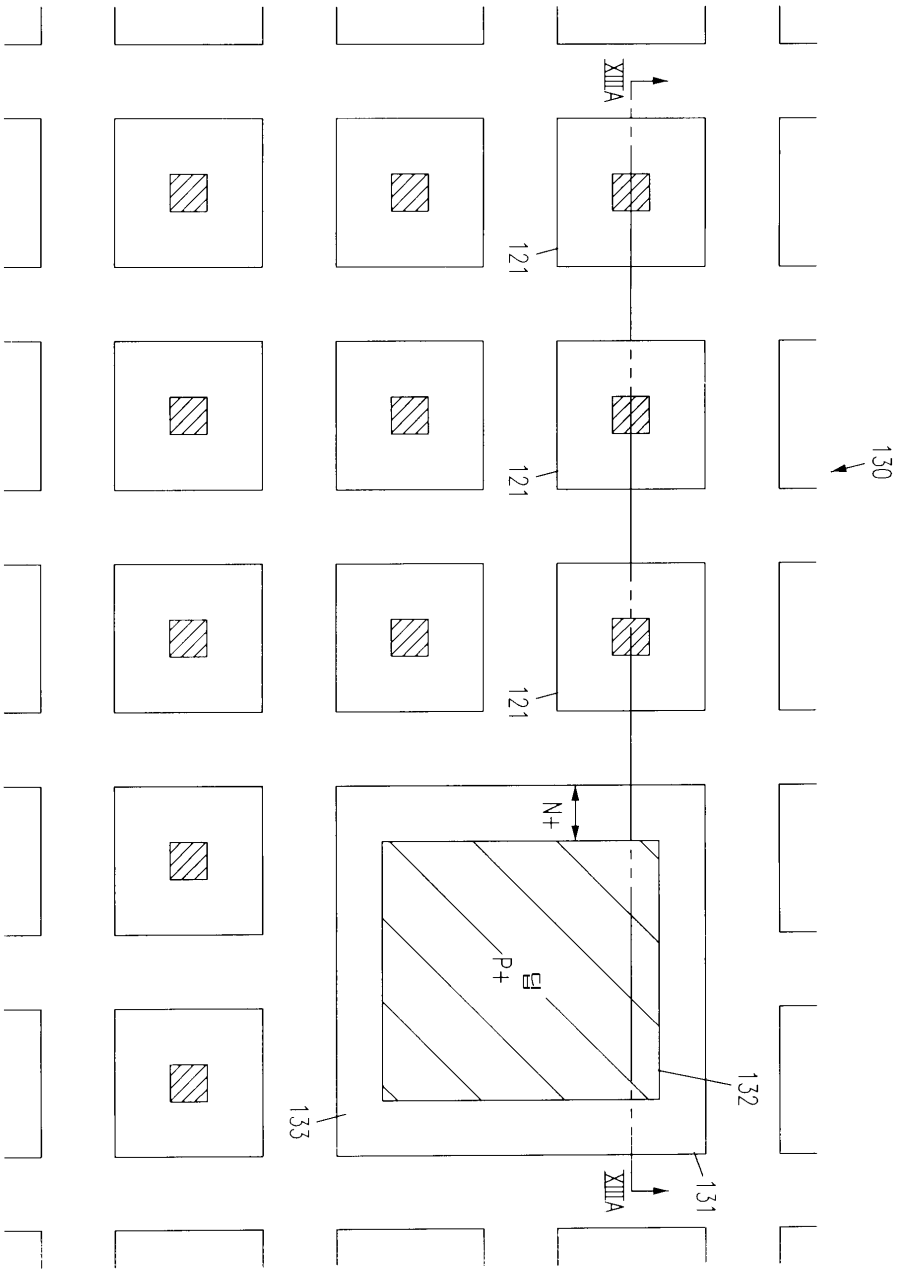
도면12


120
N+
P+
N+
N+
P+
N+
N+
P+
N+
P-바디
P-바디
P-바디
C1
121
121
121
D1
N+ 기판
$BV_{D1} < BV_{C1}$

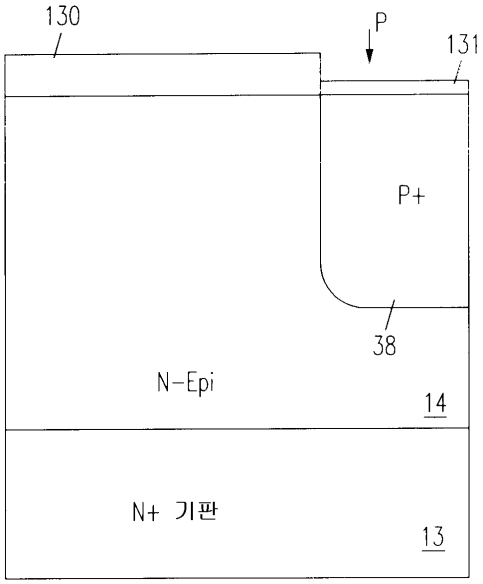
도면13a



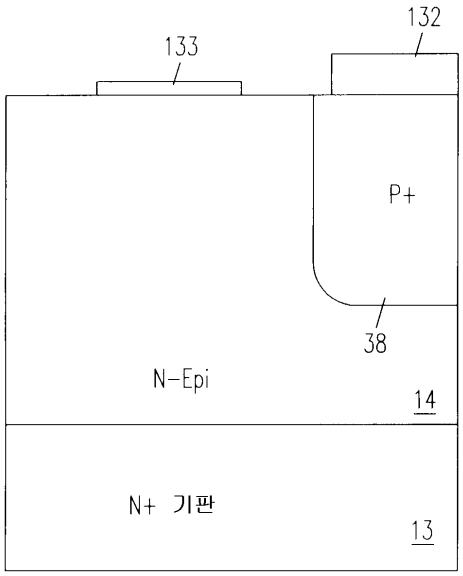
도면13b



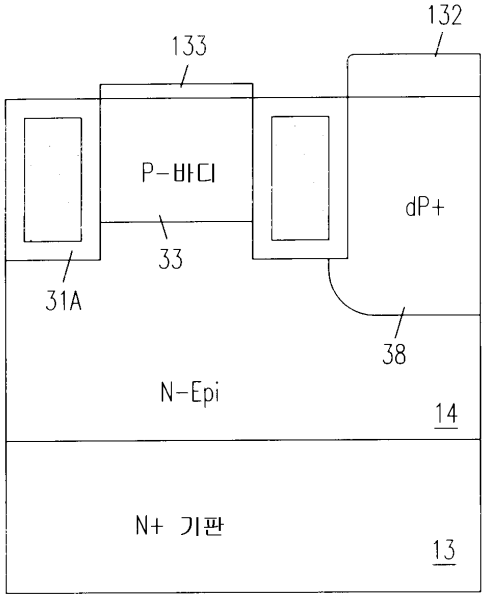
도면14a



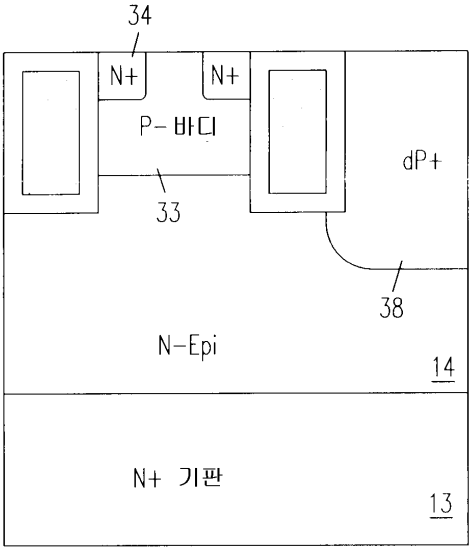
도면14b



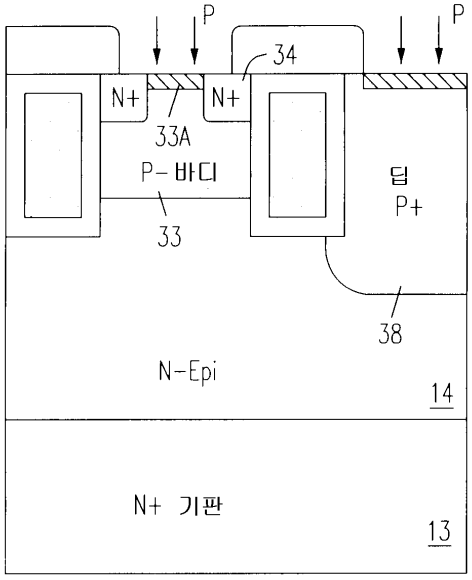
도면14c


132
133
P-바디
dP+
33
31A
38
N-Epi
14
N+ 기판
13

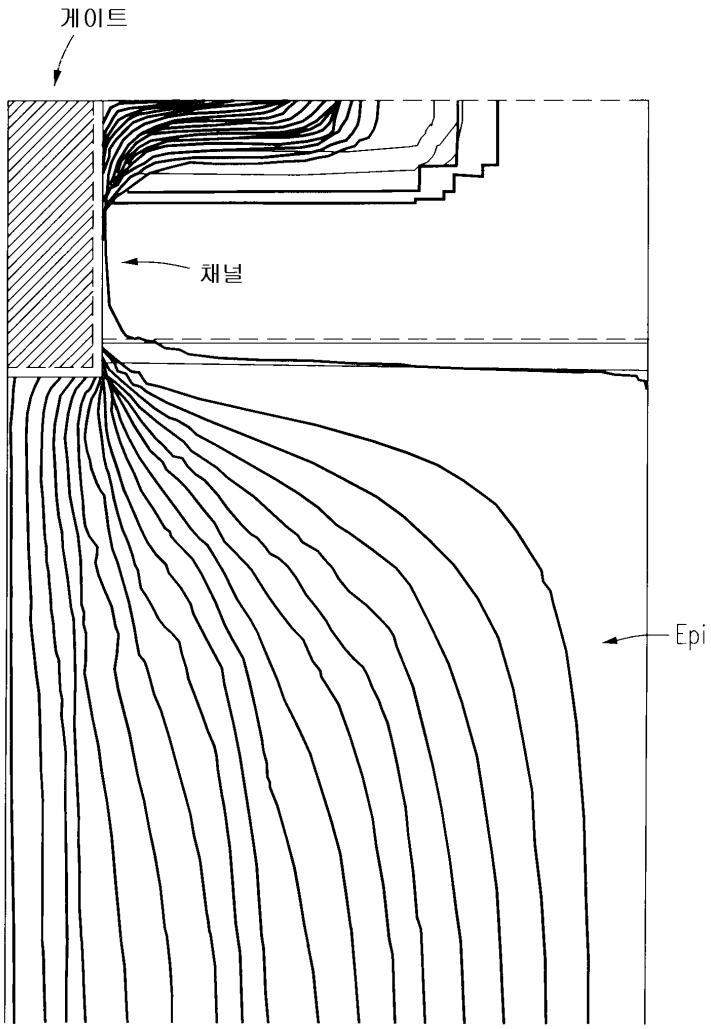
도면14d


34
N+
N+
P-바디
dP+
33
38
N-Epi
14
N+ 기판
13

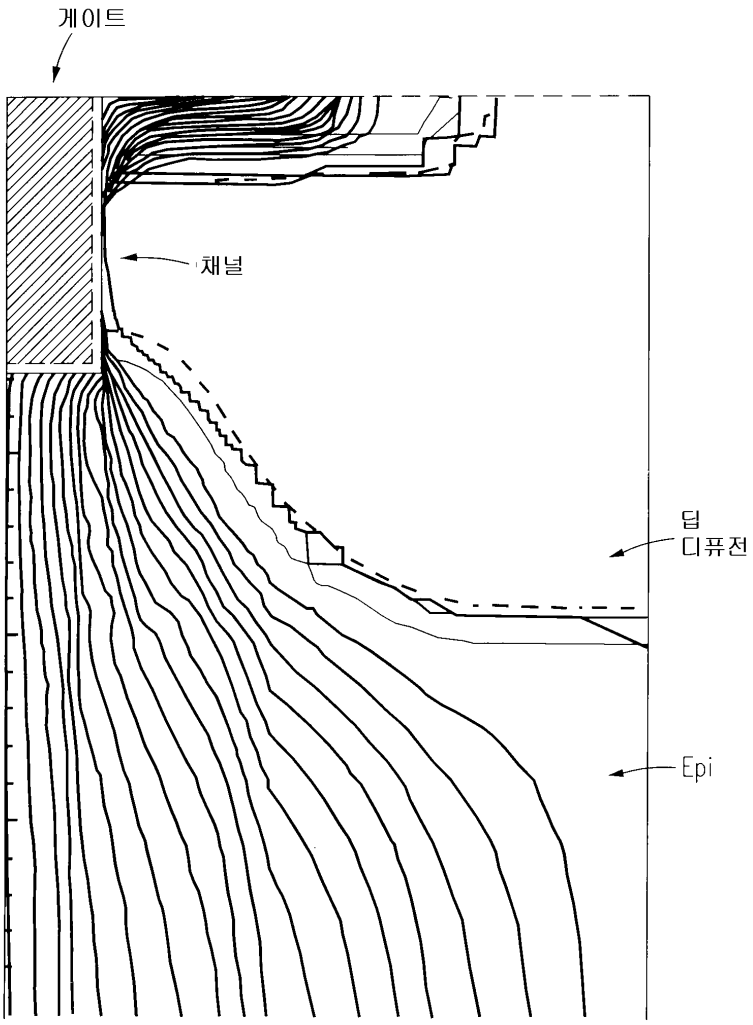
도면14e



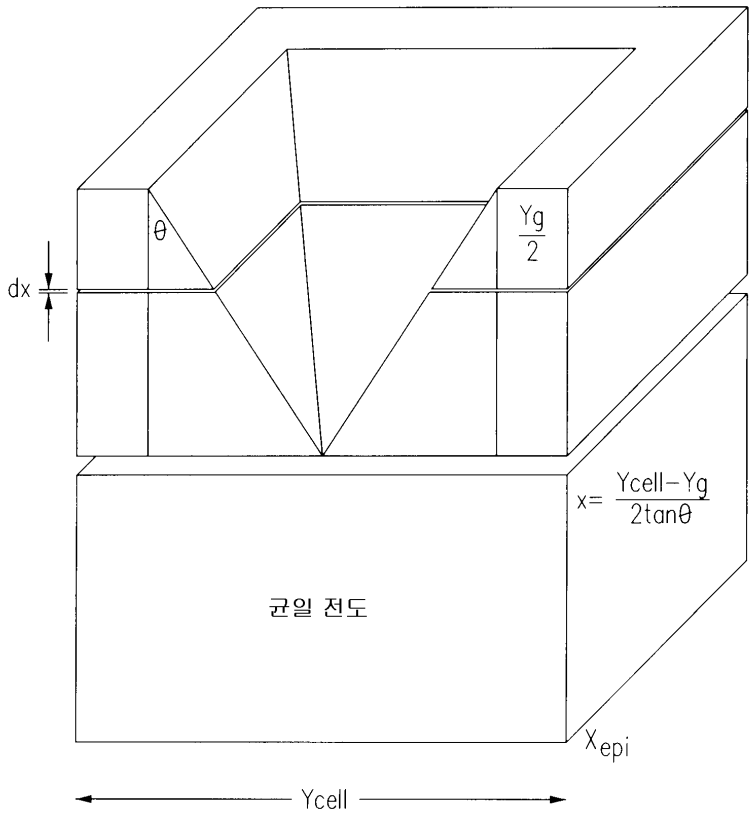
도면15a



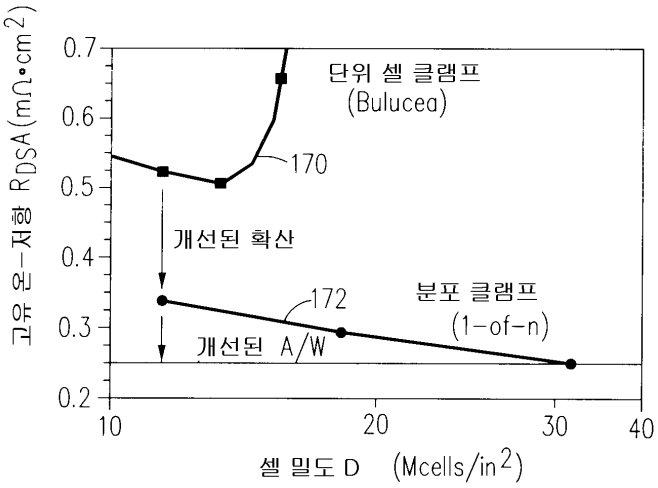
도면15b



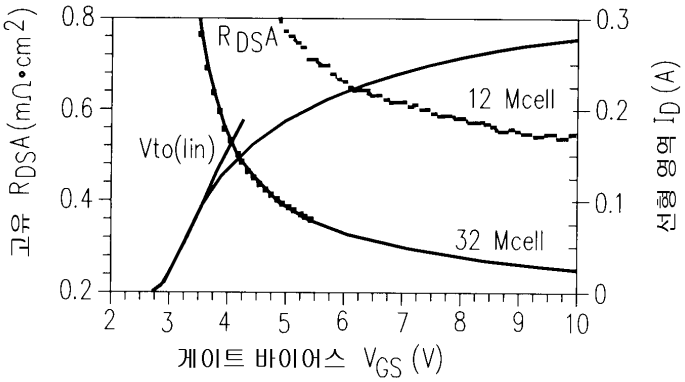
도면16


θ
dx
Yg/2
x= Ycell−Yg / 2tanθ
균일 전도
Xepi
Ycell

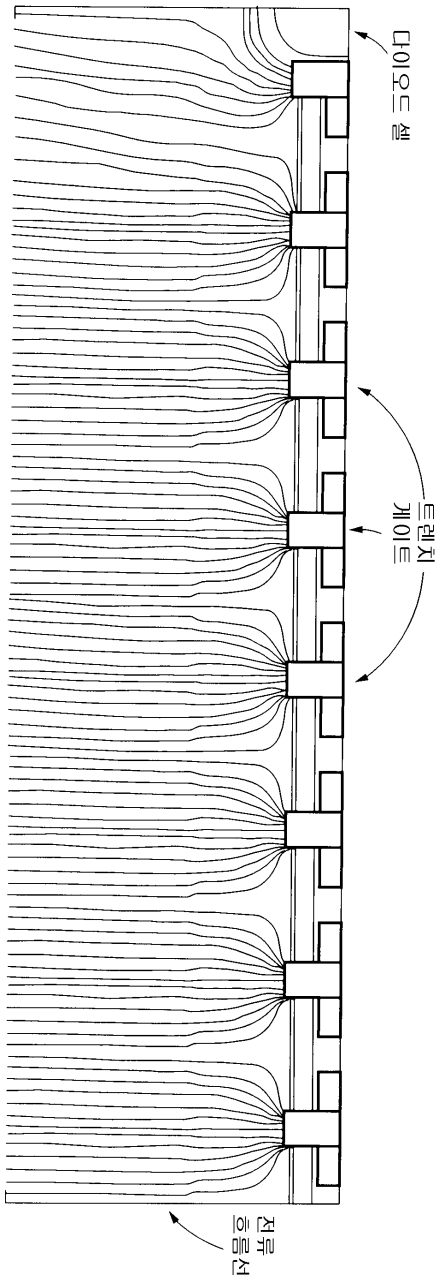
도면17


고유 온-저항 RDSA(mΩ•cm2)
0.7
0.6
0.5
0.4
0.3
0.2
10
20
30
40
셀 밀도 D (Mcells/in2)
단위 셀 클램프
(Bulucea)
170
개선된 확산
172
분포 클램프
(1-of-n)
개선된 A/W

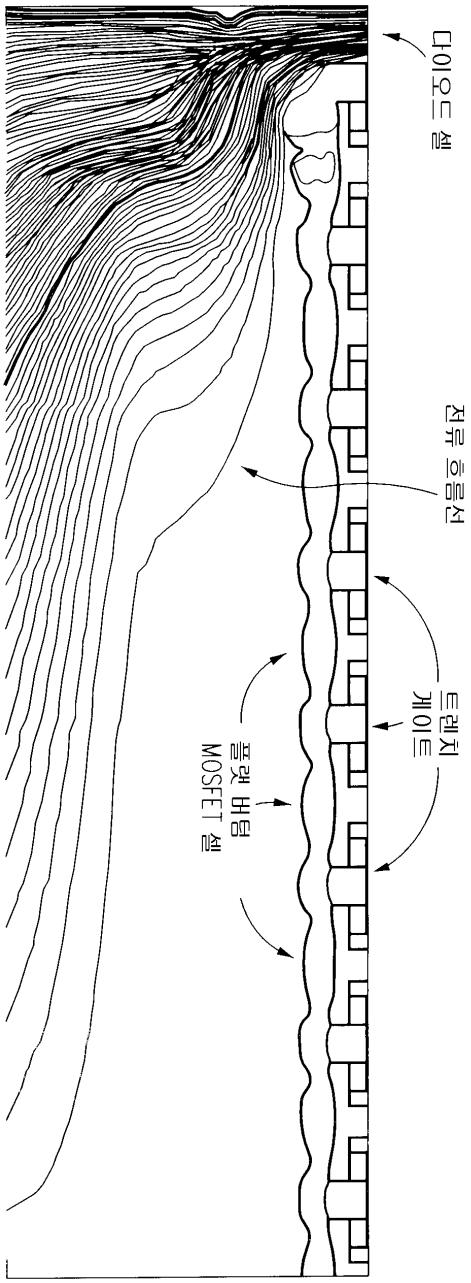
도면18


0.8
0.6
0.4
0.2
고유 RDSA(mΩ•cm2)
RDSA
Vto(lin)
12 Mcell
32 Mcell
0.3
0.2
0.1
0
선형 영역 ID (A)
2
3
4
5
6
7
8
9
10
게이트 바이어스 VGS (V)

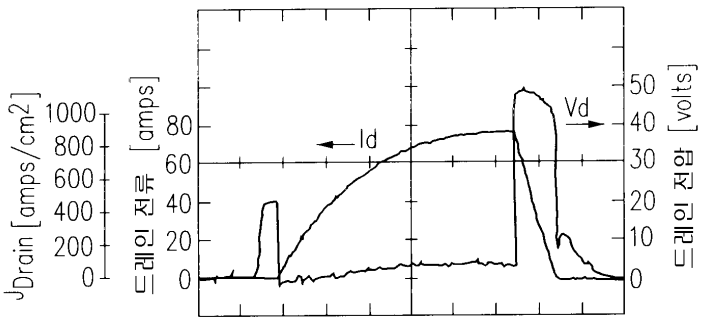
도면19a


다이오드 셀
게이트 트렌치
전류 흐름선

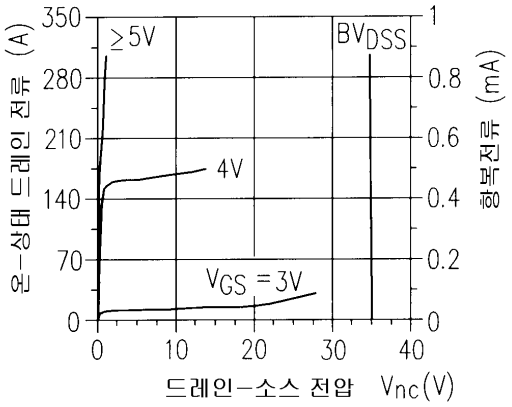
도면19b


다이오드 셀
전류 흐름선
트렌치 게이트
플랫 바텀 MOSFET 셀

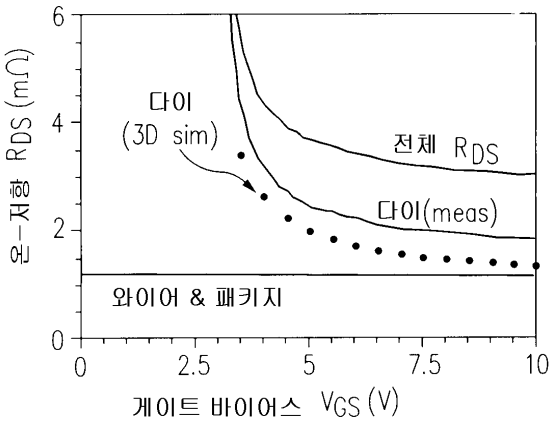
도면20


JDrain [amps/cm2]
1000
800
600
400
200
0
드레인 전류 [amps]
80
60
40
20
0
Id
Vd
50
40
30
20
10
0
드레인 전압 [volts]

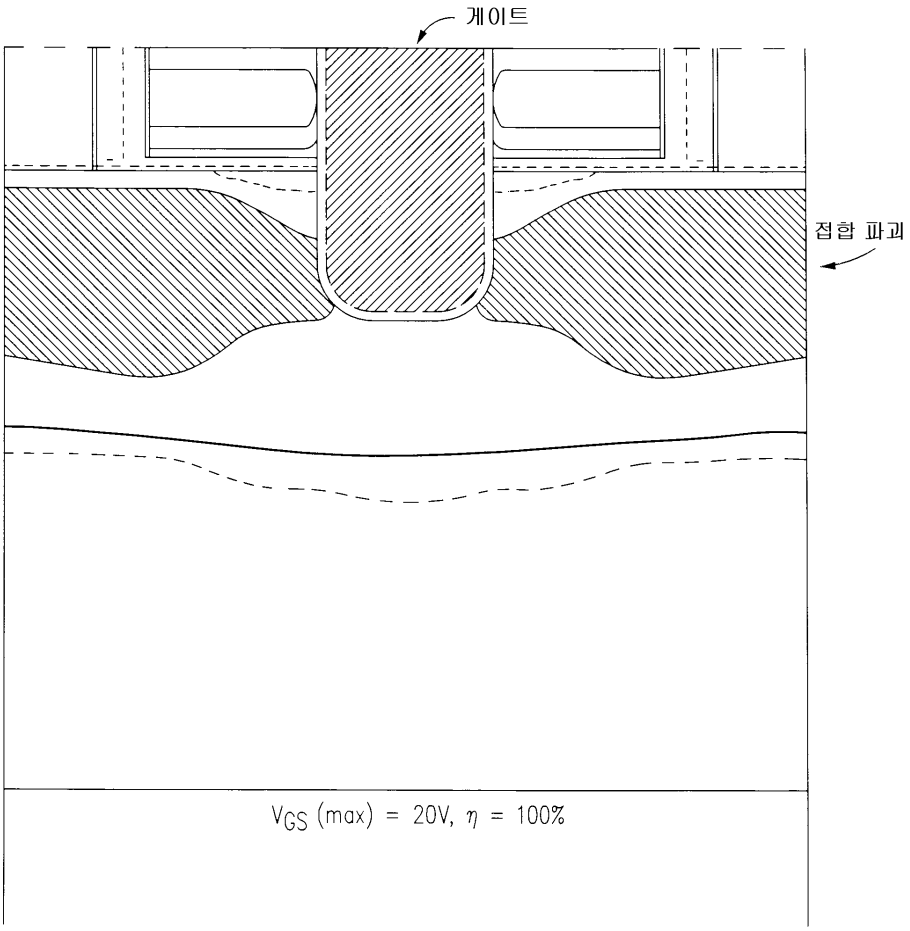
도면21


온-상태 드레인 전류 (A)
350
280
210
140
70
0
≥5V
4V
VGS =3V
BVDSS
1
0.8
0.6
0.4
0.2
0
항복전류 (mA)
0
10
20
30
40
드레인-소스 전압 Vnc(V)

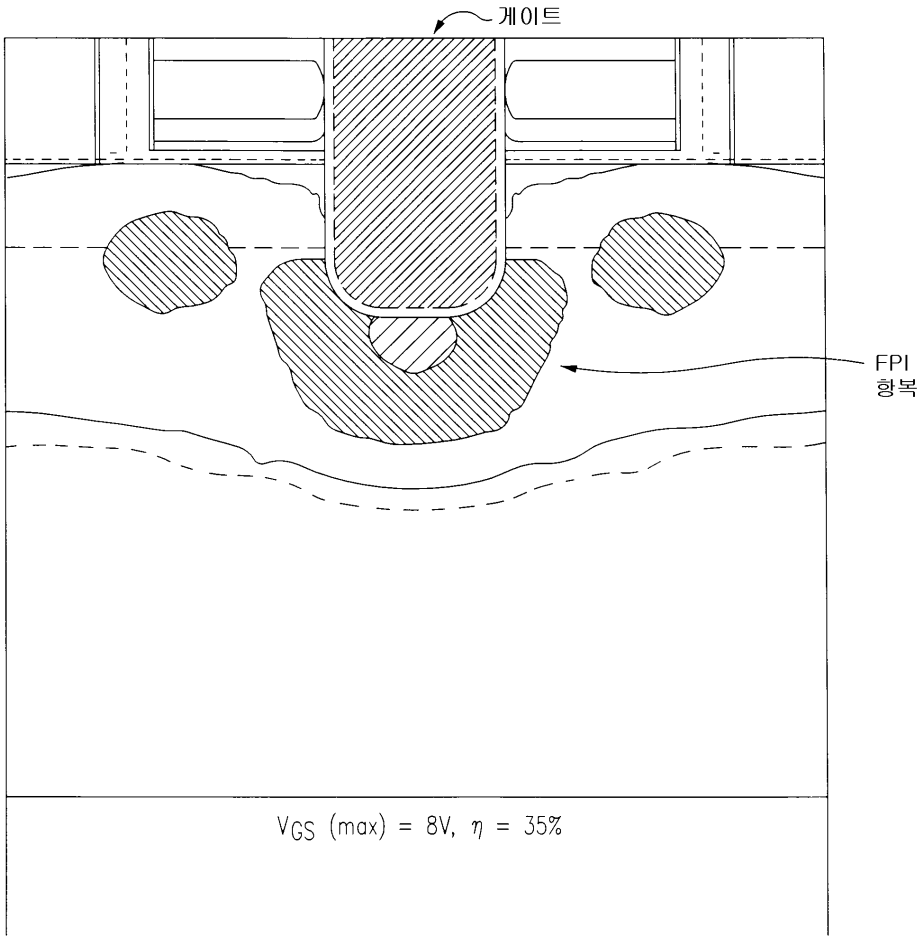
도면22


온-저항 RDS (mΩ)
6
4
2
0
다이
(3D sim)
전체 RDS
다이(meas)
와이어 & 패키지
0
2.5
5
7.5
10
게이트 바이어스 VGS (V)

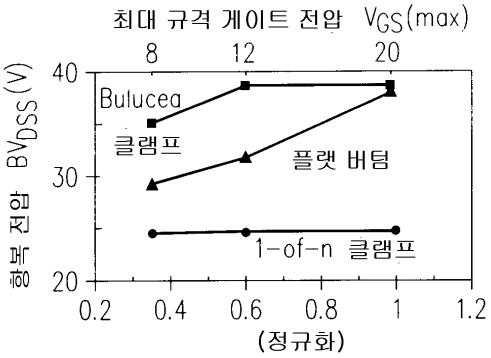
도면23a



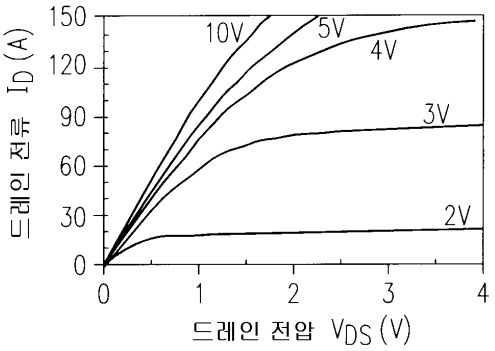
도면23b


게이트
FPI
항복
VGS (max) = 8V, η = 35%

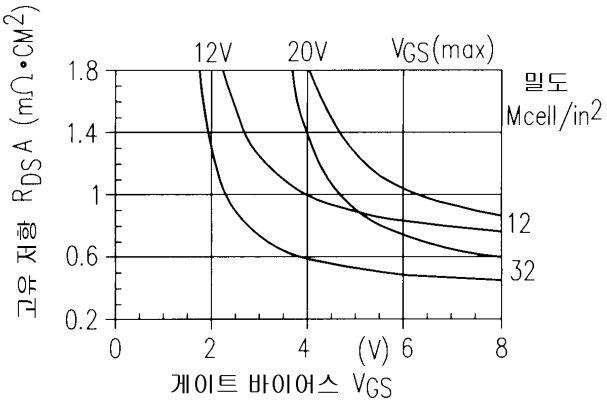
도면24


최대 규격 게이트 전압 VGS(max)
8
12
20
40
30
20
항복 전압 BVDSS(V)
Bulucea
클램프
플랫 버팀
1-of-n 클램프
0.2
0.4
0.6
0.8
1
1.2
(정규화)

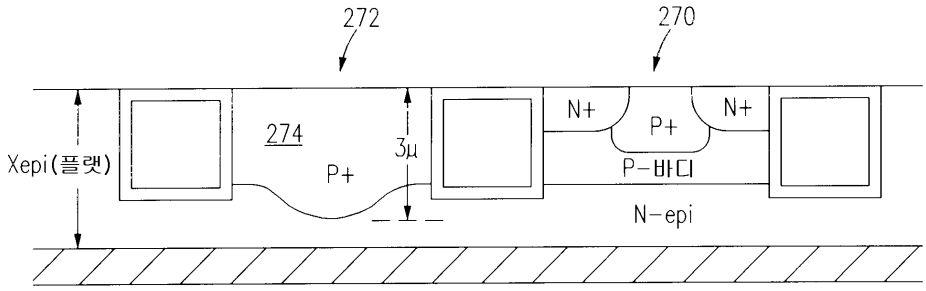
도면25



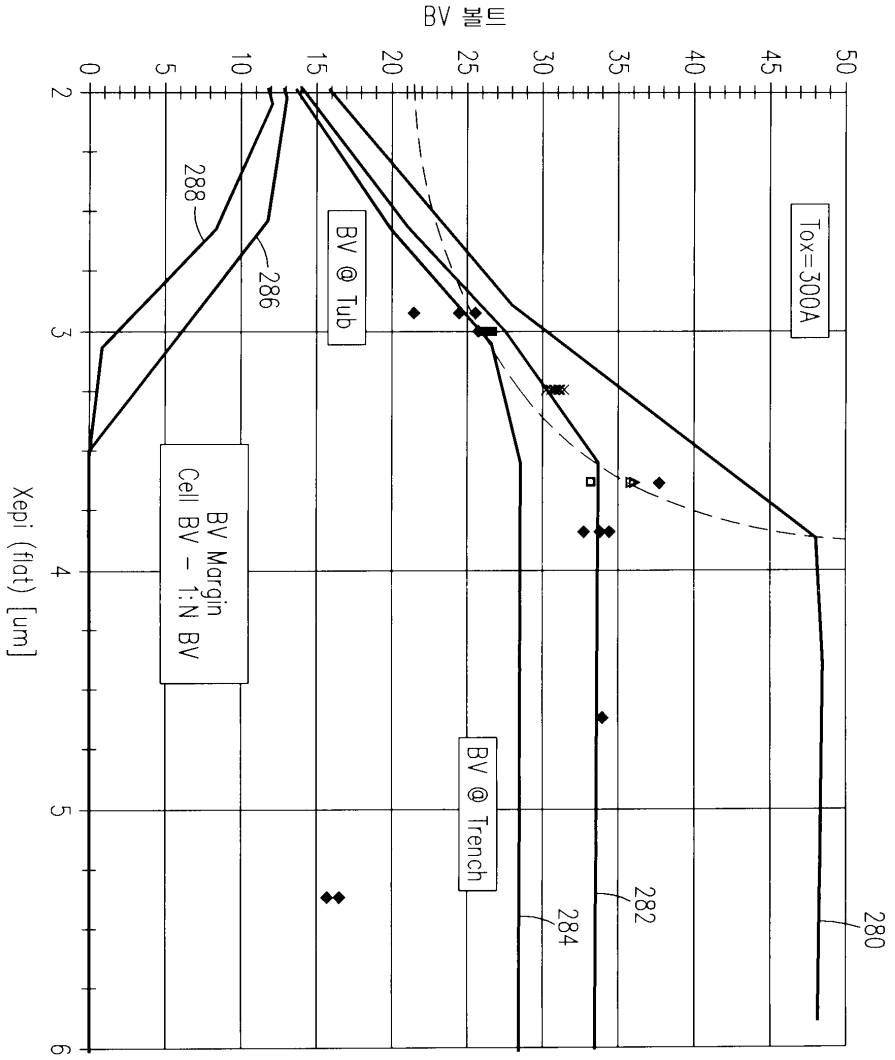
도면26



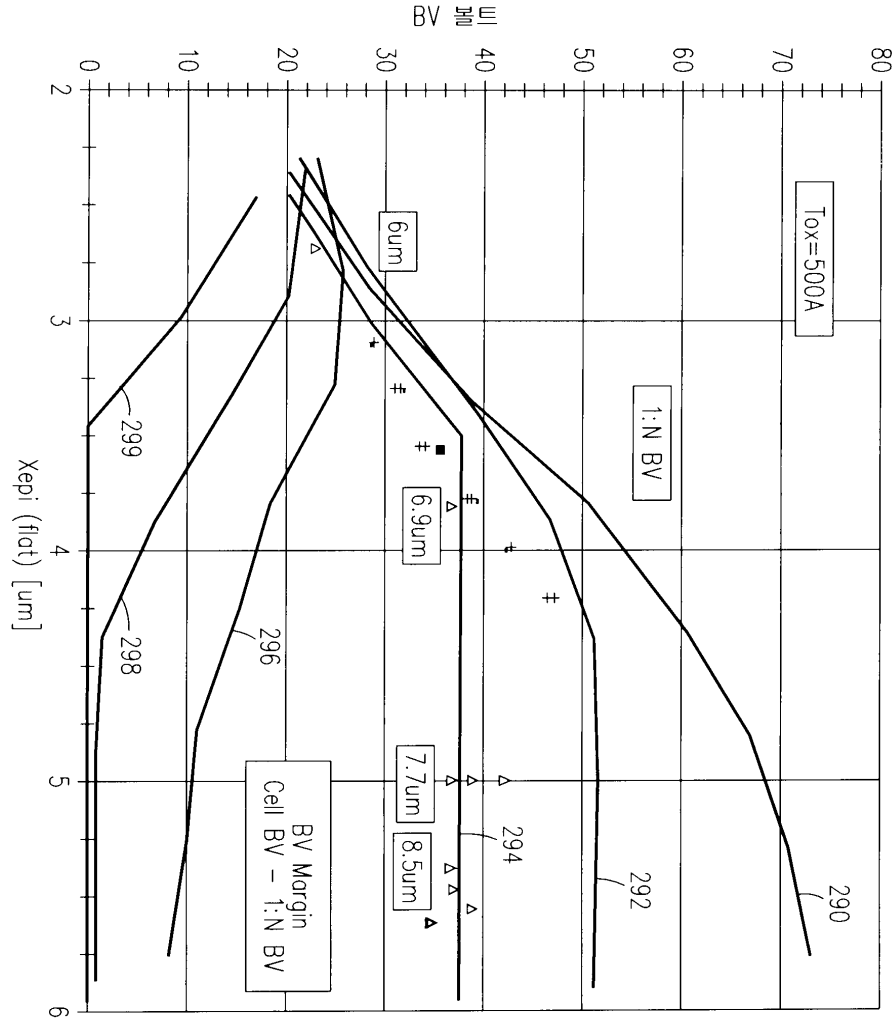
도면27



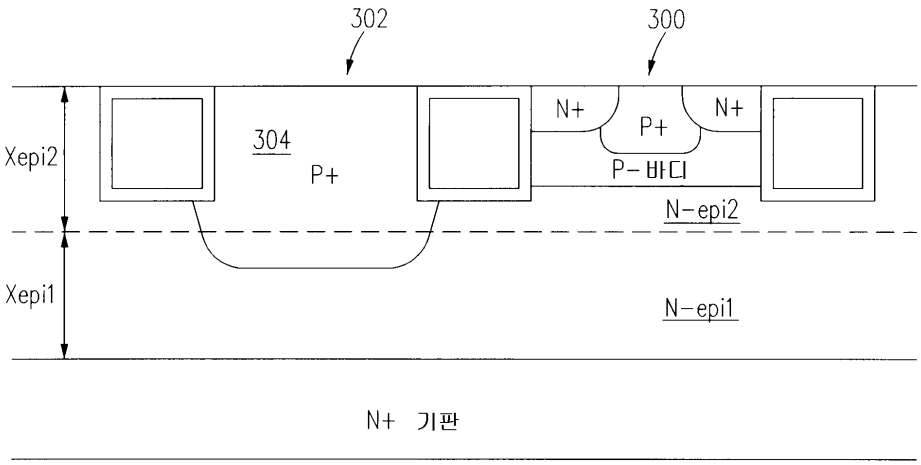
도면28


BV 볼트
0
5
10
15
20
25
30
35
40
45
50
2
3
4
5
6
Xepi (flat) [um]
Tox=300A
BV @ Tub
BV @ Trench
BV Margin
Cell BV - 1:N BV
280
282
284
286
288

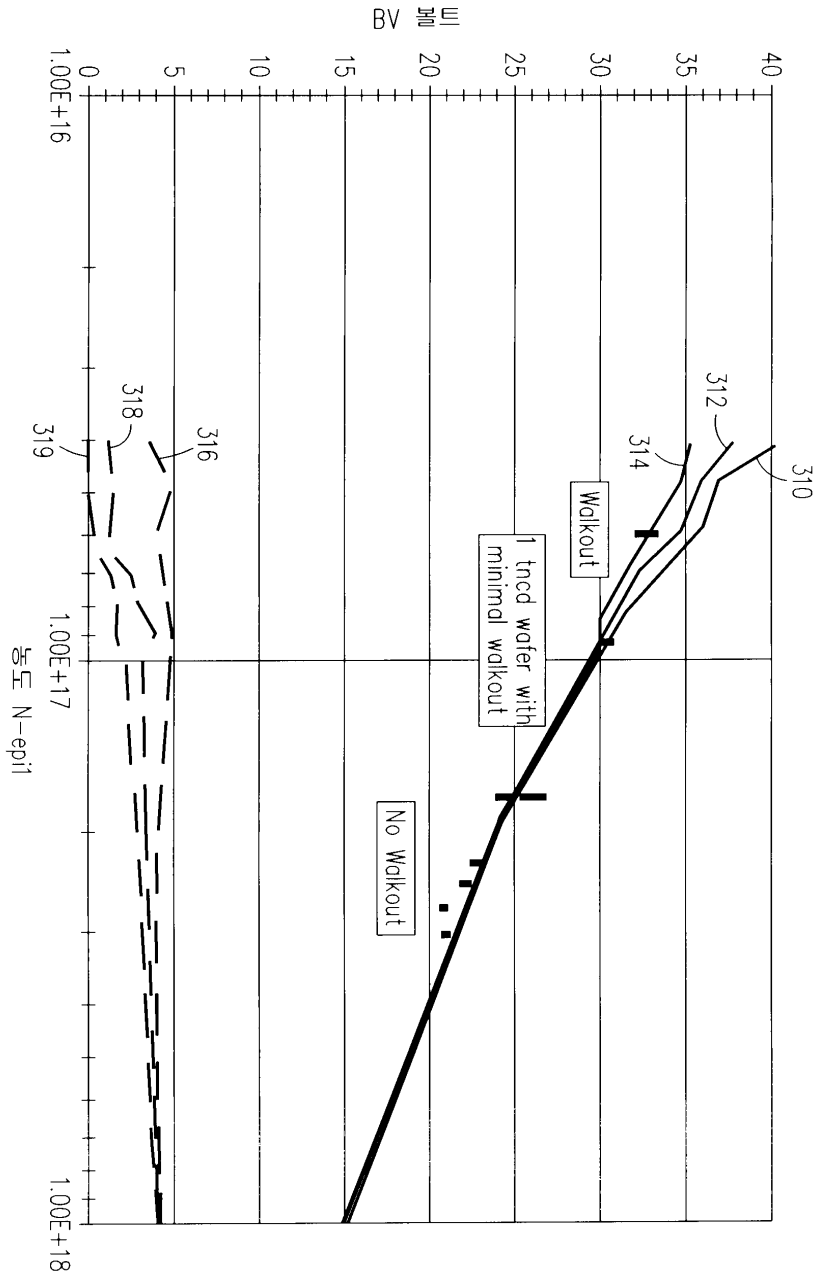
도면29


BV 볼트
0
10
20
30
40
50
60
70
80
2
3
4
5
6
Xepi (flat) [um]
6um
6.9um
7.7um
8.5um
Tox=500A
1:N BV
BV Margin
Cell BV - 1:N BV
290
292
294
296
298
299

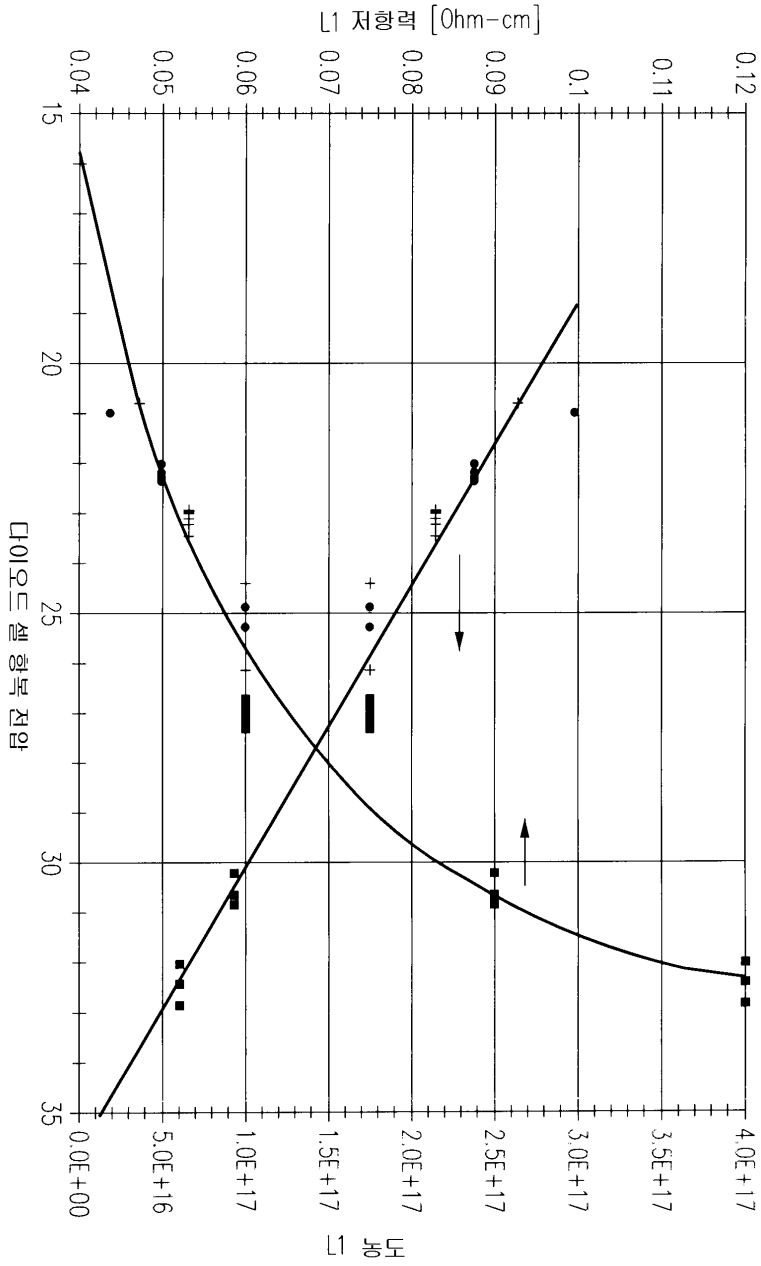
도면30


302
300
N+
P+
N+
304
P+
P-바디
N-epi2
Xepi2
Xepi1
N-epi1
N+ 기판

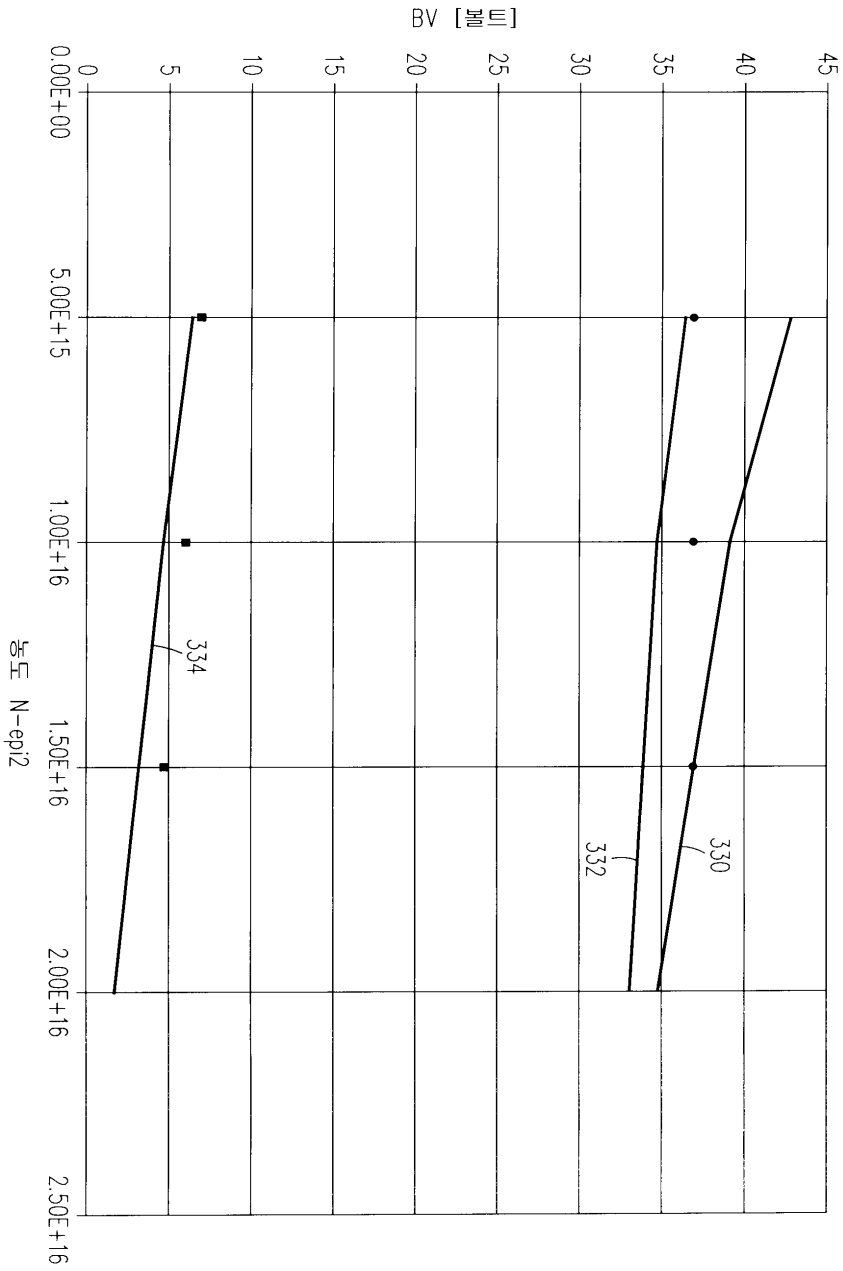
도면31


BV 볼트
0
5
10
15
20
25
30
35
40
1.00E+16
1.00E+17
1.00E+18
농도 N-epi1
310
312
314
316
318
319
Walkout
1 tncd wafer with minimal walkout
No Walkout

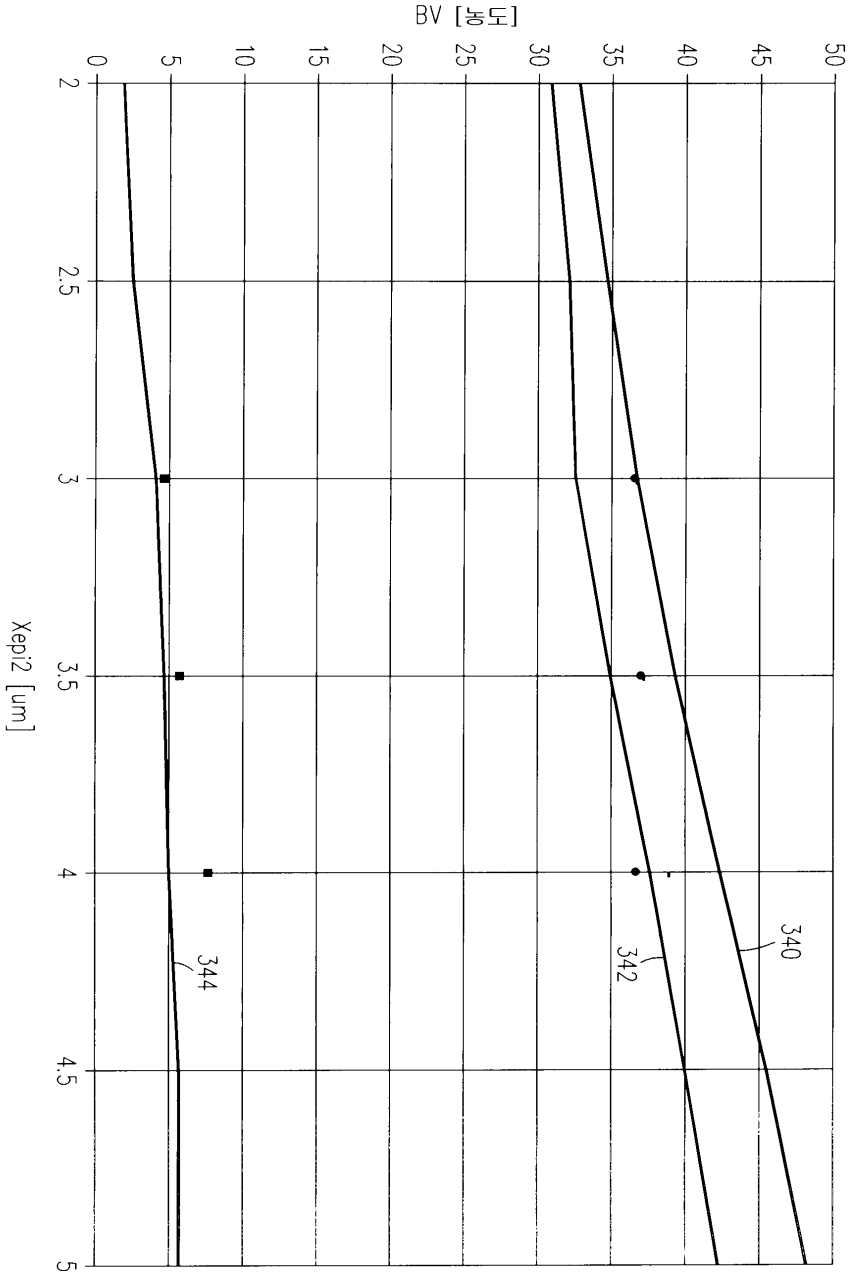
도면32


L1 저항력 [Ohm-cm]
0.04
0.05
0.06
0.07
0.08
0.09
0.1
0.11
0.12
다이오드 셀 항복 전압
15
20
25
30
35
L1 농도
0.0E+00
5.0E+16
1.0E+17
1.5E+17
2.0E+17
2.5E+17
3.0E+17
3.5E+17
4.0E+17

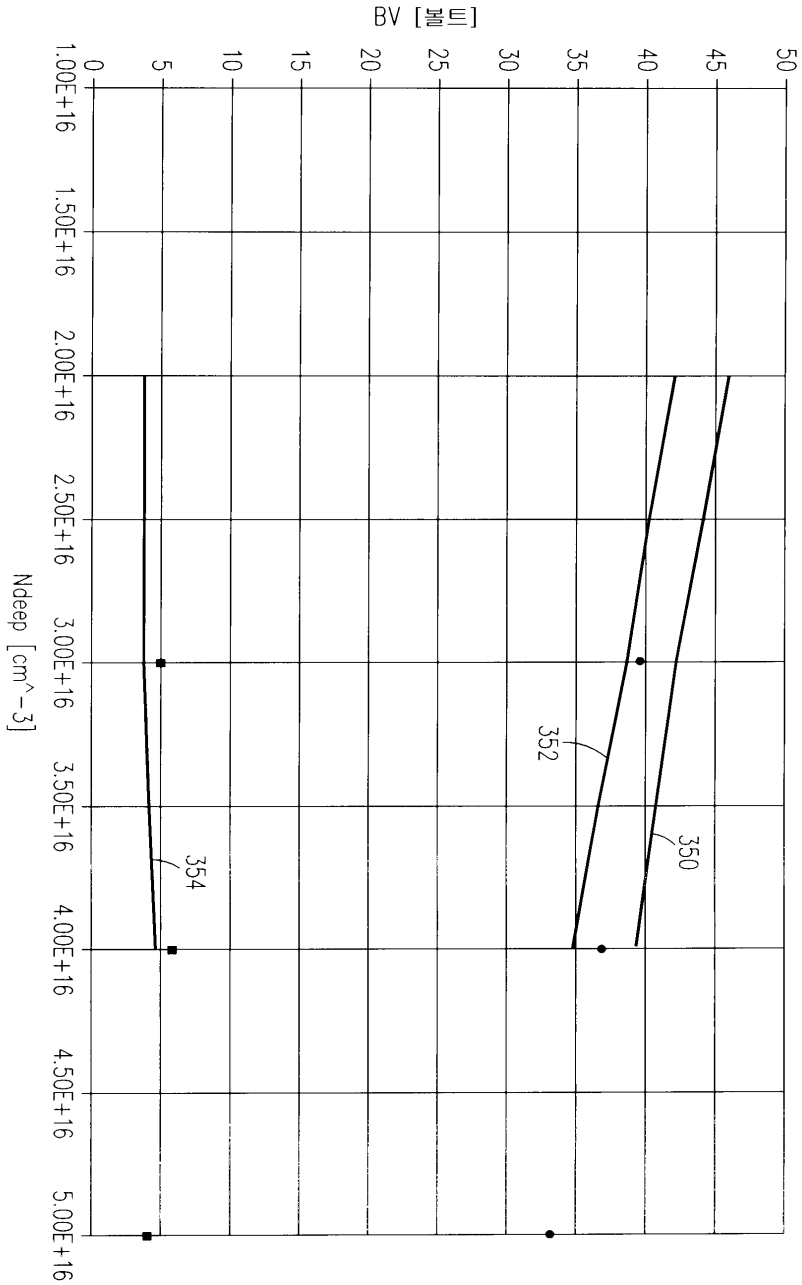
도면33


BV [볼트]
0
5
10
15
20
25
30
35
40
45
0.00E+00
5.00E+15
1.00E+16
1.50E+16
2.00E+16
2.50E+16
농도 N-epi2
334
332
330

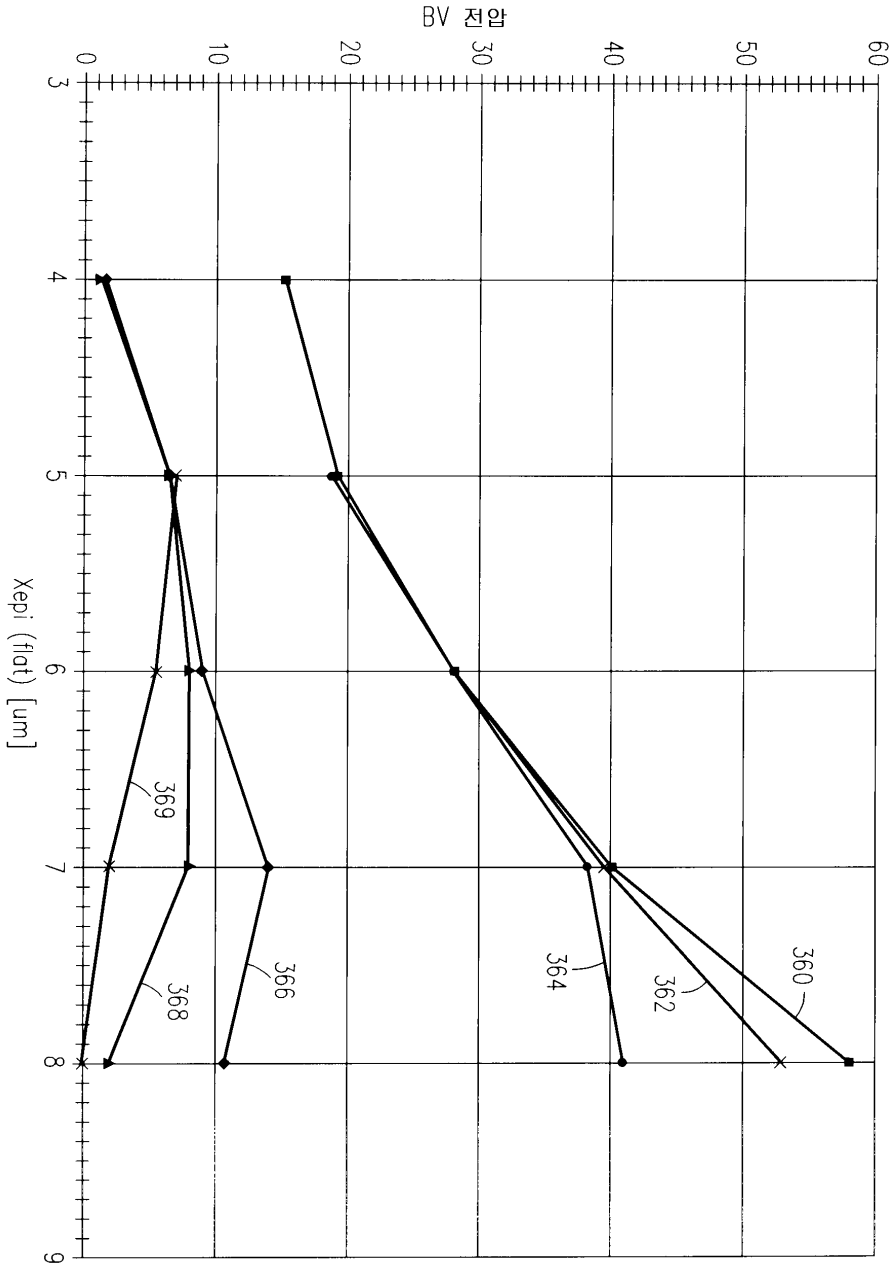
도면34


BV [농도]
0
5
10
15
20
25
30
35
40
45
50
Xepi2 [um]
2
2.5
3
3.5
4
4.5
5
340
342
344

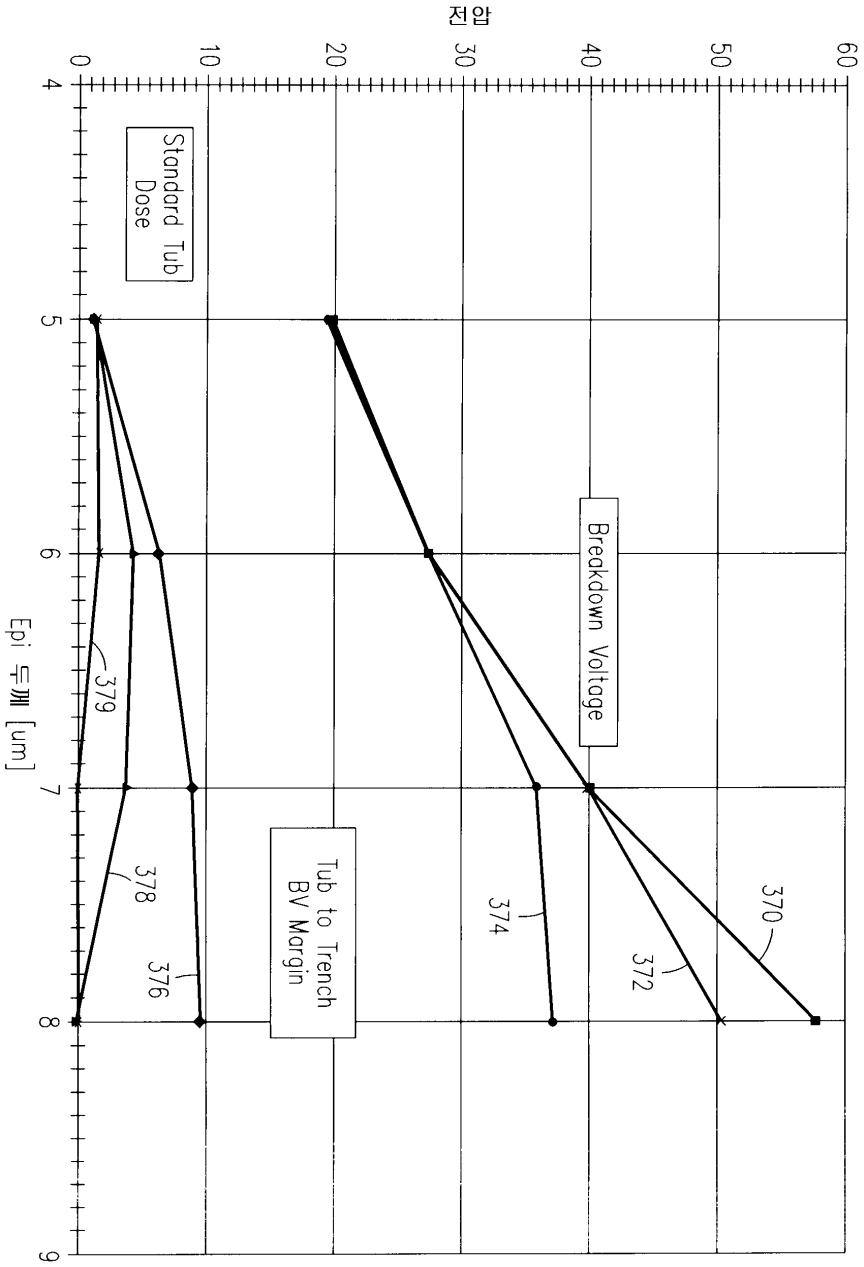
도면35


BV [볼트]
0
5
10
15
20
25
30
35
40
45
50
Ndeep [cm^-3]
1.00E+16
1.50E+16
2.00E+16
2.50E+16
3.00E+16
3.50E+16
4.00E+16
4.50E+16
5.00E+16
352
350
354

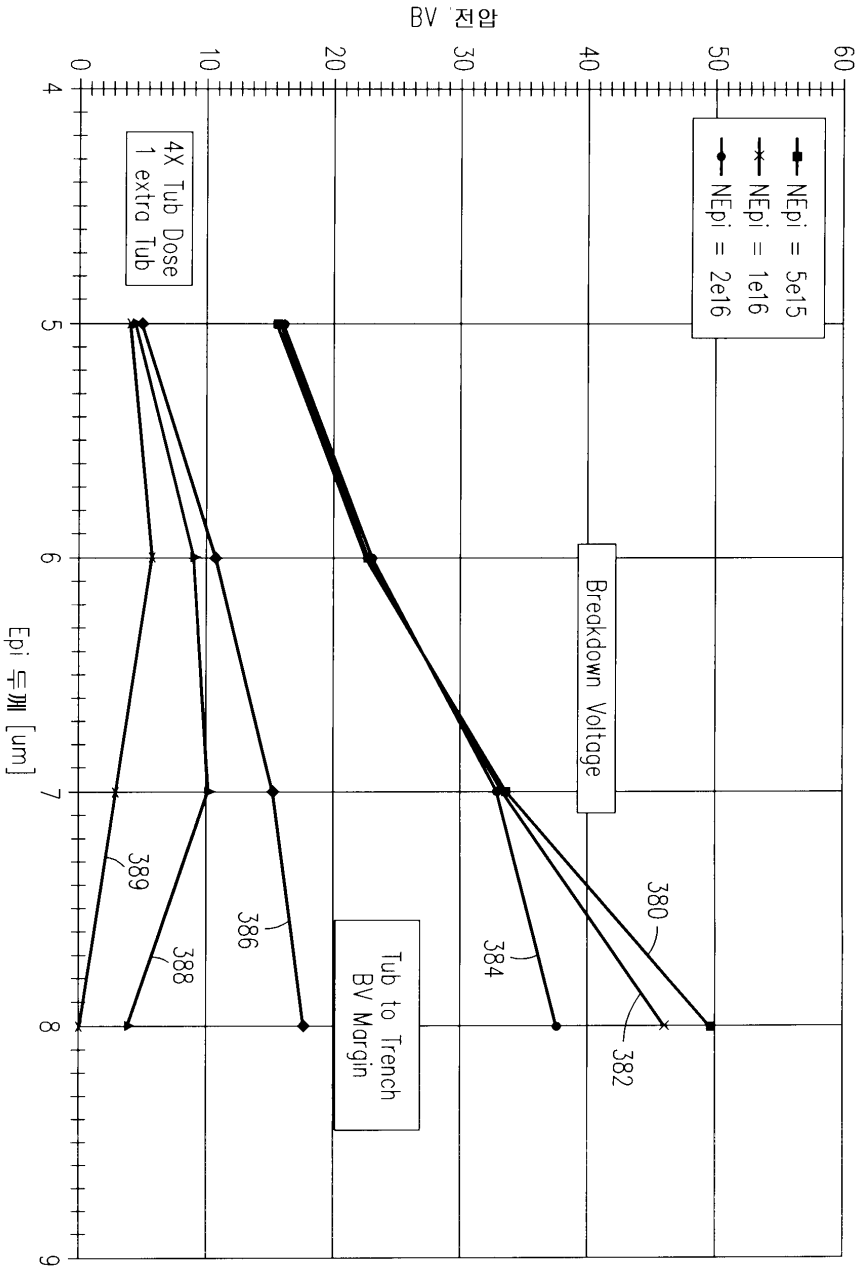
도면36


BV 전압
0
10
20
30
40
50
60
3
4
5
6
7
8
9
Xepi (flat) [um]
369
368
366
364
362
360

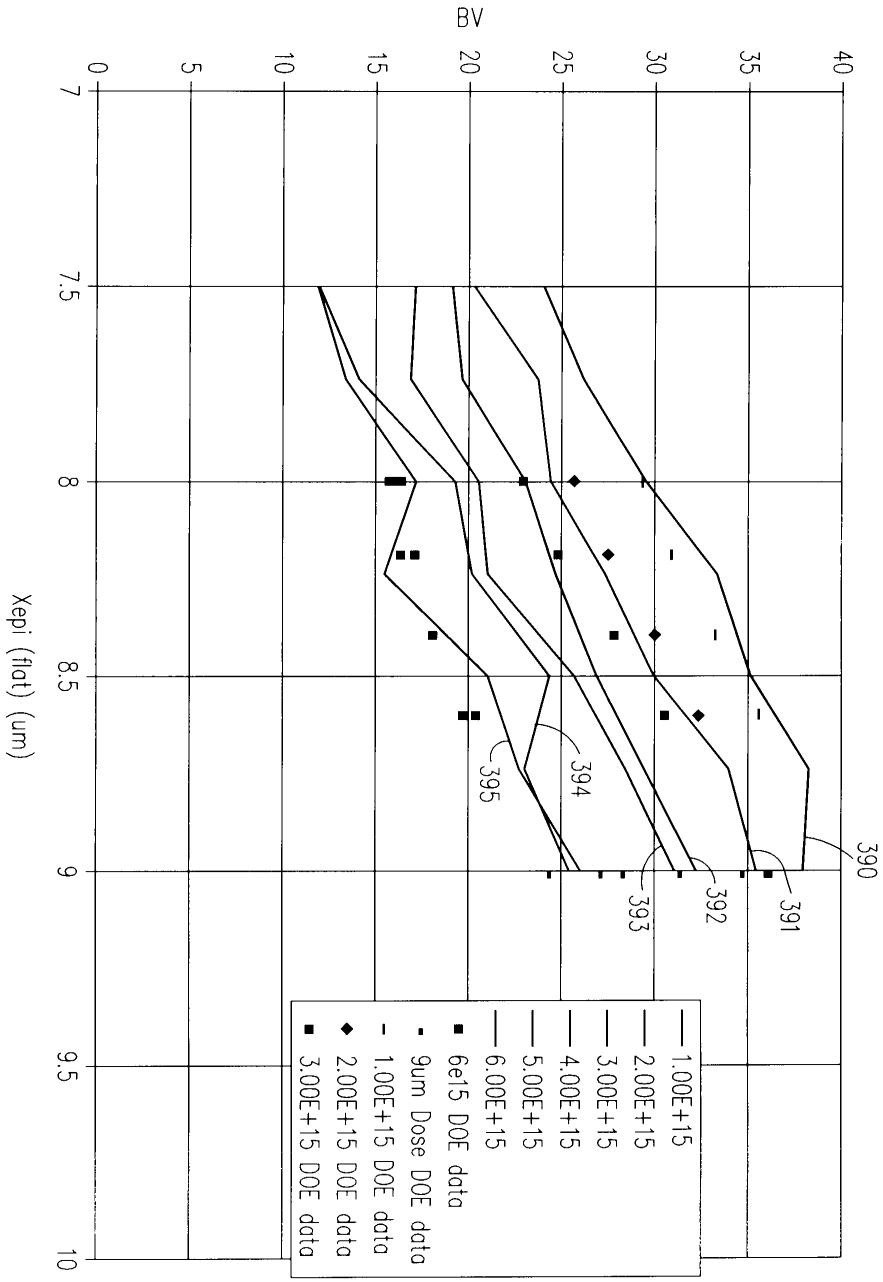
도면37


전압
0
10
20
30
40
50
60
4
5
6
7
8
9
Epi 두께 [um]
Standard Tub Dose
Breakdown Voltage
Tub to Trench BV Margin
370
372
374
376
378
379

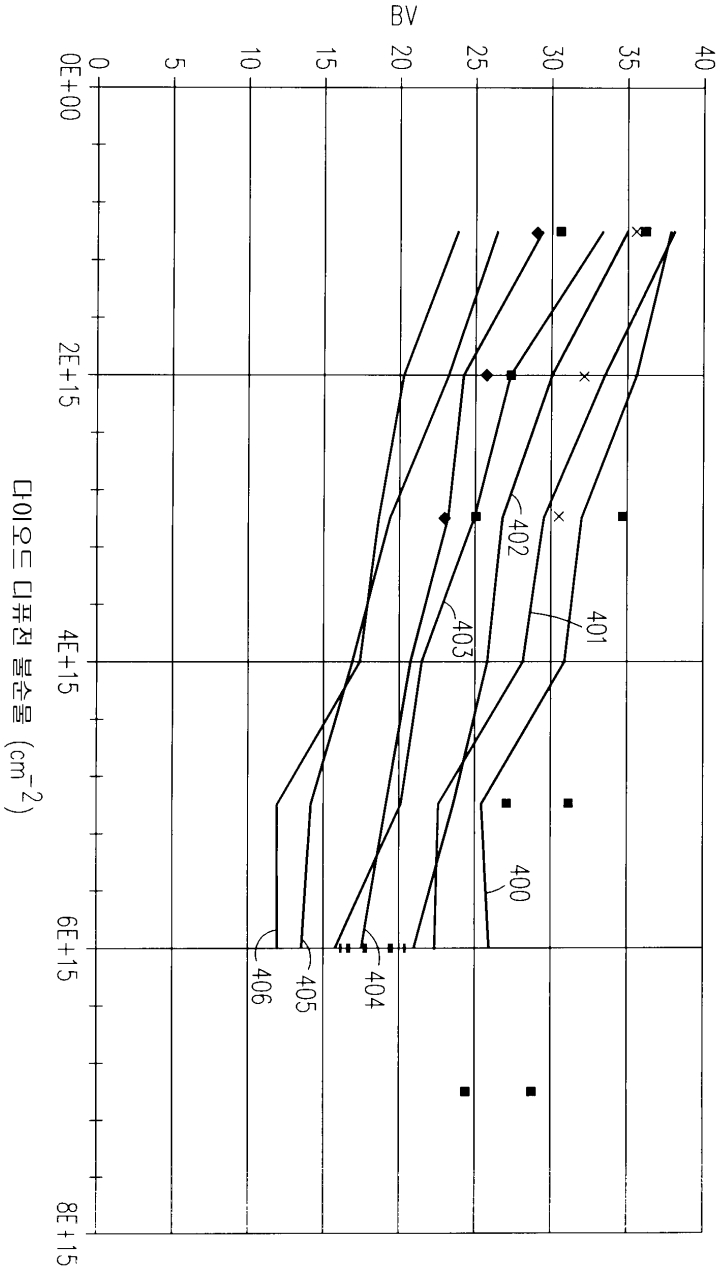
도면38


BV 전압
0
10
20
30
40
50
60
4
5
6
7
8
9
Epi 두께 [um]
NEpi = 5e15
NEpi = 1e16
NEpi = 2e16
4X Tub Dose
1 extra Tub
Breakdown Voltage
Tub to Trench
BV Margin
380
382
384
386
388
389

도면39


BV
0
5
10
15
20
25
30
35
40
Xepi (flat) (um)
7
7.5
8
8.5
9
9.5
10
390
391
392
393
394
395
1.00E+15
2.00E+15
3.00E+15
4.00E+15
5.00E+15
6.00E+15
6e15 DOE data
9um Dose DOE data
1.00E+15 DOE data
2.00E+15 DOE data
3.00E+15 DOE data

도면40


BV
0
5
10
15
20
25
30
35
40
0E+00
2E+15
4E+15
6E+15
8E+15
다이오드 디퓨전 불순물 (cm^{-2})
400
401
402
403
404
405
406