

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月20日(20.09.2012)



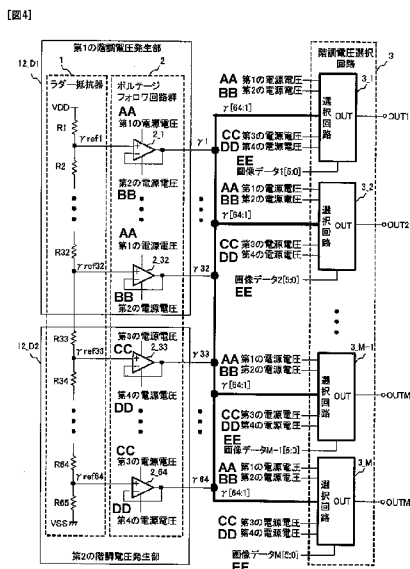
(10) 国際公開番号
WO 2012/123995 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2011/002162
- (22) 国際出願日: 2011年4月12日(12.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-057033 2011年3月15日(15.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 小島 友和 (KOJIMA, Tomokazu). 大谷 欣之 (OTANI, Yoshiyuki).
- (74) 代理人: 特許業務法人 有古特許事務所(PATENT CORPORATE BODY ARCO PATENT OFFICE); 〒6500031 兵庫県神戸市中央区東町123番地の1 貿易ビル3階 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: GRADIENT VOLTAGE GENERATING CIRCUIT, AND DISPLAY DEVICE

(54) 発明の名称: 階調電圧発生回路及び表示装置



- 1 Ladder resistor
- 2 Voltage follower circuit group
- 3 Gradient voltage selection circuit
- 3_1, 3_2, 3_M-1, 3_M Selection circuit OUT
- 12_D1 First gradient voltage generating unit
- 12_D2 Second gradient voltage generating unit
- AA First power supply voltage
- BB Second power supply voltage
- CC Third power supply voltage
- DD Fourth power supply voltage
- EE Image data

(57) Abstract: This gradient voltage generating circuit is configured such that a plurality of voltage follower circuits (2_1~2_64) are divided between at least two gradient voltage generating units (12_D1, 12_D2), and the two or more gradient voltage generating units drive the respective voltage follower circuit included therein at different power supply voltages having a lower potential difference than the potential difference between the maximum voltage (γ_{ref1}) and the minimum voltage (γ_{ref64}) among a plurality of reference voltages. A plurality of selection circuits (3_1~3_M) are also similarly divided between at least two switch circuits (3_D1, 3_D2), and driven. Furthermore, a pre-charge circuit can be further provided in the output path from the switch circuit to an output terminal, said pre-charge circuit being configured such that, by means of a process for changing the gradient voltage selection, the output terminal voltage is maintained at an intermediate voltage which is between the maximum and minimum voltages among the plurality of reference voltages.

(57) 要約: 本発明の階調電圧発生回路は、複数のボルテージフォロワ回路(2_1~2_64)は二以上の階調電圧発生部(12_D1, 12_D2)に区分され、且つ二以上の階調電圧発生部は複数の基準電圧の最大電圧(γ_{ref1})と最小電圧(γ_{ref64})との間の電位差よりも低い電位差を有した互いに異なる電源電圧でそれぞれに含まれるボルテージフォロワ回路をそれぞれ駆動するよう構成される。複数の選択回路(3_1~3_M)も同様に二以上のスイッチ回路(3_D1, 3_D2)に区分されて駆動される。さらに、スイッチ回路から出力端に至る出力経路には、階調電圧の選択を切り替える過程で、出力端の電圧を複数の基準電圧の最大電圧と最小電圧との間の中間電圧に保持させるように構成されたプリチャージ回路がさらに備えられる。

WO 2012/123995 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 階調電圧発生回路及び表示装置

技術分野

[0001] 本発明は、階調電圧発生回路及びそれを用いた表示装置に関する。

背景技術

[0002] 近年、小型化かつ高精細化が進んでいるTFT（Thin Film Transistor）を使用したアクティブマトリックス（active matrix）型の液晶パネルでは、多階調化による色調豊かでかつ高画質な画像表示が要求されている。このような要求を満たすために、画像データに応じた階調電圧がガンマ特性に応じて補正され、該補正された階調電圧によって液晶パネルの信号線（ソース線又はデータ線とも呼ばれる）が駆動されている。なお、階調電圧の補正は、一般的に、複数の抵抗を直列に接続して構成されたラダー抵抗器を含む階調電圧発生回路により行われる。

[0003] 図14は、特許文献1に示された従来の階調電圧発生回路（液晶駆動電源回路）の構成を示した図である。図14に示す階調電圧発生回路は、オペアンプ（ボルテージフォロワ）200a～200dそれぞれの電源電圧として分周抵抗R1～R6により分周された電圧V1～V6を用いるように構成されている。特に、図14に示す階調電圧発生回路は、オペアンプ200a～200dそれぞれの電源電圧として、分周抵抗R1～R6により分周された電圧のうち前段及び次段の電圧が用いられるように構成されている。例えば、電圧V2が入力されるオペアンプ200aに対して電圧V1及び電圧V3が電源電圧として供給される。

先行技術文献

特許文献

[0004] 特許文献1：特開平5-257121号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1の構成では、次のような問題がある。上記のとおり、複数のオペアンプそれぞれの電源電圧として、複数の分周抵抗により分周された電圧のうち、該オペアンプの入力電圧に対して前段及び次段となる電圧が用いられるように構成されている。しかしながら、液晶パネルの運用上、複数のオペアンプから出力される複数の階調電圧のうち一つが選択されるとき、信号線を介して画素容量に印加されることになる。このため、階調電圧が切り替えられる時、オペアンプを構成する各トランジスタには前段及び次段の電圧間の電位差よりも高い電位差が印加される場合がある。従って、特許文献1の構成では、オペアンプを構成する各トランジスタの耐圧破壊を引き起こしかねないが、その対策について何ら示唆も開示もされていない。

[0006] 本発明の目的は、上記問題点を解決するためになされたもので、小型化と併せて階調電圧の切り替えを適切に遂行可能な階調電圧発生回路及びそれを用いた表示装置を提供することである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本発明の一つの形態 (aspect) に係る階調電圧発生回路は、高電位側電源と低電位側電源との間にそれぞれの分圧により画像データの階調に応じた複数の基準電圧を発生するように複数の抵抗が直列に接続されて構成されたラダー抵抗器と、前記複数の基準電圧毎に設けられ、入力される前記基準電圧を前記階調電圧として出力する複数のボルテージフォロワ回路から成るボルテージフォロワ回路群と、前記ボルテージフォロワ回路群から出力された複数の前記階調電圧が入力されるとともに前記画像データが入力されて、該画像データの階調に対応する一つの階調電圧を該複数の階調電圧の中から選択して出力するように構成された複数の選択回路から成る階調電圧選択回路と、前記複数の選択回路にそれぞれ接続された複数の出力端と、を備え、前記ボルテージフォロワ回路群の前記複数のボルテージフォロワ回路は二以上の階調電圧発生部に区分され、且つ前記二以上の階調電圧発生部は前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差を有した互いに異なる電源電圧でそれぞれに含まれる前記

ボルテージフォロワ回路をそれぞれ駆動するよう構成され、前記階調電圧選択回路の前記複数の選択回路は二以上のスイッチ回路に区分され、且つ前記二以上のスイッチ回路は前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差でそれぞれに属する前記選択回路をそれぞれ駆動するよう構成され、且つ それぞれの前記スイッチ回路から前記出力端に至る出力経路には、前記階調電圧の選択を切り替える過程で、前記出力端の電圧を前記複数の基準電圧の最大電圧と最小電圧との間の中間電圧に保持させるように構成されたプリチャージ回路をさらに備える、ものである。

- [0008] 前記階調電圧発生回路において、前記ボルテージフォロワ回路は、前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差を有した電源電圧に応じた耐圧のトランジスタで構成されている、としてもよい。
- [0009] 前記階調電圧発生回路において、前記スイッチ回路は、前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差を有した電源電圧に応じた耐圧のトランジスタで構成されている、としてもよい。
- [0010] 前記階調電圧発生回路において、前記ボルテージフォロワ回路が、反転入力端子に出力端子が接続され、且つ非反転入力端子に前記基準電圧が入力されるオペアンプで構成されている、としてもよい。
- [0011] 前記階調電圧発生回路において、前記階調電圧発生部が二つであり、前記スイッチ回路が二つであり、且つ前記中間電圧は前記複数の基準電圧の最大電圧と最小電圧との平均電圧である、としてもよい。
- [0012] この構成によれば、ボルテージフォロワ回路群に含まれる複数のボルテージフォロワ回路と階調電圧選択回路に含まれる複数の選択回路は、ラダー抵抗器で生成される複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差で駆動されるとともに、該低い電位差を有した互いに異なる電源電圧で駆動されるように区分されるので、そのように区分しない場合と比べて低耐圧トランジスタで構成することができる。これにより、階調電圧発生回路全体の面積が抑えられる。
- [0013] なお、ボルテージフォロワ回路群に含まれる複数のボルテージフォロワ回

路と階調電圧選択回路に含まれる複数の選択回路とをそれぞれ低耐圧トランジスタで構成することに伴って、階調電圧の切り替え前後において低耐圧トランジスタには耐圧以上の電圧が印加される場合がある。しかしながら、階調電圧を切り替える過程で、プリチャージ回路によって出力端の電圧がラダー抵抗器で生成される最大基準電圧と最小基準電圧との間の中間電圧に一旦保持されるので、低耐圧トランジスタには最大でも最大基準電圧と中間電圧との間の電位差又は中間電圧と最小基準電圧との間の電位差が印加されることとなる。言い換えると、階調電圧が切り替えられる時に、低耐圧トランジスタには最大基準電圧と最小基準電圧との間の電位差が印加されずに済むようになる。これにより、低耐圧トランジスタの耐圧破壊の発生を抑えることができる。

[0014] 前記階調電圧発生回路において、前記階調電圧の選択を切り替える過程は、正極性の前記基準電圧と負極性の前記基準電圧とを相互に切り替える過程であり、前記選択回路は、前記スイッチ回路の出力経路に、正極性の前記基準電圧と負極性の前記基準電圧とを相互に切り替える過程で、前記出力端の電圧をグランド電位に保持させるように構成されたショート回路をさらに備える、としてもよい。

[0015] この構成によれば、表示パネルの焼きつき防止等のために、正極性の前記基準電圧又は負極性の前記基準電圧を相互に切り替える過程（極性反転）において、ショート回路によって出力端の電圧をグランド電位に一旦保持させることにしたので、低耐圧トランジスタには最大でも正極性の最大基準電圧とグランド電位との間の電位差又はグランド電位と負極性の最小基準電圧との間の電位差が印加されることとなる。言い換えると、極性反転時に、低耐圧トランジスタには正極性の最大基準電圧と負極性の最小基準電圧との間の電位差が印加されずに済むようになる。これにより、低耐圧トランジスタの耐圧破壊の発生を抑えることができる。

[0016] 前記階調電圧発生回路において、前記複数のボルテージフォロワ回路をそれぞれ構成する前記複数のオペアンプのうち前記複数の階調電圧発生部の境

界付近の階調電圧を出力するオペアンプは、該境界付近の階調電圧が該オペアンプの動作可能な電圧範囲内となるような他のオペアンプとは異なる電源電圧で駆動される、としてもよい。

[0017] この構成によれば、ボルテージフォロワ回路群に含まれる複数のオペアンプのうち複数の階調電圧発生部の境界付近の階調電圧を出力するオペアンプは、その動作可能な電圧範囲内で駆動されるので、正常な出力を得ることができる。

[0018] 上記の課題を解決するために、本発明のその他の形態 (aspect) に係る表示装置は、行列状に配置された複数の画素と、前記複数の画素に列又は行毎に接続された複数の信号線と、前記複数の画素のうちの前記階調電圧を印加すべき画素を行又は列毎に選択するための複数の走査線と、を備える表示パネルと、前記複数の走査線を介して前記画素の選択を行う走査線駆動回路と、前記複数の信号線に前記複数の出力端がそれぞれ接続された前記階調電圧発生回路と、前記画像データに対応する階調電圧が前記複数の画素に印加されるように、前記階調電圧発生回路による前記複数の出力端からの前記階調電圧の出力と前記走査線駆動回路による前記画素の選択とを制御するタイミングコントローラと、を備える、ものである。

発明の効果

[0019] 本発明によれば、小型化と併せて階調電圧の切り替えを適切に遂行可能な階調電圧発生回路及びそれを用いた表示装置を提供することができる。

図面の簡単な説明

[0020] [図1] 図1は本発明の実施の形態1に係る表示装置の構成例を示した図である。

[図2] 図2は図1に示す各画素の構成を模式的に示した図である。

[図3] 図3は画像データと階調電圧との関係を表したグラフである。

[図4] 図4は本発明の実施の形態1に係る階調電圧発生回路の構成例を示したブロック図である。

[図5] 図5は図4に示す階調電圧選択回路に含まれる選択回路の構成例を示し

た図である。

[図6] 図6は図4に示す階調電圧選択回路に含まれる選択回路のその他の構成例を示した図である。

[図7] 図7は図6に示す選択回路の動作を説明するための波形図である。

[図8] 図8は正極回路と負極回路とが接続されて構成された階調電圧発生回路の構成例を示すブロック図である。

[図9] 図9は図8に示す階調電圧選択回路に含まれる選択回路の構成例を示したブロック図である。

[図10] 図10は図9に示す選択回路の動作例を説明するための波形図である。

[図11] 図11は本発明の実施の形態2に係る階調電圧発生回路の構成例を示したブロック図である。

[図12] 図12は一般的なオペアンプの構成例を示した回路図である。

[図13] 図13は図12に示すオペアンプの動作可能な電圧範囲を説明するための図である。

[図14] 図14は従来の階調電圧発生回路（液晶駆動電源回路）の構成を示した図である。

発明を実施するための形態

[0021] 以下、本発明の好ましい実施の形態を、図面を参照しながら説明する。なお、以下では全ての図を通じて同一又は相当する要素には同一の参照符号を付して、その重複する説明を省略する。

[0022] (実施の形態1)

[表示装置]

図1は、本発明の実施の形態1に係る表示装置の構成例を示した図である。なお、以下の全ての実施の形態を通じて、本発明に係る表示装置として液晶表示装置を例に挙げているがこれに限られず、階調電圧がガンマ特性に応じて補正されるアクティブマトリックス(active matrix)型の表示装置であればよい。図2は、図1に示す各画素の構成を模式的に示した図である。図3

は、画像データと階調電圧との関係を表したグラフである。

- [0023] 図1の液晶表示装置は、液晶パネル100と、バックライト(back light)110と、走査線駆動回路10と、信号線駆動回路20と、タイミングコントローラ(timing controller)30とを備えて構成されている。バックライト110から液晶パネル100に表示用の光が入射され、外部から指令された画像データDATA（階調データ、表示データ）に応じた透過率で表示用の光を透過するように走査線駆動回路10及び信号線駆動回路20が駆動されることにより、液晶パネル100に画像データDATAに応じた画像が表示される。
- [0024] 液晶パネル100は、対向基板101とアレイ(array)基板102との間に液晶層103を挟持した構造となっている。アレイ基板102及び対向基板101における液晶層103とは反対側の表面には偏向板105が配置され、アレイ基板102及び対向基板101における液晶層103側の表面には配光膜（図示せず）が配置されている。
- [0025] アレイ基板102の内面には、ガラス基板上行列状（ここでは、N行×M列。但し、N、Mは自然数。以下同様）に配置されたN×M個の画素PIX_{ij}（i=1~N、j=1~M）と、画素PIX_{ij}に列又は行毎に接続されたN本の信号線Y_i（i=1~N）と、画素PIX_{ij}のうちの階調電圧を印加すべき画素を行又は列毎に選択するためのM本の走査線G_j（j=1~M）と、が形成されている。走査線G_jは走査線駆動回路10によって駆動され、信号線Y_iは信号線駆動回路20によって駆動される。
- [0026] 画素PIX_{ij}には、走査線G_j及び信号線Y_iの交差位置に、薄膜トランジスタ（TFT:Thin Film Transistor）W及び画素電極PIXが形成されている。薄膜トランジスタ(transistor)Wは、そのゲート(gate)が1本の走査線G_jに接続され、そのソース(source)が1本の信号線Y_iに接続され、そのドレイン(drain)が画素電極PIXに接続されている。

- [0027] 対向基板101は、ガラス基板上に配置されたカラーフィルタ（図示せず）と、アレイ基板102の画素電極PIXに対向して該カラーフィルタ上に配置された共通電極VCOMとを含む。この共通電極VCOMとこれに対向する画素電極PIXとの間に液晶容量C（寄生容量も含む）が形成されている。画素PIX_{ij}の透過率は、アレイ基板102の画素電極PIXに供給される階調電圧（画素電圧）と、対向基板101の共通電極VCOMに供給されるコモン電圧と、の差電圧として液晶層103に印加される駆動電圧に応じて制御される。共通電極VCOMは対向基板101上に形成された共通線（図示せず）を介して、コモン電圧を付与する電源に接続されている。
- [0028] 信号線駆動回路20は、階調電圧発生回路40と、出力回路50とを含む。階調電圧発生回路40は、電源回路（図示せず）から供給された電源電圧をもとに複数の階調電圧を発生する。例えば1画素当たりの画像データDATAが6ビットの場合、64（=2の6乗）種類の階調電圧 $\gamma_1 \sim \gamma_{64}$ を発生する（図3を参照）。また、階調電圧発生回路40は、信号線Y_iそれぞれを対象として、複数ビットの画像データDATAに基づいて複数の階調電圧のいずれか一つを選択して出力回路50に出力する。出力回路50は、信号線Y_iそれぞれを対象として、階調電圧発生回路40から供給された階調電圧をバッファリングして信号線Y_iそれぞれに出力する。これにより、複数の信号線Y_iそれぞれが駆動される。
- [0029] タイミングコントローラ30は、画像データDATAに対応する階調電圧 $\gamma_1 \sim \gamma_{64}$ が画素PIX_{ij}に印加されるように、階調電圧発生回路40による階調電圧の出力 $\gamma_1 \sim \gamma_{64}$ と走査線駆動回路10による画素PIX_{ij}の選択とを制御する。例えば、1垂直走査期間（1V）毎に走査線G₁～G_Nを順次選択するための制御信号CTGと、1水平走査期間（1H）毎に画像データDATAに含まれる1ライン分の画素PIX_{ij}に対するアナログ画像データDATAを信号線Y₁～Y_Mそれぞれに割り当てるための制御信号CTYを発生する。
- [0030] 制御信号CTGは、1垂直走査期間（1V）毎に発生されるパルスである

垂直スタート信号、及び1垂直走査期間(1V)において走査線G_jの本数分発生されるパルスである垂直クロック信号等を含み、タイミングコントローラ30から走査線駆動回路10に供給される。制御信号CTYは、1水平走査期間(1H)毎に発生されるパルスである水平スタート信号STH、各水平走査期間において信号線数分発生されるパルスである水平クロック信号CKH、1ライン分の画素PIX_{ij}に対する画像データDATAに対応して信号線Y_iを駆動するために1水平走査期間(1H)毎にスタート信号STHから所定時間遅れて発生されるパルスであるストロブ信号STB、及び1水平走査期間毎(1H)及び1垂直走査期間(1V)毎に共通電圧VCOMに対して画素電圧の極性を設定するための極性信号POL等を含む。制御信号CTYは、画像データDATAと共にタイミングコントローラ30から信号線駆動回路20に供給される。なお、画像データDATAは、液晶パネル100の階調特性(ガンマ特性)を補正するための階調データを含む。

[0031]

[階調電圧発生回路]

===ラダー(ladder)抵抗器及びボルテージフォロワ(voltage follower)回路群の低圧化===

図4は、本発明の実施の形態1に係る階調電圧発生回路の構成例を示したブロック図である。

[0032] 図4に示す階調電圧発生回路40は、ラダー抵抗器1と、ボルテージフォロワ回路群2と、階調電圧選択回路3とを含む。なお、同図に示す例では、画像データDATAが6ビットであり、階調電圧が2の6乗である64種類の階調に対応する電圧レベルを有する。

[0033] ラダー抵抗器1は、電源回路(図示せず)から供給された電源電圧をもとに生成された高電位側電源VDDと低電位側電源VSSとの間に、65個の抵抗R1~R65が直列に接続されて構成されている。ラダー抵抗器1は、高電位側電源VDDと低電位側電源VSSとの間の電位差を抵抗R1~R6

5により分圧することで、抵抗 $R_1 \sim R_{65}$ それぞれの接続点から基準電圧 $\gamma_{ref1} \sim \gamma_{ref64}$ が取り出される。なお、基準電圧 γ_{ref1} が最大基準電圧であり、基準電圧 γ_{ref64} が最小基準電圧である。

[0034] ボルテージフォロワ回路群2は、ラダー抵抗器1で生成した基準電圧 $\gamma_{ref1} \sim \gamma_{ref64}$ それぞれに対して1つのオペアンプ(2_1~2_64)が設けられている。オペアンプ2_1~2_64それぞれはボルテージフォロワ回路となるように構成されている。つまり、オペアンプ2_1~2_64は、ラダー抵抗器1から基準電圧 $\gamma_{ref1} \sim \gamma_{ref64}$ が入力され、外部負荷の入インピーダンスが低くても損失が抑えられるようにインピーダンス変換をして階調電圧 $\gamma_1 \sim \gamma_{64}$ を出力するように構成されている。なお、ボルテージフォロワ回路群2の複数のボルテージフォロワ回路は、オペアンプで構成する他に、ソースフォロワ等のトランジスタ増幅回路で構成してもよい。

[0035] 階調電圧選択回路3は、信号線 Y_i の本数に対応した出力端 $OUT_1 \sim OUT_M$ それぞれに対して、1つの選択回路(3_1~3_M)が設けられるように構成されている。選択回路3_1~3_Mは、出力端 $OUT_1 \sim OUT_M$ に接続されている画素 PIX_{ij} に印加させる電圧を、階調電圧 $\gamma_1 \sim \gamma_{64}$ の中から1つだけ選択するように構成されている。具体的には、選択回路3_1~3_Mは、ボルテージフォロワ回路群2から階調電圧 $\gamma_1 \sim \gamma_{64}$ が入力されるとともに、タイミングコントローラ6から6ビットの画像データDATAが入力され、該6ビットの画像データDATAをデコードした結果に基づいて階調電圧 $\gamma_1 \sim \gamma_{64}$ の中から1つを選択して出力するように構成されている。

[0036] 図4に示す階調電圧発生回路40は、上記の構成の他に、ラダー抵抗器1及びボルテージフォロワ回路群2を、最大基準電圧 γ_{ref1} と最小基準電圧 γ_{ref64} との間の電位差よりも低い少なくとも二つの電源系統に区分されるように構成されている。本実施の形態では、階調電圧発生回路40は、階調電圧 γ_1 (例えば9.8V)~ γ_{32} (例えば5.05V)のいずれ

かを出力する第1の階調電圧発生部12__D1と、階調電圧 $\gamma 33$ （例えば5V）～ $\gamma 64$ （例えば0.2V）のいずれかを出力する第2の階調電圧発生部12__D2とに区分されるように構成されている。

[0037] 第1の階調電圧発生部12__D1では、階調電圧 $\gamma 1$ （上記の9.8V）～ $\gamma 32$ （上記の5.05V）を発生するための第1の電源電圧（例えば10V）及び第2の電源電圧（例えば4V）が用いられている。第1の電源電圧及び第2の電源電圧は、ラダー抵抗器1の所定のノード電圧（VDD、 $\gamma ref 1 \sim \gamma ref 64$ 、又はVSSのいずれか）に基づいて生成され、オペアンプ2__1～2__32を駆動させる電源電圧として用いられる。

[0038] 第2の階調電圧発生部12__d2では、階調電圧 $\gamma 33$ （5V）～ $\gamma 64$ （0.2V）を発生するための第3の電源電圧（例えば6V）及び第4の電源電圧（例えば0V）が用いられている。第3の電源電圧及び第4の電源電圧は、ラダー抵抗器1の所定のノード電圧（VDD、 $\gamma ref 1 \sim \gamma ref 64$ 、又はVSSのいずれか）に基づいて生成され、オペアンプ2__33～2__64を駆動させる電源電圧として用いられる。

[0039] ここで、最大階調電圧 $\gamma 1$ が9.8Vの場合、ボルテージフォロワ回路群2は9.8Vを上回る例えば10V耐圧のトランジスタを用いて構成される必要がある。しかしながら、本実施の形態のように、ボルテージフォロワ回路群2はそれぞれ6Vの電源システムが使用される第1の階調電圧発生部12__D1と第2の階調電圧発生部12__d2とに区分されている。このため、ボルテージフォロワ回路群2は、10V耐圧よりも低い6V耐圧のトランジスタで構成することができ、その分、ボルテージフォロワ回路群2の面積を縮小可能である。

[0040] ===選択回路の低耐圧化===

図5は、図4に示す階調電圧選択回路3に含まれる一つの選択回路3__1の構成例を示した図である。その他の選択回路3__2～3__Mについても同様の構成である。

[0041] 選択回路3__1は、トーナメント方式の選択アルゴリズムを実現するよう

に、P型トランジスタ又はN型トランジスタで構成されたスイッチを配置して構成されている。ここで、トーナメント方式の選択アルゴリズムとは、画像データDATAのビット値に基づいて64個の階調電圧のうち隣り合う2個の階調電圧を二者択一で選択することを繰り返すことで、最終的に1つの階調電圧が選択されるようなアルゴリズムのことを意味する。図5中の”L:ON”は、画像データDATAの対応ビットがLow (=0)の時にON状態となり、該対応ビットがHigh (=1)の時にOFF状態となるP型トランジスタを表している。図5中の”H:ON”は、画像データDATAの対応ビットがHigh (=1)の時にON状態となり、該対応ビットがLow (=0)の時にOFF状態となるN型トランジスタを表している。

[0042] 例えば、6ビットの画像データDATAが“111111”である場合、64個の入力端 $\gamma 1 \sim \gamma 64$ から1個の出力端OUT1までの経路の中で、全てのスイッチがON状態となる経路は入力端 $\gamma 64$ から出力端OUT1への経路のみとなる。この場合、選択回路3__1は、入力端64に入力された階調電圧 $\gamma 64$ を選択して出力端OUT1から出力することになる。

[0043] さらに、選択回路3__1は、最大の基準電圧 $\gamma ref 1$ と最小の基準電圧 $\gamma ref 64$ との間の電位差に応じて少なくとも2つの電源電圧の系統に区分されるように構成されている。本実施の形態では、選択回路3__1は、階調電圧 $\gamma 1$ (例えば9.8V) $\sim \gamma 32$ (例えば5.05V)のいずれかを出力する第1のスイッチ回路3__D1と、階調電圧 $\gamma 33$ (例えば5V) $\sim \gamma 64$ (例えば0.2V)のいずれかを出力する第2のスイッチ回路3__D2とに区分されるように構成されている。

[0044] 第1のスイッチ回路3__D1では、階調電圧 $\gamma 1$ (上記の9.8V) $\sim \gamma 32$ (上記の5.05V)を発生するための第1の電源電圧 (例えば10V)及び第2の電源電圧 (例えば4V)が用いられている。第1の電源電圧及び第2の電源電圧は、ラダー抵抗器1の所定のノード電圧 (VDD、 $\gamma ref 1 \sim \gamma ref 64$ 、又はVSSのいずれか)に基づいて生成され、スイッチを駆動させる電源電圧として用いられる。具体的には、第1のスイッチ回

路3__D1に用いられるP型トランジスタのバックゲートには第1の電源電圧が印加され、第1のスイッチ回路3__D1に用いられるN型トランジスタのバックゲートには第2の電源電圧が印加される。

[0045] 第2のスイッチ回路3__d2では、階調電圧 γ_{33} （上記の5V）～ γ_{64} （上記の0.2V）を発生するための第3の電源電圧（例えば6V）及び第4の電源電圧（例えば0V）が用いられている。第3の電源電圧及び第4の電源電圧は、ラダー抵抗器1の所定のノード電圧（VDD、 γ_{ref1} ～ γ_{ref64} 、又はVSSのいずれか）に基づいて生成され、スイッチを駆動させる電源電圧として用いられる。具体的には、第2のスイッチ回路3__D2に用いられるP型トランジスタのバックゲートには第3の電源電圧が印加され、第2のスイッチ回路3__D2に用いられるN型トランジスタのバックゲートには第4の電源電圧が印加される。

[0046] ここで、最大階調電圧 γ_1 が9.8Vの場合、選択回路3__1は9.8Vを上回る例えば10V耐圧のトランジスタを用いて構成される必要がある。しかしながら、本実施の形態のように、選択回路3__1はそれぞれ6Vの電源システムが使用される第1のスイッチ回路3__D1と第2のスイッチ回路3__d2とに区分されている。このため、選択回路3__1は、10V耐圧よりも低い6V耐圧のトランジスタで構成することができ、その面積を縮小可能である。

[0047] ===階調電圧切り替え時の画素容量のプリチャージ(precharge)===
ところで、ボルテージフォロワ回路群2を低耐圧のトランジスタによって構成すると、つぎのような点を考慮に入れる必要がある。つまり、液晶パネル100の駆動時において、或る信号線Y__iの画素容量Cに対して1ライン前に充電された電圧がオペアンプ2__1から出力された階調電圧 γ_1 とする。この場合、或る信号線Y__iの画素容量Cには最大階調電圧 γ_1 が充電されていることになる。そして、或る信号線Y__iの画素容量Cに対し、新たにオペアンプ2__64から出力される最小階調電圧 γ_{64} が充電される場合、オペアンプ2__64の出力トランジスタのソースドレイン間には最大

階調電圧 γ_1 と最小階調電圧 γ_{64} との間の電位差が印加されることになる。例えば、上記の例では、最大階調電圧 γ_1 が 9.8 V であり、かつ最小階調電圧 γ_{64} が 0.2 V であるため、オペアンプ 2_64 の出力トランジスタのソースドレイン間には、9.6 V (= 9.8 V - 0.2 V) の電圧が印加されることになる。このように、ボルテージフォロワ回路群 2 を低耐圧化することに伴って、階調電圧切り替え時において、ボルテージフォロワ回路群 2 の出力トランジスタが耐圧破壊されるおそれがある。

[0048] そこで、階調電圧選択回路 3 において、或る信号線 Y_i の画素容量 C を充電する前段階として、該画素容量 C を最大階調電圧 γ_1 (9.8 V) と最小階調電圧 γ_{64} (0.2 V) との間の中間電圧に一旦プリチャージさせる方法を採用する。以下では、上記の中間電圧を最大階調電圧 γ_1 が 9.8 V、最小階調電圧 γ_{64} が 0.2 V とした場合に、中間電圧が最大階調電圧 γ_1 と最小階調電圧 γ_{64} との平均電圧 (= $(\gamma_1 + \gamma_{64}) / 2$) である 5 V として説明する。

[0049] 図 6 は、図 4 に示す階調電圧選択回路 3 に含まれる一つの選択回路 3_1 のその他の構成例、つまり画素容量 C のプリチャージを実現する構成例を示した図である。図 6 の選択回路 3_1 が、図 5 に示す選択回路 3_1 と相違する点は、階調電圧切り替え時に出力端 OUT_1 の電圧を中間電圧に一旦保持させるためのプリチャージスイッチ (precharge switch) 3_SW1、3_SW3 が追加されている点である。

[0050] ここで、6 ビットの画像データ $DATA$ の 5 ビット目に対応する第 1 のスイッチ回路 3_D1 の相補的スイッチを 3_D1_SW1 (P 型トランジスタ)、3_D1_SW2 (N 型トランジスタ) と表し、同じく上記画像データ $DATA$ の 5 ビット目に対応する第 2 のスイッチ回路 3_D2 の相補的スイッチを 3_D2_SW1 (P 型トランジスタ)、3_D2_SW2 (N 型トランジスタ) と表す。さらに、上記画像データ $DATA$ の 6 ビット目に対応する相補的スイッチを 3_SW2 (P 型トランジスタ)、3_SW4 (N 型トランジスタ) と表す。

- [0051] プリチャージスイッチ3__SW1は、その一端が、第1のスイッチ回路3__D1側の5ビット目の相補的スイッチ3__D1__SW1、3__D1__SW2の出力端と6ビット目のスイッチ3__SW2の入力端との間に接続され、その他端に中間電圧が印加されるように構成されている。
- [0052] プリチャージスイッチ3__SW3は、その一端が、第2のスイッチ回路3__D2側の5ビット目の相補的スイッチ3__D2__SW1、3__D2__SW2の出力端と6ビット目のスイッチ3__SW4の入力端との間に接続され、その他端に中間電圧が印加されるように構成されている。
- [0053] 図7は、図6に示す選択回路3__1の動作を説明するための波形図である。同図の例では、図6の選択回路3__1が、オペアンプ2__1から出力された最大階調電圧 γ_1 を選択していた状態から、オペアンプ2__64から出力された最小階調電圧 γ_{64} を選択する例を表している。
- [0054] まず、オペアンプ2__1が最大階調電圧 γ_1 を出力している場合、第1のスイッチ回路3__D1側では、5ビット目のスイッチ3__D1__SW1がON状態、スイッチ3__D1__SW2がOFF状態、プリチャージスイッチ3__SW1がOFF状態、かつ6ビット目のスイッチ3__SW2はON状態となっているものとする。また、第2のスイッチ回路3__D2側では、5ビット目のスイッチ3__D2__SW1及びスイッチ3__D2__SW2が共にOFF状態、プリチャージスイッチ3__SW3はON状態、6ビット目のスイッチ3__SW4はOFF状態となっているものとする。
- [0055] つぎに、第1のスイッチ回路3__D1側で、5ビット目のスイッチ3__D1__SW1がON状態からOFF状態に切り替わり、プリチャージスイッチ3__SW1がOFF状態からON状態に切り替わる。この結果、出力端OUT1に接続された信号線Y__iの画素容量Cは、プリチャージスイッチ3__SW1、6ビット目のスイッチ3__SW2を介して中間電圧に充電される。
- [0056] つぎに、第1のスイッチ回路3__D1側で、6ビット目のスイッチ3__SW2がON状態からOFF状態に切り替わり、第2のスイッチ回路3__D2側で、プリチャージスイッチ3__SW3がON状態からOFF状態に切り替

わり、6ビット目のスイッチ3__SW4がOFF状態からON状態に切り替わる。そして、第2のスイッチ回路3__D2側で、5ビット目のスイッチ3__D2__SW2がOFF状態からON状態に切り替わることにより、オペアンプ2__64から出力された階調電圧 γ 64が、5ビット目のスイッチ3__D2__SW2、6ビット目のスイッチ3__SW4を介して出力端OUT1から出力される。

[0057] 以上をまとめると、信号線Y__iの駆動電圧を最大階調電圧 γ 1から最小階調電圧 γ 64に切り替える時、オペアンプ2__64から最小階調電圧 γ 64が充電される前に、信号線Y__iに接続された画素容量Cにはプリチャージスイッチ3__SW1を介して中間電圧の5Vが充電されることになる。なお、第2のスイッチ回路3__D2側では、5ビット目のスイッチ3__D2__SW2がOFF状態からON状態に切り替わる際に、そのドレインには中間電圧の5Vが印加され、そのソースには階調電圧 γ 64の0.2Vが印加されている。この結果、6V耐圧のトランジスタで構成されている第2のスイッチ回路3__D2、ひいてはオペアンプ2__64が確実に保護されることになる。スイッチ3__D1__SW1、スイッチ3__D1__SW2についても、最小階調電圧 γ 64が出力されている間では、プリチャージスイッチ3__SW1がON状態を継続しているので、スイッチ3__D1__SW1、スイッチ3__D1__SW2が確実に保護されることになる。

[0058] ===極性反転時の画素容量のプリチャージ===

液晶パネル100の焼きつきを防止する為、液晶表示装置は、通常、コモン電圧VCOMに対して正極性である正極出力又はコモン電圧VCOMに対して負極性である負極出力を交互に行なうように構成されている。

[0059] 図8は、正極回路と負極回路とが接続されて構成された階調電圧発生回路の構成例を示すブロック図である。なお、図8の正極回路は、第1の階調電圧発生部12__D1と、第2の階調電圧発生部12D2と、階調電圧選択回路3とから構成されており、これらの構成要素は図4に示す同一符号の構成要素と同じものである。図8の負極回路は、第1の負の階調電圧発生部N1

2__D1と、第2の負の階調電圧発生部N12__D2と、負の階調電圧選択回路N3と、から構成されており、コモン電圧VCOMを基準として正極回路の出力端OUT1~OUNMの線対称となる逆極性の電圧を出力する。なお、図8に示すように、正極回路の出力端OUT1~OUTMと、負極回路の出力端OUT1~OUTMとはショートされている。

[0060] 図9は、図8に示す階調電圧選択回路3、N3に含まれる選択回路3__1の構成例を示したブロック図である。その他の選択回路3__2~3__Mも同様の構成である。

[0061] 上記のとおり、階調電圧選択回路3、N3を構成するトランジスタ（特に、スイッチ3__SW1~4）は、低耐圧（例えば10V耐圧）トランジスタを採用することで、階調電圧選択回路3、N3全体の面積の縮小が図られている。しかしながら、極性反転前後の電圧が衝突することにより、該低耐圧トランジスタが耐圧破壊するおそれがある。例えば、液晶パネル100の信号線の画素容量Cには負極駆動時の -9.8V （ $N\gamma 64$ ）が充電されているとき、該画素容量Cに新たに正極駆動時の $+9.8\text{V}$ （ $\gamma 1$ ）が充電されると、6ビット目のスイッチ3__SW2において、そのドレインには負極駆動時の -9.8V （ $N\gamma 64$ ）が印加され、そのソースには正極駆動時の $+9.8\text{V}$ （ $\gamma 64$ ）が印加されることになる。従って、スイッチ3__SW2のソースドレイン電圧は 19.6V となり、スイッチ3__SW2が例えば10V耐圧トランジスタで構成されている場合、耐圧破壊されるおそれがある。

[0062] そこで、階調電圧選択回路3において、グランド電位GNDを經由して駆動する方法を採用するために、選択回路3では、出力経路をグランド電位GNDにショートさせるためのショートスイッチ(short switch)3__SW5~6が追加されている。

[0063] 図10は、図9に示す選択回路3__1の動作例を説明するための波形図である。

[0064] 図10の例では、 -9.8V （ $N\gamma 64$ ）の負極駆動から $+9.8\text{V}$ （ γ

1) の正極駆動に切り替えられた場合である。

[0065] まず、負極回路が駆動している時 (-9.8 V ($N\gamma 64$) を出力している時)、正極回路側では、ショートスイッチ 3__SW5 は ON 状態であり、オープンスイッチ (open switch) 3__SW6 は OFF 状態であるとする。

[0066] つぎに、負極回路側では、 -9.8 V 出力からグランド電位 GND に切り替わり、液晶パネル 100 の信号線 Y_i の画素容量 C の充電電圧は 0 V となる。

[0067] つぎに、負極回路側では、オープンスイッチ 3__SW6 が ON 状態から OFF 状態に切り替わる。

[0068] つぎに、正極回路側では、ショートスイッチ 3__SW5 が ON 状態から OFF 状態に切り替わり、オープンスイッチ 3__SW6 が OFF 状態から ON 状態に切り替わる。

[0069] つぎに、正極回路側において、6 ビット目のスイッチ 3__SW2 が OFF 状態から ON 状態に切り替わることにより、オペアンプ 2__1 から出力された 9.8 V ($\gamma 1$) が選択されて出力されることになる。

[0070] 以上をまとめると、極性反転時に、オペアンプ 2__1 から出力された階調電圧 $\gamma 1$ が画素容量 C に充電される前段階として、画素容量 C の充電電圧を一旦 0 V に維持させるようにしている。つまり、スイッチ 3__SW2 のオン直後、そのドレインには 0 V が印加され、そのソースには 9.8 V ($\gamma 1$) が印加されることになる。従って、スイッチ 3__SW2 のソースドレイン電圧は 19.6 V から 9.8 V にまで抑えられ、スイッチ 3__SW2 が例えば 10 V 耐圧トランジスタで構成される場合、耐圧破壊されるおそれがない。なっている。

[0071] (実施の形態 2)

=== 電源系統の境界付近の階調電圧を出力するオペアンプの別電源化 ===

図 11 は、本発明の実施の形態 2 に係る階調電圧発生回路の構成例を示したブロック図である。図 11 に示す階調電圧発生回路が、図 4 に示す階調電

圧発生回路 40 の構成と相違する点は、ボルテージフォロワ回路群 2 A の中から、複数の階調電圧 $\gamma 1 \sim \gamma 64$ のうち第 1 の階調電圧発生部 1 2 D 1 A の第 2 の電源電圧と第 2 の階調電圧発生部 1 2 __ D 2 A の第 3 の電源電圧とに近い（2つの電源系統の境界に近い）階調電圧（以下、境界階調電圧と呼ぶ）を出力する一又は複数のオペアンプ（以下、境界オペアンプと呼ぶ）を抽出して、該境界オペアンプの電源電圧をボルテージフォロワ回路群 2 A から独立させた点である。つまり、実施の形態 1 では、境界階調電圧を出力する境界オペアンプは、電源電圧に近いところで動作させており、動作可能な電圧範囲を外れるおそれがある。そこで、実施の形態 2 では、ボルテージフォロワ回路群 2 A とは電源電圧を独立させた境界オペアンプで構成される境界階調電圧発生部 1 2 __ D 3 A を新たに追加することとした。

[0072] 境界階調電圧発生部 1 2 __ D 3 A は、第 2 の電源電圧及び第 3 の電源電圧に近い境界階調電圧を生成するものであり、境界ボルテージフォロワ回路群 2 A 2 を含む。境界ボルテージフォロワ回路群 2 A 2 は、境界階調電圧（ $\gamma 32$, $\gamma 33$ 等）を出力する複数の境界オペアンプ（2__32、2__33 等）で構成されており、該境界オペアンプには第 1 乃至第 4 の電源電圧とは独立した第 5 の電源電圧及び第 6 の電源電圧が供給されている。第 5 の電源電圧は、第 1 の電源電圧と第 2 の電源電圧との中間付近の電圧とし、第 6 の電源電圧は、第 3 の電源電圧と第 4 の電源電圧との中間付近の電圧としている。このため、境界ボルテージフォロワ回路群 2 A 2 から出力される階調電圧は、動作可能な電圧範囲の中央付近の電圧に収まるようになり、境界ボルテージフォロワ回路群 2 A 2 の動作が安定化している。なお、第 5 の電源電圧及び第 6 の電源電圧は、新たにラダー抵抗器を設けるのではなく、既に存在するラダー抵抗器 1 により生成された基準電圧（ $\gamma r e f 5$ （7.4V）、 $\gamma r e f 59$ （2.7V）等）を有効利用することで生成している。これにより、階調電圧発生回路の面積の増加を抑制可能としている。

[0073] 図 1 2 は一般的なオペアンプの構成例を示した回路図であり、図 1 3 は図 1 2 に示すオペアンプの動作可能な電圧範囲を説明するための図である。

[0074] 図12に示されるとおり、一般的なオペアンプは、その差動増幅部として、カレントミラーを構成するP型トランジスタP1、P2と、該カレントミラーの電流吐出側に設けられたN型トランジスタN1、N2と、該N型トランジスタN1、N2と共通に接続されたN型トランジスタN3とを有している。また、一般的なオペアンプは、その出力部として、直列に接続されたP型トランジスタP3とN型トランジスタN4とを有している。ここで、N型トランジスタN3のオン電圧を O_v1 、N型トランジスタN1のオン電圧を O_v2 、N型トランジスタN4のオン電圧を O_v3 、P型トランジスタP3のオン電圧を O_v4 、入力バイアス電圧を V_T2 と表すこととする。

[0075] 図13に示されるとおり、オペアンプを構成するトランジスタを飽和領域で動作させるために、オペアンプの動作可能な電圧範囲が定められている。図12に示すように構成されたオペアンプの入力電位差は $[O_v1 + V_T2 + O_v2 \sim AVDD]$ の範囲である。その入力電位差から外れた $[AVSS \sim O_v1 + V_T2 + O_v2]$ の範囲内の電圧がオペアンプに入力されても、該オペアンプを構成するトランジスタが非飽和領域で動作することになるので、該オペアンプは正常動作できなくなる。また、図12に示すように構成されたオペアンプの出力電位差は $[AVSS + O_v3 \sim AVDD - O_v4]$ の範囲であり、その出力電位差から外れた $[AVSS \sim O_v3]$ の範囲内の電圧又は $[AVDD - O_v4 \sim AVDD]$ の範囲内の電圧をオペアンプから出力させようとしても、該オペアンプを構成するトランジスタが非飽和領域で動作することになるので、該オペアンプは正常動作できなくなる。仮に、 $AVSS = 0V$ 、 $AVDD = 3V$ 、 $O_v1 = 0.2V$ 、 $V_T2 = 0.7V$ 、 $O_v2 = 0.2V$ 、 $O_v3 = 0.2V$ 、 $O_v4 = 0.2V$ とすると、動作可能な電圧範囲は $[1.1V \sim 2.8V]$ 程度となる。

[0076] そこで、第2の電源電圧及び第3の電源電圧に近い境界階調電圧は、第1乃至第4の電源電圧とは独立した第5の電源電圧及び第6の電源電圧が与えられた境界階調電圧発生部12__D3Aにおいて生成されるようにした。なお、第5の電源電圧は、第1の電源電圧と第2の電源電圧との中間付近の電

圧 7. 5 V 程度を与えてやればよく、第 6 の電源電圧は、第 3 の電源電圧と第 4 の電源電圧との中間付近の電圧 2. 5 V 程度を与えてやればよい。

[0077] 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

産業上の利用可能性

[0078] 本発明の階調電圧回路及びそれを用いた表示装置は、特にコンパクト化かつ高性能化が求められているノート型パーソナルコンピュータ等の電子機器に用いられる液晶表示装置にとって有用である。

符号の説明

[0079] 1 0 … 走査線駆動回路
2 0 … 信号線駆動回路
3 0 … タイミングコントローラ
4 0 … 階調電圧発生回路
5 0 … 出力回路
1 0 0 … 液晶パネル
1 0 1 … 対向基板
1 0 2 … アレイ基板
1 0 3 … 液晶層
1 0 5 … 偏向板
1 1 0 … バックライト
O U T 1 ~ O U T M … 出力端
Y _ 1 ~ Y _ N … 信号線
G _ 1 ~ G _ N … 走査線
1 2 _ D 1 , N 1 2 _ D 1 … 第 1 の階調電圧発生部
1 2 _ D 2 , N 1 2 _ D 2 … 第 2 の階調電圧発生部

1…ラダー抵抗器
R 1 ~ R 6 5…分周抵抗
 γ r e f 1 ~ γ r e f 6 4…基準電圧
2, 2 A…ボルテージフォロワ回路群
3, N 3…階調電圧選択回路
 γ 1 ~ γ 6 4…階調電圧（正極出力）
N γ 1 ~ N γ 6 4…階調電圧（負極出力）
3__1 ~ 3__M…選択回路
3__D 1…第1のスイッチ回路
3__D 2…第2のスイッチ回路
3__SW 1, 3__SW 2…プリチャージスイッチ
3__SW 5…ショートスイッチ
3__SW 6…オープンスイッチ
2 A 2…境界ボルテージフォロワ回路群
1 2__D 3 A…境界階調電圧発生部

請求の範囲

[請求項1]

高電位側電源と低電位側電源との間にそれぞれの分圧により画像データの階調に応じた複数の基準電圧を発生するように複数の抵抗が直列に接続されて構成されたラダー抵抗器と、

前記複数の基準電圧毎に設けられ、入力される前記基準電圧を前記階調電圧として出力する複数のボルテージフォロワ回路から成るボルテージフォロワ回路群と、

前記ボルテージフォロワ回路群から出力された複数の前記階調電圧が入力されるとともに前記画像データが入力されて、該画像データの階調に対応する一つの階調電圧を該複数の階調電圧の中から選択して出力するように構成された複数の選択回路から成る階調電圧選択回路と、

前記複数の選択回路にそれぞれ接続された複数の出力端と、を備え、

前記ボルテージフォロワ回路群の前記複数のボルテージフォロワ回路は二以上の階調電圧発生部に区分され、且つ前記二以上の階調電圧発生部は前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差を有した互いに異なる電源電圧でそれぞれに含まれる前記ボルテージフォロワ回路をそれぞれ駆動するよう構成され、

前記階調電圧選択回路の前記複数の選択回路は二以上のスイッチ回路に区分され、且つ前記二以上のスイッチ回路は前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差でそれぞれに属する前記選択回路をそれぞれ駆動するよう構成され、且つ それぞれの前記スイッチ回路から前記出力端に至る出力経路には、前記階調電圧の選択を切り替える過程で、前記出力端の電圧を前記複数の基準電圧の最大電圧と最小電圧との間の中間電圧に保持させるように構成されたプリチャージ回路をさらに備える、階調電圧発生回路。

[請求項2]

前記ボルテージフォロワ回路は、前記複数の基準電圧の最大電圧と

最小電圧との間の電位差よりも低い電位差を有した電源電圧に応じた耐圧のトランジスタで構成されている、請求項 1 に記載の階調電圧発生回路。

[請求項3] 前記スイッチ回路は、前記複数の基準電圧の最大電圧と最小電圧との間の電位差よりも低い電位差を有した電源電圧に応じた耐圧のトランジスタで構成されている、請求項 1 に記載の階調電圧発生回路。

[請求項4] 前記ボルテージフォロワ回路が、反転入力端子に出力端子が接続され、且つ非反転入力端子に前記基準電圧が入力されるオペアンプで構成されている、請求項 1 に記載の階調電圧発生回路。

[請求項5] 前記階調電圧発生部が二つであり、前記スイッチ回路が二つであり、且つ前記中間電圧は前記複数の基準電圧の最大電圧と最小電圧との平均電圧である、請求項 1 に記載の階調電圧発生回路。

[請求項6] 前記階調電圧の選択を切り替える過程は、正極性の前記基準電圧と負極性の前記基準電圧とを相互に切り替える過程であり、

前記選択回路は、前記スイッチ回路の出力経路に、正極性の前記基準電圧と負極性の前記基準電圧とを相互に切り替える過程で、前記出力端の電圧をグランド電位に保持させるように構成されたショート回路をさらに備える、請求項 1 に記載の階調電圧発生回路。

[請求項7] 前記複数のボルテージフォロワ回路をそれぞれ構成する前記複数のオペアンプのうち前記複数の階調電圧発生部の境界付近の階調電圧を出力するオペアンプは、該境界付近の階調電圧が該オペアンプの動作可能な電圧範囲内となるような他のオペアンプとは異なる電源電圧で駆動される、請求項 4 に記載の階調電圧発生回路。

[請求項8] 行列状に配置された複数の画素と、前記複数の画素に列又は行毎に接続された複数の信号線と、前記複数の画素のうちの前記階調電圧を印加すべき画素を行又は列毎に選択するための複数の走査線と、を備える表示パネルと、

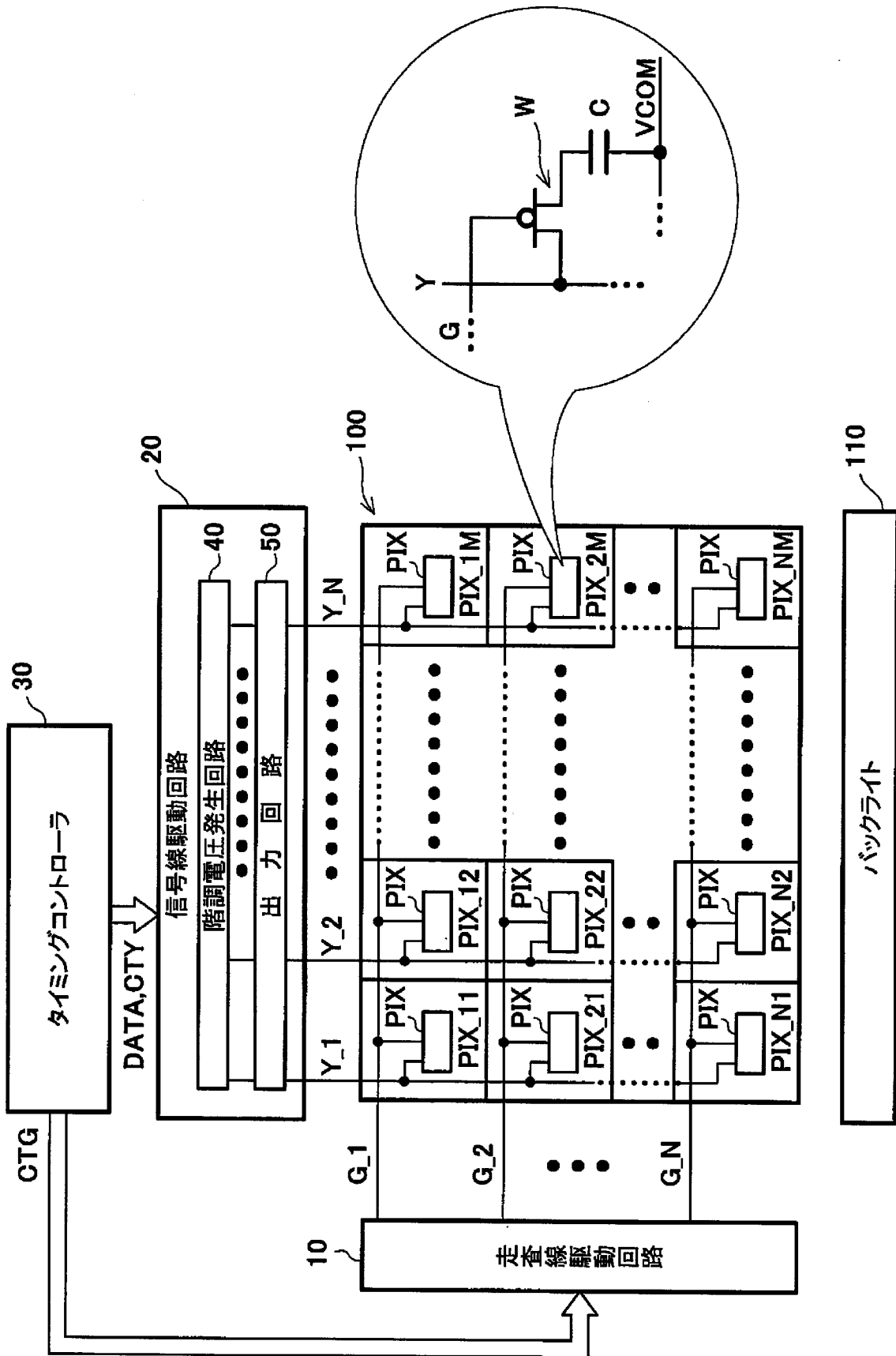
前記複数の走査線を介して前記画素の選択を行う走査線駆動回路と

、

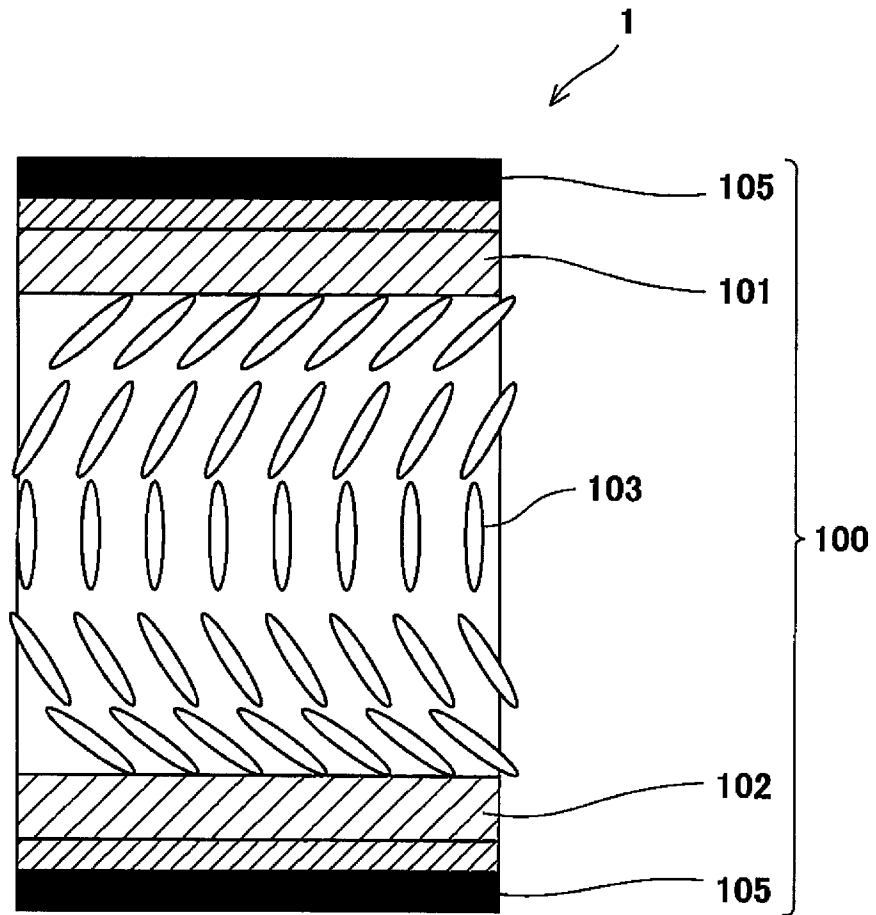
前記複数の信号線に前記複数の出力端がそれぞれ接続された請求項1乃至5のいずれかに記載の階調電圧発生回路と、

前記画像データに対応する階調電圧が前記複数の画素に印加されるように、前記階調電圧発生回路による前記複数の出力端からの前記階調電圧の出力と前記走査線駆動回路による前記画素の選択とを制御するタイミングコントローラと、を備える、表示装置。

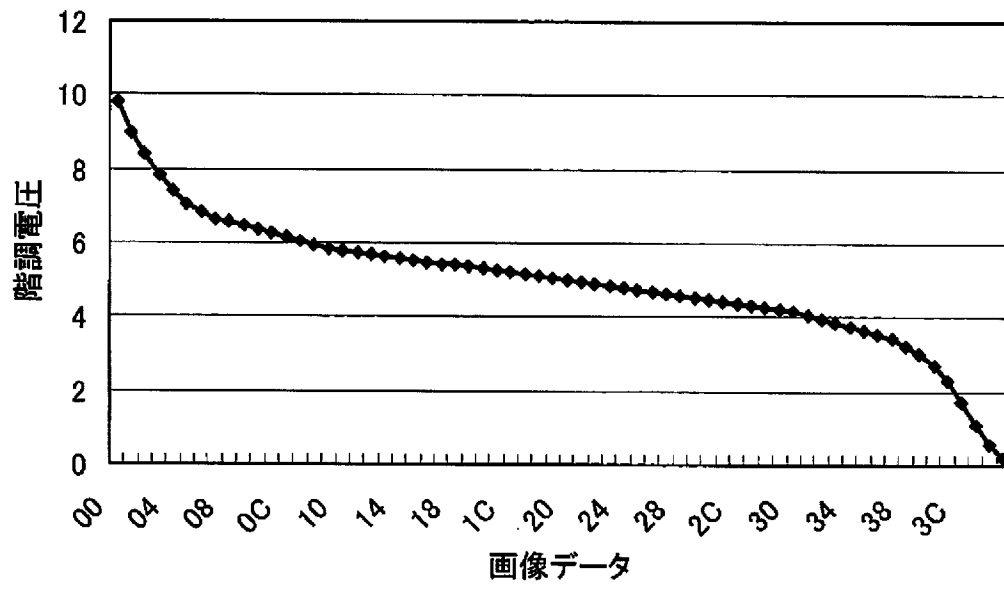
[図1]



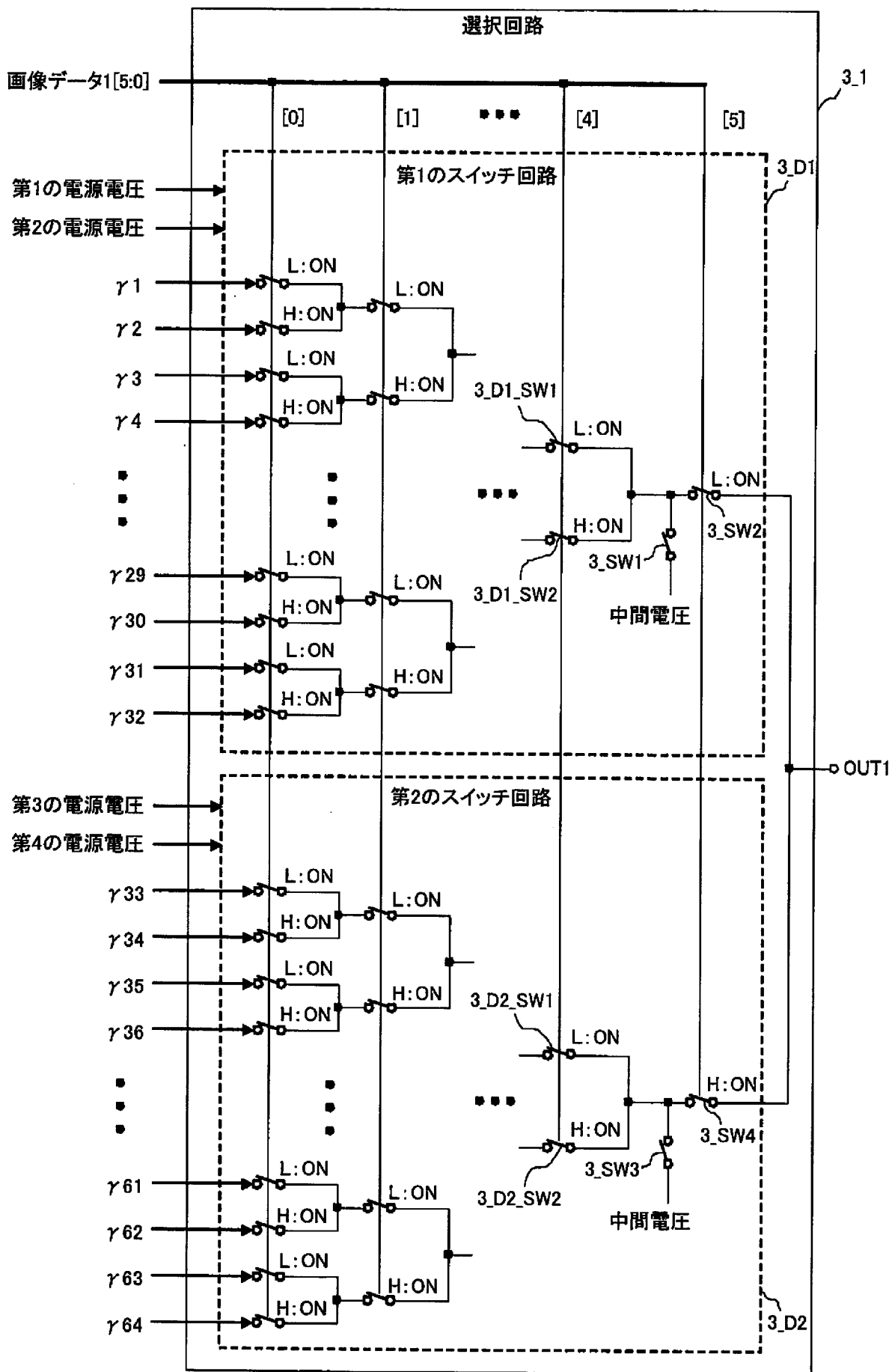
[図2]



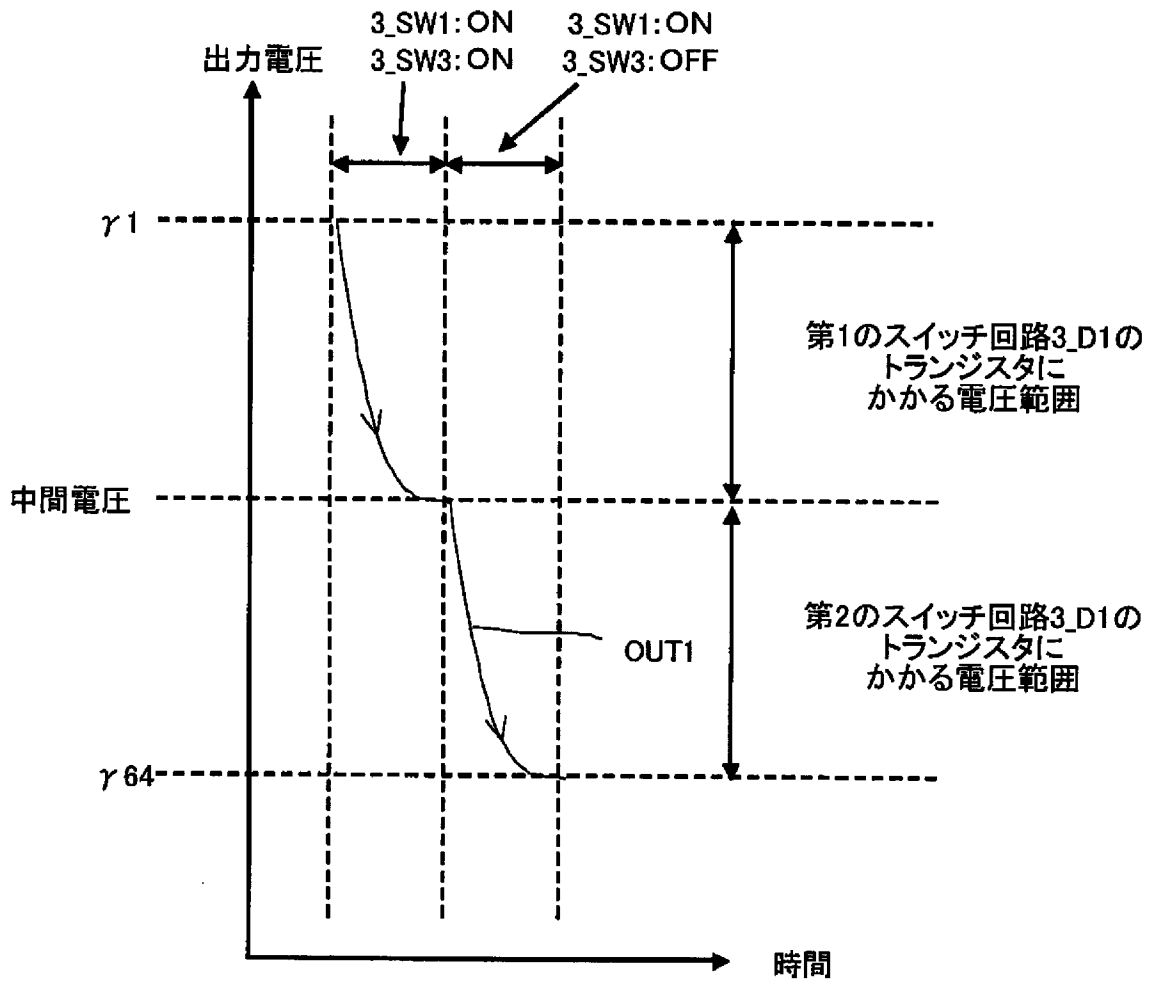
[図3]



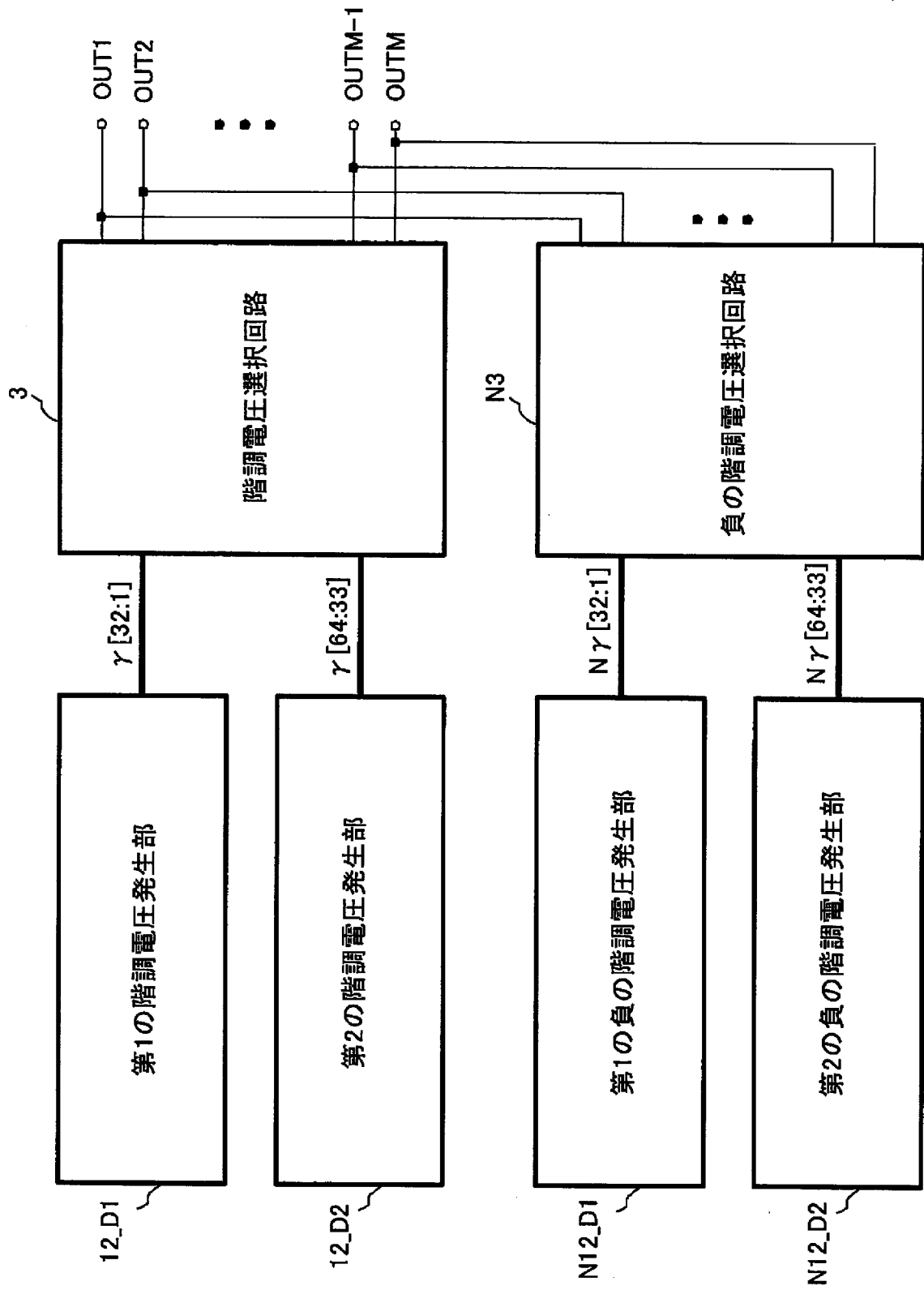
[図6]



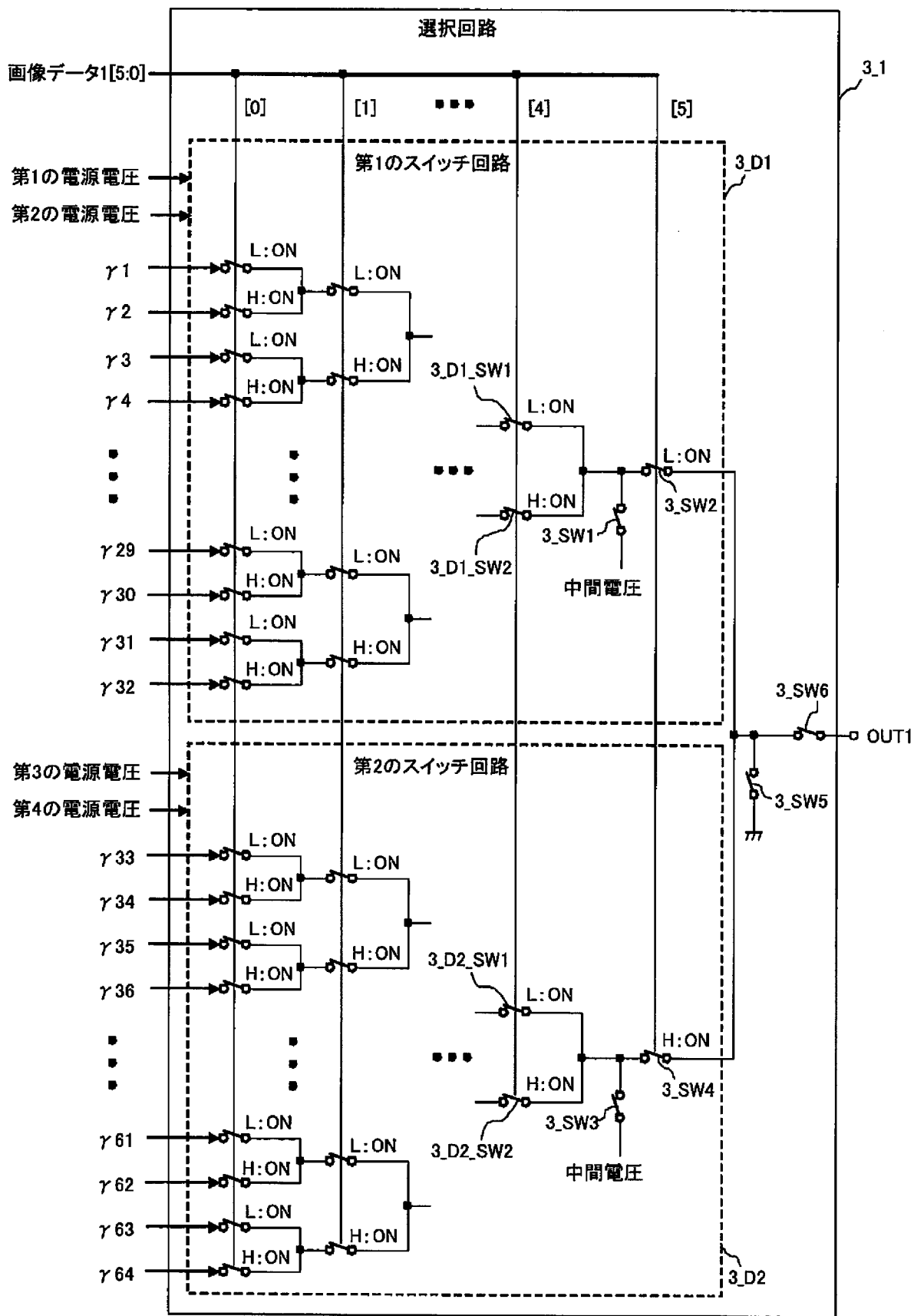
[図7]



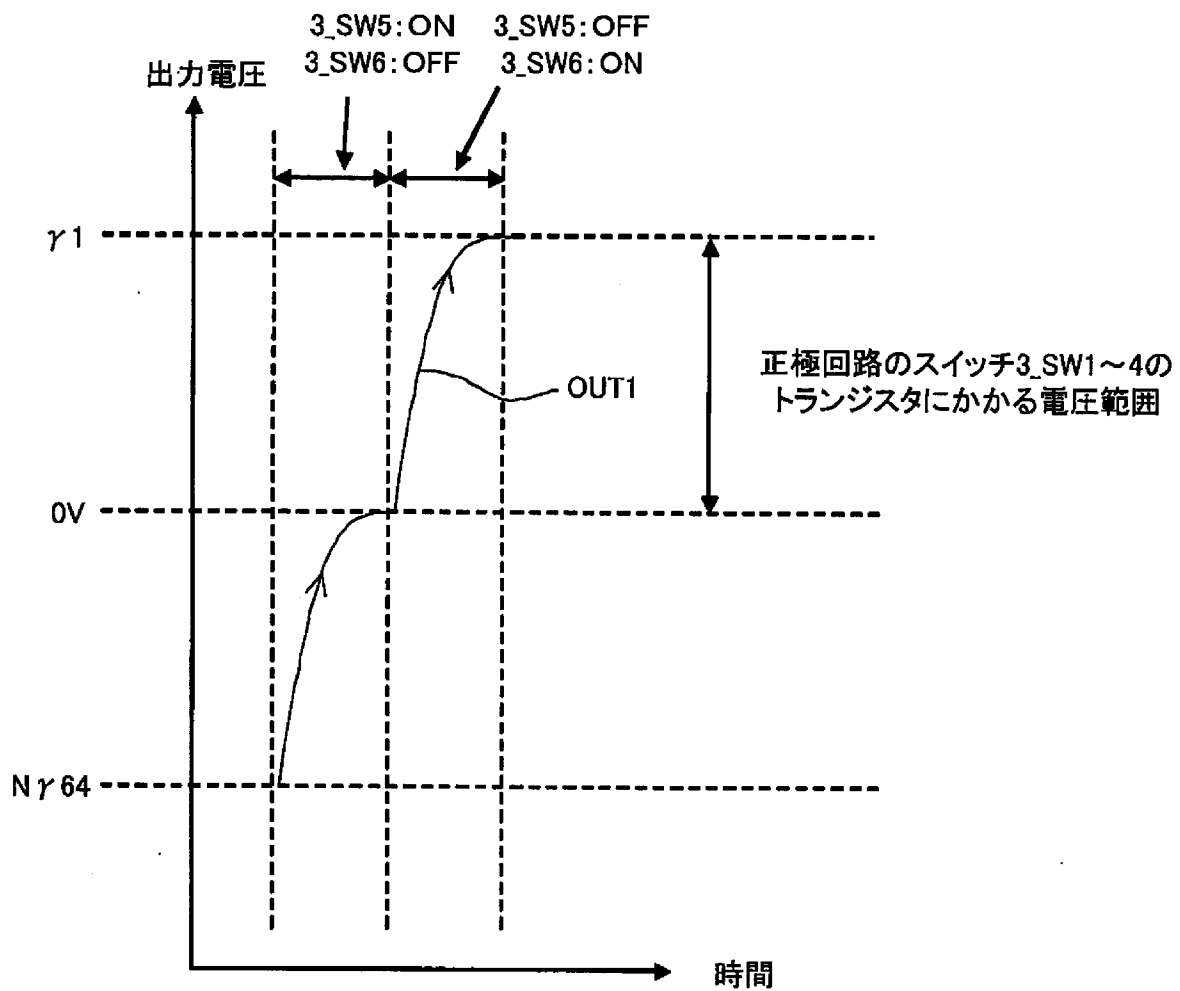
[図8]



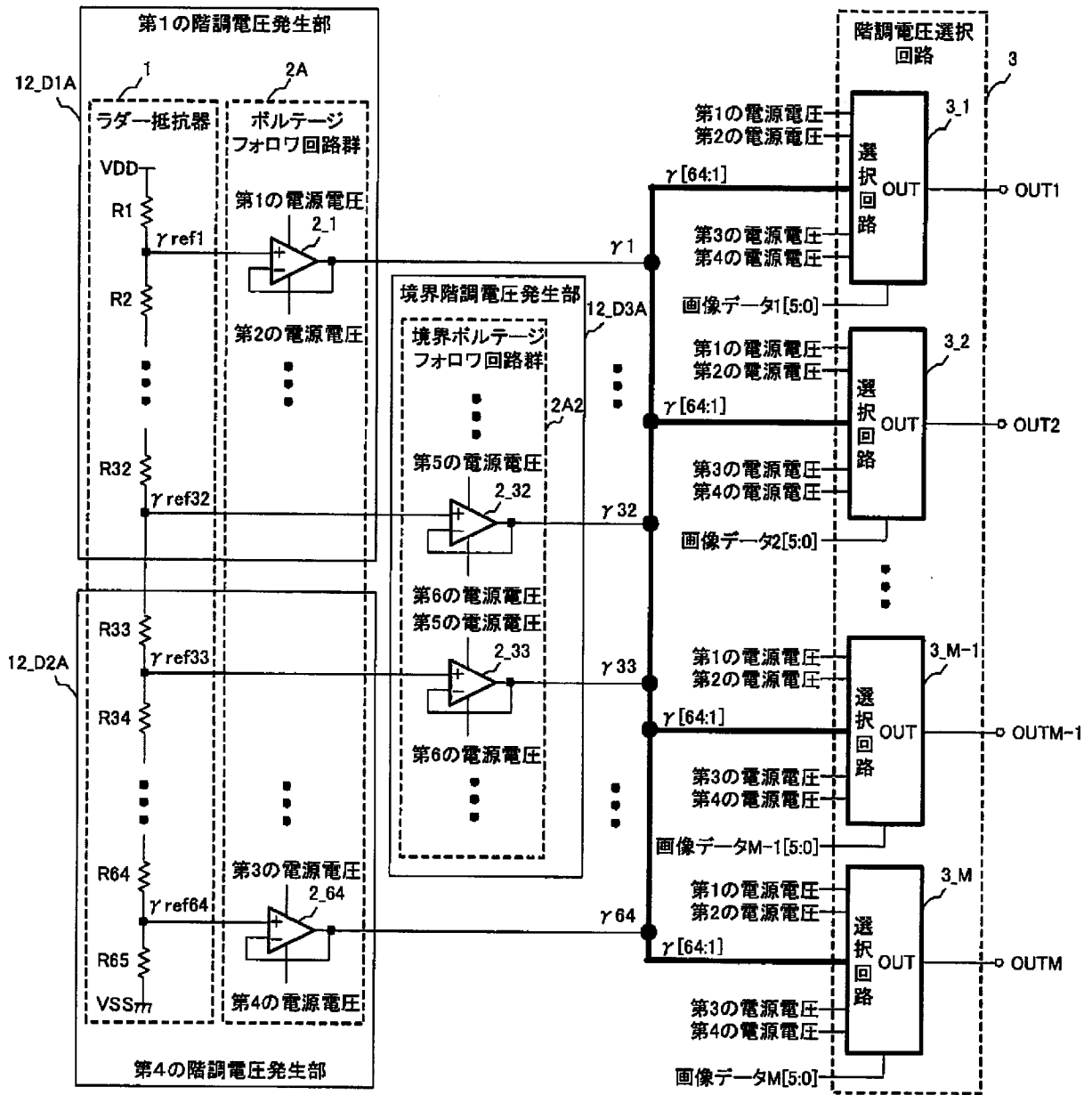
[図9]



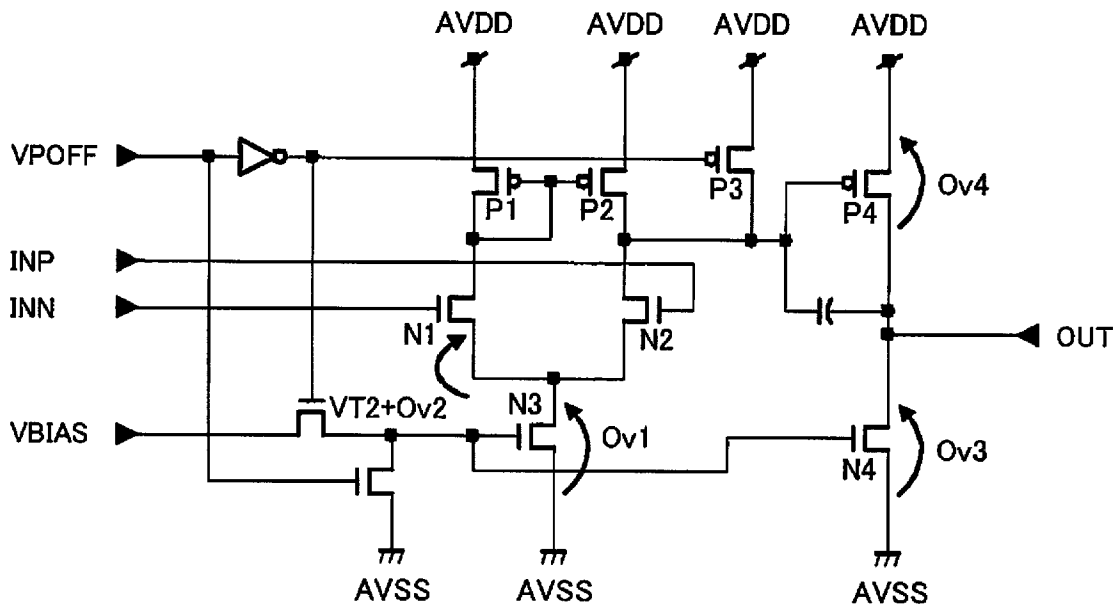
[図10]



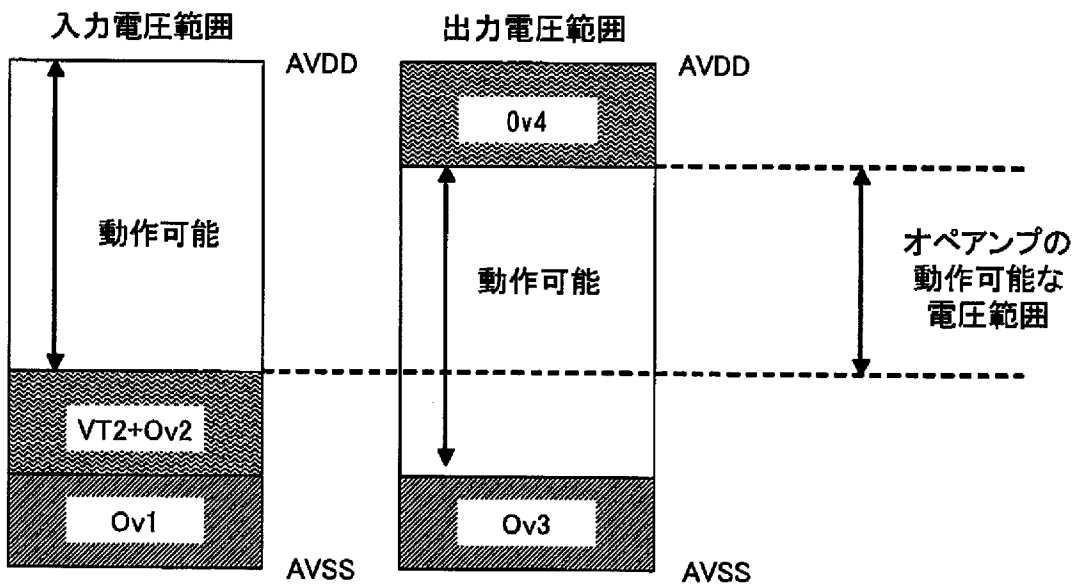
[図11]



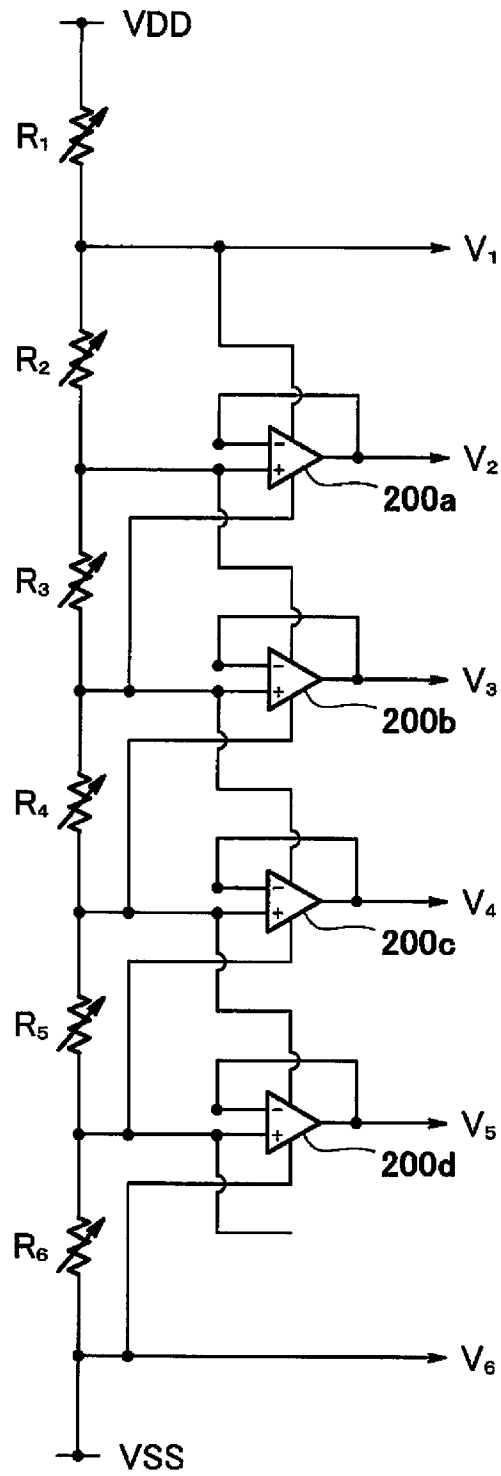
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002162

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01) i, G02F1/133(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-146134 A (Renesas Technology Corp.), 08 June 2006 (08.06.2006), entire text; fig. 1 to 12 & US 2006/0087483 A1 & KR 10-2006-0054134 A	1-8
A	JP 2006-318381 A (Seiko Epson Corp.), 24 November 2006 (24.11.2006), entire text; fig. 1 to 21 & US 2006/0267639 A1	1-8
A	JP 2002-182617 A (Kyocera Corp.), 26 June 2002 (26.06.2002), entire text; fig. 1 to 8 (Family: none)	1-8

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 May, 2011 (09.05.11)Date of mailing of the international search report
17 May, 2011 (17.05.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002162

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-4976 A (Kyocera Corp.), 12 January 2001 (12.01.2001), entire text; fig. 1 to 8 (Family: none)	1-8
A	JP 2001-324968 A (Optrex Corp.), 22 November 2001 (22.11.2001), entire text; fig. 1 to 5 (Family: none)	1-8
A	JP 11-160673 A (Ricoh Co., Ltd.), 18 June 1999 (18.06.1999), entire text; fig. 1 to 6 (Family: none)	1-8
A	JP 11-30771 A (Alps Electric Co., Ltd.), 02 February 1999 (02.02.1999), entire text; fig. 1 to 4 & US 2001/0013864 A1 & TW 444185 B & CN 1220406 A	1-8
A	JP 10-31200 A (Seiko Epson Corp.), 03 February 1998 (03.02.1998), entire text; fig. 1 to 5 (Family: none)	1-8
A	JP 9-101496 A (Sharp Corp.), 15 April 1997 (15.04.1997), entire text; fig. 1 to 16 & US 5781001 A & EP 772182 A3 & DE 69627609 D	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/20(2006.01)i, G02F1/133(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/00-3/38, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-146134 A (株式会社ルネサステクノロジ) 2006.06.08, 全文, 図1-12 & US 2006/0087483 A1 & KR 10-2006-0054134 A	1-8
A	JP 2006-318381 A (セイコーエプソン株式会社) 2006.11.24, 全文, 図1-21 & US 2006/0267639 A1	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 09.05.2011	国際調査報告の発送日 17.05.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中村 直行 電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-182617 A (京セラ株式会社) 2002.06.26, 全文, 図1-8 (ファミリーなし)	1-8
A	JP 2001-4976 A (京セラ株式会社) 2001.01.12, 全文, 図1-8 (ファミリーなし)	1-8
A	JP 2001-324968 A (オプトレックス株式会社) 2001.11.22, 全文, 図1-5 (ファミリーなし)	1-8
A	JP 11-160673 A (株式会社リコー) 1999.06.18, 全文, 図1-6 (ファミリーなし)	1-8
A	JP 11-30771 A (アルプス電気株式会社) 1999.02.02, 全文, 図1-4 & US 2001/0013864 A1 & TW 444185 B & CN 1220406 A	1-8
A	JP 10-31200 A (セイコーエプソン株式会社) 1998.02.03, 全文, 図1-5 (ファミリーなし)	1-8
A	JP 9-101496 A (シャープ株式会社) 1997.04.15, 全文, 図1-16 & US 5781001 A & EP 772182 A3 & DE 69627609 D	1-8