

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月11日(11.10.2018)



(10) 国際公開番号

WO 2018/186311 A1

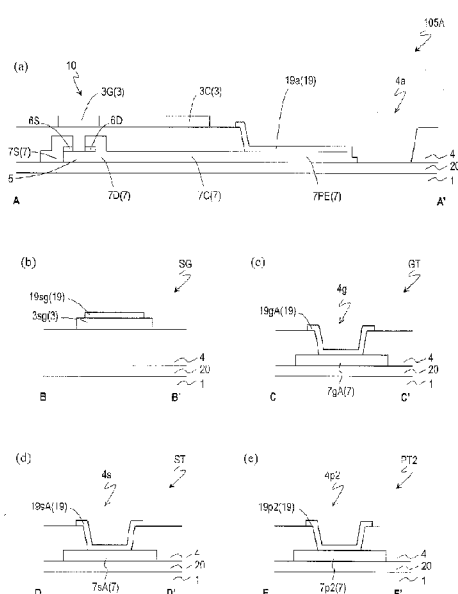
- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01Q 13/22* (2006.01)
H01Q 3/44 (2006.01)
- (21) 国際出願番号: PCT/JP2018/013899
- (22) 国際出願日: 2018年3月30日(30.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-077079 2017年4月7日(07.04.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 美崎 克紀(MISAKI Katsunori).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: TFT SUBSTRATE, SCANNING ANTENNA PROVIDED WITH TFT SUBSTRATE, AND METHOD FOR PRODUCING TFT SUBSTRATE

(54) 発明の名称: TFT基板、TFT基板を備えた走査アンテナ、およびTFT基板の製造方法



(57) Abstract: This TFT substrate (105A) is provided with: a dielectric substrate (1); and a plurality of antenna unit areas (U) arranged on the dielectric substrate. Each of the plurality of antenna unit areas is provided with a TFT (10), and a patch electrode (7PE) which is electrically connected to a drain electrode (7D) of the TFT. The TFT substrate is provided with: a source metal layer (7) including source electrodes (7S) of the TFTs, the drain electrodes, source bus lines (SL) which are connected to the source electrodes, and the patch electrodes; a gate metal layer (3) which is formed on the source metal layer, and includes gate electrodes (3G) of the TFTs, and gate bus lines (GL) which are connected to the gate electrodes; a gate insulation layer (4) which is formed between the source metal layer and the gate metal layer; and a conductive layer (19) which is formed on the gate metal layer. An insulation layer is not provided between the gate metal layer and the conductive layer.

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：T F T基板（1 0 5 A）は、誘電体基板（1）と、誘電体基板上に配列された複数のアンテナ単位領域（U）とを有する。複数のアンテナ単位領域のそれぞれは、T F T（1 0）と、T F Tのドレイン電極（7 D）に電氣的に接続されたパッチ電極（7 P E）とを有する。T F T基板は、T F Tのソース電極（7 S）、ドレイン電極、ソース電極に接続されたソースバスライン（S L）、およびパッチ電極を含むソースメタル層（7）と、ソースメタル層上に形成され、T F Tのゲート電極（3 G）およびゲート電極に接続されたゲートバスライン（G L）を含むゲートメタル層（3）と、ソースメタル層とゲートメタル層との間に形成されたゲート絶縁層（4）と、ゲートメタル層上に形成された導電層（1 9）とを有し、ゲートメタル層と導電層との間に絶縁層を有しない。

明 細 書

発明の名称：

T F T 基板、T F T 基板を備えた走査アンテナ、およびT F T 基板の製造方法

技術分野

[0001] 本発明は、走査アンテナに関し、特に、アンテナ単位（「素子アンテナ」ということもある。）が液晶容量を有する走査アンテナ（「液晶アレイアンテナ」ということもある。）、そのような走査アンテナに用いられるT F T 基板、およびそのようなT F T 基板の製造方法に関する。

背景技術

[0002] 移動体通信や衛星放送用のアンテナは、ビームの方向を変えられる（「ビーム走査」または「ビームステアリング」と言われる。）機能を必要とする。このような機能を有するアンテナ（以下、「走査アンテナ（scanned antenna）」という。）として、アンテナ単位を備えるフェイズドアレイアンテナが知られている。しかしながら、従来のフェイズドアレイアンテナは高価であり、民生品への普及の障害となっている。特に、アンテナ単位の数が増えると、コストが著しく上昇する。

[0003] そこで、液晶材料（ネマチック液晶、高分子分散液晶を含む）の大きな誘電異方性（複屈折率）を利用した走査アンテナが提案されている（特許文献1～5および非特許文献1）。液晶材料の誘電率は周波数分散を有するので、本明細書において、マイクロ波の周波数帯における誘電率（「マイクロ波に対する誘電率」ということもある。）を特に「誘電率M (ϵ_M)」と表記することにする。

[0004] 特許文献3および非特許文献1には、液晶表示装置（以下、「LCD」という。）の技術を利用することによって低価格な走査アンテナが得られると記載されている。

先行技術文献

特許文献

- [0005] 特許文献1：特開2007-116573号公報
特許文献2：特開2007-295044号公報
特許文献3：特表2009-538565号公報
特許文献4：特表2013-539949号公報
特許文献5：国際公開第2015/126550号

非特許文献

- [0006] 非特許文献1：R. A. Stevenson et al., "Rethinking Wireless Communications: Advanced Antenna Design using LCD Technology", SID 2015 DIGEST, pp. 827-830.
非特許文献2：M. ANDO et al., "A Radial Line Slot Antenna for 12GHz Satellite TV Reception", IEEE Transactions of Antennas and Propagation, Vol. AP-33, No. 12, pp. 1347-1353 (1985).

発明の概要

発明が解決しようとする課題

- [0007] 上述したように、LCD技術を適用することによって低価格な走査アンテナを実現するというアイデアは知られてはいるものの、LCD技術を利用した走査アンテナの構造、その製造方法、およびその駆動方法を具体的に記載した文献はない。
- [0008] そこで、本発明は、従来のLCDの製造技術を利用して量産することが可能な走査アンテナ、そのような走査アンテナに用いられるTF T基板、およびそのようなTF T基板の製造方法を提供することを目的とする。

課題を解決するための手段

- [0009] 本発明の実施形態による T F T 基板は、誘電体基板と、前記誘電体基板上に配列された複数のアンテナ単位領域とを有し、前記複数のアンテナ単位領域を含む送受信領域と、前記送受信領域以外の領域に位置する非送受信領域とを備え、前記複数のアンテナ単位領域のそれぞれは、T F T と、前記 T F T のドレイン電極に電氣的に接続されたパッチ電極とを有する T F T 基板であって、前記誘電体基板に支持され、前記 T F T のソース電極、前記ドレイン電極、前記ソース電極に接続されたソースバスライン、および前記パッチ電極を含むソースメタル層と、前記ソースメタル層上に形成され、前記 T F T のゲート電極および前記ゲート電極に接続されたゲートバスラインを含むゲートメタル層と、前記ソースメタル層と前記ゲートメタル層との間に形成されたゲート絶縁層と、前記ゲートメタル層上に形成された導電層とを有し、前記ゲートメタル層と前記導電層との間に絶縁層を有しない。
- [0010] ある実施形態において、前記ゲートメタル層の上面および側面は、前記導電層に覆われている。
- [0011] ある実施形態において、前記ゲートメタル層は、C u、A l、A g および A u からなる群から選択される少なくとも 1 つの元素を含む層を含む。
- [0012] ある実施形態において、前記ゲートメタル層の少なくとも一部は、前記導電層に覆われていない。
- [0013] ある実施形態において、前記ゲートメタル層は、C u、A l、A g および A u からなる群から選択される少なくとも 1 つの元素を含む層を含まない。
- [0014] ある実施形態において、前記ゲートメタル層は、T i、W、M o、T a および N b からなる群から選択される少なくとも 1 つの元素を含む層を含む。
- [0015] ある実施形態において、前記導電層は、透明導電層を含む。
- [0016] ある実施形態において、前記導電層は、透明導電層を含む第 1 導電層と、前記第 1 導電層の下に形成され、T i 層、M o N b 層、M o N b N i 層、M o W 層、W 層および T a 層からなる群から選択される少なくとも 1 つの層から形成されている第 2 導電層とを含む。

- [0017] ある実施形態において、前記ＴＦＴ基板は、前記非送受信領域に配置されたソース端子部をさらに有し、前記ソース端子部は、前記ソースメタル層に含まれ、前記ソースバスラインと電氣的に接続されたソース端子用下部接続部と、前記ゲート絶縁層に形成され、前記ソース端子用下部接続部に達する第１開口部と、前記導電層に含まれ、前記第１開口部内で前記ソース端子用下部接続部と接続されているソース端子用上部接続部とを有する。
- [0018] ある実施形態において、前記ＴＦＴ基板は、前記非送受信領域に配置されたゲートソース接続部をさらに有し、前記ゲートソース接続部は、前記ソースメタル層に含まれ、前記ソースバスラインと電氣的に分離されたゲート下部接続配線と、前記ゲート絶縁層に形成され、前記ゲート下部接続配線に達する第２開口部と、前記ゲートメタル層に含まれ、前記ゲートバスラインに接続されたゲートバスライン接続部と、前記導電層に含まれ、前記第２開口部内で前記ゲート下部接続配線と接続され、かつ、前記ゲートバスライン接続部と接続されているゲート上部接続部とを有する。
- [0019] ある実施形態において、前記ＴＦＴ基板は、前記非送受信領域に配置されたゲート端子部をさらに有し、前記ゲート端子部は、前記ソースメタル層に含まれ、前記ゲート下部接続配線と電氣的に接続されたゲート端子用下部接続部と、前記ゲート絶縁層に形成され、前記ゲート端子用下部接続部に達する第３開口部と、前記導電層に含まれ、前記第３開口部内で前記ゲート端子用下部接続部と接続されているゲート端子用上部接続部とを有する。
- [0020] ある実施形態において、前記ゲート絶縁層は、前記パッチ電極に達する第４開口部をさらに有し、前記導電層は、前記パッチ電極の内、前記第４開口部によって露出されている部分を覆うパッチ導電部を含む。
- [0021] 本発明の実施形態による走査アンテナは、上記のいずれかのＴＦＴ基板と、前記ＴＦＴ基板と対向するように配置されたスロット基板と、前記ＴＦＴ基板と前記スロット基板との間に設けられた液晶層と、前記スロット基板の前記液晶層と反対側の表面に誘電体層を介して対向するように配置された反射導電板とを備え、前記ＴＦＴ基板は、前記導電層を覆う第１配向膜をさら

に有し、前記スロット基板は、他の誘電体基板と、前記他の誘電体基板の前記液晶層側の表面に形成されたスロット電極と、前記スロット電極を覆う第2配向膜とを有し、前記スロット電極は複数のスロットを有し、前記複数のスロットは、前記TFT基板の前記複数のアンテナ単位領域における前記パッチ電極に対応して配置されている。

[0022] ある実施形態において、前記第1配向膜は、前記導電層と接触しており、前記ゲートメタル層と接触していない。

[0023] ある実施形態において、前記第1配向膜は、前記ゲートメタル層と接触している。

[0024] 本発明の実施形態によるTFT基板の製造方法は、上記のいずれかのTFT基板の製造方法であって、前記誘電体基板上にソース用導電膜を形成し、前記ソース用導電膜をパターニングすることにより、前記ソースメタル層を形成する工程（a）と、前記ソースメタル層を覆う第1絶縁膜を堆積する工程（b）と、前記第1絶縁膜のエッチングを行うことによって、前記ゲート絶縁層を得る工程（c）と、前記第1絶縁膜上または前記ゲート絶縁層上にゲート用導電膜を形成し、前記ゲート用導電膜をパターニングすることにより、前記ゲートメタル層を形成する工程（d）と、前記ゲートメタル層上に前記導電層を形成する工程（e）とを包含する。

[0025] ある実施形態において、前記工程（d）は、前記工程（c）の前に行われ、前記第1絶縁膜上に前記ゲート用導電膜を形成する工程を包含する。

[0026] ある実施形態において、前記工程（d）は、前記工程（c）の後に行われ、前記ゲート絶縁層上に前記ゲート用導電膜を形成する工程を包含する。

[0027] ある実施形態において、前記工程（c）は、前記第1絶縁膜に前記第1開口部を形成する工程を包含する。

発明の効果

[0028] 本発明のある実施形態によると、従来のLCDの製造技術を利用して量産することが可能な走査アンテナ、そのような走査アンテナに用いられるTFT基板、およびそのようなTFT基板の製造方法が提供される。

図面の簡単な説明

[0029] [図1]第1の実施形態の走査アンテナ1000の一部を模式的に示す断面図である。

[図2] (a) および (b) は、それぞれ、走査アンテナ1000におけるTF T基板101およびスロット基板201を示す模式的な平面図である。

[図3] (a) および (b) は、それぞれ、TF T基板101のアンテナ単位領域Uを模式的に示す断面図および平面図である。

[図4] (a) ~ (c) は、それぞれ、TF T基板101のゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを模式的に示す断面図である。

[図5]TF T基板101の製造工程の一例を示す図である。

[図6]スロット基板201におけるアンテナ単位領域Uおよび端子部ITを模式的に示す断面図である。

[図7]TF T基板101およびスロット基板201におけるトランスファー部を説明するための模式的な断面図である。

[図8] (a) ~ (c) は、それぞれ、第2の実施形態におけるTF T基板102のゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを示す断面図である。

[図9]TF T基板102の製造工程の一例を示す図である。

[図10] (a) ~ (c) は、それぞれ、第3の実施形態におけるTF T基板103のゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを示す断面図である。

[図11]TF T基板103の製造工程の一例を示す図である。

[図12]TF T基板103およびスロット基板203におけるトランスファー部を説明するための模式的な断面図である。

[図13] (a) は、ヒーター用抵抗膜68を有するTF T基板104の模式的な平面図であり、(b) はスロット57およびパッチ電極15のサイズを説明するための模式的な平面図である。

[図14] (a) および (b) は、抵抗加熱構造 80 a および 80 b の模式的な構造と電流の分布を示す図である。

[図15] (a) ～ (c) は、抵抗加熱構造 80 c ～ 80 e の模式的な構造と電流の分布を示す図である。

[図16] (a) は、ヒーター用抵抗膜 68 を有する液晶パネル 100 P a の模式的な断面図であり、(b) は、ヒーター用抵抗膜 68 を有する液晶パネル 100 P b の模式的な断面図である。

[図17] 本発明の実施形態による走査アンテナの 1 つのアンテナ単位の等価回路を示す図である。

[図18] (a) ～ (c)、(e) ～ (g) は、実施形態の走査アンテナの駆動に用いられる各信号の波形の例を示す図であり、(d) は、ドット反転駆動を行っている LCD パネルの表示信号の波形を示す図である。

[図19] (a) ～ (e) は、実施形態の走査アンテナの駆動に用いられる各信号の波形の他の例を示す図である。

[図20] (a) ～ (e) は、実施形態の走査アンテナの駆動に用いられる各信号の波形のさらに他の例を示す図である。

[図21] (a) ～ (c) は、第 4 の実施形態における TFT 基板 105 を例示する模式的な平面図である。

[図22] (a) ～ (e) は、TFT 基板 105 の模式的な断面図である。

[図23] (a) ～ (c) は、TFT 基板 105 の模式的な断面図である。

[図24] (a) ～ (e) は、TFT 基板 105 の製造方法の一例を示す工程断面図である。

[図25] (a) ～ (c) は、TFT 基板 105 の製造方法の一例を示す工程断面図である。

[図26] (a) ～ (c) は、TFT 基板 105 の製造方法の一例を示す工程断面図である。

[図27] (a) ～ (c) は、第 4 の実施形態の変形例 1 の TFT 基板 106 を例示する模式的な平面図である。

[図28] (a) ~ (e) は、T F T基板 1 0 6 の模式的な断面図である。

[図29] (a) ~ (c) は、T F T基板 1 0 6 の模式的な断面図である。

[図30] (a) ~ (c) は、T F T基板 1 0 6 の製造方法の一例を示す工程断面図である。

[図31] (a) ~ (c) は、第4の実施形態の変形例2のT F T基板 1 0 7 を例示する模式的な平面図である。

[図32] (a) ~ (e) は、T F T基板 1 0 7 の模式的な断面図である。

[図33] (a) ~ (c) は、T F T基板 1 0 7 の模式的な断面図である。

[図34] (a) ~ (e) は、T F T基板 1 0 7 の製造方法の一例を示す工程断面図である。

[図35] (a) ~ (c) は、T F T基板 1 0 7 の製造方法の一例を示す工程断面図である。

[図36] (a) ~ (c) は、T F T基板 1 0 7 の製造方法の一例を示す工程断面図である。

[図37] (a) ~ (c) は、第4の実施形態の変形例3のT F T基板 1 0 8 を例示する模式的な平面図である。

[図38] (a) ~ (e) は、T F T基板 1 0 8 の模式的な断面図である。

[図39] (a) ~ (c) は、T F T基板 1 0 8 の模式的な断面図である。

[図40] (a) ~ (c) は、T F T基板 1 0 8 の製造方法の一例を示す工程断面図である。

[図41] (a) ~ (c) は、第5の実施形態におけるT F T基板 1 0 5 A を例示する模式的な平面図である。

[図42] (a) ~ (e) は、T F T基板 1 0 5 A の模式的な断面図である。

[図43] (a) ~ (c) は、T F T基板 1 0 5 A の模式的な断面図である。

[図44] T F T基板 1 0 5 A を備える走査アンテナの内の液晶パネル 1 0 0 A の構造を示す断面図である。

[図45] (a) ~ (c) は、T F T基板 1 0 5 A の製造方法の一例を示す工程断面図である。

[図46] (a) ~ (c) は、第5の実施形態の変形例1のTFT基板106Aを例示する模式的な平面図である。

[図47] (a) ~ (e) は、TFT基板106Aの模式的な断面図である。

[図48] (a) ~ (c) は、TFT基板106Aの模式的な断面図である。

[図49] (a) ~ (c) は、TFT基板106Aの製造方法の一例を示す工程断面図である。

[図50] (a) ~ (c) は、第5の実施形態の変形例2のTFT基板107Aを例示する模式的な平面図である。

[図51] (a) ~ (e) は、TFT基板107Aの模式的な断面図である。

[図52] (a) ~ (c) は、TFT基板107Aの模式的な断面図である。

[図53] (a) ~ (c) は、TFT基板107Aの製造方法の一例を示す工程断面図である。

[図54] (a) ~ (c) は、第5の実施形態の変形例3のTFT基板108Aを例示する模式的な平面図である。

[図55] (a) ~ (e) は、TFT基板108Aの模式的な断面図である。

[図56] (a) ~ (c) は、TFT基板108Aの模式的な断面図である。

[図57] (a) ~ (c) は、TFT基板108Aの製造方法の一例を示す工程断面図である。

[図58] (a) は、従来のLCD900の構造を示す模式図であり、(b) はLCDパネル900aの模式的な断面図である。

発明を実施するための形態

[0030] 以下、図面を参照して、本発明の実施形態による走査アンテナおよびその製造方法を説明する。以下の説明においては、まず、公知のTFT型LCD（以下、「TFT-LCD」という。）の構造および製造方法を説明する。ただし、LCDの技術分野で周知の事項については説明を省略することがある。TFT-LCDの基本的な技術については、例えば、Liquid Crystals, Applications and Uses, Vol. 1-3 (Editor: Birenda Bahadur, Pu

blisher: World Scientific Pub Co Inc)などを参照されたい。参考のために、上記の文献の開示内容の全てを本明細書に援用する。

- [0031] 図58(a)および(b)を参照して、典型的な透過型のTFT-LCD(以下、単に「LCD」という。)900の構造および動作を説明する。ここでは、液晶層の厚さ方向に電圧を印加する縦電界モード(例えば、TNモードや垂直配向モード)のLCD900を例示する。LCDの液晶容量に印加される電圧のフレーム周波数(典型的には極性反転周波数の2倍)は例えば4倍速駆動でも240Hzであり、LCDの液晶容量の誘電体層としての液晶層の誘電率 ϵ は、マイクロ波(例えば、衛星放送やKuバンド(12~18GHz)、Kバンド(18~26GHz)、Kaバンド(26~40GHz))に対する誘電率 $M(\epsilon_M)$ と異なる。
- [0032] 図58(a)に模式的に示すように、透過型のLCD900は、液晶表示パネル900aと、制御回路CNTLと、バックライト(不図示)と、電源回路(不図示)などを備えている。液晶表示パネル900aは、液晶表示セルLCCと、ゲートドライバGDおよびソースドライバSDを含む駆動回路とを含む。駆動回路は、例えば、液晶表示セルLCCのTFT基板910に実装されてもよいし、駆動回路の一部または全部は、TFT基板910に一体化(モノリシック化)されてもよい。
- [0033] 図58(b)に、LCD900が有する液晶表示パネル(以下、「LCDパネル」という。)900aの模式的に断面図を示す。LCDパネル900aは、TFT基板910と、対向基板920と、これらの間に設けられた液晶層930とを有している。TFT基板910および対向基板920は、いずれもガラス基板などの透明基板911、921を有している。透明基板911、921としては、ガラス基板の他、プラスチック基板が用いられることもある。プラスチック基板は、例えば、透明な樹脂(例えばポリエステル)とガラス繊維(例えば不織布)で形成される。
- [0034] LCDパネル900aの表示領域DRは、マトリクス状に配列された画素

Pによって構成されている。表示領域D Rの周辺には表示に寄与しない額縁領域F Rが形成されている。液晶材料は表示領域D Rを包囲するように形成されたシール部（不図示）によって表示領域D R内に封止されている。シール部は、例えば、紫外線硬化性樹脂とスペーサ（例えば樹脂ビーズまたはシリカビーズ）とを含むシール材を硬化させることによって形成され、T F T基板9 1 0と対向基板9 2 0とを互いに接着、固定する。シール材中のスペーサは、T F T基板9 1 0と対向基板9 2 0との間隙、すなわち液晶層9 3 0の厚さを一定に制御する。液晶層9 3 0の厚さの面内ばらつきを抑制するために、表示領域D R内の遮光される部分（例えば配線上）に、柱状スペーサが紫外線硬化性樹脂を用いて形成される。近年、液晶テレビやスマートフォン用のL C Dパネルに見られるように、表示に寄与しない額縁領域F Rの幅は非常に狭くなっている。

[0035] T F T基板9 1 0では、透明基板9 1 1上に、T F T 9 1 2、ゲートバスライン（走査線）G L、ソースバスライン（表示信号線）S L、画素電極9 1 4、補助容量電極（不図示）、C Sバスライン（補助容量線）（不図示）が形成されている。C Sバスラインはゲートバスラインと平行に設けられる。あるいは、次段のゲートバスラインをC Sバスラインとして用いることもある（C Sオンゲート構造）。

[0036] 画素電極9 1 4は、液晶の配向を制御する配向膜（例えばポリイミド膜）に覆われている。配向膜は、液晶層9 3 0と接するように設けられる。T F T基板9 1 0はバックライト側（観察者とは反対側）に配置されることが多い。

[0037] 対向基板9 2 0は、液晶層9 3 0の観察者側に配置されることが多い。対向基板9 2 0は、透明基板9 2 1上に、カラーフィルタ層（不図示）と、対向電極9 2 4と、配向膜（不図示）とを有している。対向電極9 2 4は、表示領域D Rを構成する複数の画素Pに共通に設けられるので、共通電極とも呼ばれる。カラーフィルタ層は、画素P毎に設けられるカラーフィルタ（例えば、赤フィルタ、緑フィルタ、青フィルタ）と、表示に不要な光を遮光す

るためのブラックマトリクス（遮光層）とを含む。ブラックマトリクスは、例えば、表示領域DR内の画素Pの間、および額縁領域FRを遮光するように配置される。

[0038] TFT基板910の画素電極914と、対向基板920の対向電極924と、これらの間の液晶層930が、液晶容量C_{lc}を構成する。個々の液晶容量が画素に対応する。液晶容量C_{lc}に印加された電圧を保持するために（いわゆる電圧保持率を高くするために）、液晶容量C_{lc}と電氣的に並列に接続された補助容量CSが形成されている。補助容量CSは、典型的には、画素電極914と同電位とされる電極と、無機絶縁層（例えばゲート絶縁層（SiO₂層））と、CSバスラインに接続された補助容量電極とで構成される。CSバスラインからは、典型的には、対向電極924と同じ共通電圧が供給される。

[0039] 液晶容量C_{lc}に印加された電圧（実効電圧）が低下する要因としては、（1）液晶容量C_{lc}の容量値C_{clc}と、抵抗値Rとの積であるCR時定数に基づくもの、（2）液晶材料中に含まれるイオン性不純物に起因する界面分極、および／または、液晶分子の配向分極などがある。これらのうち、液晶容量C_{lc}のCR時定数による寄与が大きく、液晶容量C_{lc}に電氣的に並列に接続された補助容量CSを設けることによって、CR時定数を大きくすることができる。なお、液晶容量C_{lc}の誘電体層である液晶層930の体積抵抗率は、汎用されているネマチック液晶材料の場合、10¹²Ω・cmのオーダーを超えている。

[0040] 画素電極914に供給される表示信号は、ゲートバスラインGLにゲートドライバGDから供給される走査信号によって選択されたTFT912がオン状態となったときに、そのTFT912に接続されているソースバスラインSLに供給されている表示信号である。したがって、あるゲートバスラインGLに接続されているTFT912が同時にオン状態となり、その時に、その行の画素PのそれぞれのTFT912に接続されているソースバスラインSLから対応する表示信号が供給される。この動作を、1行目（例えば表

示面の最上行) から m 行目 (例えば表示面の最下行) まで順次に行うことによって、 m 行の画素行で構成された表示領域 DR に 1 枚の画像 (フレーム) が書き込まれ、表示される。画素 P が m 行 n 列にマトリクス状に配列されているとすると、ソースバスライン SL は各画素列に対応して少なくとも 1 本、合計で少なくとも n 本設けられる。

[0041] このような走査は線順次走査と呼ばれ、1 つの画素行が選択されて、次の行が選択されるまでの時間は水平走査期間 (1 H) と呼ばれ、ある行が選択され、再びその行が選択されるまでの時間は垂直走査期間 (1 V) またはフレームと呼ばれる。なお、一般に、1 V (または 1 フレーム) は、 m 本の画素行を全て選択する期間 $m \cdot H$ に、ブランキング期間を加えたものとなる。

[0042] 例えば、入力映像信号が NTSC 信号の場合、従来の LCD パネルの 1 V (= 1 フレーム) は、 $1/60 \text{ sec}$ (16.7 msec) であった。NTSC 信号はインターレース信号であり、フレーム周波数は 30 Hz で、フィールド周波数は 60 Hz であるが、LCD パネルにおいては各フィールドで全ての画素に表示信号を供給する必要があるので、 $1 V = (1/60) \text{ sec}$ で駆動する (60 Hz 駆動)。なお、近年では、動画表示特性を改善するために、2 倍速駆動 (120 Hz 駆動、 $1 V = (1/120) \text{ sec}$) で駆動される LCD パネルや、3 D 表示のために 4 倍速 (240 Hz 駆動、 $1 V = (1/240) \text{ sec}$) で駆動される LCD パネルもある。

[0043] 液晶層 930 に直流電圧が印加されると実効電圧が低下し、画素 P の輝度が低下する。この実効電圧の低下には、上記の界面分極および／または配向分極の寄与があるので、補助容量 CS を設けても完全に防止することは難しい。例えば、ある中間階調に対応する表示信号を全ての画素にフレーム毎に書き込むと、フレーム毎に輝度が変動し、フリッカーとして観察される。また、液晶層 930 に長時間にわたって直流電圧が印加されると液晶材料の電気分解が起こることがある。また、不純物イオンが片側の電極に偏析し、液晶層に実効的な電圧が印加されなくなり、液晶分子が動かなくなることもある。これらを防止するために、LCD パネル 900 a はいわゆる、交流駆動

される。典型的には、表示信号の極性を1フレーム毎（1垂直走査期間毎）に反転する、フレーム反転駆動が行われる。例えば、従来のLCDパネルでは、 $1/60\text{ sec}$ 毎に極性反転が行われている（極性反転の周期は 30 Hz ）。

[0044] また、1フレーム内においても印加される電圧の極性の異なる画素を均一に分布させるために、ドット反転駆動またはライン反転駆動などが行われている。これは、正極性と負極性とで、液晶層に印加される実効電圧の大きさを完全に一致させることが難しいからである。例えば、液晶材料の体積抵抗率が $10^{12}\Omega \cdot \text{cm}$ のオーダー超であれば、 $1/60\text{ sec}$ 毎に、ドット反転またはライン反転駆動を行えば、フリッカーはほとんど視認されない。

[0045] LCDパネル900aにおける走査信号および表示信号は、制御回路CNTLからゲートドライバGDおよびソースドライバSDに供給される信号に基づいて、ゲートドライバGDおよびソースドライバSDからゲートバスラインGLおよびソースバスラインSLにそれぞれ供給される。例えば、ゲートドライバGDおよびソースドライバSDは、それぞれ、TFT基板910に設けられた対応する端子に接続されている。ゲートドライバGDおよびソースドライバSDは、例えば、ドライバICとしてTFT基板910の額縁領域FRに実装されることもあるし、TFT基板910の額縁領域FRにモノリシックに形成されることもある。

[0046] 対向基板920の対向電極924は、トランスファー（転移）と呼ばれる導電部（不図示）を介して、TFT基板910の端子（不図示）に電氣的に接続される。トランスファーは、例えば、シール部と重なるように、あるいは、シール部の一部に導電性を付与することによって形成される。額縁領域FRを狭くするためである。対向電極924には、制御回路CNTLから、直接または間接的に共通電圧が供給される。典型的には、共通電圧は、上述したように、CSバスラインにも供給される。

[0047] [走査アンテナの基本構造]

液晶材料の大きな誘電率 $M(\epsilon_M)$ の異方性（複屈折率）を利用したアンテナ

ナ単位を用いた走査アンテナは、LCDパネルの画素に対応付けられるアンテナ単位の各液晶層に印加する電圧を制御し、各アンテナ単位の液晶層の実効的な誘電率 $M(\epsilon_M)$ を変化させることによって、静電容量の異なるアンテナ単位で2次元的なパターンを形成する（LCDによる画像の表示に対応する。）。アンテナから出射される、または、アンテナによって受信される電磁波（例えば、マイクロ波）には、各アンテナ単位の静電容量に応じた位相差が与えられ、静電容量の異なるアンテナ単位によって形成された2次元的なパターンに応じて、特定の方向に強い指向性を有することになる（ビーム走査）。例えば、アンテナから出射される電磁波は、入力電磁波が各アンテナ単位に入射し、各アンテナ単位で散乱された結果得られる球面波を、各アンテナ単位によって与えられる位相差を考慮して積分することによって得られる。各アンテナ単位が、「フェイズシフター：phase shifter」として機能していると考えられることもできる。液晶材料を用いた走査アンテナの基本的な構造および動作原理については、特許文献1～4および非特許文献1、2を参照されたい。非特許文献2は、らせん状のスロットが配列された走査アンテナの基本的な構造を開示している。参考のために、特許文献1～4および非特許文献1、2の開示内容の全てを本明細書に援用する。

[0048] なお、本発明の実施形態による走査アンテナにおけるアンテナ単位はLCDパネルの画素に類似してはいるものの、LCDパネルの画素の構造とは異なっているし、複数のアンテナ単位の配列もLCDパネルにおける画素の配列とは異なっている。後に詳細に説明する第1の実施形態の走査アンテナ1000を示す図1を参照して、本発明の実施形態による走査アンテナの基本構造を説明する。走査アンテナ1000は、スロットが同心円状に配列されたラジアルインラインスロットアンテナであるが、本発明の実施形態による走査アンテナはこれに限られず、例えば、スロットの配列は、公知の種々の配列であってよい。特に、スロットおよび／またはアンテナ単位の配列について、特許文献5の全ての開示内容を参考のために本明細書に援用する。

[0049] 図1は、本実施形態の走査アンテナ1000の一部を模式的に示す断面図

であり、同心円状に配列されたスロットの中心近傍に設けられた給電ピン 72 (図 2 (b) 参照) から半径方向に沿った断面の一部を模式的に示す。

[0050] 走査アンテナ 1000 は、TFT 基板 101 と、スロット基板 201 と、これらの間に配置された液晶層 LC と、スロット基板 201 と、空気層 54 を介して対向するように配置された反射導電板 65 とを備えている。走査アンテナ 1000 は、TFT 基板 101 側からマイクロ波を送受信する。

[0051] TFT 基板 101 は、ガラス基板などの誘電体基板 1 と、誘電体基板 1 上に形成された複数のパッチ電極 15 と、複数の TFT 10 とを有している。各パッチ電極 15 は、対応する TFT 10 に接続されている。各 TFT 10 は、ゲートバスラインとソースバスラインとに接続されている。

[0052] スロット基板 201 は、ガラス基板などの誘電体基板 51 と、誘電体基板 51 の液晶層 LC 側に形成されたスロット電極 55 とを有している。スロット電極 55 は複数のスロット 57 を有している。

[0053] スロット基板 201 と、空気層 54 を介して対向するように反射導電板 65 が配置されている。空気層 54 に代えて、マイクロ波に対する誘電率 M が小さい誘電体 (例えば、PTFE などのフッ素樹脂) で形成された層を用いることができる。スロット電極 55 と反射導電板 65 と、これらの間の誘電体基板 51 および空気層 54 とが導波路 301 として機能する。

[0054] パッチ電極 15 と、スロット 57 を含むスロット電極 55 の部分と、これらの間の液晶層 LC とがアンテナ単位 U を構成する。各アンテナ単位 U において、1つのパッチ電極 15 が1つのスロット 57 を含むスロット電極 55 の部分と液晶層 LC を介して対向しており、液晶容量を構成している。パッチ電極 15 とスロット電極 55 とが液晶層 LC を介して対向する構造は、図 58 に示した LCD パネル 900a の画素電極 914 と対向電極 924 とが液晶層 930 を介して対向する構造と似ている。すなわち、走査アンテナ 1000 のアンテナ単位 U と、LCD パネル 900a における画素 P とは似た構成を有している。また、アンテナ単位は、液晶容量と電氣的に並列に接続された補助容量 (図 13 (a)、図 17 参照) を有している点でも LCD パ

ネル 900a における画素 P と似た構成を有している。しかしながら、走査アンテナ 1000 は、LCD パネル 900a と多くの相違点を有している。

[0055] まず、走査アンテナ 1000 の誘電体基板 1、51 に求められる性能は、LCD パネルの基板に求められる性能と異なる。

[0056] 一般に LCD パネルには、可視光に透明な基板が用いられ、例えば、ガラス基板またはプラスチック基板が用いられる。反射型の LCD パネルにおいては、背面側の基板には透明性が不要なので、半導体基板が用いられることもある。これに対し、アンテナ用の誘電体基板 1、51 としては、マイクロ波に対する誘電損失（マイクロ波に対する誘電正接を $\tan \delta_{\text{電}}$ と表すことにする。）が小さいことが好ましい。誘電体基板 1、51 の $\tan \delta_{\text{電}}$ は、概ね 0.03 以下であることが好ましく、0.01 以下がさらに好ましい。具体的には、ガラス基板またはプラスチック基板を用いることができる。ガラス基板はプラスチック基板よりも寸法安定性、耐熱性に優れ、TFT、配線、電極等の回路要素を LCD 技術を用いて形成するのに適している。例えば、導波路を形成する材料が空気とガラスである場合、ガラスの方が上記誘電損失が大きいため、ガラスがより薄い方が導波ロスを減らすことができるとの観点から、好ましくは $400 \mu\text{m}$ 以下であり、 $300 \mu\text{m}$ 以下がさらに好ましい。下限は特になく、製造プロセスにおいて、割れることなくハンドリングできればよい。

[0057] 電極に用いられる導電材料も異なる。LCD パネルの画素電極や対向電極には透明導電膜として ITO 膜が用いられることが多い。しかしながら、ITO はマイクロ波に対する $\tan \delta_{\text{電}}$ が大きく、アンテナにおける導電層として用いることができない。スロット電極 55 は、反射導電板 65 とともに導波路 301 の壁として機能する。したがって、導波路 301 の壁におけるマイクロ波の透過を抑制するためには、導波路 301 の壁の厚さ、すなわち、金属層（Cu 層または Al 層）の厚さは大きいことが好ましい。金属層の厚さが表皮深さの 3 倍であれば、電磁波は $1/20$ （ -26 dB ）に減衰され、5 倍であれば $1/150$ （ -43 dB ）程度に減衰されることが知られて

いる。したがって、金属層の厚さが表皮深さの5倍であれば、電磁波の透過率を1%に低減することができる。例えば、10GHzのマイクロ波に対しては、厚さが3.3 μ m以上のCu層、および厚さが4.0 μ m以上のAl層を用いると、マイクロ波を1/150まで低減することができる。また、30GHzのマイクロ波に対しては、厚さが1.9 μ m以上のCu層、および厚さが2.3 μ m以上のAl層を用いると、マイクロ波を1/150まで低減することができる。このように、スロット電極55は、比較的厚いCu層またはAl層で形成することが好ましい。Cu層またはAl層の厚さに上限は特になく、成膜時間やコストを考慮して、適宜設定され得る。Cu層を用いると、Al層を用いるよりも薄くできるという利点が得られる。比較的厚いCu層またはAl層の形成は、LCDの製造プロセスで用いられる薄膜堆積法だけでなく、Cu箔またはAl箔を基板に貼り付ける等、他の方法を採用することもできる。金属層の厚さは、例えば、2 μ m以上30 μ m以下である。薄膜堆積法を用いて形成する場合、金属層の厚さは5 μ m以下であることが好ましい。なお、反射導電板65は、例えば、厚さが数mmのアルミニウム板、銅板などを用いることができる。

[0058] パッチ電極15は、スロット電極55のように導波路301を構成する訳ではないので、スロット電極55よりも厚さが小さいCu層またはAl層を用いることができる。ただし、スロット電極55のスロット57付近の自由電子の振動がパッチ電極15内の自由電子の振動を誘起する際に熱に変わるロスを避けるために、抵抗が低い方が好ましい。量産性の観点からはCu層よりもAl層を用いることが好ましく、Al層の厚さは例えば0.3 μ m以上2 μ m以下が好ましい。

[0059] また、アンテナ単位Uの配列ピッチは、画素ピッチと大きく異なる。例えば、12GHz (Ku band) のマイクロ波用のアンテナを考えると、波長 λ は、例えば25mmである。そうすると、特許文献4に記載されているように、アンテナ単位Uのピッチは $\lambda/4$ 以下および/または $\lambda/5$ 以下であるので、6.25mm以下および/または5mm以下ということになる。

。これはLCDパネルの画素のピッチと比べて10倍以上大きい。したがって、アンテナ単位Uの長さおよび幅もLCDパネルの画素長さおよび幅よりも約10倍大きいことになる。

[0060] もちろん、アンテナ単位Uの配列はLCDパネルにおける画素の配列と異なり得る。ここでは、同心円状に配列した例（例えば、特開2002-217640号公報参照）を示すが、これに限られず、例えば、非特許文献2に記載されているように、らせん状に配列されてもよい。さらに、特許文献4に記載されているようにマトリクス状に配列してもよい。

[0061] 走査アンテナ1000の液晶層LCの液晶材料に求められる特性は、LCDパネルの液晶材料に求められる特性と異なる。LCDパネルは画素の液晶層の屈折率変化によって、可視光（波長380nm～830nm）の偏光に位相差を与えることによって、偏光状態を変化させる（例えば、直線偏光の偏光軸方向を回転させる、または、円偏光の円偏光度を変化させる）ことによって、表示を行う。これに対して実施形態による走査アンテナ1000は、アンテナ単位Uが有する液晶容量の静電容量値を変化させることによって、各パッチ電極から励振（再輻射）されるマイクロ波の位相を変化させる。したがって、液晶層は、マイクロ波に対する誘電率 $M(\epsilon_M)$ の異方性（ $\Delta\epsilon_M$ ）が大きいことが好ましく、 $\tan\delta_M$ は小さいことが好ましい。例えば、M. Wittke et al., SID 2015 DIGEST pp. 824-826に記載の $\Delta\epsilon_M$ が4以上で、 $\tan\delta_M$ が0.02以下（いずれも19GHzの値）を好適に用いることができる。その他、九鬼、高分子55巻8月号pp. 599-602（2006）に記載の $\Delta\epsilon_M$ が0.4以上、 $\tan\delta_M$ が0.04以下の液晶材料を用いることができる。

[0062] 一般に液晶材料の誘電率は周波数分散を有するが、マイクロ波に対する誘電異方性 $\Delta\epsilon_M$ は、可視光に対する屈折率異方性 Δn と正の相関がある。したがって、マイクロ波に対するアンテナ単位用の液晶材料は、可視光に対する屈折率異方性 Δn が大きい材料が好ましいと言える。LCD用の液晶材料の屈折率異方性 Δn は550nmの光に対する屈折率異方性で評価される。こ

こでも 550 nm の光に対する Δn （複屈折率）を指標に用いると、 Δn が 0.3 以上、好ましくは 0.4 以上のネマチック液晶が、マイクロ波に対するアンテナ単位用に用いられる。 Δn に特に上限はない。ただし、 Δn が大きい液晶材料は極性が強い傾向にあるので、信頼性を低下させる恐れがある。信頼性の観点からは、 Δn は 0.4 以下であることが好ましい。液晶層の厚さは、例えば、 $1\ \mu\text{m} \sim 500\ \mu\text{m}$ である。

[0063] 以下、本発明の実施形態による走査アンテナの構造および製造方法をより詳細に説明する。

[0064] （第 1 の実施形態）

まず、図 1 および図 2 を参照する。図 1 は詳述した様に走査アンテナ 1000 の中心付近の模式的な部分断面図であり、図 2（a）および（b）は、それぞれ、走査アンテナ 1000 における T F T 基板 101 およびスロット基板 201 を示す模式的な平面図である。

[0065] 走査アンテナ 1000 は 2 次元に配列された複数のアンテナ単位 U を有しており、ここで例示する走査アンテナ 1000 では、複数のアンテナ単位が同心円状に配列されている。以下の説明においては、アンテナ単位 U に対応する T F T 基板 101 の領域およびスロット基板 201 の領域を「アンテナ単位領域」と呼び、アンテナ単位と同じ参照符号 U を付すことにする。また、図 2（a）および（b）に示す様に、T F T 基板 101 およびスロット基板 201 において、2 次元的に配列された複数のアンテナ単位領域によって画定される領域を「送受信領域 R 1」と呼び、送受信領域 R 1 以外の領域を「非送受信領域 R 2」と呼ぶ。非送受信領域 R 2 には、端子部、駆動回路などが設けられる。

[0066] 図 2（a）は、走査アンテナ 1000 における T F T 基板 101 を示す模式的な平面図である。

[0067] 図示する例では、T F T 基板 101 の法線方向から見たとき、送受信領域 R 1 はドーナツ状である。非送受信領域 R 2 は、送受信領域 R 1 の中心部に位置する第 1 非送受信領域 R 2 a と、送受信領域 R 1 の周縁部に位置する第

2 非送受信領域 R 2 b とを含む。送受信領域 R 1 の外径は、例えば 2 0 0 m m ~ 1 5 0 0 m m で、通信量などに応じて設定される。

[0068] T F T 基板 1 0 1 の送受信領域 R 1 には、誘電体基板 1 に支持された複数のゲートバスライン G L および複数のソースバスライン S L が設けられ、これらの配線によってアンテナ単位領域 U が規定されている。アンテナ単位領域 U は、送受信領域 R 1 において、例えば同心円状に配列されている。アンテナ単位領域 U のそれぞれは、T F T と、T F T に電氣的に接続されたパッチ電極とを含んでいる。T F T のソース電極はソースバスライン S L に、ゲート電極はゲートバスライン G L にそれぞれ電氣的に接続されている。また、ドレイン電極は、パッチ電極と電氣的に接続されている。

[0069] 非送受信領域 R 2 (R 2 a 、 R 2 b) には、送受信領域 R 1 を包囲するようにシール領域 R s が配置されている。シール領域 R s にはシール材 (不図示) が付与されている。シール材は、T F T 基板 1 0 1 およびスロット基板 2 0 1 を互いに接着させるとともに、これらの基板 1 0 1 、 2 0 1 の間に液晶を封入する。

[0070] 非送受信領域 R 2 のうちシール領域 R s の外側には、ゲート端子部 G T 、ゲートドライバ G D 、ソース端子部 S T およびソースドライバ S D が設けられている。ゲートバスライン G L のそれぞれはゲート端子部 G T を介してゲートドライバ G D に接続されている。ソースバスライン S L のそれぞれはソース端子部 S T を介してソースドライバ S D に接続されている。なお、この例では、ソースドライバ S D およびゲートドライバ G D は誘電体基板 1 上に形成されているが、これらのドライバの一方または両方は他の誘電体基板上に設けられていてもよい。

[0071] 非送受信領域 R 2 には、また、複数のトランスファァー端子部 P T が設けられている。トランスファァー端子部 P T は、スロット基板 2 0 1 のスロット電極 5 5 (図 2 (b)) と電氣的に接続される。本明細書では、トランスファァー端子部 P T とスロット電極 5 5 との接続部を「トランスファァー部」と称する。図示するように、トランスファァー端子部 P T (トランスファァー部) は、

シール領域 R_s 内に配置されてもよい。この場合、シール材として導電性粒子を含有する樹脂を用いてもよい。これにより、TFT基板101とスロット基板201との間に液晶を封入させるとともに、トランスファー端子部PTとスロット基板201のスロット電極55との電氣的な接続を確保できる。この例では、第1非送受信領域 R_{2a} および第2非送受信領域 R_{2b} の両方にトランスファー端子部PTが配置されているが、いずれか一方のみに配置されていてもよい。

[0072] なお、トランスファー端子部PT（トランスファー部）は、シール領域 R_s 内に配置されていなくてもよい。例えば非送受信領域 R_2 のうちシール領域 R_s の外側に配置されていてもよい。

[0073] 図2（b）は、走査アンテナ1000におけるスロット基板201を例示する模式的な平面図であり、スロット基板201の液晶層LC側の表面を示している。

[0074] スロット基板201では、誘電体基板51上に、送受信領域 R_1 および非送受信領域 R_2 に亘ってスロット電極55が形成されている。

[0075] スロット基板201の送受信領域 R_1 では、スロット電極55には複数のスロット57が配置されている。スロット57は、TFT基板101におけるアンテナ単位領域Uに対応して配置されている。図示する例では、複数のスロット57は、ラジアルインラインスロットアンテナを構成するように、互いに概ね直交する方向に延びる一対のスロット57が同心円状に配列されている。互いに概ね直交するスロットを有するので、走査アンテナ1000は、円偏波を送受信することができる。

[0076] 非送受信領域 R_2 には、複数の、スロット電極55の端子部ITが設けられている。端子部ITは、TFT基板101のトランスファー端子部PT（図2（a））と電氣的に接続される。この例では、端子部ITは、シール領域 R_s 内に配置されており、導電性粒子を含有するシール材によって対応するトランスファー端子部PTと電氣的に接続される。

[0077] また、第1非送受信領域 R_{2a} において、スロット基板201の裏面側に

給電ピン 7 2 が配置されている。給電ピン 7 2 によって、スロット電極 5 5、反射導電板 6 5 および誘電体基板 5 1 で構成された導波路 3 0 1 にマイクロ波が挿入される。給電ピン 7 2 は給電装置 7 0 に接続されている。給電は、スロット 5 7 が配列された同心円の中心から行う。給電の方式は、直結給電方式および電磁結合方式のいずれであってもよく、公知の給電構造を採用することができる。

[0078] 図 2 (a) および (b) では、シール領域 R_s は、送受信領域 R_1 を含む比較的狭い領域を包囲するように設けた例を示したが、これに限られない。特に、送受信領域 R_1 の外側に設けられるシール領域 R_s は、送受信領域 R_1 から一定以上の距離を持つように、例えば、誘電体基板 1 および／または誘電体基板 5 1 の辺の近傍に設けてもよい。もちろん、非送受信領域 R_2 に設けられる、例えば端子部や駆動回路は、シール領域 R_s の外側（すなわち、液晶層が存在しない側）に形成してもよい。送受信領域 R_1 から一定以上の離れた位置にシール領域 R_s を形成することによって、シール材（特に、硬化性樹脂）に含まれている不純物（特にイオン性不純物）の影響を受けてアンテナ特性が低下することを抑制することができる。

[0079] 以下、図面を参照して、走査アンテナ 1 0 0 0 の各構成要素をより詳しく説明する。

[0080] <TF T 基板 1 0 1 の構造>

・ アンテナ単位領域 U

図 3 (a) および (b) は、それぞれ、TF T 基板 1 0 1 のアンテナ単位領域 U を模式的に示す断面図および平面図である。

[0081] アンテナ単位領域 U のそれぞれは、誘電体基板（不図示）と、誘電体基板に支持されたTF T 1 0 と、TF T 1 0 を覆う第 1 絶縁層 1 1 と、第 1 絶縁層 1 1 上に形成され、TF T 1 0 に電氣的に接続されたパッチ電極 1 5 と、パッチ電極 1 5 を覆う第 2 絶縁層 1 7 とを備える。TF T 1 0 は、例えば、ゲートバスライン GL およびソースバスライン SL の交点近傍に配置されている。

- [0082] TFT10は、ゲート電極3G、島状の半導体層5、ゲート電極3Gと半導体層5との間に配置されたゲート絶縁層4、ソース電極7Sおよびドレイン電極7Dを備える。TFT10の構造は特に限定しない。この例では、TFT10は、ボトムゲート構造を有するチャネルエッチ型のTFTである。
- [0083] ゲート電極3Gは、ゲートバスラインGLに電氣的に接続されており、ゲートバスラインGLから走査信号を供給される。ソース電極7Sは、ソースバスラインSLに電氣的に接続されており、ソースバスラインSLからデータ信号を供給される。ゲート電極3GおよびゲートバスラインGLは同じ導電膜（ゲート用導電膜）から形成されていてもよい。ソース電極7S、ドレイン電極7DおよびソースバスラインSLは同じ導電膜（ソース用導電膜）から形成されていてもよい。ゲート用導電膜およびソース用導電膜は、例えば金属膜である。本明細書では、ゲート用導電膜を用いて形成された層（レイヤー）を「ゲートメタル層」、ソース用導電膜を用いて形成された層を「ソースメタル層」と呼ぶことがある。
- [0084] 半導体層5は、ゲート絶縁層4を介してゲート電極3Gと重なるように配置されている。図示する例では、半導体層5上に、ソースコンタクト層6Sおよびドレインコンタクト層6Dが形成されている。ソースコンタクト層6Sおよびドレインコンタクト層6Dは、それぞれ、半導体層5のうちチャネルが形成される領域（チャネル領域）の両側に配置されている。半導体層5は真性アモルファスシリコン（i-a-Si）層であり、ソースコンタクト層6Sおよびドレインコンタクト層6Dはn⁺型アモルファスシリコン（n⁺-a-Si）層であってもよい。
- [0085] ソース電極7Sは、ソースコンタクト層6Sに接するように設けられ、ソースコンタクト層6Sを介して半導体層5に接続されている。ドレイン電極7Dは、ドレインコンタクト層6Dに接するように設けられ、ドレインコンタクト層6Dを介して半導体層5に接続されている。
- [0086] 第1絶縁層11は、TFT10のドレイン電極7Dに達するコンタクトホールCH1を有している。

- [0087] パッチ電極 15 は、第 1 絶縁層 11 上およびコンタクトホール CH1 内に設けられており、コンタクトホール CH1 内で、ドレイン電極 7D と接している。パッチ電極 15 は、金属層を含む。パッチ電極 15 は、金属層のみから形成された金属電極であってもよい。パッチ電極 15 の材料は、ソース電極 7S およびドレイン電極 7D と同じであってもよい。ただし、パッチ電極 15 における金属層の厚さ（パッチ電極 15 が金属電極の場合にはパッチ電極 15 の厚さ）は、ソース電極 7S およびドレイン電極 7D の厚さよりも大きくなるように設定される。パッチ電極 15 における金属層の厚さは、A1 層で形成する場合、例えば $0.3\ \mu\text{m}$ 以上に設定される。
- [0088] ゲートバスライン GL と同じ導電膜を用いて、CS バスライン CL が設けられていてもよい。CS バスライン CL は、ゲート絶縁層 4 を介してドレイン電極（またはドレイン電極の延長部分）7D と重なるように配置され、ゲート絶縁層 4 を誘電体層とする補助容量 CS を構成してもよい。
- [0089] ゲートバスライン GL よりも誘電体基板側に、アライメントマーク（例えば金属層）21 と、アライメントマーク 21 を覆う下地絶縁膜 2 とが形成されていてもよい。アライメントマーク 21 は、1 枚のガラス基板から例えば m 枚の TFT 基板を作製する場合において、フォトマスク枚が n 枚（ $n < m$ ）であると、各露光工程を複数回に分けて行う必要が生じる。このようにフォトマスクの枚数（ n 枚）が 1 枚のガラス基板 1 から作製される TFT 基板 101 の枚数（ m 枚）よりも少ないとき、フォトマスクのアライメントに用いられる。アライメントマーク 21 は省略され得る。
- [0090] 本実施形態では、ソースメタル層とは異なる層内にパッチ電極 15 を形成する。これにより、次のようなメリットが得られる。
- [0091] ソースメタル層は、通常金属膜を用いて形成されることから、ソースメタル層内にパッチ電極を形成することも考えられる。しかしながら、パッチ電極は、電子の振動を阻害しない程度に低抵抗であることが好ましく、例えば、厚さが $0.3\ \mu\text{m}$ 以上の比較的厚い A1 層で形成される。アンテナ性能の観点からは、パッチ電極は厚い方が好ましい。しかしながら、TFT の構成

にも依存するが、例えば1 μm を超える厚さを有するパッチ電極をソースメタル層で形成すると、所望のパターニング精度が得られないという問題が生じることがある。例えば、ソース電極とドレイン電極との間隙（T F Tのチャネル長に相当）を高い精度で制御できないという問題が生じることがある。これに対し、本実施形態では、ソースメタル層とは別個にパッチ電極15を形成するので、ソースメタル層の厚さとパッチ電極15の厚さとを独立して制御できる。したがって、ソースメタル層を形成する際の制御性を確保しつつ、所望の厚さのパッチ電極15を形成できる。

[0092] 本実施形態では、パッチ電極15の厚さを、ソースメタル層の厚さとは別個に、高い自由度で設定できる。なお、パッチ電極15のサイズは、ソースバスラインSL等ほど厳密に制御される必要がないので、パッチ電極15を厚くすることによって線幅シフト（設計値とのずれ）が大きくなっても構わない。なお、パッチ電極15の厚さとソースメタル層の厚さが等しい場合を排除するものではない。

[0093] パッチ電極15は、主層としてCu層またはAl層を含んでもよい。走査アンテナの性能はパッチ電極15の電気抵抗と相関があり、主層の厚さは、所望の抵抗が得られるように設定される。電気抵抗の観点から、Cu層の方がAl層よりもパッチ電極15の厚さを小さくできる可能性がある。

[0094] ・ゲート端子部GT、ソース端子部STおよびトランスファー端子部PT
図4(a)～(c)は、それぞれ、ゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを模式的に示す断面図である。

[0095] ゲート端子部GTは、誘電体基板上に形成されたゲートバスラインGL、ゲートバスラインGLを覆う絶縁層、およびゲート端子用上部接続部19gを備えている。ゲート端子用上部接続部19gは、絶縁層に形成されたコンタクトホールCH2内で、ゲートバスラインGLと接している。この例では、ゲートバスラインGLを覆う絶縁層は、誘電体基板側からゲート絶縁層4、第1絶縁層11および第2絶縁層17を含む。ゲート端子用上部接続部19gは、例えば、第2絶縁層17上に設けられた透明導電膜から形成された

透明電極である。

[0096] ソース端子部STは、誘電体基板上（ここではゲート絶縁層4上）に形成されたソースバスラインSL、ソースバスラインSLを覆う絶縁層、およびソース端子用上部接続部19sを備えている。ソース端子用上部接続部19sは、絶縁層に形成されたコンタクトホールCH3内で、ソースバスラインSLと接している。この例では、ソースバスラインSLを覆う絶縁層は、第1絶縁層11および第2絶縁層17を含む。ソース端子用上部接続部19sは、例えば、第2絶縁層17上に設けられた透明導電膜から形成された透明電極である。

[0097] トランスファー端子部PTは、第1絶縁層11上に形成されたパッチ接続部15pと、パッチ接続部15pを覆う第2絶縁層17と、トランスファー端子用上部接続部19pとを有している。トランスファー端子用上部接続部19pは、第2絶縁層17に形成されたコンタクトホールCH4内で、パッチ接続部15pと接している。パッチ接続部15pは、パッチ電極15と同じ導電膜から形成されている。トランスファー端子用上部接続部（上部透明電極ともいう。）19pは、例えば、第2絶縁層17上に設けられた透明導電膜から形成された透明電極である。本実施形態では、各端子部の上部接続部19g、19sおよび19pは、同じ透明導電膜から形成されている。

[0098] 本実施形態では、第2絶縁層17を形成した後のエッチング工程により、各端子部のコンタクトホールCH2、CH3、CH4を同時に形成することができるという利点がある。詳細な製造プロセスは後述する。

[0099] <TF T基板101の製造方法>

TF T基板101は、例えば以下の方法で製造され得る。図5は、TF T基板101の製造工程を例示する図である。

[0100] まず、誘電体基板上に、金属膜（例えばTi膜）を形成し、これをパターニングすることにより、アライメントマーク21を形成する。誘電体基板としては、例えばガラス基板、耐熱性を有するプラスチック基板（樹脂基板）などを用いることができる。次いで、アライメントマーク21を覆うように

、下地絶縁膜 2 を形成する。下地絶縁膜 2 として、例えば SiO_2 膜を用いる。

[0101] 続いて、下地絶縁膜 2 上に、ゲート電極 3 G およびゲートバスライン GL を含むゲートメタル層を形成する。

[0102] ゲート電極 3 G は、ゲートバスライン GL と一体的に形成され得る。ここでは、誘電体基板上に、スパッタ法などによって、図示しないゲート用導電膜（厚さ：例えば 50 nm 以上 500 nm 以下）を形成する。次いで、ゲート用導電膜をパターニングすることにより、ゲート電極 3 G およびゲートバスライン GL を得る。ゲート用導電膜の材料は特に限定しない。アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）等の金属またはその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。ここでは、ゲート用導電膜として、 MoN （厚さ：例えば 50 nm）、Al（厚さ：例えば 200 nm）および MoN （厚さ：例えば 50 nm）をこの順で積層した積層膜を形成する。

[0103] 次いで、ゲートメタル層を覆うようにゲート絶縁層 4 を形成する。ゲート絶縁層 4 は、CVD 法等によって形成され得る。ゲート絶縁層 4 としては、酸化珪素（ SiO_2 ）層、窒化珪素（ SiN_x ）層、酸化窒化珪素（ SiO_xN_y ； $x > y$ ）層、窒化酸化珪素（ SiN_xO_y ； $x > y$ ）層等を適宜用いることができる。ゲート絶縁層 4 は積層構造を有していてもよい。ここでは、ゲート絶縁層 4 として、 SiN_x 層（厚さ：例えば 410 nm）を形成する。

[0104] 次いで、ゲート絶縁層 4 上に半導体層 5 およびコンタクト層を形成する。ここでは、真性アモルファスシリコン膜（厚さ：例えば 125 nm）および n^+ 型アモルファスシリコン膜（厚さ：例えば 65 nm）をこの順で形成し、パターニングすることにより、島状の半導体層 5 およびコンタクト層を得る。半導体層 5 に用いる半導体膜はアモルファスシリコン膜に限定されない。例えば、半導体層 5 として酸化物半導体層を形成してもよい。この場合には

、半導体層5とソース・ドレイン電極との間にコンタクト層を設けなくてもよい。

[0105] 次いで、ゲート絶縁層4上およびコンタクト層上にソース用導電膜（厚さ：例えば50nm以上500nm以下）を形成し、これをパターニングすることによって、ソース電極7S、ドレイン電極7DおよびソースバスラインSLを含むソースメタル層を形成する。このとき、コンタクト層もエッチングされ、互いに分離されたソースコンタクト層6Sとドレインコンタクト層6Dとが形成される。

[0106] ソース用導電膜の材料は特に限定しない。アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）等の金属またはその合金、若しくはその金属窒化物を含む膜を適宜用いることができる。ここでは、ソース用導電膜として、MoN（厚さ：例えば30nm）、Al（厚さ：例えば200nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜を形成する。なお、代わりに、ソース用導電膜として、Ti（厚さ：例えば30nm）、MoN（厚さ：例えば30nm）、Al（厚さ：例えば200nm）およびMoN（厚さ：例えば50nm）をこの順で積層した積層膜を形成してもよい。

[0107] ここでは、例えば、スパッタ法でソース用導電膜を形成し、ウェットエッチングによりソース用導電膜のパターニング（ソース・ドレイン分離）を行う。この後、例えばドライエッチングにより、コンタクト層のうち、半導体層5のチャネル領域となる領域上に位置する部分を除去してギャップ部を形成し、ソースコンタクト層6Sおよびドレインコンタクト層6Dとに分離する。このとき、ギャップ部において、半導体層5の表面近傍もエッチングされる（オーバーエッチング）。

[0108] なお、例えばソース用導電膜としてTi膜およびAl膜をこの順で積層した積層膜を用いる場合には、例えばリン酸酢酸硝酸水溶液を用いて、ウェットエッチングでAl膜のパターニングを行った後、ドライエッチングでTi

膜およびコンタクト層（ n^+ 型アモルファスシリコン層）6を同時にパターンニングしてもよい。あるいは、ソース用導電膜およびコンタクト層を一括してエッチングすることも可能である。ただし、ソース用導電膜またはその下層とコンタクト層6とを同時にエッチングする場合には、基板全体における半導体層5のエッチング量（ギャップ部の掘れ量）の分布の制御が困難となる場合がある。これに対し、上述したように、ソース・ドレイン分離とギャップ部の形成と別個のエッチング工程で行うと、ギャップ部のエッチング量をより容易に制御できる。

[0109] 次に、TFT10を覆うように第1絶縁層11を形成する。この例では、第1絶縁層11は、半導体層5のチャネル領域と接するように配置される。また、公知のフォトリソグラフィにより、第1絶縁層11に、ドレイン電極7Dに達するコンタクトホールCH1を形成する。

[0110] 第1絶縁層11は、例えば、酸化珪素（ SiO_2 ）膜、窒化珪素（ SiN_x ）膜、酸化窒化珪素（ SiO_xN_y ； $x>y$ ）膜、窒化酸化珪素（ SiN_xO_y ； $x>y$ ）膜等の無機絶縁層であってもよい。ここでは、第1絶縁層11として、例えばCVD法により、厚さが例えば330nmの SiN_x 層を形成する。

[0111] 次いで、第1絶縁層11上およびコンタクトホールCH1内にパッチ用導電膜を形成し、これをパターンニングする。これにより、送受信領域R1にパッチ電極15を形成し、非送受信領域R2にパッチ接続部15pを形成する。パッチ電極15は、コンタクトホールCH1内でドレイン電極7Dと接する。なお、本明細書では、パッチ用導電膜から形成された、パッチ電極15、パッチ接続部15pを含む層を「パッチメタル層」と呼ぶことがある。

[0112] パッチ用導電膜の材料として、ゲート用導電膜またはソース用導電膜と同様の材料が用いられ得る。ただし、パッチ用導電膜は、ゲート用導電膜およびソース用導電膜よりも厚くなるように設定される。これにより、パッチ電極のシート抵抗を低減させることで、パッチ電極内の自由電子の振動が熱に変わるロスを低減させることが可能になる。パッチ用導電膜の好適な厚さは

、例えば、 $0.3\ \mu\text{m}$ 以上である。これよりも薄いと、シート抵抗が $0.1\ 0\ \Omega/\text{sq}$ 以上となり、ロスが大きくなるという問題が生じる可能性がある。パッチ用導電膜の厚さは、例えば $3\ \mu\text{m}$ 以下、より好ましくは $2\ \mu\text{m}$ 以下である。これよりも厚いとプロセス中の熱応力により基板の反りが生じる場合がある。反りが大きいと、量産プロセスにおいて、搬送トラブル、基板の欠け、または基板の割れなどの問題が発生することがある。

[0113] ここでは、パッチ用導電膜として、MoN（厚さ：例えば $50\ \text{nm}$ ）、Al（厚さ：例えば $1000\ \text{nm}$ ）およびMoN（厚さ：例えば $50\ \text{nm}$ ）をこの順で積層した積層膜（MoN/Al/MoN）を形成する。なお、代わりに、Ti（厚さ：例えば $50\ \text{nm}$ ）、MoN（厚さ：例えば $50\ \text{nm}$ ）、Al（厚さ：例えば $2000\ \text{nm}$ ）およびMoN（厚さ：例えば $50\ \text{nm}$ ）をこの順で積層した積層膜（MoN/Al/MoN/Ti）を形成してもよい。あるいは、代わりに、Ti（厚さ：例えば $50\ \text{nm}$ ）、MoN（厚さ：例えば $50\ \text{nm}$ ）、Al（厚さ：例えば $500\ \text{nm}$ ）およびMoN（厚さ：例えば $50\ \text{nm}$ ）をこの順で積層した積層膜（MoN/Al/MoN/Ti）を形成してもよい。または、Ti膜、Cu膜およびTi膜をこの順で積層した積層膜（Ti/Cu/Ti）、あるいは、Ti膜およびCu膜をこの順で積層した積層膜（Cu/Ti）を用いてもよい。

[0114] 次に、パッチ電極15および第1絶縁層11上に第2絶縁層（厚さ：例えば $100\ \text{nm}$ 以上 $300\ \text{nm}$ 以下）17を形成する。第2絶縁層17としては、特に限定されず、例えば酸化珪素（ SiO_2 ）膜、窒化珪素（ SiN_x ）膜、酸化窒化珪素（ SiO_xN_y ； $x>y$ ）膜、窒化酸化珪素（ SiN_xO_y ； $x>y$ ）膜等を適宜用いることができる。ここでは、第2絶縁層17として、例えば厚さ $200\ \text{nm}$ の SiN_x 層を形成する。

[0115] この後、例えばフッ素系ガスを用いたドライエッチングにより、無機絶縁膜（第2絶縁層17、第1絶縁層11およびゲート絶縁層4）を一括してエッチングする。エッチングでは、パッチ電極15、ソースバスラインSLおよびゲートバスラインGLはエッチストップとして機能する。これにより、

第2絶縁層17、第1絶縁層11およびゲート絶縁層4に、ゲートバスラインGLに達するコンタクトホールCH2が形成され、第2絶縁層17および第1絶縁層11に、ソースバスラインSLに達するコンタクトホールCH3が形成される。また、第2絶縁層17に、パッチ接続部15pに達するコンタクトホールCH4が形成される。

[0116] この例では、無機絶縁膜を一括してエッチングするため、得られたコンタクトホールCH2の側壁では、第2絶縁層17、第1絶縁層11およびゲート絶縁層4の側面が整合し、コンタクトホールCH3の側壁では、第2絶縁層17および第1絶縁層11の側壁が整合する。なお、本明細書において、コンタクトホール内において、異なる2以上の層の「側面が整合する」とは、これらの層におけるコンタクトホール内に露出した側面が、垂直方向に面一である場合のみでなく、連続してテーパ形状などの傾斜面を構成する場合をも含む。このような構成は、例えば、同一のマスクを用いてこれらの層をエッチングする、あるいは、一方の層をマスクとして他方の層のエッチングを行うこと等によって得られる。

[0117] 次に、第2絶縁層17上、およびコンタクトホールCH2、CH3、CH4内に、例えばスパッタ法により透明導電膜（厚さ：50nm以上200nm以下）を形成する。透明導電膜として、例えばITO（インジウム・錫酸化物）膜、IZO膜、ZnO膜（酸化亜鉛膜）などを用いることができる。ここでは、透明導電膜として、厚さが例えば100nmのITO膜を用いる。

[0118] 次いで、透明導電膜をパターニングすることにより、ゲート端子用上部接続部19g、ソース端子用上部接続部19sおよびトランスファー端子用上部接続部19pを形成する。ゲート端子用上部接続部19g、ソース端子用上部接続部19sおよびトランスファー端子用上部接続部19pは、各端子部で露出した電極または配線を保護するために用いられる。このようにして、ゲート端子部GT、ソース端子部STおよびトランスファー端子部PTが得られる。

[0119] <スロット基板201の構造>

次いで、スロット基板201の構造をより具体的に説明する。

[0120] 図6は、スロット基板201におけるアンテナ単位領域Uおよび端子部ITを模式的に示す断面図である。

[0121] スロット基板201は、表面および裏面を有する誘電体基板51と、誘電体基板51の表面に形成された第3絶縁層52と、第3絶縁層52上に形成されたスロット電極55と、スロット電極55を覆う第4絶縁層58とを備える。反射導電板65が誘電体基板51の裏面に誘電体層（空気層）54を介して対向するように配置されている。スロット電極55および反射導電板65は導波路301の壁として機能する。

[0122] 送受信領域R1において、スロット電極55には複数のスロット57が形成されている。スロット57はスロット電極55を貫通する開口である。この例では、各アンテナ単位領域Uに1個のスロット57が配置されている。

[0123] 第4絶縁層58は、スロット電極55上およびスロット57内に形成されている。第4絶縁層58の材料は、第3絶縁層52の材料と同じであってもよい。第4絶縁層58でスロット電極55を覆うことにより、スロット電極55と液晶層LCとが直接接触しないので、信頼性を高めることができる。スロット電極55がCu層で形成されていると、Cuが液晶層LCに溶出することがある。また、スロット電極55を薄膜堆積技術を用いてAl層で形成すると、Al層にボイドが含まれることがある。第4絶縁層58は、Al層のボイドに液晶材料が侵入するのを防止することができる。なお、Al層をアルミ箔を接着材により誘電体基板51に貼り付け、これをパターニングすることによってスロット電極55を作製すれば、ボイドの問題を回避できる。

[0124] スロット電極55は、Cu層、Al層などの主層55Mを含む。スロット電極55は、主層55Mと、それを挟むように配置された上層55Uおよび下層55Lとを含む積層構造を有していてもよい。主層55Mの厚さは、材料に応じて表皮効果を考慮して設定され、例えば2 μ m以上30 μ m以下で

あってもよい。主層 5 5 M の厚さは、典型的には上層 5 5 U および下層 5 5 L の厚さよりも大きい。

[0125] 図示する例では、主層 5 5 M は Cu 層、上層 5 5 U および下層 5 5 L は Ti 層である。主層 5 5 M と第 3 絶縁層 5 2 との間に下層 5 5 L を配置することにより、スロット電極 5 5 と第 3 絶縁層 5 2 との密着性を向上できる。また、上層 5 5 U を設けることにより、主層 5 5 M（例えば Cu 層）の腐食を抑制できる。

[0126] 反射導電板 6 5 は、導波路 3 0 1 の壁を構成するので、表皮深さの 3 倍以上、好ましくは 5 倍以上の厚さを有することが好ましい。反射導電板 6 5 は、例えば、削り出しによって作製された厚さが数 mm のアルミニウム板、銅板などを用いることができる。

[0127] 非送受信領域 R 2 には、端子部 1 T が設けられている。端子部 1 T は、スロット電極 5 5 と、スロット電極 5 5 を覆う第 4 絶縁層 5 8 と、上部接続部 6 0 とを備える。第 4 絶縁層 5 8 は、スロット電極 5 5 に達する開口を有している。上部接続部 6 0 は、開口内でスロット電極 5 5 に接している。本実施形態では、端子部 1 T は、シール領域 R s 内に配置され、導電性粒子を含有するシール樹脂によって、TF T 基板におけるトランスファー端子部と接続される（トランスファー部）。

[0128] ・トランスファー部

図 7 は、TF T 基板 1 0 1 のトランスファー端子部 P T と、スロット基板 2 0 1 の端子部 1 T とを接続するトランスファー部を説明するための模式的な断面図である。図 7 では、図 1 ～図 4 と同様の構成要素には同じ参照符号を付している。

[0129] トランスファー部では、端子部 1 T の上部接続部 6 0 は、TF T 基板 1 0 1 におけるトランスファー端子部 P T のトランスファー端子用上部接続部 1 9 p と電氣的に接続される。本実施形態では、上部接続部 6 0 とトランスファー端子用上部接続部 1 9 p とを、導電性ビーズ 7 1 を含む樹脂（シール樹脂）7 3（「シール部 7 3」ということもある。）を介して接続する。

[0130] 上部接続部 60、19p は、いずれも、ITO 膜、IZO 膜などの透明導電層であり、その表面に酸化膜が形成される場合がある。酸化膜が形成されると、透明導電層同士の電氣的な接続が確保できず、コンタクト抵抗が高くなる可能性がある。これに対し、本実施形態では、導電性ビーズ（例えば Au ビーズ）71 を含む樹脂を介して、これらの透明導電層を接着させるので、表面酸化膜が形成されていても、導電性ビーズが表面酸化膜を突き破る（貫通する）ことにより、コンタクト抵抗の増大を抑えることが可能である。導電性ビーズ 71 は、表面酸化膜だけでなく、透明導電層である上部接続部 60、19p をも貫通し、パッチ接続部 15p およびスロット電極 55 に直接接合していてもよい。

[0131] トランスファ部は、走査アンテナ 1000 の中心部および周縁部（すなわち、走査アンテナ 1000 の法線方向から見たとき、ドーナツ状の送受信領域 R1 の内側および外側）の両方に配置されていてもよいし、いずれか一方のみに配置されていてもよい。トランスファ部は、液晶を封入するシール領域 R_s 内に配置されていてもよいし、シール領域 R_s の外側（液晶層と反対側）に配置されていてもよい。

[0132] <スロット基板 201 の製造方法>

スロット基板 201 は、例えば以下の方法で製造され得る。

[0133] まず、誘電体基板上に第 3 絶縁層（厚さ：例えば 200 nm）52 を形成する。誘電体基板としては、ガラス基板、樹脂基板などの、電磁波に対する透過率の高い（誘電率 ϵ_M および誘電損失 $\tan \delta_M$ が小さい）基板を用いることができる。誘電体基板は電磁波の減衰を抑制するために薄い方が好ましい。例えば、ガラス基板の表面に後述するプロセスでスロット電極 55 などの構成要素を形成した後、ガラス基板を裏面側から薄板化してもよい。これにより、ガラス基板の厚さを例えば 500 μm 以下に低減できる。

[0134] 誘電体基板として樹脂基板を用いる場合、TFE 等の構成要素を直接、樹脂基板上に形成してもよいし、転写法を用いて樹脂基板上に形成してもよい。転写法によると、例えば、ガラス基板上に樹脂膜（例えばポリイミド膜）

を形成し、樹脂膜上に後述するプロセスで構成要素を形成した後、構成要素が形成された樹脂膜とガラス基板とを分離させる。一般に、ガラスよりも樹脂の方が誘電率 ϵ_M および誘電損失 $\tan \delta_M$ が小さい。樹脂基板の厚さは、例えば、 $3\mu m \sim 300\mu m$ である。樹脂材料としては、ポリイミドの他、例えば、液晶高分子を用いることもできる。

[0135] 第3絶縁層52としては、特に限定しないが、例えば酸化珪素(SiO_2)膜、窒化珪素(SiN_x)膜、酸化窒化珪素(SiO_xN_y ; $x > y$)膜、窒化酸化珪素(SiN_xO_y ; $x > y$)膜等を適宜用いることができる。

[0136] 次いで、第3絶縁層52の上に金属膜を形成し、これをパターニングすることによって、複数のスロット57を有するスロット電極55を得る。金属膜としては、厚さが $2\mu m \sim 5\mu m$ のCu膜（またはAl膜）を用いてもよい。ここでは、Ti膜、Cu膜およびTi膜をこの順で積層した積層膜を用いる。なお、代わりに、Ti（厚さ：例えば50nm）およびCu（厚さ：例えば5000nm）をこの順で積層した積層膜を形成してもよい。

[0137] この後、スロット電極55上およびスロット57内に第4絶縁層（厚さ：例えば100nmまたは200nm）58を形成する。第4絶縁層58の材料は、第3絶縁層の材料と同じであってもよい。この後、非送受信領域R2において、第4絶縁層58に、スロット電極55に達する開口部を形成する。

[0138] 次いで、第4絶縁層58上および第4絶縁層58の開口部内に透明導電膜を形成し、これをパターニングすることにより、開口部内でスロット電極55と接する上部接続部60を形成する。これにより、端子部ITを得る。

[0139] <TF T 10の材料および構造>

本実施形態では、各画素に配置されるスイッチング素子として、半導体層5を活性層とするTF Tが用いられる。半導体層5はアモルファスシリコン層に限定されず、ポリシリコン層、酸化物半導体層であってもよい。

[0140] 酸化物半導体層を用いる場合、酸化物半導体層に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質

酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、*c*軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0141] 酸化物半導体層は、2層以上の積層構造を有していてもよい。酸化物半導体層が積層構造を有する場合には、酸化物半導体層は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0142] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0143] 酸化物半導体層は、例えば、*In*、*Ga*および*Zn*のうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層は、例えば、*In-Ga-Zn-O*系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、*In-Ga-Zn-O*系の半導体は、*In*（インジウム）、*Ga*（ガリウム）、*Zn*（亜鉛）の三元系酸化物であって、*In*、*Ga*および*Zn*の割合（組成比）は特に限定されず、例えば $In : Ga : Zn = 2 : 2 : 1$ 、 $In : Ga : Zn = 1 : 1 : 1$ 、 $In : Ga : Zn = 1 : 1 : 2$ 等を含む。このような酸化物半導体層は、*In-Ga-Zn-O*系の半導体を含む酸化物半導体膜から形成され得る。

[0144] *In-Ga-Zn-O*系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 *In-Ga-Zn-O*系の半導体としては、*c*軸が層面に概

ね垂直に配向した結晶質 In-Ga-Zn-O 系の半導体が好ましい。

[0145] なお、結晶質 In-Ga-Zn-O 系の半導体の結晶構造は、例えば、上述した特開 2014-007399 号公報、特開 2012-134475 号公報、特開 2014-209727 号公報などに開示されている。参考のために、特開 2012-134475 号公報および特開 2014-209727 号公報の開示内容の全てを本明細書に援用する。 In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度 (a-SiTFT に比べ 20 倍超) および低いリーク電流 (a-SiTFT に比べ 100 分の 1 未満) を有しているので、駆動 TFT (例えば、非送受信領域に設けられる駆動回路に含まれる TFT) および各アンテナ単位領域に設けられる TFT として好適に用いられる。

[0146] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば In-Sn-Zn-O 系半導体 (例えば $\text{In}_2\text{O}_3\text{-SnO}_2\text{-ZnO}$; InSnZnO) を含んでもよい。 In-Sn-Zn-O 系半導体は、In (インジウム)、Sn (スズ) および Zn (亜鉛) の三元系酸化物である。あるいは、酸化物半導体層は、 In-Al-Zn-O 系半導体、 In-Al-Sn-Zn-O 系半導体、 Zn-O 系半導体、 In-Zn-O 系半導体、 Zn-Ti-O 系半導体、 Cd-Ge-O 系半導体、 Cd-Pb-O 系半導体、 CdO (酸化カドミウム)、 Mg-Zn-O 系半導体、 In-Ga-Sn-O 系半導体、 In-Ga-O 系半導体、 Zr-In-Zn-O 系半導体、 Hf-In-Zn-O 系半導体、 Al-Ga-Zn-O 系半導体、 Ga-Zn-O 系半導体などを含んでいてもよい。

[0147] 図 3 に示す例では、TFT10 は、ボトムゲート構造を有するチャネルエッチ型の TFT である。「チャネルエッチ型の TFT」では、チャネル領域上にエッチストップ層が形成されておらず、ソースおよびドレイン電極のチャネル側の端部下面は、半導体層の上面と接するように配置されている。チャネルエッチ型の TFT は、例えば半導体層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。ソ

ース・ドレイン分離工程において、チャネル領域の表面部分がエッチングされる場合がある。

[0148] なお、TF T 1 0は、チャネル領域上にエッチストップ層が形成されたエッチストップ型TF Tであってもよい。エッチストップ型TF Tでは、ソースおよびドレイン電極のチャネル側の端部下面は、例えばエッチストップ層上に位置する。エッチストップ型のTF Tは、例えば半導体層のうちチャネル領域となる部分を覆うエッチストップ層を形成した後、半導体層およびエッチストップ層上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。

[0149] また、TF T 1 0は、ソースおよびドレイン電極が半導体層の上面と接するトップコンタクト構造を有するが、ソースおよびドレイン電極は半導体層の下面と接するように配置されていてもよい（ボトムコンタクト構造）。さらに、TF T 1 0は、半導体層の誘電体基板側にゲート電極を有するボトムゲート構造であってもよいし、半導体層の上方にゲート電極を有するトップゲート構造であってもよい。

[0150] （第2の実施形態）

図面を参照しながら、第2の実施形態の走査アンテナを説明する。本実施形態の走査アンテナにおけるTF T基板は、各端子部の上部接続部となる透明導電層が、TF T基板における第1絶縁層と第2絶縁層との間に設けられている点で、図2に示すTF T基板1 0 1と異なる。

[0151] 図8（a）～（c）は、それぞれ、本実施形態におけるTF T基板1 0 2のゲート端子部GT、ソース端子部STおよびトランスファー端子部PTを示す断面図である。図4と同様の構成要素には同じ参照符号を付し、説明を省略する。なお、アンテナ単位領域Uの断面構造は前述の実施形態（図3）と同様であるので図示および説明を省略する。

[0152] 本実施形態におけるゲート端子部GTは、誘電体基板上に形成されたゲートバスラインGL、ゲートバスラインGLを覆う絶縁層、およびゲート端子用上部接続部1 9 gを備えている。ゲート端子用上部接続部1 9 gは、絶縁

層に形成されたコンタクトホールCH2内で、ゲートバスラインGLと接している。この例では、ゲートバスラインGLを覆う絶縁層は、ゲート絶縁層4および第1絶縁層11を含む。ゲート端子用上部接続部19gおよび第1絶縁層11上には第2絶縁層17が形成されている。第2絶縁層17は、ゲート端子用上部接続部19gの一部を露出する開口部18gを有している。この例では、第2絶縁層17の開口部18gは、コンタクトホールCH2全体を露出するように配置されていてもよい。

[0153] ソース端子部STは、誘電体基板上（ここではゲート絶縁層4上）に形成されたソースバスラインSL、ソースバスラインSLを覆う絶縁層、およびソース端子用上部接続部19sを備えている。ソース端子用上部接続部19sは、絶縁層に形成されたコンタクトホールCH3内で、ソースバスラインSLと接している。この例では、ソースバスラインSLを覆う絶縁層は、第1絶縁層11のみを含む。第2絶縁層17は、ソース端子用上部接続部19sおよび第1絶縁層11上に延設されている。第2絶縁層17は、ソース端子用上部接続部19sの一部を露出する開口部18sを有している。第2絶縁層17の開口部18sは、コンタクトホールCH3全体を露出するように配置されていてもよい。

[0154] トランスファァー端子部PTは、ソースバスラインSLと同じ導電膜（ソース用導電膜）から形成されたソース接続配線7pと、ソース接続配線7p上に延設された第1絶縁層11と、第1絶縁層11上に形成されたトランスファァー端子用上部接続部19pおよびパッチ接続部15pとを有している。

[0155] 第1絶縁層11には、ソース接続配線7pを露出するコンタクトホールCH5およびCH6が設けられている。トランスファァー端子用上部接続部19pは、第1絶縁層11上およびコンタクトホールCH5内に配置され、コンタクトホールCH5内で、ソース接続配線7pと接している。パッチ接続部15pは、第1絶縁層11上およびコンタクトホールCH6内に配置され、コンタクトホールCH6内でソース接続配線7pと接している。トランスファァー端子用上部接続部19pは、透明導電膜から形成された透明電極である

。パッチ接続部 15 p は、パッチ電極 15 と同じ導電膜から形成されている。なお、各端子部の上部接続部 19 g、19 s および 19 p は、同じ透明導電膜から形成されていてもよい。

[0156] 第 2 絶縁層 17 は、トランスファー端子用上部接続部 19 p、パッチ接続部 15 p および第 1 絶縁層 11 上に延設されている。第 2 絶縁層 17 は、トランスファー端子用上部接続部 19 p の一部を露出する開口部 18 p を有している。この例では、第 2 絶縁層 17 の開口部 18 p は、コンタクトホール CH5 全体を露出するように配置されている。一方、パッチ接続部 15 p は、第 2 絶縁層 17 で覆われている。

[0157] このように、本実施形態では、ソースメタル層に形成されたソース接続配線 7 p によって、トランスファー端子部 PT のトランスファー端子用上部接続部 19 p と、パッチ接続部 15 p とを電氣的に接続している。図示していないが、前述の実施形態と同様に、トランスファー端子用上部接続部 19 p は、スロット基板 201 におけるスロット電極と、導電性粒子を含有するシール樹脂によって接続される。

[0158] 前述した実施形態では、第 2 絶縁層 17 の形成後に、深さが異なるコンタクトホール CH1～CH4 を一括して形成する。例えばゲート端子部 GT 上では、比較的厚い絶縁層（ゲート絶縁層 4、第 1 絶縁層 11 および第 2 絶縁層 17）をエッチングするのに対し、トランスファー端子部 PT では、第 2 絶縁層 17 のみをエッチングする。このため、浅いコンタクトホールの下地となる導電膜（例えばパッチ電極用導電膜）がエッチング時に大きなダメージを受ける可能性がある。

[0159] これに対し、本実施形態では、第 2 絶縁層 17 を形成する前にコンタクトホール CH1～3、CH5、CH6 を形成する。これらのコンタクトホールは第 1 絶縁層 11 のみ、または第 1 絶縁層 11 およびゲート絶縁層 4 の積層膜に形成されるので、前述の実施形態よりも、一括形成されるコンタクトホールの深さの差を低減できる。したがって、コンタクトホールの下地となる導電膜へのダメージを低減できる。特に、パッチ電極用導電膜に A1 膜を用

いる場合には、ITO膜とAl膜とを直接接触させると良好なコンタクトが得られないことから、Al膜の上層にMoN層などのキャップ層を形成することがある。このような場合に、エッチングの際のダメージを考慮してキャップ層の厚さを大きくする必要がないので有利である。

[0160] <TF T基板102の製造方法>

TF T基板102は、例えば次のような方法で製造される。図9は、TF T基板102の製造工程を例示する図である。なお、以下では、各層の材料、厚さ、形成方法などが、前述したTF T基板101と同様である場合には説明を省略する。

[0161] まず、TF T基板102と同様の方法で、誘電体基板上に、アライメントマーク、下地絶縁層、ゲートメタル層、ゲート絶縁層、半導体層、コンタクト層およびソースメタル層を形成し、TF Tを得る。ソースメタル層を形成する工程では、ソース用導電膜から、ソースおよびドレイン電極、ソースバスラインに加えて、ソース接続配線7pも形成する。

[0162] 次に、ソースメタル層を覆うように第1絶縁層11を形成する。この後、第1絶縁層11およびゲート絶縁層4を一括してエッチングし、コンタクトホールCH1～3、CH5、CH6を形成する。エッチングでは、ソースバスラインSLおよびゲートバスラインGLはエッチストップとして機能する。これにより、送受信領域R1において、第1絶縁層11に、TF Tのドレイン電極に達するコンタクトホールCH1が形成される。また、非送受信領域R2において、第1絶縁層11およびゲート絶縁層4に、ゲートバスラインGLに達するコンタクトホールCH2、第1絶縁層11に、ソースバスラインSLに達するコンタクトホールCH3およびソース接続配線7pに達するコンタクトホールCH5、CH6が形成される。コンタクトホールCH5をシール領域Rsに配置し、コンタクトホールCH6をシール領域Rsの外側に配置してもよい。あるいは、両方ともシール領域Rsの外部に配置してもよい。

[0163] 次いで、第1絶縁層11上およびコンタクトホールCH1～3、CH5、

C H 6 に透明導電膜を形成し、これをパターニングする。これにより、コンタクトホールC H 2 内でゲートバスラインG L と接するゲート端子用上部接続部 1 9 g、コンタクトホールC H 3 内でソースバスラインS L と接するソース端子用上部接続部 1 9 s、およびコンタクトホールC H 5 内でソース接続配線 7 p と接するトランスファー端子用上部接続部 1 9 p を形成する。

[0164] 次に、第 1 絶縁層 1 1 上、ゲート端子用上部接続部 1 9 g、ソース端子用上部接続部 1 9 s、トランスファー端子用上部接続部 1 9 p 上、およびコンタクトホールC H 1、C H 6 内に、パッチ電極用導電膜を形成し、パターニングを行う。これにより、送受信領域 R 1 に、コンタクトホールC H 1 内でドレイン電極 7 D と接するパッチ電極 1 5、非送受信領域 R 2 に、コンタクトホールC H 6 内でソース接続配線 7 p と接するパッチ接続部 1 5 p を形成する。パッチ電極用導電膜のパターニングは、ウェットエッチングによって行ってもよい。ここでは、透明導電膜（ITO など）とパッチ電極用導電膜（例えば A 1 膜）とのエッチング選択比を大きくできるエッチャントを用いる。これにより、パッチ電極用導電膜のパターニングの際に、透明導電膜をエッチストップとして機能させることができる。ソースバスラインS L、ゲートバスラインG L およびソース接続配線 7 p のうちコンタクトホールC H 2、C H 3、C H 5 で露出された部分は、エッチストップ（透明導電膜）で覆われているため、エッチングされない。

[0165] 続いて、第 2 絶縁層 1 7 を形成する。この後、例えばフッ素系ガスを用いたドライエッチングにより、第 2 絶縁層 1 7 のパターニングを行う。これにより、第 2 絶縁層 1 7 に、ゲート端子用上部接続部 1 9 g を露出する開口部 1 8 g、ソース端子用上部接続部 1 9 s を露出する開口部 1 8 s およびトランスファー端子用上部接続部 1 9 p を露出する開口部 1 8 p を設ける。このようにして、T F T 基板 1 0 2 を得る。

[0166] （第 3 の実施形態）

図面を参照しながら、第 3 の実施形態の走査アンテナを説明する。本実施形態の走査アンテナにおける T F T 基板は、透明導電膜からなる上部接続部

をトランスファァー端子部に設けない点で、図 8 に示す T F T 基板 1 0 2 と異なる。

[0167] 図 1 0 (a) ~ (c) は、それぞれ、本実施形態における T F T 基板 1 0 3 のゲート端子部 G T、ソース端子部 S T およびトランスファァー端子部 P T を示す断面図である。図 8 と同様の構成要素には同じ参照符号を付し、説明を省略する。なお、アンテナ単位領域 U の構造は前述の実施形態 (図 3) と同様であるので図示および説明を省略する。

[0168] ゲート端子部 G T およびソース端子部 S T の構造は、図 8 に示す T F T 基板 1 0 2 のゲート端子部およびソース端子部の構造と同様である。

[0169] トランスファァー端子部 P T は、第 1 絶縁層 1 1 上に形成されたパッチ接続部 1 5 p と、パッチ接続部 1 5 p 上に積み重ねられた保護導電層 2 3 とを有している。第 2 絶縁層 1 7 は、保護導電層 2 3 上に延設され、保護導電層 2 3 の一部を露出する開口部 1 8 p を有している。一方、パッチ電極 1 5 は、第 2 絶縁層 1 7 で覆われている。

[0170] < T F T 基板 1 0 3 の製造方法 >

T F T 基板 1 0 3 は、例えば次のような方法で製造される。図 1 1 は、T F T 基板 1 0 3 の製造工程を例示する図である。なお、以下では、各層の材料、厚さ、形成方法などが、前述した T F T 基板 1 0 1 と同様である場合には説明を省略する。

[0171] まず、T F T 基板 1 0 1 と同様の方法で、誘電体基板上に、アライメントマーク、下地絶縁層、ゲートメタル層、ゲート絶縁層、半導体層、コンタクト層およびソースメタル層を形成し、T F T を得る。

[0172] 次に、ソースメタル層を覆うように第 1 絶縁層 1 1 を形成する。この後、第 1 絶縁層 1 1 およびゲート絶縁層 4 を一括してエッチングし、コンタクトホール C H 1 ~ 3 を形成する。エッチングでは、ソースバスライン S L およびゲートバスライン G L はエッチストップとして機能する。これにより、第 1 絶縁層 1 1 に、T F T のドレイン電極に達するコンタクトホール C H 1 が形成されるとともに、第 1 絶縁層 1 1 およびゲート絶縁層 4 に、ゲートバス

ラインGLに達するコンタクトホールCH2が形成され、第1絶縁層11に、ソースバスラインSLに達するコンタクトホールCH3が形成される。トランスファー端子部が形成される領域にはコンタクトホールを形成しない。

[0173] 次いで、第1絶縁層11上およびコンタクトホールCH1、CH2、CH3内に透明導電膜を形成し、これをパターニングする。これにより、コンタクトホールCH2内でゲートバスラインGLと接するゲート端子用上部接続部19g、およびコンタクトホールCH3内でソースバスラインSLと接するソース端子用上部接続部19sを形成する。トランスファー端子部が形成される領域では、透明導電膜は除去される。

[0174] 次に、第1絶縁層11上、ゲート端子用上部接続部19gおよびソース端子用上部接続部19s上、およびコンタクトホールCH1内にパッチ電極用導電膜を形成し、パターニングを行う。これにより、送受信領域R1に、コンタクトホールCH1内でドレイン電極7Dと接するパッチ電極15を形成し、非送受信領域R2に、パッチ接続部15pを形成する。前述の実施形態と同様に、パッチ電極用導電膜のパターニングには、透明導電膜（ITOなど）とパッチ電極用導電膜とのエッチング選択比を確保できるエッチャントを用いる。

[0175] 続いて、パッチ接続部15p上に保護導電層23を形成する。保護導電層23として、Ti層、ITO層およびIZO（インジウム亜鉛酸化物）層など（厚さ：例えば50nm以上100nm以下）を用いることができる。ここでは、保護導電層23として、Ti層（厚さ：例えば50nm）を用いる。なお、保護導電層をパッチ電極15の上に形成してもよい。

[0176] 次いで、第2絶縁層17を形成する。この後、例えばフッ素系ガスを用いたドライエッチングにより、第2絶縁層17のパターニングを行う。これにより、第2絶縁層17に、ゲート端子用上部接続部19gを露出する開口部18g、ソース端子用上部接続部19sを露出する開口部18s、および保護導電層23を露出する開口部18pを設ける。このようにして、TFET基板103を得る。

[0177] <スロット基板203の構造>

図12は、本実施形態における、TFT基板103のトランスファ端子部PTと、スロット基板203の端子部ITとを接続するトランスファ部を説明するための模式的な断面図である。図12では、前述の実施形態と同様の構成要素には同じ参照符号を付している。

[0178] まず、本実施形態におけるスロット基板203を説明する。スロット基板203は、誘電体基板51と、誘電体基板51の表面に形成された第3絶縁層52と、第3絶縁層52上に形成されたスロット電極55と、スロット電極55を覆う第4絶縁層58とを備える。反射導電板65が誘電体基板51の裏面に誘電体層（空気層）54を介して対向するように配置されている。スロット電極55および反射導電板65は導波路301の壁として機能する。

[0179] スロット電極55は、Cu層またはAl層を主層55Mとする積層構造を有している。送受信領域R1において、スロット電極55には複数のスロット57が形成されている。送受信領域R1におけるスロット電極55の構造は、図6を参照しながら前述したスロット基板201の構造と同じである。

[0180] 非送受信領域R2には、端子部ITが設けられている。端子部ITでは、第4絶縁層58に、スロット電極55の表面を露出する開口が設けられている。スロット電極55の露出した領域がコンタクト面55cとなる。このように、本実施形態では、スロット電極55のコンタクト面55cは、第4絶縁層58で覆われていない。

[0181] トランスファ部では、TFT基板103におけるパッチ接続部15pを覆う保護導電層23と、スロット基板203におけるスロット電極55のコンタクト面55cとを、導電性ビーズ71を含む樹脂（シール樹脂）を介して接続する。

[0182] 本実施形態におけるトランスファ部は、前述の実施形態と同様に、走査アンテナの中心部および周縁部の両方に配置されていてもよいし、いずれか一方のみに配置されていてもよい。また、シール領域Rs内に配置されてい

てもよいし、シール領域 R_s の外側（液晶層と反対側）に配置されていてもよい。

[0183] 本実施形態では、トランスファ端子部 P_T および端子部 I_T のコンタクト面に透明導電膜を設けない。このため、保護導電層 23 と、スロット基板 203 のスロット電極 55 とを、導電性粒子を含有するシール樹脂を介して接続させることができる。

[0184] また、本実施形態では、第 1 の実施形態（図 3 および図 4）と比べて、一括形成されるコンタクトホールの深さの差が小さいので、コンタクトホールの下地となる導電膜へのダメージを低減できる。

[0185] <スロット基板 203 の製造方法>

スロット基板 203 は、次のようにして製造される。各層の材料、厚さおよび形成方法は、スロット基板 201 と同様であるので、説明を省略する。

[0186] まず、スロット基板 201 と同様の方法で、誘電体基板上に、第 3 絶縁層 52 およびスロット電極 55 を形成し、スロット電極 55 に複数のスロット 57 を形成する。次いで、スロット電極 55 上およびスロット内に第 4 絶縁層 58 を形成する。この後、スロット電極 55 のコンタクト面となる領域を露出するように、第 4 絶縁層 58 に開口部 18p を設ける。このようにして、スロット基板 203 が製造される。

[0187] <内部ヒーター構造>

上述したように、アンテナのアンテナ単位に用いられる液晶材料の誘電異方性 $\Delta \epsilon_M$ は大きいことが好ましい。しかしながら、誘電異方性 $\Delta \epsilon_M$ が大きい液晶材料（ネマチック液晶）の粘度は大きく、応答速度が遅いという問題がある。特に、温度が低下すると、粘度は上昇する。移動体（例えば、船舶、航空機、自動車）に搭載された走査アンテナの環境温度は変動する。したがって、液晶材料の温度をある程度以上、例えば 30℃ 以上、あるいは 45℃ 以上に調整できることが好ましい。設定温度は、ネマチック液晶材料の粘度が概ね 10 cP（センチポアズ）以下となるように設定することが好ましい。

- [0188] 本発明の実施形態の走査アンテナは、上記の構造に加えて、内部ヒーター構造を有することが好ましい。内部ヒーターとしては、ジュール熱を利用する抵抗加熱方式のヒーターが好ましい。ヒーター用の抵抗膜の材料としては、特に限定されないが、例えば、ITOやIZOなど比較的比抵抗の高い導電材料を用いることができる。また、抵抗値の調整のために、金属（例えば、ニクロム、チタン、クロム、白金、ニッケル、アルミニウム、銅）の細線やメッシュで抵抗膜を形成してもよい。ITOやIZOなどの細線やメッシュを用いることもできる。求められる発熱量に応じて、抵抗値を設定すればよい。
- [0189] 例えば、直径が340mmの円の面積（約90,000mm²）を100V交流（60Hz）で、抵抗膜の発熱温度を30℃にするためには、抵抗膜の抵抗値を139Ω、電流を0.7Aで、電力密度を800W/m²とすればよい。同じ面積を100V交流（60Hz）で、抵抗膜の発熱温度を45℃にするためには、抵抗膜の抵抗値を82Ω、電流を1.2Aで、電力密度を1350W/m²とすればよい。
- [0190] ヒーター用の抵抗膜は、走査アンテナの動作に影響を及ぼさない限りどこに設けてもよいが、液晶材料を効率的に加熱するためには、液晶層の近くに設けることが好ましい。例えば、図13（a）に示すTF基板104に示す様に、誘電体基板1のほぼ全面に抵抗膜68を形成してもよい。図13（a）は、ヒーター用抵抗膜68を有するTF基板104の模式的な平面図である。抵抗膜68は、例えば、図3に示した下地絶縁膜2で覆われる。下地絶縁膜2は、十分な絶縁耐圧を有するように形成される。
- [0191] 抵抗膜68は、開口部68a、68bおよび68cを有することが好ましい。TF基板104とスロット基板とが貼り合せられたとき、パッチ電極15と対向するようにスロット57が位置する。このときに、スロット57のエッジから距離dの周囲には抵抗膜68が存在しないよう開口部68aを配置する。dは例えば0.5mmである。また、補助容量CSの下部にも開口部68bを配置し、TFの下部にも開口部68cを配置することが好ま

しい。

[0192] なお、アンテナ単位Uのサイズは、例えば4 mm×4 mmである。また、図13(b)に示すように、例えば、スロット57の幅s2は0.5 mm、スロット57の長さs1は3.3 mm、スロット57の幅方向のパッチ電極15の幅p2は0.7 mm、スロットの長さ方向のパッチ電極15の幅p1は0.5 mmである。なお、アンテナ単位U、スロット57およびパッチ電極15のサイズ、形状、配置関係などは図13(a)および(b)に示す例に限定されない。

[0193] ヒーター用抵抗膜68からの電界の影響をさらに低減するために、シールド導電層を形成してもよい。シールド導電層は、例えば、下地絶縁膜2の上に誘電体基板1のほぼ全面に形成される。シールド導電層には、抵抗膜68のように開口部68a、68bを設ける必要はないが、開口部68cを設けることが好ましい。シールド導電層は、例えば、アルミニウム層で形成され、接地電位とされる。

[0194] また、液晶層を均一に加熱できるように、抵抗膜の抵抗値に分布を持たせることが好ましい。液晶層の温度分布は、最高温度－最低温度（温度むら）が、例えば15℃以下となることが好ましい。温度むらが15℃を超えると、位相差変調が面内でばらつき、良好なビーム形成ができなくなるという不具合が発生することがある。また、液晶層の温度がT_{ni}点（例えば125℃）に近づくと、 $\Delta\epsilon_M$ が小さくなるので好ましくない。

[0195] 図14(a)、(b)および図15(a)～(c)を参照して、抵抗膜における抵抗値の分布を説明する。図14(a)、(b)および図15(a)～(c)に、抵抗加熱構造80a～80eの模式的な構造と電流の分布を示す。抵抗加熱構造は、抵抗膜と、ヒーター用端子とを備えている。

[0196] 図14(a)に示す抵抗加熱構造80aは、第1端子82aと第2端子84aとこれらに接続された抵抗膜86aとを有している。第1端子82aは、円の中心に配置され、第2端子84aは円周の全体に沿って配置されている。ここで円は、送受信領域R1に対応する。第1端子82aと第2端子8

4 a との間に直流電圧を供給すると、例えば、第 1 端子 8 2 a から第 2 端子 8 4 a に放射状に電流 I_A が流れる。したがって、抵抗膜 8 6 a は面内の抵抗値は一定であっても、均一に発熱することができる。もちろん、電流の流れる向きは、第 2 端子 8 4 a から第 1 端子 8 2 a に向かう方向でもよい。

[0197] 図 1 4 (b) に抵抗加熱構造 8 0 b は、第 1 端子 8 2 b と第 2 端子 8 4 b とこれらに接続された抵抗膜 8 6 b とを有している。第 1 端子 8 2 b および第 2 端子 8 4 b は円周に沿って互いに隣接して配置されている。抵抗膜 8 6 b における第 1 端子 8 2 b と第 2 端子 8 4 b との間を流れる電流 I_A によって発生する単位面積当たりの発熱量が一定になるように、抵抗膜 8 6 b の抵抗値は面内分布を有している。抵抗膜 8 6 b の抵抗値の面内分布は、例えば、抵抗膜 8 6 を細線で構成する場合、細線の太さや、細線の密度で調整すればよい。

[0198] 図 1 5 (a) に示す抵抗加熱構造 8 0 c は、第 1 端子 8 2 c と第 2 端子 8 4 c とこれらに接続された抵抗膜 8 6 c とを有している。第 1 端子 8 2 c は、円の上側半分の円周に沿って配置されており、第 2 端子 8 4 c は円の下側半分の円周に沿って配置されている。抵抗膜 8 6 c を例えば第 1 端子 8 2 c と第 2 端子 8 4 c との間を上下に延びる細線で構成する場合、電流 I_A による単位面積あたりの発熱量が面内で一定になるように、例えば、中央付近の細線の太さや密度が高くなるように調整されている。

[0199] 図 1 5 (b) に示す抵抗加熱構造 8 0 d は、第 1 端子 8 2 d と第 2 端子 8 4 d とこれらに接続された抵抗膜 8 6 d とを有している。第 1 端子 8 2 d と第 2 端子 8 4 d とは、それぞれ円の直径に沿って上下方向、左右方向に延びるように設けられている。図では簡略化しているが、第 1 端子 8 2 d と第 2 端子 8 4 d とは互いに絶縁されている。

[0200] また、図 1 5 (c) に示す抵抗加熱構造 8 0 e は、第 1 端子 8 2 e と第 2 端子 8 4 e とこれらに接続された抵抗膜 8 6 e とを有している。抵抗加熱構造 8 0 e は、抵抗加熱構造 8 0 d と異なり、第 1 端子 8 2 e および第 2 端子 8 4 e のいずれも円の中心から上下左右の 4 つの方向に延びる 4 つの部分

有している。互いに90度を成す第1端子82eの部分と第2端子84eの部分とは、電流I_Aが、時計回りに流れるように配置されている。

[0201] 抵抗加熱構造80dおよび抵抗加熱構造80eのいずれにおいても、単位面積当たりの発熱量が面内で均一になるように、円周に近いほど電流I_Aが多くなるように、例えば、円周に近い側の細線を太く、密度が高くなるように調整されている。

[0202] このような内部ヒーター構造は、例えば、走査アンテナの温度を検出して、予め設定された温度を下回ったときに自動的に動作するようにしてもよい。もちろん、使用者の操作に呼応して動作するようにしてもよい。

[0203] <外部ヒーター構造>

本発明の実施形態の走査アンテナは、上記の内部ヒーター構造に代えて、あるいは、内部ヒーター構造とともに、外部ヒーター構造を有してもよい。外部ヒーターとしては、公知の種々のヒーターを用いることができるが、ジュール熱を利用する抵抗加熱方式のヒーターが好ましい。ヒーターの内、発熱する部分をヒーター部ということにする。以下では、ヒーター部として抵抗膜を用いる例を説明する。以下でも、抵抗膜は参照符号68で示す。

[0204] 例えば、図16(a)および(b)に示す液晶パネル100Paまたは100Pbの様に、ヒーター用の抵抗膜68を配置することが好ましい。ここで、液晶パネル100Paおよび100Pbは、図1に示した走査アンテナ1000のTFT基板101と、スロット基板201と、これらの間に設けられた液晶層LCとを有し、さらにTFT基板101の外側に、抵抗膜68を含む抵抗加熱構造を有している。抵抗膜68をTFT基板101の誘電体基板1の液晶層LC側に形成してよいが、TFT基板101の製造プロセスが煩雑化するので、TFT基板101の外側（液晶層LCとは反対側）に配置することが好ましい。

[0205] 図16(a)に示す液晶パネル100Paは、TFT基板101の誘電体基板1の外側の表面に形成されたヒーター用抵抗膜68と、ヒーター用抵抗膜68を覆う保護層69aとを有している。保護層69aは省略してもよい。

。走査アンテナは、例えばプラスチック製のケースに收容されるので、抵抗膜 68 にユーザが直接触れることはない。

[0206] 抵抗膜 68 は、誘電体基板 1 の外側の表面に、例えば、公知の薄膜堆積技術（例えば、スパッタ法、CVD法）、塗布法または印刷法を用いて形成することができる。抵抗膜 68 は、必要に応じてパターニングされている。パターニングは、例えば、フォトリソグラフィプロセスで行われる。

[0207] ヒーター用の抵抗膜 68 の材料としては、内部ヒーター構造について上述したように、特に限定されず、例えば、ITO や IZO など比較的比抵抗の高い導電材料を用いることができる。また、抵抗値の調整のために、金属（例えば、ニクロム、チタン、クロム、白金、ニッケル、アルミニウム、銅）の細線やメッシュで抵抗膜 68 を形成してもよい。ITO や IZO などの細線やメッシュを用いることもできる。求められる発熱量に応じて、抵抗値を設定すればよい。

[0208] 保護層 69a は、絶縁材料で形成されており、抵抗膜 68 を覆うように形成されている。抵抗膜 68 がパターニングされており、誘電体基板 1 が露出されている部分には保護層 69a を形成しなくてもよい。抵抗膜 68 は、後述するように、アンテナの性能が低下しないようにパターニングされる。保護層 69a を形成する材料が存在することによって、アンテナの性能が低下する場合には、抵抗膜 68 と同様に、パターニングされた保護層 69a を用いることが好ましい。

[0209] 保護層 69a は、ウェットプロセス、ドライプロセスのいずれで形成してもよい。例えば、抵抗膜 68 が形成された誘電体基板 1 の表面に、液状の硬化性樹脂（または樹脂の前駆体）または溶液を付与した後、硬化性樹脂を硬化させることによって形成される。液状の樹脂または樹脂の溶液は、種々の塗布法（例えば、スロットコーター、スピンコーター、スプレーを用いて）または種々の印刷法で、所定の厚さとなるように誘電体基板 1 の表面に付与される。その後、樹脂の種類に応じて、室温硬化、加熱硬化、または光硬化することによって、絶縁性樹脂膜で保護層 69a を形成することができる。

絶縁性樹脂膜は、例えば、フォトリソグラフィプロセスでパターニングされ得る。

[0210] 保護層 69 a を形成する材料としては、硬化性樹脂材料を好適に用いることができる。硬化性樹脂材料は、熱硬化タイプおよび光硬化タイプを含む。また、熱硬化タイプは、熱架橋タイプおよび熱重合タイプを含む。

[0211] 熱架橋タイプの樹脂材料としては、例えば、エポキシ系化合物（例えばエポキシ樹脂）とアミン系化合物の組合せ、エポキシ系化合物とヒドラジド系化合物の組み合わせ、エポキシ系化合物とアルコール系化合物（例えばフェノール樹脂を含む）の組み合わせ、エポキシ系化合物とカルボン酸系化合物（例えば酸無水物を含む）の組み合わせ、イソシアネート系化合物とアミン系化合物の組み合わせ、イソシアネート系化合物とヒドラジド系化合物の組み合わせ、イソシアネート系化合物とアルコール系化合物の組み合わせ（例えばウレタン樹脂を含む）、イソシアネート系化合物とカルボン酸系化合物の組み合わせが挙げられる。また、カチオン重合タイプ接着材としては、例えば、エポキシ系化合物とカチオン重合開始剤の組み合わせ（代表的なカチオン重合開始剤、芳香族スルホニウム塩）が挙げられる。ラジカル重合タイプの樹脂材料としては、例えば、各種アクリル、メタクリル、ウレタン変性アクリル（メタクリル）樹脂等のビニル基を含むモノマーおよび／またはオリゴマーとラジカル重合開始剤の組み合わせ（代表的なラジカル重合開始剤：アゾ系化合物（例えば、AIBN（アゾビスイソブチロニトリル））、開環重合タイプの樹脂材料としては、例えば、エチレンオキシド系化合物、エチレンイミン系化合物、シロキサン系化合物が挙げられる。この他、マレイミド樹脂、マレイミド樹脂とアミンの組合せ、マレイミドとメタクリル化合物の組合せ、ビスマレイミドトリアジン樹脂およびポリフェニレンエーテル樹脂を用いることができる。また、ポリイミドも好適に用いることができる。なお、「ポリイミド」は、ポリイミドの前駆体であるポリアミック酸を含む意味で用いる。ポリイミドは、例えば、エポキシ系化合物またはイソシアネート系化合物と組み合わせて用いられる。

[0212] 耐熱性、化学的安定性、機械特性の観点から、熱硬化性タイプの樹脂材料を用いることが好ましい。特に、エポキシ樹脂またはポリイミド樹脂を含む樹脂材料が好ましく、機械特性（特に機械強度）および吸湿性の観点から、ポリイミド樹脂を含む樹脂材料が好ましい。ポリイミド樹脂とエポキシ樹脂とを混合して用いることもできる。また、ポリイミド樹脂および／またはエポキシ樹脂に熱可塑性樹脂および／またはエラストマを混合してもよい。さらに、ポリイミド樹脂および／またはエポキシ樹脂として、ゴム変性したものを混合してもよい。熱可塑性樹脂またはエラストマを混合することによって、柔軟性や靱性（タフネス）を向上させることができる。ゴム変性したものをを用いても同様の効果を得ることができる。

[0213] 光硬化タイプは、紫外線または可視光によって、架橋反応および／または重合反応を起こし、硬化する。光硬化タイプには、例えば、ラジカル重合タイプとカチオン重合タイプがある。ラジカル重合タイプとしては、アクリル樹脂（エポキシ変性アクリル樹脂、ウレタン変性アクリル樹脂、シリコーン変性アクリル樹脂）と光重合開始剤との組み合わせが代表的である。紫外光用ラジカル重合開始剤としては、例えば、アセトフェノン型およびベンゾフェノン型が挙げられる。可視光用ラジカル重合開始剤としては、例えば、ベンジル型およびチオキサントン型を挙げることができる。カチオン重合タイプとしては、エポキシ系化合物と光カチオン重合開始剤との組合せが代表的である。光カチオン重合開始剤は、例えば、ヨードニウム塩系化合物を挙げることができる。なお、光硬化性と熱硬化性とを併せ持つ樹脂材料を用いることもできる。

[0214] 図16（b）に示す液晶パネル100Pbは、抵抗膜68と誘電体基板1との間に接着層67をさらに有している点で、液晶パネル100Paと異なる。また、保護層69bが予め作製された高分子フィルムまたはガラス板を用いて形成される点異なる。

[0215] 例えば、保護層69bが高分子フィルムで形成された液晶パネル100Pbは、以下の様にして製造される。

- [0216] まず、保護層 69 b となる絶縁性の高分子フィルムを用意する。高分子フィルムとしては、例えば、ポリエチレンテレフタレート、ポリエチレンナフタレート等のポリエステルフィルム、ポリフェニルスルホン、および、ポリイミド、ポリアミド等のスーパーエンジニアリングプラスチックのフィルムが用いられる。高分子フィルムの厚さ（すなわち、保護層 69 b の厚さ）は、例えば、 $5\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下である。
- [0217] この高分子フィルム的一方の表面の上に、抵抗膜 68 を形成する。抵抗膜 68 は、上述の方法で形成され得る。抵抗膜 68 はパターニングされてもよく、高分子フィルムも必要に応じてパターニングされてもよい。
- [0218] 抵抗膜 68 が形成された高分子フィルム（すなわち、保護層 69 b と抵抗膜 68 とが一体に形成された部材）を、接着材を用いて、誘電体基板 1 に貼り付ける。接着材としては、上記の保護層 69 a の形成に用いられる硬化性樹脂と同様の硬化性樹脂を用いることができる。さらに、ホットメルトタイプの樹脂材料（接着材）を用いることもできる。ホットメルトタイプの樹脂材料は、熱可塑性樹脂を主成分とし、加熱により溶融し、冷却により固化する。ポリオレフィン系（例えば、ポリエチレン、ポリプロピレン）、ポリアミド系、エチレン酢酸ビニル系が例示される。また、反応性を有するウレタン系のホットメルト樹脂材料（接着材）も販売されている。接着性および耐久性の観点からは、反応性のウレタン系が好ましい。
- [0219] また、接着層 67 は、抵抗膜 68 および保護層（高分子フィルム） 69 b と同様にパターニングされてもよい。ただし、接着層 67 は、抵抗膜 68 および保護層 69 b を誘電体基板 1 に固定できればよいので、抵抗膜 68 および保護層 69 b よりも小さくてもよい。
- [0220] 高分子フィルムに代えて、ガラス板を用いて保護層 69 b を形成することもできる。製造プロセスは、高分子フィルムを用いる場合と同様であってよい。ガラス板の厚さは、 1 mm 以下が好ましく、 0.7 mm 以下がさらに好ましい。ガラス板の厚さの下限は特にはないが、ハンドリング性の観点から、ガラス板の厚さは 0.3 mm 以上であることが好ましい。

[0221] 図16(b)に示した液晶パネル100Pbでは、保護層（高分子フィルムまたはガラス板）69bに形成された抵抗膜68を誘電体基板1に接着層67を介して固定したが、抵抗膜68を誘電体基板1に接触するように配置すればよく、抵抗膜68および保護層69bを誘電体基板1に固定（接着）する必要は必ずしもない。すなわち、接着層67を省略してもよい。例えば、抵抗膜68が形成された高分子フィルム（すなわち、保護層69bと抵抗膜68とが一体に形成された部材）を、抵抗膜68が誘電体基板1に接触するように配置し、走査アンテナを収容するケースで、抵抗膜68を誘電体基板1に押し当てるようにしてもよい。例えば、抵抗膜68が形成された高分子フィルムを単純に置くだけでは、接触熱抵抗が高くなるおそれがあるので、押し当てることによって接触熱抵抗を低下させることが好ましい。このような構成を採用すると、抵抗膜68および保護層（高分子フィルムまたはガラス板）69bが一体として形成された部材を取り外し可能にできる。

[0222] なお、抵抗膜68（および保護層69b）が後述するようにパターンニングされている場合には、アンテナの性能が低下しないように、TF T基板に対する位置がずれない程度に固定することが好ましい。

[0223] ヒーター用の抵抗膜68は、走査アンテナの動作に影響を及ぼさない限りどこに設けてもよいが、液晶材料を効率的に加熱するためには、液晶層の近くに設けることが好ましい。したがって、図16(a)および(b)に示したように、TF T基板101の外側に設けることが好ましい。また、図16(a)に示したように、TF T基板101の誘電体基板1の外側に直接、抵抗膜68を設けた方が、図16(b)に示したように、接着層67を介して抵抗膜68を誘電体基板1の外側に設けるよりも、エネルギー効率がよく、かつ、温度の制御性も高いので好ましい。

[0224] 抵抗膜68は、例えば、図13(a)に示すTF T基板104に対して、誘電体基板1のほぼ全面に設けてもよい。内部ヒーター構造について上述したように、抵抗膜68は、開口部68a、68bおよび68cを有することが好ましい。

- [0225] 保護層 69 a および 69 b は、抵抗膜 68 を覆うように全面に形成してもよい。上述したように、保護層 69 a または 69 b がアンテナ特性に悪影響を及ぼす場合には、抵抗膜 68 の開口部 68 a、68 b および 68 c に対応する開口部を設けてもよい。この場合、保護層 69 a または 69 b の開口部は、抵抗膜 68 の開口部 68 a、68 b および 68 c の内側に形成される。
- [0226] ヒーター用抵抗膜 68 からの電界の影響をさらに低減するために、シールド導電層を形成してもよい。シールド導電層は、例えば、抵抗膜 68 の誘電体基板 1 側に絶縁膜を介して形成される。シールド導電層は、誘電体基板 1 のほぼ全面に形成される。シールド導電層には、抵抗膜 68 のように開口部 68 a、68 b を設ける必要はないが、開口部 68 c を設けることが好ましい。シールド導電層は、例えば、アルミニウム層で形成され、接地電位とされる。また、液晶層を均一に加熱できるように、抵抗膜の抵抗値に分布を持たせることが好ましい。これらも内部ヒーター構造について上述した通りである。
- [0227] 抵抗膜は、送受信領域 R 1 の液晶層 L C を加熱できればよいので、例示したように、送受信領域 R 1 に対応する領域に抵抗膜を設ければよいが、これに限られない。例えば、図 2 に示したように、T F T 基板 101 が、送受信領域 R 1 を含む矩形の領域を画定することができるような外形を有している場合には、送受信領域 R 1 を含む矩形の領域に対応する領域に抵抗膜を設けてもよい。勿論、抵抗膜の外形は、矩形に限られず、送受信領域 R 1 を含む、任意の形状であってよい。
- [0228] 上記の例では、T F T 基板 101 の外側に抵抗膜を配置したが、スロット基板 201 の外側（液晶層 L C とは反対側）に、抵抗膜を配置してもよい。この場合にも、図 16 (a) の液晶パネル 100 P a と同様に、誘電体基板 51 に直接、抵抗膜を形成してもよいし、図 16 (b) の液晶パネル 100 P b と同様に、接着層を介して、保護層（高分子フィルムまたはガラス板）に形成された抵抗膜を誘電体基板 51 に固定してもよい。あるいは、接着層を省略して、抵抗膜が形成された保護層（すなわち、保護層と抵抗膜とが一

体に形成された部材)を抵抗膜が誘電体基板51に接触するように配置してもよい。例えば、抵抗膜が形成された高分子フィルムを単純に置くだけでは、接触熱抵抗が高くなるおそれがあるので、押し当てることによって接触熱抵抗を低下させることが好ましい。このような構成を採用すると、抵抗膜および保護層(高分子フィルムまたはガラス板)が一体として形成された部材を取り外し可能にできる。なお、抵抗膜(および保護層)がパターンニングされている場合には、アンテナの性能が低下しないように、スロット基板に対する位置がずれない程度に固定することが好ましい。

[0229] スロット基板201の外側に抵抗膜を配置する場合には、抵抗膜のスロット57に対応する位置に開口部を設けることが好ましい。また、抵抗膜はマイクロ波を十分に透過できる厚さであることが好ましい。

[0230] ここでは、ヒーター部として抵抗膜を用いた例を説明したが、ヒーター部として、この他に、例えば、ニクロム線(例えば巻線)、赤外線ヒーター部などを用いることができる。このような場合にも、アンテナの性能を低下させないように、ヒーター部を配置することが好ましい。

[0231] このような外部ヒーター構造は、例えば、走査アンテナの温度を検出して、予め設定された温度を下回ったときに自動的に動作するようにしてもよい。もちろん、使用者の操作に呼応して動作するようにしてもよい。

[0232] 外部ヒーター構造を自動的に動作させるための温度制御装置として、例えば、公知の種々のサーモスタットを用いることができる。例えば、抵抗膜に接続された2つの端子の一方と電源との間に、バイメタルを用いたサーモスタットを接続すればよい。もちろん、温度検出器を用いて、予め設定した温度を下回らないように、外部ヒーター構造に電源から電流を供給するような温度制御装置を用いてもよい。

[0233] <駆動方法>

本発明の実施形態による走査アンテナが有するアンテナ単位のアレイは、LCDパネルと類似した構造を有しているので、LCDパネルと同様に線順次駆動を行う。しかしながら、従来のLCDパネルの駆動方法を適用すると

、以下の問題が発生する恐れがある。図 17 に示す、走査アンテナの 1 つのアンテナ単位の等価回路図を参照しつつ、走査アンテナに発生し得る問題点を説明する。

- [0234] まず、上述したように、マイクロ波領域の誘電異方性 $\Delta \epsilon_M$ （可視光に対する複屈折率 Δn ）が大きい液晶材料の比抵抗は低いので、LCD パネルの駆動方法をそのまま適用すると、液晶層に印加される電圧を十分に保持できない。そうすると、液晶層に印加される実効電圧が低下し、液晶容量の静電容量値が目標値に到達しない。
- [0235] このように液晶層に印加された電圧が所定の値からずれると、アンテナのゲインが最大となる方向が所望する方向からずれることになる。そうすると、例えば、通信衛星を正確に追尾できないことになる。これを防止するために、液晶容量 C_{lc} と電氣的に並列に補助容量 C_s を設け、補助容量 C_s の容量値 $C - C_{lc}$ を十分に大きくする。補助容量 C_s の容量値 $C - C_{lc}$ は、液晶容量 C_{lc} の電圧保持率が例えば少なくとも 30%、好ましくは 55% 以上となるように適宜設定することが好ましい。補助容量 C_s の容量値 $C - C_{lc}$ は、電極 $CSE1$ および電極 $CSE2$ の面積および電極 $CSE1$ と電極 $CSE2$ との間の誘電体層の厚さおよび誘電率に依存する。典型的には、電極 $CSE1$ にはパッチ電極 15 と同じ電圧が供給され、電極 $CSE2$ にはスロット電極 55 と同じ電圧が供給される。
- [0236] また、比抵抗が低い液晶材料を用いると、界面分極および／または配向分極による電圧低下も起こる。これらの分極による電圧低下を防止するために、電圧降下分を見込んだ十分に高い電圧を印加することが考えられる。しかしながら、比抵抗が低い液晶層に高い電圧を印加すると、動的散乱効果（DS 効果）が起こる恐れがある。DS 効果は、液晶層中のイオン性不純物の対流に起因し、液晶層の誘電率 ϵ_M は平均値 $((\epsilon_{M\parallel} + 2\epsilon_{M\perp}) / 3)$ に近づく。また、液晶層の誘電率 ϵ_M を多段階（多階調）で制御するためには、常に十分に高い電圧を印加することもできない。
- [0237] 上記の DS 効果および／または分極による電圧降下を抑制するためには、

液晶層に印加する電圧の極性反転周期を十分に短くすればよい。よく知られているように、印加電圧の極性反転周期を短くするとDS効果が起こるしきい値電圧が高くなる。したがって、液晶層に印加する電圧（絶対値）の最大値が、DS効果が起こるしきい値電圧未満となるように、極性反転周波数を決めればよい。極性反転周波数が300Hz以上であれば、例えば比抵抗が $1 \times 10^{10} \Omega \cdot \text{cm}$ 、誘電異方性 $\Delta \epsilon$ (@1kHz)が-0.6程度の液晶層に絶対値が10Vの電圧を印加しても、良好な動作を確保することができる。また、極性反転周波数（典型的にはフレーム周波数の2倍と同じ）が300Hz以上であれば、上記の分極に起因する電圧降下も抑制される。極性反転周期の上限は、消費電力などの観点から約5kHz以下であることが好ましい。

[0238] 液晶層に印加する電圧の極性反転周波数は、当然に液晶材料（特に比抵抗）に依存する。したがって、液晶材料によっては300Hz未満の極性反転周期で電圧を印加しても上記の問題が生じない。ただし、本発明の実施形態による走査アンテナに用いられる液晶材料はLCDに用いられている液晶材料よりも比抵抗が小さいので、概ね60Hz以上で駆動することが好ましい。

[0239] 上述したように液晶材料の粘度は温度に依存するので、液晶層の温度は適宜制御されることが好ましい。ここで述べた液晶材料の物性および駆動条件は、液晶層の動作温度における値である。逆に言うと、上記の条件で駆動できるように、液晶層の温度を制御することが好ましい。

[0240] 図18(a)～(g)を参照して、走査アンテナの駆動に用いられる信号の波形の例を説明する。なお、図18(d)に、比較のために、LCDパネルのソースバスラインに供給される表示信号 V_s (LCD)の波形を示している。

[0241] 図18(a)はゲートバスラインG-L1に供給される走査信号 V_g の波形、図18(b)はゲートバスラインG-L2に供給される走査信号 V_g の波形、図18(c)はゲートバスラインG-L3に供給される走査信号 V_g

の波形を示し、図18(e)はソースバスラインに供給されるデータ信号 V_{da} の波形を示し、図18(f)はスロット基板のスロット電極(スロット電極)に供給されるスロット電圧 V_{idc} の波形を示し、図18(g)はアンテナ単位の液晶層に印加される電圧の波形を示す。

[0242] 図18(a)～(c)に示す様に、ゲートバスラインに供給される走査信号 V_g の電圧が、順次、ローレベル(V_{gL})からハイレベル(V_{gH})に切替わる。 V_{gL} および V_{gH} は、TFTの特性に応じて適宜設定され得る。例えば、 $V_{gL} = -5V \sim 0V$ 、 $V_{gH} = +20V$ である。また、 $V_{gL} = -20V$ 、 $V_{gH} = +20V$ としてもよい。あるゲートバスラインの走査信号 V_g の電圧がローレベル(V_{gL})からハイレベル(V_{gH})に切替わる時刻から、その次のゲートバスラインの電圧が V_{gL} から V_{gH} に切替わる時刻までの期間を1水平走査期間(1H)ということにする。また、各ゲートバスラインの電圧がハイレベル(V_{gH})になっている期間を選択期間PSという。この選択期間PSにおいて、各ゲートバスラインに接続されたTFTがオン状態となり、ソースバスラインに供給されているデータ信号 V_{da} のその時の電圧が、対応するパッチ電極に供給される。データ信号 V_{da} は例えば $-15V \sim +15V$ (絶対値が15V)であり、例えば、12階調、好ましくは16階調に対応する絶対値の異なるデータ信号 V_{da} を用いる。

[0243] ここでは、全てのアンテナ単位にある中間電圧を印加している場合を例示する。すなわち、データ信号 V_{da} の電圧は、全てのアンテナ単位(m本のゲートバスラインに接続されているとする。)に対して一定であるとする。これはLCDパネルにおいて全面である中間調を表示している場合に対応する。このとき、LCDパネルでは、ドット反転駆動が行われる。すなわち、各フレームにおいて、互いに隣接する画素(ドット)の極性が互いに逆になるように、表示信号電圧が供給される。

[0244] 図18(d)はドット反転駆動を行っているLCDパネルの表示信号の波形を示している。図18(d)に示したように、1H毎に V_s (LCD)の

極性が反転している。この波形を有する V_s (LCD) が供給されているソースバスラインに隣接するソースバスラインに供給される V_s (LCD) の極性は、図 18 (d) に示す V_s (LCD) の極性と逆になっている。また、全ての画素に供給される表示信号の極性は、フレーム毎に反転する。LCD パネルでは、正極性と負極性とで、液晶層に印加される実効電圧の大きさを完全に一致させることが難しく、かつ、実効電圧の差が輝度の差となり、フリッカーとして観察される。このフリッカーを観察され難くするために、各フレームにおいて極性の異なる電圧が印加される画素（ドット）を空間的に分散させている。典型的には、ドット反転駆動を行うことによって、極性が異なる画素（ドット）を市松模様に配列させる。

[0245] これに対して、走査アンテナにおいては、フリッカー自体は問題とならない。すなわち、液晶容量の静電容量値が所望の値でありさえすればよく、各フレームにおける極性の空間的な分布は問題とならない。したがって、低消費電力等の観点から、ソースバスラインから供給されるデータ信号 V_{da} の極性反転の回数を少なくする、すなわち、極性反転の周期を長くすることが好ましい。例えば、図 18 (e) に示す様に、極性反転の周期を $10H$ ($5H$ 毎に極性反転) にすればよい。もちろん、各ソースバスラインに接続されているアンテナ単位の数（典型的には、ゲートバスラインの本数に等しい。）を m 個とすると、データ信号 V_{da} の極性反転の周期を $2m \cdot H$ ($m \cdot H$ 毎に極性反転) としてもよい。データ信号 V_{da} の極性反転の周期は、2 フレーム（1 フレーム毎に極性反転）と等しくてもよい。

[0246] また、全てのソースバスラインから供給するデータ信号 V_{da} の極性を同じにしてもよい。したがって、例えば、あるフレームでは、全てのソースバスラインから正極性のデータ信号 V_{da} を供給し、次にフレームでは、全てのソースバスラインから負極性のデータ信号 V_{da} を供給してもよい。

[0247] あるいは、互いに隣接するソースバスラインから供給するデータ信号 V_{da} の極性を互いに逆極性にしてもよい。例えば、あるフレームでは、奇数列のソースバスラインからは正極性のデータ信号 V_{da} を供給し、偶数列のソ

ースバスラインからは負極性のデータ信号 V_{da} を供給する。そして、次のフレームでは、奇数列のソースバスラインからは負極性のデータ信号 V_{da} を供給し、偶数列のソースバスラインからは正極性のデータ信号 V_{da} を供給する。このような駆動方法は、LCDパネルでは、ソースライン反転駆動と呼ばれる。隣接するソースバスラインから供給するデータ信号 V_{da} を逆極性にすると、フレーム間で供給するデータ信号 V_{da} の極性を反転させる前に、隣接するソースバスラインを互いに接続する（ショートさせる）ことによって、液晶容量に充電された電荷を隣接する列間でキャンセルさせることができる。したがって、各フレームにおいてソースバスラインから供給する電荷の量を少なくできるという利点を得られる。

[0248] スロット電極の電圧 V_{idc} は図18(f)に示す様に、例えば、DC電圧であり、典型的にはグラウンド電位である。アンテナ単位の容量（液晶容量および補助容量）の容量値は、LCDパネルの画素容量の容量値よりも大きい（例えば、20型程度のLCDパネルと比較して約30倍）ので、TFTの寄生容量に起因する引込電圧の影響がなく、スロット電極の電圧 V_{idc} をグラウンド電位として、データ信号 V_{da} をグラウンド電位を基準に正負対称な電圧としても、パッチ電極に供給される電圧は正負対称な電圧となる。LCDパネルにおいては、TFTの引込電圧を考慮して、対向電極の電圧（共通電圧）を調整することによって、画素電極に正負対称な電圧が印加されるようにしているが、走査アンテナのスロット電圧についてはその必要がなく、グラウンド電位であってよい。また、図18に図示しないが、CSバスラインには、スロット電圧 V_{idc} と同じ電圧が供給される。

[0249] アンテナ単位の液晶容量に印加される電圧は、スロット電極の電圧 V_{idc} （図18(f)）に対するパッチ電極の電圧（すなわち、図18(e)に示したデータ信号 V_{da} の電圧）なので、スロット電圧 V_{idc} がグラウンド電位のとき、図18(g)に示す様に、図18(e)に示したデータ信号 V_{da} の波形と一致する。

[0250] 走査アンテナの駆動に用いられる信号の波形は、上記の例に限られない。

例えば、図19および図20を参照して以下に説明するように、スロット電極の電圧として振動波形を有する V_{iac} を用いてもよい。

[0251] 例えば、図19(a)～(e)に例示する様な信号を用いることができる。図19では、ゲートバスラインに供給される走査信号 V_g の波形を省略しているが、ここでも、図18(a)～(c)を参照して説明した走査信号 V_g を用いる。

[0252] 図19(a)に示す様に、図18(e)に示したのと同様に、データ信号 V_{da} の波形が10H周期(5H毎)で極性反転している場合を例示する。ここでは、データ信号 V_{da} として、振幅が最大値 $|V_{da_{max}}|$ の場合を示す。上述したように、データ信号 V_{da} の波形は、2フレーム周期(1フレーム毎)で極性反転させてもよい。

[0253] ここで、スロット電極の電圧 V_{iac} は、図19(c)に示す様に、データ信号 V_{da} (ON)と極性が逆で、振動の周期は同じ、振動電圧とする。スロット電極の電圧 V_{iac} の振幅は、データ信号 V_{da} の振幅の最大値 $|V_{da_{max}}|$ と等しい。すなわち、スロット電圧 V_{iac} は、データ信号 V_{da} (ON)と極性反転の周期は同じで、極性が逆(位相が 180° 異なる)で、 $-V_{da_{max}}$ と $+V_{da_{max}}$ の間を振動する電圧とする。

[0254] アンテナ単位の液晶容量に印加される電圧 V_{lc} は、スロット電極の電圧 V_{iac} (図19(c))に対するパッチ電極の電圧(すなわち、図19(a)に示したデータ信号 V_{da} (ON)の電圧)なので、データ信号 V_{da} の振幅が $\pm V_{da_{max}}$ で振動しているとき、液晶容量に印加される電圧は、図19(d)に示す様に、 $V_{da_{max}}$ の2倍の振幅で振動する波形となる。したがって、液晶容量に印加される電圧 V_{lc} の最大振幅を $\pm V_{da_{max}}$ とするために必要なデータ信号 V_{da} の最大振幅は、 $\pm V_{da_{max}}/2$ となる。

[0255] このようなスロット電圧 V_{iac} を用いることによって、データ信号 V_{da} の最大振幅を半分にできるので、データ信号 V_{da} を出力するドライバ回路として、例えば、耐圧が20V以下の汎用のドライバICを用いることができるという利点を得られる。

- [0256] なお、図19(e)に示す様に、アンテナ単位の液晶容量に印加される電圧 V_{lc} (OFF)をゼロとするために、図19(b)に示す様に、データ信号 V_{da} (OFF)をスロット電圧 V_{iac} と同じ波形にすればよい。
- [0257] 例えば、液晶容量に印加される電圧 V_{lc} の最大振幅を $\pm 15\text{ V}$ とする場合を考える。スロット電圧として、図18(f)に示した V_{idc} を用い、 $V_{idc} = 0\text{ V}$ とすると、図18(e)に示した V_{da} の最大振幅は、 $\pm 15\text{ V}$ となる。これに対して、スロット電圧として、図19(c)に示した V_{iac} を用い、 V_{iac} の最大振幅を $\pm 7.5\text{ V}$ とすると、図19(a)に示した V_{da} (ON)の最大振幅は、 $\pm 7.5\text{ V}$ となる。
- [0258] 液晶容量に印加される電圧 V_{lc} を 0 V とする場合、図18(e)に示した V_{da} を 0 V とすればよく、図19(b)に示した V_{da} (OFF)の最大振幅は $\pm 7.5\text{ V}$ とすればよい。
- [0259] 図19(c)に示した V_{iac} を用いる場合は、液晶容量に印加される電圧 V_{lc} の振幅は、 V_{da} の振幅とは異なるので、適宜変換する必要がある。
- [0260] 図20(a)～(e)に例示する様な信号を用いることもできる。図20(a)～(e)に示す信号は、図19(a)～(e)に示した信号と同様に、スロット電極の電圧 V_{iac} を図20(c)に示す様に、データ信号 V_{da} (ON)と振動の位相が 180° ずれた振動電圧とする。ただし、図20(a)～(c)にそれぞれ示す様に、データ信号 V_{da} (ON)、 V_{da} (OFF)およびスロット電圧 V_{iac} をいずれも 0 V と正の電圧との間で振動する電圧としている。スロット電極の電圧 V_{iac} の振幅は、データ信号 V_{da} の振幅の最大値 $|V_{da_{\max}}|$ と等しい。
- [0261] このような信号を用いると、駆動回路は正の電圧だけを出力すればよく、低コスト化に寄与する。このように 0 V と正の電圧との間で振動する電圧を用いても、図20(d)に示すように、液晶容量に印加される電圧 V_{lc} (ON)は、極性反転する。図20(d)に示す電圧波形において、+ (正)は、パッチ電極の電圧がスロット電圧よりも高いことを示し、- (負)は、

パッチ電極の電圧がスロット電圧よりも低いことを示している。すなわち、液晶層に印加される電界の向き（極性）は、他の例と同様に反転している。液晶容量に印加される電圧 V_{lc} (ON) の振幅は $V_{da_{max}}$ である。

[0262] なお、図 20 (e) に示す様に、アンテナ単位の液晶容量に印加される電圧 V_{lc} (OFF) をゼロとするとために、図 20 (b) に示す様に、データ信号 V_{da} (OFF) をスロット電圧 V_{iac} と同じ波形にすればよい。

[0263] 図 19 および図 20 を参照して説明したスロット電極の電圧 V_{iac} を振動させる（反転させる）駆動方法は、LCD パネルの駆動方法でいうと、対向電圧を反転させる駆動方法に対応する（「コモン反転駆動」といわれることがある。）。LCD パネルでは、フリッカーを十分に抑制できないことから、コモン反転駆動は採用されていない。これに対し、走査アンテナでは、フリッカーは問題とならないので、スロット電圧を反転させることができる。振動（反転）は、例えば、フレーム毎に行われる（図 19 および図 20 における 5 H を 1 V（垂直走査期間またはフレーム）とする）。

[0264] 上記の説明では、スロット電極の電圧 V_{iac} は 1 つの電圧が印加される例、すなわち、全てのパッチ電極に対して共通のスロット電極が設けられている例を説明したが、スロット電極を、パッチ電極の 1 行、または、2 以上の行に対応して分割してもよい。ここで、行とは、1 つのゲートバスラインに TFT を介して接続されたパッチ電極の集合を指す。このようにスロット電極を複数の行部分に分割すれば、スロット電極の各部分の電圧の極性を互いに独立にできる。例えば、任意のフレームにおいて、パッチ電極に印加される電圧の極性を、隣接するゲートバスラインに接続されたパッチ電極間で互いに逆にできる。このように、パッチ電極の 1 行毎に極性を反転させる行反転（1 H 反転）だけでなく、2 以上の行毎に極性を反転させる m 行反転（ m H 反転）を行うことができる。もちろん、行反転とフレーム反転とは組合せられる。

[0265] 駆動の単純さの観点からは、任意のフレームにおいて、パッチ電極に印加される電圧の極性を全て同じにし、フレーム毎に極性が反転する駆動が好ま

しい。

[0266] <アンテナ単位の配列、ゲートバスライン、ソースバスラインの接続の例>

本発明の実施形態の走査アンテナにおいて、アンテナ単位は例えば、同心円状に配列される。

[0267] 例えば、 m 個の同心円に配列されている場合、ゲートバスラインは例えば、各円に対して1本ずつ設けられ、合計 m 本のゲートバスラインが設けられる。送受信領域 $R1$ の外径を、例えば800mmとすると、 m は例えば、200である。最も内側のゲートバスラインを1番目とすると、1番目のゲートバスラインには、 n 個（例えば30個）のアンテナ単位が接続され、 m 番目のゲートバスラインには $n \times$ 個（例えば620個）のアンテナ単位が接続されている。

[0268] このような配列では、各ゲートバスラインに接続されているアンテナ単位の数が異なる。また、最も外側の円を構成する $n \times$ 個のアンテナ単位に接続されている $n \times$ 本のソースバスラインのうち、最も内側の円を構成するアンテナ単位にも接続されている n 本のソースバスラインには、 m 個のアンテナ単位が接続されているが、その他のソースバスラインに接続されているアンテナ単位の数は m よりも小さい。

[0269] このように、走査アンテナにおけるアンテナ単位の配列は、LCDパネルにおける画素（ドット）の配列とは異なり、ゲートバスラインおよび／またはソースバスラインによって、接続されているアンテナ単位の数が異なる。したがって、全てのアンテナ単位の容量（液晶容量＋補助容量）を同じにすると、ゲートバスラインおよび／またはソースバスラインによって、接続されている電氣的な負荷が異なることになる。そうすると、アンテナ単位への電圧の書き込みにばらつきが生じるという問題がある。

[0270] そこで、これを防止するために、例えば、補助容量の容量値を調整することによって、あるいは、ゲートバスラインおよび／またはソースバスラインに接続するアンテナ単位の数を調整することによって、各ゲートバスライン

および各ソースバスラインに接続されている電気的な負荷を略同一にすることが好ましい。

[0271] (第4の実施形態)

以下、第4の実施形態の走査アンテナを説明する。

[0272] 本実施形態の走査アンテナに用いられるTF T基板は、トップゲート構造を有するTF Tを有し、かつ、ソースメタル層で形成されたパッチ電極を有する。本実施形態の走査アンテナに用いられるTF T基板は、先の実施形態よりも少ない製造工程数（例えばフォトマスク数）で製造することができる。

[0273] 図21(a)～(c)は、本実施形態におけるTF T基板105を例示する模式的な平面図である。

[0274] TF T基板105は、複数のアンテナ単位領域Uが配列された送受信領域R1と、端子部などが設けられた非送受信領域R2とを有している。非送受信領域R2は、送受信領域R1を囲むように設けられたシール領域Rsを含んでいる。シール領域Rsは、例えば、端子部が配置される端子部領域と送受信領域R1との間に位置している。

[0275] 図21(a)は、送受信領域R1のアンテナ単位領域Uを示し、図21(b)は、非送受信領域R2に設けられたゲート端子部GT、CS端子部CT、トランスファー端子部PT、ゲートソース接続部SG、および、CSソース接続部SCを示し、図21(c)は、非送受信領域R2に設けられたソース端子部STを示している。トランスファー端子部（トランスファー部ともいう）PTは、シール領域Rsに位置する第1トランスファー端子部PT1と、シール領域Rsよりも外側（液晶層と反対側）に設けられた第2トランスファー端子部PT2とを含む。この例では、第1トランスファー端子部PT1は、シール領域Rsに沿って、送受信領域R1を包囲するように延びている。

[0276] 一般に、ゲート端子部GTおよびソース端子部STはそれぞれゲートバスライン毎およびソースバスライン毎に設けられる。ゲートソース接続部S

Gは、一般に、ゲートバスライン毎に設けられる。CS端子部CTは、一般に、CSバスライン毎に設けられる。CS－ソース接続部SCは、一般に、CSバスライン毎に設けられる。図21(b)には、ゲート端子部GTと並べて、CS端子部CTおよび第2トランスファー端子部PT2を図示しているが、CS端子部CTおよび第2トランスファー端子部PT2の個数および配置は、それぞれゲート端子部GTとは独立に設定される。通常、CS端子部CTおよび第2トランスファー端子部PT2の個数は、ゲート端子部GTの個数より少なく、CS電極およびスロット電極の電圧の均一性を考慮して適宜設定される。また、第2トランスファー端子部PT2は、第1トランスファー端子部PT1が形成されている場合には省略され得る。

[0277] 図22(a)～(e)および図23(a)～(c)は、それぞれ、TF T基板105の模式的な断面図である。図22(a)は、図21(a)中のA－A'線に沿ったアンテナ単位領域Uの断面を示し、図22(b)は、図21(b)中のB－B'線に沿ったゲート－ソース接続部SGの断面を示し、図22(c)は、図21(b)中のC－C'線に沿ったゲート端子部GTの断面を示し、図22(d)は、図21(c)中のD－D'線に沿ったソース端子部STの断面を示し、図22(e)は、図21(b)中のE－E'線に沿った第2トランスファー端子部PT2の断面を示し、図23(a)は、図21(b)中のF－F'線に沿った第1トランスファー端子部PT1の断面を示し、図23(b)は、図21(b)中のG－G'線に沿ったゲート－ソース接続部SGの断面を示し、図23(c)は、図21(b)中のH－H'線に沿ったゲート－ソース接続部SGの断面を示している。

[0278] ・アンテナ単位領域U

図21(a)および図22(a)に示すように、TF T基板105における各アンテナ単位領域Uは、TF T10と、TF T10のドレイン電極7Dに接続されたパッチ電極7PEとを有する。本実施形態において、パッチ電極7PEは、ソースメタル層7に含まれる。

[0279] TF T基板105は、図21～図23に示すように、誘電体基板1に支持

されたソースメタル層 7 と、ソースメタル層 7 上に形成されたゲートメタル層 3 と、ソースメタル層 7 とゲートメタル層 3 との間に形成されたゲート絶縁層 4 と、ゲートメタル層 3 上に形成された層間絶縁層（第 1 絶縁層） 1 1 とを有する。T F T 基板 1 0 5 は、層間絶縁層 1 1 上に形成された導電層 1 9 をさらに有する。

[0280] T F T 1 0 は、ゲート電極 3 G、島状の半導体層 5、コンタクト層 6 S および 6 D、ゲート電極 3 G と半導体層 5 との間に配置されたゲート絶縁層 4、ならびに、ソース電極 7 S およびドレイン電極 7 D を備える。本実施形態における T F T 1 0 は、トップゲート構造を有する点において、例えば図 3 を参照して説明した先の実施形態と異なる。すなわち、T F T 基板 1 0 5 の T F T 1 0 において、ゲート電極 3 G は、半導体層 5 上にゲート絶縁層 4 を介して配置されている。各 T F T 1 0 のゲート電極 3 G はゲートバスライン G L に接続され、ソース電極 7 S はソースバスライン S L に接続されている。

[0281] T F T 基板 1 0 5 のアンテナ単位領域 U における構造を具体的に説明する。

[0282] ソースメタル層 7 は、T F T 1 0 のソース電極 7 S およびドレイン電極 7 D と、ソースバスライン S L と、パッチ電極 7 P E とを含む。

[0283] ゲート絶縁層 4 は、パッチ電極 7 P E に達する開口部 4 a を有する。

[0284] ゲートメタル層 3 は、T F T 1 0 のゲート電極 3 G と、ゲートバスライン G L とを含む。

[0285] 層間絶縁層（第 1 絶縁層） 1 1 は、T F T 1 0 を覆うように形成されている。層間絶縁層 1 1 は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 a と重なる開口部 1 1 a を有する。ゲート絶縁層 4 に形成された開口部 4 a および層間絶縁層 1 1 に形成された開口部 1 1 a は、コンタクトホール C H__a を構成する。

[0286] 導電層 1 9 は、コンタクトホール C H__a 内でパッチ電極 7 P E に接触するパッチ導電部 1 9 a を含む。パッチ導電部 1 9 a は、パッチ電極 7 P E の

内、開口部 4 a によって露出されている部分を覆うように形成されていることが好ましい。パッチ導電部 19 a は、後述する各端子部の上部接続部と同じ導電膜から形成される。

[0287] TFT 基板 105 において、パッチ電極 7 P E はソース電極 7 S およびドレイン電極 7 D と同じ導電膜から形成されている（すなわち、パッチ電極 7 P E はソースメタル層 7 に含まれる）ので、製造コストを削減することができる。例えば、製造工程数（例えばフォトマスク数）を低減することができる。例えば、図 3～図 5 を参照して説明した第 1 の実施形態における TFT 基板 101 の製造工程では、7 枚のフォトマスクを使用する（アライメントマーク 21 の形成を除く）。これに対して、本実施形態における TFT 基板 105 は、例えば 5 枚のフォトマスクを使用して製造することができる。導電層 19 に含まれるパッチ導電部 19 a は、後述する各端子部の上部接続部と同じ導電膜から形成されるので、TFT 基板 105 は、5 枚のフォトマスクを用いて製造することができる。詳細な製造プロセスは後述する。

[0288] パッチ電極 7 P E は、パッチ導電部 19 a、層間絶縁層 11 およびゲート絶縁層 4 の少なくともいずれか 1 つによって覆われていることが好ましい。パッチ電極 7 P E がパッチ導電部 19 a、層間絶縁層 11 およびゲート絶縁層 4 の少なくともいずれか 1 つによって覆われていると、パッチ電極 7 P E に腐食が生じることを抑制することができる。また、パッチ電極 7 P E がパッチ導電部 19 a、層間絶縁層 11 およびゲート絶縁層 4 の少なくともいずれか 1 つによって覆われていると、パッチ電極 7 P E から金属（特に Cu）が液晶層 LC に溶出することを抑制することができる。

[0289] 図示する例では、パッチ電極 7 P E はパッチ導電部 19 a によって覆われ、かつ、絶縁層で覆われていない。この場合、高いアンテナ性能を実現し得る。

[0290] なお、コンタクトホール CH__a およびパッチ導電部 19 a は、省略され得る。この場合、パッチ電極 7 P E は、層間絶縁層 11 およびゲート絶縁層 4 によって覆われるので、パッチ電極 7 P E に腐食が生じることおよびパッ

チ電極 7 P E から金属が液晶層 L C に溶出することを効果的に抑制することができる。なお、この場合、高いアンテナ性能を得るためには、層間絶縁層 1 1 の厚さおよびゲート絶縁層 4 の厚さの和が小さいことが好ましい。

[0291] T F T 基板 1 0 5 は、誘電体基板 1 と半導体層 5 との間に下地絶縁層 2 0 をさらに有していてもよい。下地絶縁層 2 0 は、例えば誘電体基板 1 の全面に形成されていてもよい。なお、下地絶縁層 2 0 は、省略され得る。

[0292] 本実施形態において、ソース電極、ドレイン電極およびパッチ電極を含む導電膜をソース用導電膜と呼ぶことがある。また、ソース電極、ドレイン電極およびパッチ電極を含むソース用導電膜を用いて形成された層（レイヤー）をソースメタル層と呼ぶことがある。本実施形態において、ソースメタル層は、既に述べたパッチ電極を形成する金属膜として好ましい条件を満たしていることが好ましい。例えば、本実施形態のソースメタル層の厚さは、 $0.3\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下であることが好ましい。既に述べたように、T F T の構成にも依存するが、例えば $1\ \mu\text{m}$ を超える厚さを有するソースメタル層は、所望のパターニング精度が得られないことがある。例えば、ソース電極とドレイン電極との間隙（T F T のチャネル長に相当）の長さを高い精度で制御できないという問題が生じることがある。従って、ソースメタル層の厚さは $1\ \mu\text{m}$ 以下であることが好ましい。

[0293] ソース電極 7 S、ドレイン電極 7 D およびパッチ電極 7 P E を含むソースメタル層 7 は、低抵抗金属層（例えば C u 層、A l 層、A g 層、A u 層、またはこれらのいずれかを有する積層構造）だけで形成されていてもよいし、低抵抗金属層を含む積層構造を有してもよい。低抵抗金属層を含む積層構造は、低抵抗金属層の上および／または下に、高融点金属含有層を有する。なお、「高融点金属含有層」は、例えば、チタン（T i）、タングステン（W）、モリブデン（M o）、タンタル（T a）、ニオブ（N b）、これらを含む合金、およびこれらの窒化物、ならびに前記金属または合金と前記窒化物との固溶体のいずれかで形成された層を指す。ソース電極 7 S、ドレイン電極 7 D およびパッチ電極 7 P E を含むソースメタル層 7 が有する低抵抗金属

層の厚さは、例えば $0.3\mu\text{m}$ 以上 $0.9\mu\text{m}$ 以下であってもよい。ソース電極7S、ドレイン電極7Dおよびパッチ電極7PEがA1層を含む場合（すなわち、ソースメタル層7がA1層を含む場合）、A1層の厚さは $0.3\mu\text{m}$ 以上 $0.9\mu\text{m}$ 以下であることが好ましい。ソース電極7S、ドレイン電極7Dおよびパッチ電極7PEがCu層を含む場合（すなわち、ソースメタル層7がCu層を含む場合）、Cu層の厚さは $0.3\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下であることが好ましい。

[0294] 各アンテナ単位領域は、液晶容量と電氣的に並列に接続された補助容量を有していてもよい。この例では、補助容量は、ドレイン電極7Dと電氣的に接続された下部補助容量電極7Cと、ゲート絶縁層4と、ゲート絶縁層4を介して下部補助容量電極7Cと対向する上部補助容量電極3Cとによって構成される。下部補助容量電極7Cはソースメタル層7に含まれ、上部補助容量電極3Cはゲートメタル層3に含まれる。ゲートメタル層3は、上部補助容量電極3Cに接続されたCSバスライン（補助容量線）CLをさらに含む。CSバスラインCLは、例えば、ゲートバスラインGLと略平行に延びている。この例では、上部補助容量電極3Cは、CSバスラインCLと一体的に形成されている。上部補助容量電極3Cの幅は、CSバスラインCLの幅よりも大きくてもよい。また、この例では、下部補助容量電極7Cは、ドレイン電極7Dから延設されている。下部補助容量電極7Cの幅は、ドレイン電極7Dから延設された部分のうち下部補助容量電極7C以外の部分の幅よりも大きくてもよい。この例では、パッチ電極7PEは、ドレイン電極7Dから延設された下部補助容量電極7Cから延設されている。なお、補助容量とパッチ電極7PEとの配置関係は図示する例に限定されない。

[0295] ・ゲートーソース接続部SG

TFT基板105は、非送受信領域R2にゲートーソース接続部SGを有する。ゲートーソース接続部SGは、各ゲートバスラインGLをソースメタル層7内に形成された接続配線（「ゲート下部接続配線」ということがある。）に電氣的に接続する。ゲートーソース接続部SGを設けることによって

、ゲート端子部G Tの下部接続部をソースメタル層7で形成することができる。ソースメタル層7で形成された下部接続部を有するゲート端子部G Tは、信頼性に優れる。詳細は後述する。

[0296] 図21(b)、図22(b)、図23(b)および図23(c)に示すように、ゲートソース接続部S Gは、ゲートバスラインG Lと、ゲート下部接続配線7 s gとを、ゲート上部接続部19 s gを介して電氣的に接続する。

[0297] 具体的には、ゲートソース接続部S Gは、ゲート下部接続配線7 s gと、ゲート絶縁層4に形成された開口部4 s g 1と、ゲートバスラインG Lに接続されたゲートバスライン接続部3 s gと、層間絶縁層11に形成された開口部11 s g 1および開口部11 s g 2と、ゲート上部接続部19 s gとを有している。

[0298] ゲート下部接続配線7 s gは、ソースメタル層7に含まれ、ソースバスラインS Lとは電氣的に分離されている。

[0299] ゲート絶縁層4に形成された開口部4 s g 1は、ゲート下部接続配線7 s gに達している。

[0300] ゲートバスライン接続部3 s gは、ゲートメタル層3に含まれ、ゲートバスラインG Lに接続されている。この例では、ゲートバスライン接続部3 s gは、ゲートバスラインG Lから延設され、ゲートバスラインG Lと一体的に形成されている。ゲートバスライン接続部3 s gの幅は、ゲートバスラインG Lの幅よりも大きくてもよい。

[0301] 層間絶縁層11に形成された開口部11 s g 1は、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4 s g 1に重なっている。ゲート絶縁層4に形成された開口部4 s g 1および層間絶縁層11に形成された開口部11 s g 1は、コンタクトホールC H__s g 1を構成する。

[0302] 層間絶縁層11に形成された開口部11 s g 2は、ゲートバスライン接続部3 s gに達している。層間絶縁層11に形成された開口部11 s g 2を、コンタクトホールC H__s g 2ということがある。

- [0303] ゲート上部接続部 19 s g は、導電層 19 に含まれる。ゲート上部接続部 19 s g は、層間絶縁層 11 上、コンタクトホール C H__s g 1 内およびコンタクトホール C H__s g 2 内に形成され、コンタクトホール C H__s g 1 内でゲート下部接続配線 7 s g と接続され、コンタクトホール C H__s g 2 内でゲートバスライン接続部 3 s g と接続されている。すなわち、ゲート上部接続部 19 s g は、ゲート絶縁層 4 に形成された開口部 4 s g 1 内でゲート下部接続配線 7 s g に接触し、層間絶縁層 11 に形成された開口部 11 s g 2 内でゲートバスライン接続部 3 s g に接触している。
- [0304] ゲート上部接続部 19 s g は、後述する各端子部の上部接続部と同じ導電膜から形成されている。これにより、T F T 基板 105 を、5 枚のフォトリソを用いて製造することができる。
- [0305] 導電層 19 は、例えば透明導電層（例えば I T O 層）を含む。導電層 19 は、例えば透明導電層のみから形成されていてもよい。あるいは、導電層 19 は、透明導電層を含む第 1 導電層と、第 1 導電層の下に形成された第 2 導電層とを含んでもよい。第 2 導電層は、例えば、T i 層、M o N b N i 層、M o N b 層、M o W 層、W 層および T a 層からなる群から選択される 1 つの層または 2 以上の層の積層から形成されている。
- [0306] 図示する例では、コンタクトホール C H__s g 2 は、コンタクトホール C H__s g 1 から離間した位置に形成されている。本実施形態はこれに限られず、コンタクトホール C H__s g 1 およびコンタクトホール C H__s g 2 は、連続していてもよい（すなわち、単一のコンタクトホールとして形成されていてもよい）。コンタクトホール C H__s g 1 およびコンタクトホール C H__s g 2 は、単一のコンタクトホールとして同じ工程で形成されてもよい。具体的には、ゲート下部接続配線 7 s g およびゲートバスライン接続部 3 s g に達する単一のコンタクトホールをゲート絶縁層 4 および第 1 絶縁層 11 に形成し、このコンタクトホール内および層間絶縁層 11 上にゲート上部接続部 19 s g を形成してもよい。
- [0307] ・ゲート端子部 G T

T F T基板105は、非送受信領域R2にゲート端子部GTを有する。ゲート端子部GTは、一般に、ゲートバスライン毎に設けられたゲートソース接続部SGに対応して設けられる。

[0308] ゲート端子部GTは、図21(b)および図22(c)に示すように、ゲート端子用下部接続部7gA(単に「下部接続部7gA」ということもある。)と、ゲート絶縁層4に形成された開口部4gと、層間絶縁層11に形成された開口部11gと、ゲート端子用上部接続部19gA(単に「上部接続部19gA」ということもある。)とを有している。

[0309] 下部接続部7gAは、ソースメタル層7に含まれる。下部接続部7gAは、ゲートソース接続部SGに形成されているゲート下部接続配線7sgと接続されている。この例では、下部接続部7gAは、ゲート下部接続配線7sgから延設され、ゲート下部接続配線7sgと一体的に形成されている。

[0310] ゲート絶縁層4に形成された開口部4gは、下部接続部7gAに達している。

[0311] 層間絶縁層11に形成された開口部11gは、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4gに重なっている。ゲート絶縁層4に形成された開口部4gおよび層間絶縁層11に形成された開口部11gは、コンタクトホールCH__gを構成する。

[0312] 上部接続部19gAは、導電層19に含まれる。上部接続部19gAは、層間絶縁層11上およびコンタクトホールCH__g内に形成され、コンタクトホールCH__g内で、下部接続部7gAと接続されている。すなわち、上部接続部19gAは、ゲート絶縁層4に形成された開口部4g内で、下部接続部7gAに接触している。

[0313] 誘電体基板1の法線方向から見たとき、上部接続部19gAの全ては、下部接続部7gAと重なっていてもよい。

[0314] ゲート端子部GTは、ゲートメタル層3に含まれる導電部を含まない。

[0315] ゲート端子部GTは、ソースメタル層7に含まれる下部接続部7gAを有するので、優れた信頼性を有する。端子部、特にシール領域Rsよりも外側

(液晶層と反対側)に設けられた端子部には、大気中の水分(不純物を含み得る。)によって腐食が生じることがある。大気中の水分は、下部接続部に達するコンタクトホールから侵入し、下部接続部に達し、下部接続部に腐食が起こり得る。腐食の発生を抑制する観点からは、下部接続部に達するコンタクトホールが深いことが好ましい。すなわち、コンタクトホールを構成する開口部が形成されている絶縁層の厚さが大きいことが好ましい。

[0316] TFT基板105のゲート端子部GTにおいて、下部接続部7gAはソースメタル層7に含まれているので、下部接続部7gAに達するコンタクトホールCH_gは、ゲート絶縁層4に形成された開口部4gおよび層間絶縁層11に形成された開口部11gを有する。コンタクトホールCH_gの深さは、ゲート絶縁層4の厚さおよび層間絶縁層11の厚さの和である。これに対して、例えば下部接続部がゲートメタル層3に含まれている場合、下部接続部に達するコンタクトホールは、層間絶縁層11に形成された開口部のみを有し、その深さは層間絶縁層11の厚さであり、コンタクトホールCH_gの深さよりも小さい。ここで、コンタクトホールの深さおよび絶縁層の厚さは、それぞれ、誘電体基板1の法線方向における深さおよび厚さをいう。他のコンタクトホールおよび絶縁層についても特に断らない限り同様である。このように、TFT基板105のゲート端子部GTは、下部接続部7gAがソースメタル層7に含まれているので、例えば下部接続部がゲートメタル層3に含まれている場合に比べて、優れた信頼性を有する。

[0317] 端子部の上部接続部の厚さが大きい(すなわち導電層19の厚さが大きい)と、下部接続部に腐食が生じることが抑制される。下部接続部に腐食が生じることを効果的に抑制するために、上述したように、導電層19は、透明導電層(例えばITO層)を含む第1導電層と、第1導電層の下に形成され、Ti層、MoNbNi層、MoNb層、MoW層、W層およびTa層からなる群から選択される1つの層または2以上の層の積層から形成されている第2導電層とを含む積層構造を有してもよい。下部接続部に腐食が生じることをより効果的に抑制するために、第2導電層の厚さを例えば100nm超

としてもよい。

[0318] ・ソース端子部 S T

ソース端子部 S T は、図 2 1 (c) および図 2 2 (d) に示すように、ゲート端子部 G T と同様の構成を有し得る。ソース端子部 S T は、一般に、ソースバスライン毎に設けられる。

[0319] ソース端子部 S T は、ソース端子用下部接続部 7 s A (単に「下部接続部 7 s A」ということもある。) と、ゲート絶縁層 4 に形成された開口部 4 s と、層間絶縁層 1 1 に形成された開口部 1 1 s と、ソース端子用上部接続部 1 9 s A (単に「上部接続部 1 9 s A」ということもある。) とを有している。

[0320] 下部接続部 7 s A は、ソースメタル層 7 に含まれ、ソースバスライン S L に接続されている。この例では、下部接続部 7 s A は、ソースバスライン S L から延設され、ソースバスライン S L と一体的に形成されている。

[0321] ゲート絶縁層 4 に形成された開口部 4 s は、下部接続部 7 s A に達している。

[0322] 層間絶縁層 1 1 に形成された開口部 1 1 s は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 s に重なっている。ゲート絶縁層 4 に形成された開口部 4 s および層間絶縁層 1 1 に形成された開口部 1 1 s は、コンタクトホール C H__s を構成する。

[0323] 上部接続部 1 9 s A は、導電層 1 9 に含まれる。上部接続部 1 9 s A は、層間絶縁層 1 1 上およびコンタクトホール C H__s 内に形成され、コンタクトホール C H__s 内で、下部接続部 7 s A と接続されている。すなわち、上部接続部 1 9 s A は、ゲート絶縁層 4 に形成された開口部 4 s 内で、下部接続部 7 s A に接触している。

[0324] 誘電体基板 1 の法線方向から見たとき、上部接続部 1 9 s A の全ては、下部接続部 7 s A と重なっていてもよい。

[0325] ソース端子部 S T は、ゲートメタル層 3 に含まれる導電部を含まない。

[0326] ソース端子部 S T は、ソースメタル層 7 に含まれる下部接続部 7 s A を有

するので、ゲート端子部G Tと同様に、優れた信頼性を有する。上述したように、ゲート端子部G Tの下部接続部をソースメタル層7で形成するために、各ゲート端子部G Tについて、ゲートメタル層3とソースメタル層7とを接続するゲートソース接続部S Gが設けられている。これに対して、ソース端子部S Tについては、このような接続部を設ける必要がない。

[0327] ・CS端子部C T、CSソース接続部S C

T F T基板105は、図21(b)に示すように、非送受信領域R2に、CS端子部C TおよびCSソース接続部S Cを有する。CSソース接続部S Cは、例えば、CSバスライン毎に設けられる。CS端子部C Tは、例えばCSバスライン毎に設けられたCSソース接続部S Cに対応して設けられている。CS端子部C Tは、断面構造の図示を省略するが、図21(b)に示すように、ゲート端子部G Tと同様の構成を有していてもよい。CSソース接続部S Cについても断面構造の図示を省略するが、CSソース接続部S Cは、この例ではゲートソース接続部S Gと同様の構成を有している。

[0328] 具体的には、CSソース接続部S Cは、CS下部接続配線7 s cと、ゲート絶縁層4に形成された開口部4 s c 1と、CSバスラインC Lに接続されたCSバスライン接続部3 s cと、層間絶縁層11に形成された開口部11 s c 1および開口部11 s c 2と、CS上部接続部19 s cとを有している。

[0329] CS下部接続配線7 s cは、ソースメタル層7に含まれ、ソースバスラインS Lとは電氣的に分離されている。

[0330] ゲート絶縁層4に形成された開口部4 s c 1は、CS下部接続配線7 s cに達している。

[0331] CSバスライン接続部3 s cは、ゲートメタル層3に含まれ、CSバスラインC Lに接続されている。この例では、CSバスライン接続部3 s cは、CSバスラインC Lから延設され、CSバスラインC Lと一体的に形成されている。CSバスライン接続部3 s cの幅は、CSバスラインC Lの幅より

も大きくてもよい。

- [0332] 層間絶縁層 11 に形成された開口部 11 s c 1 は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 s c 1 に重なっている。ゲート絶縁層 4 に形成された開口部 4 s c 1 および層間絶縁層 11 に形成された開口部 11 s c 1 は、コンタクトホール C H__s c 1 を構成する。
- [0333] 層間絶縁層 11 に形成された開口部 11 s c 2 は、C S バスライン接続部 3 s c に達している。層間絶縁層 11 に形成された開口部 11 s c 2 を、コンタクトホール C H__s c 2 ということがある。
- [0334] C S 上部接続部 19 s c は、導電層 19 に含まれる。C S 上部接続部 19 s c は、層間絶縁層 11 上、コンタクトホール C H__s c 1 内およびコンタクトホール C H__s c 2 内に形成され、コンタクトホール C H__s c 1 内で C S 下部接続配線 7 s c と接続され、コンタクトホール C H__s c 2 内で C S バスライン接続部 3 s c と接続されている。すなわち、C S 上部接続部 19 s c は、ゲート絶縁層 4 に形成された開口部 4 s c 1 内で C S 下部接続配線 7 s c に接触し、層間絶縁層 11 に形成された開口部 11 s c 2 内で C S バスライン接続部 3 s c に接触している。
- [0335] C S 上部接続部 19 s c は、各端子部の上部接続部と同じ導電膜から形成されている。これにより、T F T 基板 105 を、5 枚のフォトリソを用いて製造することができる。C S ソース接続部 S C を設けることによって、C S 端子部 C T の下部接続部をソースメタル層 7 で形成することができる。これにより、T F T 基板 105 の C S 端子部 C T は優れた信頼性を有する。
- [0336] C S 端子部 C T は、C S 端子用下部接続部 7 c（単に「下部接続部 7 c」ということもある。）と、ゲート絶縁層 4 に形成された開口部 4 c と、層間絶縁層 11 に形成された開口部 11 c と、C S 端子用上部接続部 19 c（単に「上部接続部 19 c」ということもある。）とを有している。
- [0337] 下部接続部 7 c は、ソースメタル層 7 に含まれる。下部接続部 7 c は、C S ソース接続部 S C に形成されている C S 下部接続配線 7 s c と接続されている。この例では、下部接続部 7 c は、C S 下部接続配線 7 s c から延設

されている。この例では、CS下部接続配線7scから延設された部分は、後述する第1トランスファ端子部PT1の下部接続部7p1A、第2トランスファ端子部PT2の下部接続部7p2、および、下部接続部7cを含んでいる。

[0338] ゲート絶縁層4に形成された開口部4cは、下部接続部7cに達している。

[0339] 層間絶縁層11に形成された開口部11cは、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4cに重なっている。ゲート絶縁層4に形成された開口部4cおよび層間絶縁層11に形成された開口部11cは、コンタクトホールCH__cを構成する。

[0340] 上部接続部19cは、導電層19に含まれる。上部接続部19cは、層間絶縁層11上およびコンタクトホールCH__c内に形成され、コンタクトホールCH__c内で、下部接続部7cと接続されている。すなわち、上部接続部19cは、ゲート絶縁層4に形成された開口部4c内で、下部接続部7cに接触している。

[0341] 誘電体基板1の法線方向から見たとき、上部接続部19cの全ては、下部接続部7cと重なっていてもよい。

[0342] CS端子部CTは、ゲートメタル層3に含まれる導電部を含まない。

[0343] CS端子部CTは、ソースメタル層7に含まれる下部接続部7cを有するので、ゲート端子部GTと同様に、優れた信頼性を有する。

[0344] 図示する例では、ゲートソース接続部SGおよびCSソース接続部SCは、シール領域Rsの内側（液晶層側）に設けられている。本実施形態はこれに限られず、ゲートソース接続部SGおよび／またはCSソース接続部SCは、シール領域Rsの外側（液晶層と反対側）に設けられていてもよい。

[0345] ・トランスファ端子部PT

第1トランスファ端子部PT1は、図21(b)および図23(a)に示すように、第1トランスファ端子用下部接続部7p1A（単に「下部接

続部 7 p 1 A」ということもある。)と、ゲート絶縁層 4 に形成された開口部 4 p 1 A と、層間絶縁層 1 1 に形成された開口部 1 1 p 1 A と、第 1 トランスファア端子用上部接続部 1 9 p 1 A (単に「上部接続部 1 9 p 1 A」ということもある。)とを有している。

[0346] 下部接続部 7 p 1 A は、ソースメタル層 7 に含まれる。下部接続部 7 p 1 A は、ソースバスライン S L とは電氣的に分離されている。下部接続部 7 p 1 A は、C S バスライン C L に電氣的に接続されている。この例では、下部接続部 7 p 1 A は、C S -ソース接続部 S C に形成されている C S 下部接続配線 7 s c と一体的に形成されている。

[0347] ゲート絶縁層 4 に形成された開口部 4 p 1 A は、下部接続部 7 p 1 A に達している。

[0348] 層間絶縁層 1 1 に形成された開口部 1 1 p 1 A は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 p 1 A に重なっている。ゲート絶縁層 4 に形成された開口部 4 p 1 A および層間絶縁層 1 1 に形成された開口部 1 1 p 1 A は、コンタクトホール C H__p 1 A を構成する。

[0349] 上部接続部 1 9 p 1 A は、導電層 1 9 に含まれる。上部接続部 1 9 p 1 A は、層間絶縁層 1 1 上およびコンタクトホール C H__p 1 A 内に形成され、コンタクトホール C H__p 1 A 内で、下部接続部 7 p 1 A と接続されている。すなわち、上部接続部 1 9 p 1 A は、ゲート絶縁層 4 に形成された開口部 4 p 1 A 内で、下部接続部 7 p 1 A に接触している。上部接続部 1 9 p 1 A は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファア端子用接続部と接続される (図 7 参照)。

[0350] 第 1 トランスファア端子部 P T 1 は、この例では、ゲートメタル層 3 に含まれる導電部を有しない。

[0351] 第 1 トランスファア端子部 P T 1 は、ソースメタル層 7 に含まれる下部接続部 7 p 1 A を有するので、ゲート端子部 G T と同様に、優れた信頼性を有する。

[0352] この例では、ゲート絶縁層 4 に形成された開口部 4 p 1 A は、下部接続部

7 p 1 Aの一部のみを露出するように形成されている。誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 p 1 A は、下部接続部 7 p 1 A の内側にある。従って、開口部 4 p 1 A 内の全ての領域は、誘電体基板 1 上に下部接続部 7 p 1 A および上部接続部 1 9 p 1 A を有する積層構造を有する。第 1 トランスファー端子部 P T 1 において、下部接続部 7 p 1 A を有しない領域の全ては、ゲート絶縁層 4 および層間絶縁層 1 1 を有する積層構造を有する。これにより、T F T 基板 1 0 5 の第 1 トランスファー端子部 P T 1 は優れた信頼性を有する。優れた信頼性を有するという効果を得る観点からは、ゲート絶縁層 4 および／または層間絶縁層 1 1 の厚さは大きいことが好ましい。

[0353] 下部接続部 7 p 1 A の内、開口部 4 p 1 A 内にある部分は、上部接続部 1 9 p 1 A で覆われている。

[0354] 誘電体基板 1 の法線方向から見たとき、上部接続部 1 9 p 1 A の全ては、下部接続部 7 p 1 A と重なっていてもよい。

[0355] この例では、下部接続部 7 p 1 A は、互いに隣接する 2 つのゲートバスライン G L の間に配置されている。ゲートバスライン G L を挟んで配置された 2 つの下部接続部 7 p 1 A は、導電接続部（不図示）を介して電氣的に接続されていてもよい。導電接続部は、ゲートメタル層 3 から形成されていてもよい。

[0356] なお、ここでは、下部接続部 7 p 1 A は、1 つのコンタクトホール C H __ p 1 A によって上部接続部 1 9 p 1 A と接続されているが、1 つの下部接続部 7 p 1 A に対して複数のコンタクトホールが設けられていてもよい。

[0357] 第 2 トランスファー端子部 P T 2 は、シール領域 R s の外側（送受信領域 R 1 と反対側）に設けられている。第 2 トランスファー端子部 P T 2 は、図 2 2 (e) に示すように、図 2 3 (a) に示す第 1 トランスファー端子部 P T 1 と同様の断面構造を有している。すなわち、第 2 トランスファー端子部 P T 2 は、図 2 2 (e) に示すように、第 2 トランスファー端子用下部接続部 7 p 2 （単に「下部接続部 7 p 2 」ということもある。）と、ゲート絶縁

層 4 に形成された開口部 4 p 2 と、層間絶縁層 1 1 に形成された開口部 1 1 p 2 と、第 2 トランスファァー端子用上部接続部 1 9 p 2（単に「上部接続部 1 9 p 2」ということもある。）とを有している。

[0358] 下部接続部 7 p 2 は、ソースメタル層 7 に含まれる。下部接続部 7 p 2 は、ソースバスライン S L とは電氣的に分離されている。下部接続部 7 p 2 は、C S バスライン C L に電氣的に接続されている。この例では、下部接続部 7 p 2 は、C S - ソース接続部 S C に形成されている C S 下部接続配線 7 s c から延設された第 1 トランスファァー端子用下部接続部 7 p 1 A から延設され、下部接続部 7 p 1 A と一体的に形成されている。

[0359] ゲート絶縁層 4 に形成された開口部 4 p 2 は、下部接続部 7 p 2 に達している。

[0360] 層間絶縁層 1 1 に形成された開口部 1 1 p 2 は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 p 2 に重なっている。ゲート絶縁層 4 に形成された開口部 4 p 2 および層間絶縁層 1 1 に形成された開口部 1 1 p 2 は、コンタクトホール C H __ p 2 を構成する。

[0361] 上部接続部 1 9 p 2 は、導電層 1 9 に含まれる。上部接続部 1 9 p 2 は、層間絶縁層 1 1 上およびコンタクトホール C H __ p 2 内に形成され、コンタクトホール C H __ p 2 内で、下部接続部 7 p 2 と接続されている。すなわち、上部接続部 1 9 p 2 は、ゲート絶縁層 4 に形成された開口部 4 p 2 内で、下部接続部 7 p 2 に接触している。

[0362] この例では、第 2 トランスファァー端子部 P T 2 は、ゲートメタル層 3 に含まれる導電部を有しない。

[0363] 第 2 トランスファァー端子部 P T 2 は、ソースメタル層 7 に含まれる下部接続部 7 p 2 を有するので、ゲート端子部 G T と同様に、優れた信頼性を有する。

[0364] 第 2 トランスファァー端子部 P T 2 においても、上部接続部 1 9 p 2 は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファァー端子用接続部と接続されていてもよい。

[0365] ・ T F T 基板 1 0 5 の製造方法

図 2 4 (a) ~ (e) 、 図 2 5 (a) ~ (c) 、 および図 2 6 (a) ~ (c) を参照しながら、 T F T 基板 1 0 5 の製造方法を説明する。

[0366] 図 2 4 (a) ~ (e) 、 図 2 5 (a) ~ (c) 、 および図 2 6 (a) ~ (c) は、 T F T 基板 1 0 5 の製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図 2 2 (a) ~ (c) および図 2 3 (a) に対応する断面を示している。なお、図 2 2 (d) 、 図 2 2 (e) および図 2 3 (b) に対応する断面については、図示を省略するが、図 2 2 (c) に対応する断面と同様の方法で形成される。各層の材料、厚さ、形成方法などは、図 5 を参照しながら前述した方法と同様であれば適宜説明を省略することもある。

[0367] 上述のように、本実施形態では、 T F T 基板 1 0 5 は、誘電体基板 1 上に、ソースメタル層 7 、ゲート絶縁層 4 、ゲートメタル層 3 、層間絶縁層 1 1 および導電層 1 9 をこの順で有している。

[0368] ソースメタル層 7 は、 T F T 1 0 のソース電極 7 S およびドレイン電極 7 D 、パッチ電極 7 P E 、ソースバスライン S L 、下部補助容量電極 7 C 、各端子部の下部接続部 7 g A 、 7 s A 、 7 c 、 7 p 1 A および 7 p 2 、ゲートーソース接続部 S G のゲート下部接続配線 7 s g 、ならびに、 C S - ソース接続部 S C の C S 下部接続配線 7 s c を含む。

[0369] ゲートメタル層 3 は、 T F T 1 0 のゲート電極 3 G 、ゲートバスライン G L 、 C S バスライン C L 、上部補助容量電極 3 C 、ゲートーソース接続部 S G のゲートバスライン接続部 3 s g 、および、 C S - ソース接続部 S C の C S バスライン接続部 3 s c を含む。

[0370] 導電層 1 9 は、アンテナ単位領域のパッチ導電部 1 9 a 、各端子部の上部接続部 1 9 g A 、 1 9 s A 、 1 9 c 、 1 9 p 1 A および 1 9 p 2 、ゲートーソース接続部 S G におけるゲート上部接続部 1 9 s g 、ならびに、 C S - ソース接続部 S C における C S 上部接続部 1 9 s c を含む。

[0371] まず、図 2 4 (a) に示すように、誘電体基板 1 上に、下地絶縁層 2 0 、真性アモルファスシリコン膜 5 ' および n + 型アモルファスシリコン膜 6 ' をこ

の順で形成する。ここでは、下地絶縁層 20 として、例えば厚さ 200 nm の窒化珪素 ($\text{Si} \times \text{N}_y$) 膜を形成する。さらに、例えば厚さ 120 nm の真性アモルファスシリコン膜 5' および例えば厚さ 30 nm の n^+ 型アモルファスシリコン膜 6' を形成する。

[0372] 次いで、真性アモルファスシリコン膜 5' および n^+ 型アモルファスシリコン膜 6' をパターニングすることにより、図 24 (b) に示すように、島状の半導体層 5 およびコンタクト層 6 を得る。なお、半導体層 5 に用いる半導体膜はアモルファスシリコン膜に限定されない。

[0373] 次いで、図 24 (c) に示すように、下地絶縁層 20 上およびコンタクト層 6 上にソース用導電膜 7' を形成する。ここでは、ソース用導電膜 7' として、Ti (厚さ: 例えば 20 nm) および Cu (厚さ: 例えば 500 nm) をこの順で積層した積層膜 (Cu/Ti) を形成する。

[0374] 次いで、ソース用導電膜 7' をパターニングすることによって、図 24 (d) に示すように、ソースメタル層 7 を得る。具体的には、ソース電極 7S およびドレイン電極 7D と、ドレイン電極 7D に接続されたパッチ電極 7PE と、ソース電極 7S に接続されたソースバスライン SL と、ドレイン電極 7D に接続された下部補助容量電極 7C と、各端子部形成領域の下部接続部 7gA、7sA、7c、7p1A および 7p2 と、ゲートソース接続部形成領域のゲート下部接続配線 7sg と、CS-ソース接続部形成領域の CS 下部接続配線 7sc とを形成する。このとき、コンタクト層 6 もエッチングされ、互いに分離されたソースコンタクト層 6S とドレインコンタクト層 6D とが形成される。ここでは、ソース用導電膜 7' のパターニングは、ウェットエッチングおよびドライエッチングによって行う。例えば混酸水溶液を用いて、ウェットエッチングで Cu 膜をパターニングした後、ドライエッチングで Ti 膜およびコンタクト層 (n^+ 型アモルファスシリコン層) 6 を同時にパターニングしてもよい。

[0375] 次に、図 24 (e) に示すように、ソースメタル層 7 および下地絶縁層 20 を覆うように第 1 絶縁膜 4 を形成する。簡単のために、ゲート絶縁層 4 と

第1絶縁膜4とを同じ参照符号で示す。この例では、第1絶縁膜4は、半導体層5のチャネル領域と接するように配置される。ここでは、第1絶縁膜4として、例えば厚さ350nmの窒化珪素(Si_xN_y)膜を形成する。

[0376] 次いで、図25(a)に示すように、第1絶縁膜4上にゲート用導電膜3'を形成する。ここでは、ゲート用導電膜3'として、Al膜(厚さ:例えば150nm)およびMoN膜(厚さ:例えば100nm)をこの順で積層した積層膜(MoN/Al)を形成する。

[0377] 次いで、ゲート用導電膜3'をパターニングすることにより、図25(b)に示すように、ゲートメタル層3を得る。具体的には、第1絶縁膜4を介して半導体層5と対向する部分を含むゲート電極3Gと、ゲート電極3Gに接続されたゲートバスラインGLと、第1絶縁膜4を介して下部補助容量電極7Cと対向する部分を含む上部補助容量電極3Cと、上部補助容量電極3Cに接続されたCSバスラインCLと、ゲートソース接続部形成領域のゲートバスライン接続部3sgと、CSソース接続部形成領域のCSバスライン接続部3scとを形成する。ここでは、ゲート用導電膜3'のパターニングは、ウェットエッチングによって行う。このようにして、TFET10が得られる。

[0378] ここでは、ゲートソース接続部形成領域において、ゲート下部接続配線7sgの少なくとも一部は、ゲートバスライン接続部3sgと重ならないように形成されている。CSソース接続部形成領域において、CS下部接続配線7scの少なくとも一部は、CSバスライン接続部3scと重ならないように形成されている。アンテナ単位形成領域において、ゲートメタル層3は、パッチ電極7PEと重ならないように形成されている。また、各端子部形成領域は、ゲートメタル層3に含まれる導電部を有しない。

[0379] 次に、図25(c)に示すように、TFET10およびゲートメタル層3を覆うように第2絶縁膜11を形成する。簡単のために、層間絶縁層11と第2絶縁膜11とを同じ参照符号で示す。ここでは、第2絶縁膜11として、例えば厚さ300nmの窒化珪素(Si_xN_y)膜を形成する。

[0380] 次いで、公知のフォトリソグラフィプロセスによって、第2絶縁膜11および第1絶縁膜4のエッチングを行うことにより、図26(a)に示すように、層間絶縁層11およびゲート絶縁層4を得る。具体的には、アンテナ単位形成領域においてパッチ電極7PEに達するコンタクトホールCH__aと、ゲート端子部形成領域において下部接続部7gAに達するコンタクトホールCH__gと、ソース端子部形成領域において下部接続部7sAに達するコンタクトホールCH__sと、CS端子部形成領域において下部接続部7cに達するコンタクトホールCH__cと、第1トランスファー端子部形成領域において下部接続部7p1Aに達するコンタクトホールCH__p1Aと、第2トランスファー端子部形成領域において下部接続部7p2に達するコンタクトホールCH__p2と、ゲートソース接続部形成領域においてゲート下部接続配線7sgに達するコンタクトホールCH__sg1およびゲートバスライン接続部3sgに達するコンタクトホールCH__sg2（開口部11sg2）と、CSソース接続部形成領域においてCS下部接続配線7scに達するコンタクトホールCH__sc1およびCSバスライン接続部3scに達するコンタクトホールCH__sc2（開口部11sc2）とを形成する。

[0381] このエッチング工程では、ゲートメタル層3をエッチストップとして第2絶縁膜11および第1絶縁膜4のエッチングが行われる。例えばゲートソース接続部形成領域では、コンタクトホールCH__sg1形成領域においては第2絶縁膜11および第1絶縁膜4が一括してエッチングされるとともに、コンタクトホールCH__sg2（開口部11sg2）形成領域においてはゲートバスライン接続部3sgがエッチストップとして機能することにより第2絶縁膜11のみがエッチングされる。これにより、コンタクトホールCH__sg1およびコンタクトホールCH__sg2（開口部11sg2）が得られる。コンタクトホールCH__sg1は、ゲート絶縁層4に形成され、ゲート下部接続配線7sgに達する開口部4sg1と、層間絶縁層11に形成され、開口部4sg1に重なる開口部11sg1とを有する。ここで、ゲート下部接続配線7sgの少なくとも一部は、ゲートバスライン接続部3sg

と重ならないように形成されているので、開口部 4 s g 1 と開口部 1 1 s g 1 とを有するコンタクトホール C H__ s g 1 が形成される。コンタクトホール C H__ s g 1 の側面において、開口部 4 s g 1 の側面と開口部 1 1 s g 1 の側面とが整合していてもよい。

[0382] 第 2 絶縁膜 1 1 および第 1 絶縁膜 4 は、例えば、同一のエッチャントを用いて一括してエッチングされる。ここでは、フッ素系ガスを用いたドライエッチングによって第 2 絶縁膜 1 1 および第 1 絶縁膜 4 をエッチングする。第 2 絶縁膜 1 1 および第 1 絶縁膜 4 は、異なるエッチャントを用いてエッチングされてもよい。

[0383] このように、形成されるコンタクトホールのうち、層間絶縁層 1 1 に形成された開口部とゲート絶縁層 4 に形成された開口部とを有するコンタクトホールにおいて、層間絶縁層 1 1 に形成された開口部の側面とゲート絶縁層 4 に形成された開口部の側面とは整合し得る。

[0384] C S ソース接続部形成領域では、コンタクトホール C H__ s c 1 形成領域においては第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされるとともに、コンタクトホール C H__ s c 2 (開口部 1 1 s c 2) 形成領域においては C S バスライン接続部 3 s c がエッチストップとして機能することにより第 2 絶縁膜 1 1 のみがエッチングされる。これにより、コンタクトホール C H__ s c 1 およびコンタクトホール C H__ s c 2 (開口部 1 1 s c 2) が得られる。コンタクトホール C H__ s c 1 は、ゲート絶縁層 4 に形成され、C S 下部接続配線 7 s c に達する開口部 4 s c 1 と、層間絶縁層 1 1 に形成され、開口部 4 s c 1 に重なる開口部 1 1 s c 1 とを有する。ここで、C S 下部接続配線 7 s c の少なくとも一部は、C S バスライン接続部 3 s c と重ならないように形成されているので、開口部 4 s c 1 と開口部 1 1 s c 1 とを有するコンタクトホール C H__ s c 1 が形成される。コンタクトホール C H__ s c 1 の側面において、開口部 4 s c 1 の側面と開口部 1 1 s c 1 の側面とが整合していてもよい。

[0385] アンテナ単位形成領域においては、誘電体基板 1 の法線方向から見たとき

、パッチ電極 7 P E と重ならないようにゲートメタル層 3 が形成されているので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール C H__a が形成される。コンタクトホール C H__a は、ゲート絶縁層 4 に形成され、パッチ電極 7 P E に達する開口部 4 a と、層間絶縁層 1 1 に形成され、開口部 4 a に重なる開口部 1 1 a とを有する。コンタクトホール C H__a の側面において、開口部 4 a の側面と開口部 1 1 a の側面とが整合していてもよい。

[0386] 各端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされる。

[0387] ゲート端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール C H__g が形成される。コンタクトホール C H__g は、ゲート絶縁層 4 に形成され、下部接続部 7 g A に達する開口部 4 g と、層間絶縁層 1 1 に形成され、開口部 4 g に重なる開口部 1 1 g とを有する。コンタクトホール C H__g の側面において、開口部 4 g の側面と開口部 1 1 g の側面とが整合していてもよい。

[0388] ソース端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール C H__s が形成される。コンタクトホール C H__s は、ゲート絶縁層 4 に形成され、下部接続部 7 s A に達する開口部 4 s と、層間絶縁層 1 1 に形成され、開口部 4 s に重なる開口部 1 1 s とを有する。コンタクトホール C H__s の側面において、開口部 4 s の側面と開口部 1 1 s の側面とが整合していてもよい。

[0389] C S 端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール C H__c が形成される。コンタクトホール C H__c は、ゲート絶縁層 4 に形成され、下部接続部 7 c に達する

開口部 4 c と、層間絶縁層 1 1 に形成され、開口部 4 c に重なる開口部 1 1 c とを有する。コンタクトホール CH__c の側面において、開口部 4 c の側面と開口部 1 1 c の側面とが整合していてもよい。

[0390] 第 1 トランスファー端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール CH__p 1 A が形成される。コンタクトホール CH__p 1 A は、ゲート絶縁層 4 に形成され、下部接続部 7 p 1 A に達する開口部 4 p 1 A と、層間絶縁層 1 1 に形成され、開口部 4 p 1 A に重なる開口部 1 1 p 1 A とを有する。コンタクトホール CH__p 1 A の側面において、開口部 4 p 1 A の側面と開口部 1 1 p 1 A の側面とが整合していてもよい。

[0391] 第 2 トランスファー端子部形成領域においては、ゲートメタル層 3 に含まれる導電部が形成されていないので、第 2 絶縁膜 1 1 および第 1 絶縁膜 4 が一括してエッチングされることによってコンタクトホール CH__p 2 が形成される。コンタクトホール CH__p 2 は、ゲート絶縁層 4 に形成され、下部接続部 7 p 2 に達する開口部 4 p 2 と、層間絶縁層 1 1 に形成され、開口部 4 p 2 に重なる開口部 1 1 p 2 とを有する。コンタクトホール CH__p 2 の側面において、開口部 4 p 2 の側面と開口部 1 1 p 2 の側面とが整合していてもよい。

[0392] 次いで、図 2 6 (b) に示すように、層間絶縁層 1 1 上、コンタクトホール CH__a 内、コンタクトホール CH__g 内、コンタクトホール CH__s 内、コンタクトホール CH__c 内、コンタクトホール CH__p 1 A 内、コンタクトホール CH__p 2 内、コンタクトホール CH__s g 1 内、コンタクトホール CH__s g 2 内、コンタクトホール CH__s c 1 内、およびコンタクトホール CH__s c 2 内に、例えばスパッタ法により導電膜 1 9' を形成する。導電膜 1 9' は、例えば透明導電膜を含む。ここでは、導電膜 1 9' として、例えば厚さ 7 0 n m の I T O 膜を用いる。あるいは、導電膜 1 9' として、T i (厚さ：例えば 5 0 n m) および I T O (厚さ：例えば 7 0 n m) をこの

順で積層した積層膜（ITO／Ti）を用いてもよい。Ti膜に代えて、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜を用いてもよい。すなわち、導電膜19'として、Ti膜、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜と、ITO膜とをこの順で積層した積層膜を用いてもよい。

[0393] 次いで、導電膜19'をパターニングすることにより、図26(c)に示すように、導電層19を得る。これにより、アンテナ単位領域U、ゲート端子部GT、ソース端子部ST、CS端子部CT、第1トランスファー端子部PT1、第2トランスファー端子部PT2、ゲートーソース接続部SG、および、CSーソース接続部SCが得られる。

[0394] 具体的には、アンテナ単位領域UにおいてコンタクトホールCH__a内でパッチ電極7PEと接触するパッチ導電部19aと、ゲート端子部GTにおいてコンタクトホールCH__g内で下部接続部7gAと接触する上部接続部19gAと、ソース端子部STにおいてコンタクトホールCH__s内で下部接続部7sAと接触する上部接続部19sAと、CS端子部CTにおいてコンタクトホールCH__c内で下部接続部7cと接触する上部接続部19cと、第1トランスファー端子部PT1においてコンタクトホールCH__p1A内で下部接続部7p1Aと接触する上部接続部19p1Aと、第2トランスファー端子部PT2においてコンタクトホールCH__p2内で下部接続部7p2と接触する上部接続部19p2と、ゲートーソース接続部SGにおいてコンタクトホールCH__sg1内でゲート下部接続配線7sgと接触し、コンタクトホールCH__sg2（開口部11sg2）内でゲートバスライン接続部3sgと接触するゲート上部接続部19sgと、CSーソース接続部SCにおいてコンタクトホールCH__sc1内でCS下部接続配線7scと接触し、コンタクトホールCH__sc2（開口部11sc2）内でCSバスライン接続部3scと接触するCS上部接続部19scとを形成する。アンテナ単位領域Uにおいて、パッチ導電部19aは、パッチ電極7PEの内、コ

ンタクトホールCH__aによって露出されている部分を覆うように形成されることが好ましい。各端子部において、上部接続部は、下部接続部の内、コンタクトホールによって露出されている部分を覆うように形成されることが好ましい。ゲートソース接続部SGにおいて、ゲート上部接続部19sgは、ゲート下部接続配線7sgの内、コンタクトホールCH__sg1によって露出されている部分を覆い、ゲートバスライン接続部3sgの内、コンタクトホールCH__sg2によって露出されている部分を覆うように形成されることが好ましい。CSソース接続部SCにおいて、CS上部接続部19scは、CS下部接続配線7scの内、コンタクトホールCH__sc1によって露出されている部分を覆い、CSバスライン接続部3scの内、コンタクトホールCH__sc2によって露出されている部分を覆うように形成されることが好ましい。

[0395] このようにして、TF T基板105が製造される。

[0396] 上述したように、上記のTF T基板105の製造方法では、ゲート金属層3をエッチストップとして第2絶縁膜11および第1絶縁膜4のエッチングが行われる。これにより、TF T基板105は5枚のフォトマスクを用いて製造することができる。

[0397] ・変形例1

以下、図27～図29を参照しながら、本実施形態の変形例1のTF T基板を説明する。

[0398] 図27(a)～(c)は、本実施形態の変形例1のTF T基板106を例示する模式的な平面図である。

[0399] 図27(a)は、送受信領域R1のアンテナ単位領域Uを示し、図27(b)は、非送受信領域R2に設けられたゲート端子部GT、CS端子部CT、トランスファー端子部PT、ゲートソース接続部SG、および、CSソース接続部SCを示し、図27(c)は、非送受信領域R2に設けられたソース端子部STを示している。

[0400] 図28(a)～(e)および図29(a)～(c)は、それぞれ、TF T

基板 106 の模式的な断面図である。図 28 (a) は、図 27 (a) 中の A-A' 線に沿ったアンテナ単位領域 U の断面を示し、図 28 (b) は、図 27 (b) 中の B-B' 線に沿ったゲートソース接続部 SG の断面を示し、図 28 (c) は、図 27 (b) 中の C-C' 線に沿ったゲート端子部 GT の断面を示し、図 28 (d) は、図 27 (c) 中の D-D' 線に沿ったソース端子部 ST の断面を示し、図 28 (e) は、図 27 (b) 中の E-E' 線に沿った第 2 トランスファー端子部 PT2 の断面を示し、図 29 (a) は、図 27 (b) 中の F-F' 線に沿った第 1 トランスファー端子部 PT1 の断面を示し、図 29 (b) は、図 27 (b) 中の G-G' 線に沿ったゲートソース接続部 SG の断面を示し、図 29 (c) は、図 27 (b) 中の H-H' 線に沿ったゲートソース接続部 SG の断面を示している。

[0401] TFT 基板 106 は、第 1 トランスファー端子部 PT1 において、TFT 基板 105 と異なる構造を有する。以下では、TFT 基板 105 と異なる点を主に説明する。

[0402] 図 21 (b) および図 23 (a) を参照して説明したように、TFT 基板 105 の第 1 トランスファー端子部 PT1 においては、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4p1A は、下部接続部 7p1A の内側にある。

[0403] これに対して、TFT 基板 106 の第 1 トランスファー端子部 PT1 においては、図 27 (b) および図 29 (a) に示すように、上部接続部 19p1B は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4p1B 内において、下部接続部 7p1B と重ならない部分を含む。

[0404] TFT 基板 106 の第 1 トランスファー端子部 PT1 は、図 27 (b) および図 29 (a) に示すように、第 1 トランスファー端子用下部接続部 7p1B (単に「下部接続部 7p1B」ということもある。) と、ゲート絶縁層 4 に形成された開口部 4p1B と、層間絶縁層 11 に形成された開口部 11p1B と、第 1 トランスファー端子用上部接続部 19p1B (単に「上部接

続部 1 9 p 1 B」ということもある。)とを有している。

- [0405] 下部接続部 7 p 1 B は、ソースメタル層 7 に含まれる。下部接続部 7 p 1 B は、ソースバスライン S L とは電氣的に分離されている。下部接続部 7 p 1 B は、C S バスライン C L に電氣的に接続されている。この例では、下部接続部 7 p 1 B は、C S - ソース接続部 S C に形成されている C S 下部接続配線 7 s c と一体的に形成されている。
- [0406] ゲート絶縁層 4 に形成された開口部 4 p 1 B は、下部接続部 7 p 1 B に達している。
- [0407] 層間絶縁層 1 1 に形成された開口部 1 1 p 1 B は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 p 1 B に重なっている。ゲート絶縁層 4 に形成された開口部 4 p 1 B および層間絶縁層 1 1 に形成された開口部 1 1 p 1 B は、コンタクトホール C H __ p 1 B を構成する。
- [0408] 上部接続部 1 9 p 1 B は、導電層 1 9 に含まれる。上部接続部 1 9 p 1 B は、層間絶縁層 1 1 上およびコンタクトホール C H __ p 1 B 内に形成され、コンタクトホール C H __ p 1 B 内で、下部接続部 7 p 1 B と接続されている。すなわち、上部接続部 1 9 p 1 B は、ゲート絶縁層 4 に形成された開口部 4 p 1 B 内で、下部接続部 7 p 1 B に接触している。
- [0409] 第 1 トランスファァ端子部 P T 1 は、この例では、ゲートメタル層 3 に含まれる導電部を有しない。
- [0410] この例では、下部接続部 7 p 1 B の内、開口部 4 p 1 B 内にある部分は、上部接続部 1 9 p 1 B で覆われている。
- [0411] このような構成を有する T F T 基板 1 0 6 においても、T F T 基板 1 0 5 と同様の効果を得ることができる。
- [0412] T F T 基板 1 0 6 においては、下部接続部 7 p 1 B のうち、開口部 4 p 1 B 内で上部接続部 1 9 p 1 B と重なっている部分の面積が T F T 基板 1 0 5 に比べて大きい。既に述べたように、上部接続部 1 9 p 1 B は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファァ端子用接続部と接続される(例えば図 7 参照)。T F T 基板 1 0 6 においては、T F

T基板105に比べて、導電性粒子と上部接続部19p1Bとの接触が安定しやすい。TF T基板106は、TF T基板105に比べて液晶層の厚さ（セルギャップ）を制御しやすいという利点を有する。

[0413] なお、TF T基板106は、第1トランスファー端子部PT1の信頼性の観点からはTF T基板105に劣ることがある。TF T基板105においては、開口部4p1A内の全ての領域は、誘電体基板1上に下部接続部7p1Aおよび上部接続部19p1Aを有する積層構造を有する。第1トランスファー端子部PT1において、下部接続部7p1Aを有しない領域の全ては、ゲート絶縁層4および層間絶縁層11を有する積層構造を有する。これに対して、TF T基板106においては、開口部4p1B内に、誘電体基板1上に上部接続部19p1Bのみを有し、下部接続部7p1Bを含まない積層構造を有する領域を含む。TF T基板106の第1トランスファー端子部PT1は、下部接続部7p1B、ゲート絶縁層4および層間絶縁層11のいずれも含まない積層構造を有する領域を含む。これにより、信頼性に劣ることがある。

[0414] 図30(a)～(c)を参照して、TF T基板106の製造方法を説明する。図30(a)～(c)は、TF T基板106の製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図28(a)～(c)および図29(a)に対応する断面を示している。以下では、TF T基板105の製造方法と異なる点を主に説明する。

[0415] TF T基板106の製造方法は、第1トランスファー端子部PT1を除いて、図24～図26を参照して説明したTF T基板105の製造方法と同様である。

[0416] まず、図24(a)～(e)および図25(a)～(c)を参照して説明したのと同様に、下地絶縁層20、島状の半導体層5、コンタクト層6S、6D、ソースメタル層7、第1絶縁膜4、ゲートメタル層3、および第2絶縁膜11を形成する。ただし、ここでは、ソースメタル層7は、第1トランスファー端子部形成領域において、下部接続部7p1Bを含む。

[0417] 続いて、公知のフォトリソグラフィプロセスによって、第2絶縁膜11および第1絶縁膜4のエッチングを行うことにより、図30(a)に示すように、層間絶縁層11およびゲート絶縁層4を得る。この工程は、図26(a)を参照して説明した工程と同様に行われる。ここでは、第1トランスファー端子部形成領域において下部接続部7p1Bに達するコンタクトホールCH__p1Bが形成される。このとき、誘電体基板1の法線方向から見たとき、コンタクトホールCH__p1B内の領域の一部は、下部接続部7p1Bと重ならないように形成される。すなわち、ゲート絶縁層4に形成される開口部4p1Bは、誘電体基板1の法線方向から見たとき、開口部4p1B内の領域の一部が下部接続部7p1Bと重ならないように形成される。

[0418] 次いで、図30(b)に示すように、層間絶縁層11上、コンタクトホールCH__g内、コンタクトホールCH__s内、コンタクトホールCH__c内、コンタクトホールCH__p1B内、コンタクトホールCH__p2内、コンタクトホールCH__sg1内、コンタクトホールCH__sg2内、コンタクトホールCH__sc1内、およびコンタクトホールCH__sc2内に、導電膜19'を形成する。この工程は、図26(b)を参照して説明した工程と同様に行われる。

[0419] 次いで、導電膜19'をパターニングすることにより、図30(c)に示すように導電層19を得る。この工程は、図26(c)を参照して説明した工程と同様に行われる。ここでは、導電層19は、第1トランスファー端子部形成領域において、上部接続部19p1Bを含む。上部接続部19p1Bは、第1トランスファー端子部PT1においてコンタクトホールCH__p1B内で下部接続部7p1Bと接触する。

[0420] このようにして、TF T基板106が製造される。

[0421] ・変形例2

以下、図31～図33を参照しながら、本実施形態の変形例2のTF T基板を説明する。

[0422] 図31(a)～(c)は、本実施形態の変形例2のTF T基板107を例

示する模式的な平面図である。

[0423] 図31(a)は、送受信領域R1のアンテナ単位領域Uを示し、図31(b)は、非送受信領域R2に設けられたゲート端子部GT、CS端子部CT、トランスファー端子部PT、ゲートソース接続部SG、および、CSソース接続部SCを示し、図31(c)は、非送受信領域R2に設けられたソース端子部STを示している。

[0424] 図32(a)～(e)および図33(a)～(c)は、それぞれ、TF T基板107の模式的な断面図である。図32(a)は、図31(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図32(b)は、図31(b)中のB-B'線に沿ったゲートソース接続部SGの断面を示し、図32(c)は、図31(b)中のC-C'線に沿ったゲート端子部GTの断面を示し、図32(d)は、図31(c)中のD-D'線に沿ったソース端子部STの断面を示し、図32(e)は、図31(b)中のE-E'線に沿った第2トランスファー端子部PT2の断面を示し、図33(a)は、図31(b)中のF-F'線に沿った第1トランスファー端子部PT1の断面を示し、図33(b)は、図31(b)中のG-G'線に沿ったゲートソース接続部SGの断面を示し、図33(c)は、図31(b)中のH-H'線に沿ったゲートソース接続部SGの断面を示している。

[0425] TF T基板107は、TF T10の半導体層5として酸化物半導体層を用いる点において、TF T基板105と異なる。以下では、TF T基板105と異なる点を主に説明する。

[0426] TF T基板105においては、TF T10の半導体層5としてアモルファスシリコン層を用いる。これに対して、TF T基板107は、TF T10の半導体層5として酸化物半導体層を用いる。TF T基板107においては、半導体層5とソース電極7S・ドレイン電極7Dとの間にコンタクト層を設けなくてもよい。

[0427] このような構成を有するTF T基板107においても、TF T基板105と同様の効果を得ることができる。

[0428] 図34(a)～(e)、図35(a)～(c)および図36(a)～(c)を参照して、TF T基板107の製造方法を説明する。図34(a)～(e)、図35(a)～(c)および図36(a)～(c)は、TF T基板107の製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図32(a)～(c)および図33(a)に対応する断面を示している。以下では、TF T基板105の製造方法と異なる点を主に説明する。

[0429] TF T基板107の製造方法は、TF T10の酸化物半導体層5を除いて、図24～図26を参照して説明したTF T基板105の製造方法と同様である。図34(a)～(e)、図35(a)～(c)および図36(a)～(c)の工程のそれぞれは、TF T10の酸化物半導体層5を除いて、図24(a)～(e)、図25(a)～(c)および図26(a)～(c)を参照して説明した工程と同様に行われる。TF T基板105の製造方法と同様である点については、適宜説明を省略することがある。

[0430] まず、図34(a)に示すように、誘電体基板1上に、下地絶縁層20および酸化物半導体膜5'をこの順で形成する。ここでは、下地絶縁層20として、窒化珪素(Si_xN_y)膜(厚さ:例えば200nm)および酸化珪素(SiO_x)膜(厚さ:例えば50nm)をこの順で積層した積層膜($\text{SiO}_x/\text{Si}_x\text{N}_y$)を形成する。また、酸化物半導体膜5'として、例えば厚さ70nmの In-Ga-Zn-O 系半導体膜を形成する。

[0431] 次いで、酸化物半導体膜5'をパターニングすることにより、図34(b)に示すように、島状の半導体層5を得る。

[0432] 次いで、図34(c)に示すように、下地絶縁層20上および半導体層5上にソース用導電膜7'を形成する。

[0433] 次いで、ソース用導電膜7'をパターニングすることによって、図34(d)に示すように、ソースメタル層7を得る。

[0434] 次に、図34(e)に示すように、ソースメタル層7および下地絶縁層20を覆うように第1絶縁膜4を形成する。ここでは、第1絶縁膜4として、窒化珪素(Si_xN_y)膜(厚さ:例えば350nm)および酸化珪素(SiO_x)膜(厚さ:例えば50nm)をこの順で積層した積層膜($\text{SiO}_x/\text{Si}_x\text{N}_y$)を形成する。

i O x) 膜 (厚さ: 例えば 50 nm) をこの順で積層した積層膜 (S i O x / S i x N y) を形成する。

[0435] 次いで、図 35 (a) に示すように、第 1 絶縁膜 4 上にゲート用導電膜 3' を形成する。

[0436] 次いで、ゲート用導電膜 3' をパターニングすることにより、図 35 (b) に示すように、ゲートメタル層 3 を得る。このようにして、T F T 10 が得られる。

[0437] 次に、図 35 (c) に示すように、T F T 10 およびゲートメタル層 3 を覆うように第 2 絶縁膜 11 を形成する。

[0438] 次いで、公知のフォトリソグラフィプロセスによって、第 2 絶縁膜 11 および第 1 絶縁膜 4 のエッチングを行うことにより、図 36 (a) に示すように、層間絶縁層 11 およびゲート絶縁層 4 を得る。

[0439] 次いで、図 36 (b) に示すように、層間絶縁層 11 上、コンタクトホール C H__a 内、コンタクトホール C H__g 内、コンタクトホール C H__s 内、コンタクトホール C H__c 内、コンタクトホール C H__p 1 A 内、コンタクトホール C H__p 2 内、コンタクトホール C H__s g 1 内、コンタクトホール C H__s g 2 内、コンタクトホール C H__s c 1 内、およびコンタクトホール C H__s c 2 内に、例えばスパッタ法により導電膜 19' を形成する。

[0440] 次いで、導電膜 19' をパターニングすることにより、図 36 (c) に示すように、導電層 19 を得る。これにより、アンテナ単位領域 U、ゲート端子部 G T、ソース端子部 S T、C S 端子部 C T、第 1 トランスファー端子部 P T 1、第 2 トランスファー端子部 P T 2、ゲートーソース接続部 S G、および、C Sーソース接続部 S C が得られる。

[0441] このようにして、T F T 基板 107 が製造される。

[0442] ・変形例 3

以下、図 37 ~ 図 39 を参照しながら、本実施形態の変形例 3 の T F T 基板を説明する。

[0443] 図 37 (a) ~ (c) は、本実施形態の変形例 3 の T F T 基板 108 を例

示する模式的な平面図である。

[0444] 図37(a)は、送受信領域R1のアンテナ単位領域Uを示し、図37(b)は、非送受信領域R2に設けられたゲート端子部GT、CS端子部CT、トランスファー端子部PT、ゲートソース接続部SG、および、CSソース接続部SCを示し、図37(c)は、非送受信領域R2に設けられたソース端子部STを示している。

[0445] 図38(a)～(e)および図39(a)～(c)は、それぞれ、TFT基板108の模式的な断面図である。図38(a)は、図37(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図38(b)は、図37(b)中のB-B'線に沿ったゲートソース接続部SGの断面を示し、図38(c)は、図37(b)中のC-C'線に沿ったゲート端子部GTの断面を示し、図38(d)は、図37(c)中のD-D'線に沿ったソース端子部STの断面を示し、図38(e)は、図37(b)中のE-E'線に沿った第2トランスファー端子部PT2の断面を示し、図39(a)は、図37(b)中のF-F'線に沿った第1トランスファー端子部PT1の断面を示し、図39(b)は、図37(b)中のG-G'線に沿ったゲートソース接続部SGの断面を示し、図39(c)は、図37(b)中のH-H'線に沿ったゲートソース接続部SGの断面を示している。

[0446] TFT基板108は、第1トランスファー端子部PT1において、TFT基板107と異なる構造を有する。また、TFT基板108は、TFT10の半導体層5として酸化物半導体層を用いる点において、TFT基板106と異なる。以下では、TFT基板107と異なる点を主に説明する。

[0447] 図31(b)および図33(a)に示すように、TFT基板107の第1トランスファー端子部PT1においては、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4p1Aは、下部接続部7p1Aの内側にある。

[0448] これに対して、TFT基板108の第1トランスファー端子部PT1においては、TFT基板106の第1トランスファー端子部PT1と同様に、図

37 (b) および図39 (a) に示すように、上部接続部19 p 1 Bは、誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4 p 1 Bの内側において、下部接続部7 p 1 Bと重ならない部分を含む。

[0449] このような構成を有するTF T基板108においても、TF T基板105と同様の効果を得ることができる。また、TF T基板108は、TF T基板106と同様の効果も得ることができる。

[0450] 図40 (a) ~ (c) を参照して、TF T基板108の製造方法を説明する。図40 (a) ~ (c) は、TF T基板108の製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図38 (a) ~ (c) および図39 (a) に対応する断面を示している。以下では、TF T基板107の製造方法と異なる点を主に説明する。

[0451] TF T基板108の製造方法は、第1トランスファァー端子部PT 1を除いて、図34 ~ 図36を参照して説明したTF T基板107の製造方法と同様である。

[0452] まず、図34 (a) ~ (e) および図35 (a) ~ (c) を参照して説明したのと同様に、下地絶縁層20、島状の半導体層5、ソースメタル層7、第1絶縁膜4、ゲートメタル層3、および第2絶縁膜11を形成する。ただし、ここでは、ソースメタル層7は、第1トランスファァー端子部形成領域において、下部接続部7 p 1 Bを含む。

[0453] 続いて、公知のフォトリソグラフィプロセスによって、第2絶縁膜11および第1絶縁膜4のエッチングを行うことにより、図40 (a) に示すように、層間絶縁層11およびゲート絶縁層4を得る。この工程は、図36 (a) を参照して説明した工程と同様に行われる。ここでは、第1トランスファァー端子部形成領域において下部接続部7 p 1 Bに達するコンタクトホールCH__p 1 Bが形成される。このとき、誘電体基板1の法線方向から見たとき、コンタクトホールCH__p 1 B内の領域の一部は、下部接続部7 p 1 Bと重ならないように形成される。すなわち、ゲート絶縁層4に形成される開口部4 p 1 Bは、誘電体基板1の法線方向から見たとき、開口部4 p 1 B内の

領域の一部が下部接続部 7 p 1 B と重ならないように形成される。

[0454] 次いで、図 40 (b) に示すように、層間絶縁層 11 上、コンタクトホール CH__g 内、コンタクトホール CH__s 内、コンタクトホール CH__c 内、コンタクトホール CH__p 1 B 内、コンタクトホール CH__p 2 内、コンタクトホール CH__s g 1 内、コンタクトホール CH__s g 2 内、コンタクトホール CH__s c 1 内、およびコンタクトホール CH__s c 2 内に、導電膜 19' を形成する。この工程は、図 36 (b) を参照して説明した工程と同様に行われる。

[0455] 次いで、導電膜 19' をパターニングすることにより、図 40 (c) に示すように導電層 19 を得る。この工程は、図 36 (c) を参照して説明した工程と同様に行われる。ここでは、導電層 19 は、第 1 トランスファー端子部形成領域において、上部接続部 19 p 1 B を含む。上部接続部 19 p 1 B は、第 1 トランスファー端子部 P T 1 においてコンタクトホール CH__p 1 B 内で下部接続部 7 p 1 B と接触する。

[0456] このようにして、T F T 基板 108 が製造される。

[0457] (第 5 の実施形態)

以下、第 5 の実施形態の走査アンテナを説明する。

[0458] 本実施形態の走査アンテナに用いられる T F T 基板は、層間絶縁層 11 を有しない点において、第 4 の実施形態と異なる。本実施形態の走査アンテナに用いられる T F T 基板は、製造にかかるコストを第 4 の実施形態よりも削減することができる。

[0459] 図 41 ~ 図 44 を参照しながら、本実施形態の T F T 基板 105 A を説明する。図 21 ~ 図 23 に示した第 4 の実施形態の T F T 基板 105 と共通する構成には共通の参照符号を付し、説明を省略することがある。

[0460] 図 41 (a) ~ (c) は、T F T 基板 105 A の模式的な平面図である。図 41 (a) は、送受信領域 R 1 のアンテナ単位領域 U を示し、図 41 (b) は、非送受信領域 R 2 に設けられたゲート端子部 G T、C S 端子部 C T、トランスファー端子部 P T、ゲートソース接続部 S G、および、C S ソース

ース接続部SCを示し、図41(c)は、非送受信領域R2に設けられたソース端子部STを示している。

[0461] 図42(a)～(e)および図43(a)～(c)は、それぞれ、TF T基板105Aの模式的な断面図である。図42(a)は、図41(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図42(b)は、図41(b)中のB-B'線に沿ったゲートソース接続部SGの断面を示し、図42(c)は、図41(b)中のC-C'線に沿ったゲート端子部GTの断面を示し、図42(d)は、図41(c)中のD-D'線に沿ったソース端子部STの断面を示し、図42(e)は、図41(b)中のE-E'線に沿った第2トランスファ端子部PT2の断面を示し、図43(a)は、図41(b)中のF-F'線に沿った第1トランスファ端子部PT1の断面を示し、図43(b)は、図41(b)中のG-G'線に沿ったゲートソース接続部SGの断面を示し、図43(c)は、図41(b)中のH-H'線に沿ったゲートソース接続部SGの断面を示している。

[0462] TF T基板105Aは、層間絶縁層11を有しない点において、図21～図23に示した第4の実施形態のTF T基板105と異なる。TF T基板105Aにおいては、導電層19は、ゲートメタル層3上に形成されている。導電層19とゲートメタル層3との間に絶縁層は形成されていない。すなわち、TF T基板105Aは、導電層19とゲートメタル層3との間に絶縁層を有しない。

[0463] 本実施形態におけるTF T基板105Aは、例えば5枚のフォトマスクを使用して製造することができる。TF T基板105Aは、TF T基板105に比べてフォトマスク数を増やすことなく、製造コストを削減することができる。TF T基板105Aの製造プロセスの詳細については後述する。

[0464] TF T基板105Aの具体的な構造を説明する。以下では、TF T基板105と異なる点を主に説明する。

[0465] ・アンテナ単位領域U

TF T基板105Aは、図41～図43に示すように、誘電体基板1に支

持されたソースメタル層 7 と、ソースメタル層 7 上に形成されたゲートメタル層 3 と、ソースメタル層 7 とゲートメタル層 3 との間に形成されたゲート絶縁層 4 とを有する。TFT 基板 105A は、ゲートメタル層 3 上に形成された導電層 19 をさらに有する。

[0466] 導電層 19 は、開口部 4a 内でパッチ電極 7PE に接触するパッチ導電部 19a を含む。パッチ導電部 19a は、パッチ電極 7PE の内、開口部 4a によって露出されている部分を覆うように形成されていることが好ましい。

[0467] TFT 基板 105A のゲートメタル層 3 の少なくとも一部は、導電層 19 に覆われていない。つまり、TFT 基板 105A のゲートメタル層 3 の少なくとも一部は、導電層 19 から露出されている。例えば、ゲート電極 3G、上部補助容量電極 3C、ゲートバスライン GL および CS バスライン CL の少なくとも一部は、導電層 19 から露出されている。従って、TFT 基板 105A のゲートメタル層 3 は、液晶層 LC に溶出しやすい金属（例えば Cu、Al、Ag、または Au）を含まないことが好ましい。TFT 基板 105A のゲートメタル層 3 は、Cu を含まないことが特に好ましい。

[0468] 図 44 は、TFT 基板 105A を備える走査アンテナの内の液晶パネル 100A の構造を示す断面図である。液晶パネル 100A は、TFT 基板 105A と、スロット基板 201A と、これらの間に設けられた液晶層 LC とを有する。

[0469] 図 44 に示すように、TFT 基板 105A を備える走査アンテナは、TFT 基板 105A の液晶層 LC 側の表面を覆う第 1 配向膜 32A を有する。すなわち、TFT 基板 105A を備える走査アンテナにおいて、TFT 基板 105A は、導電層 19 を覆う第 1 配向膜 32A をさらに有する。TFT 基板 105A と対向するように配置されたスロット基板 201A は、スロット電極 55 を覆う第 2 配向膜 42A を有する。TFT 基板 105A において、ゲートメタル層 3 の少なくとも一部が導電層 19 に覆われていないので、第 1 配向膜 32A は、ゲートメタル層 3 と接触している。ゲートメタル層 3 が例えば Cu 層を含むと、ゲートメタル層 3 から金属 (Cu) が液晶層 LC に溶

出するおそれがある。ここで、ゲートメタル層 3 は第 1 配向膜 3 2 A に覆われているが、本発明者の検討によると、ゲートメタル層 3 を配向膜で覆うのみでは、金属が液晶層 LC に溶出することを十分に防ぐことができないことがあった。

[0470] 図 4 4 に示して説明したように、T F T 基板の導電層または導電部が「導電層 1 9 から露出されている」とは、当該 T F T 基板を備える走査アンテナにおいて、当該導電層または導電部が配向膜を介して液晶層と接することを含む。配向膜は、液晶層と接するように形成される。

[0471] T F T 基板 1 0 5 A のゲートメタル層 3 は、例えば、高融点金属含有層から形成されている。「高融点金属含有層」は、チタン (T i)、タングステン (W)、モリブデン (M o)、タンタル (T a) およびニオブ (N b) からなる群から選択される少なくとも 1 つの元素を含む層である。高融点金属含有層は積層構造であってもよい。例えば、高融点金属含有層は、T i、W、M o、T a、N b、これらを含む合金、およびこれらの窒化物、ならびに前記金属または合金と前記窒化物との固溶体のいずれかで形成された層を指す。ゲートメタル層 3 は、例えば、M o N b N i 層、T i 層、M o N b 層、M o W 層、W 層および T a 層からなる群から選択される 1 つの層または 2 以上の層の積層から形成されていてもよい。

[0472] ただし、液晶材料、ゲートメタル層に含まれる金属の種類、ゲートメタル層の積層構造などによっては、求められるアンテナ性能を確保できることもあり得る。従って、T F T 基板 1 0 5 A のゲートメタル層 3 が低抵抗金属層を含むことを排除しない。T F T 基板 1 0 5 A のゲートメタル層 3 が低抵抗金属層を含む場合は、ゲートメタル層 3 は、低抵抗金属層の上に高融点金属含有層をさらに有する積層構造を含むことが好ましい。低抵抗金属層の上面が高融点金属含有層で覆われるので、高融点金属含有層を有しない場合に比べて、液晶層に金属が溶出することが抑制されるためである。しかしながら、低抵抗金属層の側面は高融点金属含有層で覆われないので、低抵抗金属層の側面から金属が液晶層に溶出し得る。従って、T F T 基板 1 0 5 A のゲー

トメタル層 3 は低抵抗金属層を含まないことがさらに好ましい。ここで、「低抵抗金属層」は、銅 (Cu)、アルミニウム (Al)、銀 (Ag) および金 (Au) からなる群から選択される少なくとも 1 つの元素を含む層である。

[0473] 一方で、パッチ電極 7 P E を含むソースメタル層 7 は、アンテナ性能の観点から、低抵抗金属層を含むことが好ましい。従って、パッチ電極 7 P E は、パッチ導電部 1 9 a およびゲート絶縁層 4 の少なくともいずれか一方によって覆われていることが好ましい。パッチ電極 7 P E がパッチ導電部 1 9 a およびゲート絶縁層 4 の少なくともいずれか一方によって覆われていると、パッチ電極 7 P E に腐食が生じることを抑制することができる。また、パッチ電極 7 P E がパッチ導電部 1 9 a およびゲート絶縁層 4 の少なくともいずれか一方によって覆われていると、パッチ電極 7 P E から金属 (特に Cu) が液晶層 LC に溶出することを抑制することができる。

[0474] 図示する例では、パッチ電極 7 P E はパッチ導電部 1 9 a によって覆われ、かつ、絶縁層で覆われていない。この場合、高いアンテナ性能を実現し得る。

[0475] なお、開口部 4 a およびパッチ導電部 1 9 a は、省略され得る。この場合、パッチ電極 7 P E は、ゲート絶縁層 4 によって覆われるので、パッチ電極 7 P E に腐食が生じることおよびパッチ電極 7 P E から金属が液晶層 LC に溶出することを効果的に抑制することができる。なお、この場合、高いアンテナ性能を得るためには、ゲート絶縁層 4 の厚さが小さいことが好ましい。

[0476] パッチ電極 7 P E が、パッチ導電部 1 9 a またはゲート絶縁層 4 のいずれによっても覆われていない場合、ソースメタル層 7 を形成する材料について、ゲートメタル層 3 と同様のことが言える。例えば、パッチ電極 7 P E から金属が液晶層 LC に溶出するのを防ぐ観点から、ソースメタル層 7 は低抵抗金属層を含まないことが好ましい。ソースメタル層 7 が低抵抗金属層を含む場合は、低抵抗金属層の上に高融点金属含有層をさらに有する積層構造を有することが好ましい。ただし、ソースメタル層 7 が低抵抗金属層を含まない

場合は、アンテナ性能が十分でない場合がある。

[0477] ・ゲートソース接続部 S G

図 4 1 (b) 、 図 4 2 (b) 、 図 4 3 (b) および図 4 3 (c) に示す T F T 基板 1 0 5 A のゲートソース接続部 S G は、図 2 1 (b) 、 図 2 2 (b) 、 図 2 3 (b) および図 2 3 (c) に示した T F T 基板 1 0 5 のゲートソース接続部 S G における層間絶縁層 1 1 を省略したものに相当する。

[0478] T F T 基板 1 0 5 A のゲートソース接続部 S G は、図 4 1 (b) 、 図 4 2 (b) 、 図 4 3 (b) および図 4 3 (c) に示すように、ゲート下部接続配線 7 s g と、ゲート絶縁層 4 に形成された開口部 4 s g 1 と、ゲートバスライン G L に接続されたゲートバスライン接続部 3 s g と、ゲート上部接続部 1 9 s g とを有している。

[0479] 導電層 1 9 に含まれるゲート上部接続部 1 9 s g は、ゲート絶縁層 4 上、ゲートメタル層 3 上（ゲートバスライン接続部 3 s g 上）および開口部 4 s g 1 内に形成され、開口部 4 s g 1 内でゲート下部接続配線 7 s g と接続され、かつ、ゲートバスライン接続部 3 s g と接続されている。ここでは、ゲート上部接続部 1 9 s g は、ゲートバスライン接続部 3 s g と接触している。この例では、ゲートバスライン接続部 3 s g の一部は、ゲート上部接続部 1 9 s g に覆われず、導電層 1 9 から露出されている。

[0480] ・ゲート端子部 G T

図 4 1 (b) および図 4 2 (c) に示す T F T 基板 1 0 5 A のゲート端子部 G T は、図 2 1 (b) および図 2 2 (c) に示した T F T 基板 1 0 5 のゲート端子部 G T における層間絶縁層 1 1 を省略したものに相当する。

[0481] T F T 基板 1 0 5 A のゲート端子部 G T は、図 4 1 (b) および図 4 2 (c) に示すように、ゲート端子用下部接続部 7 g A と、ゲート絶縁層 4 に形成された開口部 4 g と、ゲート端子用上部接続部 1 9 g A とを有している。

[0482] 導電層 1 9 に含まれる上部接続部 1 9 g A は、ゲート絶縁層 4 上および開口部 4 g 内に形成され、開口部 4 g 内で下部接続部 7 g A と接続されている。ここでは、上部接続部 1 9 g A は、開口部 4 g 内で下部接続部 7 g A と接

触している。

[0483] ・ソース端子部 S T

図 4 1 (c) および図 4 2 (d) に示す T F T 基板 1 0 5 A のソース端子部 S T は、図 2 1 (c) および図 2 2 (d) に示した T F T 基板 1 0 5 のソース端子部 S T における層間絶縁層 1 1 を省略したものに相当する。

[0484] T F T 基板 1 0 5 A のソース端子部 S T は、図 4 1 (c) および図 4 2 (d) に示すように、ソース端子用下部接続部 7 s A と、ゲート絶縁層 4 に形成された開口部 4 s と、ソース端子用上部接続部 1 9 s A とを有している。

[0485] 導電層 1 9 に含まれる上部接続部 1 9 s A は、ゲート絶縁層 4 上および開口部 4 s 内に形成され、開口部 4 s 内で下部接続部 7 s A と接続されている。ここでは、上部接続部 1 9 s A は、開口部 4 s 内で下部接続部 7 s A と接触している。

[0486] ・ C S 端子部 C T、 C S ソース接続部 S C

図 4 1 (b) に示す T F T 基板 1 0 5 A の C S 端子部 C T および C S ソース接続部 S C は、図 2 1 (b) に示した T F T 基板 1 0 5 の C S 端子部 C T および C S ソース接続部 S C における層間絶縁層 1 1 を省略したものに相当する。

[0487] T F T 基板 1 0 5 A の C S ソース接続部 S C は、図 4 1 (b) に示すように、 C S 下部接続配線 7 s c と、ゲート絶縁層 4 に形成された開口部 4 s c 1 と、 C S バスライン C L に接続された C S バスライン接続部 3 s c と、 C S 上部接続部 1 9 s c とを有している。

[0488] 導電層 1 9 に含まれる C S 上部接続部 1 9 s c は、ゲート絶縁層 4 上、ゲートメタル層 3 上 (C S バスライン接続部 3 s c 上) および開口部 4 s c 1 内に形成され、開口部 4 s c 1 内で C S 下部接続配線 7 s c と接続され、かつ、 C S バスライン接続部 3 s c と接続されている。ここでは、 C S 上部接続部 1 9 s c は、 C S バスライン接続部 3 s c と接触している。この例では、 C S バスライン接続部 3 s c の一部は、 C S 上部接続部 1 9 s c に覆われず、導電層 1 9 から露出されている。

[0489] T F T基板105AのCS端子部CTは、図41(b)に示すように、CS端子用下部接続部7cと、ゲート絶縁層4に形成された開口部4cと、CS端子用上部接続部19cとを有している。

[0490] 導電層19に含まれる上部接続部19cは、ゲート絶縁層4上および開口部4c内に形成され、開口部4c内で下部接続部7cと接続されている。すなわち、上部接続部19cは、開口部4c内で下部接続部7cと接触している。

[0491] ・トランスファ端子部PT

図41(b)および図43(a)に示すT F T基板105Aの第1トランスファ端子部PT1は、図21(b)および図23(a)に示したT F T基板105の第1トランスファ端子部PT1における層間絶縁層11を省略したものに相当する。

[0492] T F T基板105Aの第1トランスファ端子部PT1は、図41(b)および図43(a)に示すように、第1トランスファ端子用下部接続部7p1Aと、ゲート絶縁層4に形成された開口部4p1Aと、第1トランスファ端子用上部接続部19p1Aとを有している。

[0493] 導電層19に含まれる上部接続部19p1Aは、ゲート絶縁層4上および開口部4p1A内に形成され、開口部4p1A内で下部接続部7p1Aと接続されている。ここでは、上部接続部19p1Aは、開口部4p1A内で下部接続部7p1Aと接触している。

[0494] この例では、ゲート絶縁層4に形成された開口部4p1Aは、下部接続部7p1Aの一部のみを露出するように形成されている。誘電体基板1の法線方向から見たとき、ゲート絶縁層4に形成された開口部4p1Aは、下部接続部7p1Aの内側にある。

[0495] なお、T F T基板105Aの第1トランスファ端子部PT1は、後述するT F T基板106Aの第1トランスファ端子部PT1と同様の構成を有していてもよい。

[0496] 図41(b)および図42(e)に示すT F T基板105Aの第2トラン

スファア端子部PT2は、図21(b)および図22(e)に示したTF T基板105の第2トランスファア端子部PT2における層間絶縁層11を省略したものに相当する。

[0497] TF T基板105Aの第2トランスファア端子部PT2は、図41(b)および図42(e)に示すように、第2トランスファア端子用下部接続部7p2と、ゲート絶縁層4に形成された開口部4p2と、第2トランスファア端子用上部接続部19p2とを有している。

[0498] 導電層19に含まれる上部接続部19p2は、ゲート絶縁層4上および開口部4p2内に形成され、開口部4p2内で下部接続部7p2と接続されている。ここでは、上部接続部19p2は、開口部4p2内で下部接続部7p2と接触している。

[0499] ・TF T基板105Aの製造方法

図45(a)～(c)を参照しながら、TF T基板105Aの製造方法を説明する。図45(a)～(c)は、TF T基板105Aの製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図42(a)～(c)および図43(a)に対応する断面を示している。なお、図42(d)、図42(e)および図43(b)に対応する断面については、図示を省略するが、図42(c)に対応する断面と同様の方法で形成される。以下では、図24～図26を参照して説明したTF T基板105の製造方法と異なる点を主に説明する。

[0500] まず、図24(a)～(e)および図25(a)～(b)を参照して説明したのと同様に、誘電体基板1上に、下地絶縁層20、島状の半導体層5、コンタクト層6S、6D、ソースメタル層7、第1絶縁膜4、およびゲートメタル層3を形成する。ただし、ここでは、ゲート用導電膜3'として、MoNbNi膜(厚さ:例えば300nm)を形成する点において、TF T基板105の製造方法と異なる。ここでは、ゲート用導電膜3'のパターニングは、例えばウェットエッチングによって行う。

[0501] 次いで、公知のフォトリソグラフィプロセスによって、第1絶縁膜4のエ

ッチングを行うことにより、図45（a）に示すように、ゲート絶縁層4を得る。具体的には、アンテナ単位形成領域においてパッチ電極7PEに達する開口部4aと、ゲート端子部形成領域において下部接続部7gAに達する開口部4gと、ソース端子部形成領域において下部接続部7sAに達する開口部4sと、CS端子部形成領域において下部接続部7cに達する開口部4cと、第1トランスファータ端子部形成領域において下部接続部7p1Aに達する開口部4p1Aと、第2トランスファータ端子部形成領域において下部接続部7p2に達する開口部4p2と、ゲートーソース接続部形成領域においてゲート下部接続配線7sgに達する開口部4sg1と、CSーソース接続部形成領域においてCS下部接続配線7scに達する開口部4sc1とを形成する。

[0502] 第1絶縁膜4は、例えば、フッ素系ガスを用いたドライエッチングによってエッチングされる。

[0503] なお、第1絶縁膜4のエッチングは、第1絶縁膜4を形成した後、ゲート用導電膜3'を形成する前に行ってもよい。すなわち、第1絶縁膜4のエッチングを行うことによりゲート絶縁層4を形成した後、ゲート絶縁層4上にゲート用導電膜3'を形成してもよい。この場合、ソース用導電膜7'に対するエッチングレートがゲート用導電膜3'に対するエッチングレートよりも小さくなるように、エッチング条件を調整する。例えば、ゲート用導電膜3'およびソース用導電膜7'の材料、エッチャント等を適宜選択すればよい。

[0504] 次いで、図45（b）に示すように、ゲート絶縁層4上、ゲートメタル層3上、開口部4a内、開口部4g内、開口部4s内、開口部4c内、開口部4p1A内、開口部4p2内、開口部4sg1内、および開口部4sc1内に、例えばスパッタ法により導電膜19'を形成する。導電膜19'は、例えば透明導電膜を含む。ここでは、導電膜19'として、例えば厚さ70nmのITO膜を用いる。あるいは、導電膜19'として、Ti（厚さ：例えば50nm）およびITO（厚さ：例えば70nm）をこの順で積層した積層膜（

ITO/Ti)を用いてもよい。Ti膜に代えて、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜を用いてもよい。すなわち、導電膜19'として、Ti膜、MoNbNi膜、MoNb膜、MoW膜、W膜およびTa膜からなる群から選択される1つの膜または2以上の膜の積層膜と、ITO膜とをこの順で積層した積層膜を用いてもよい。

[0505] 次に、導電膜19'をパターニングすることにより、図45(c)に示すように、導電層19を得る。これにより、アンテナ単位領域U、ゲート端子部GT、ソース端子部ST、CS端子部CT、第1トランスファー端子部PT1、第2トランスファー端子部PT2、ゲートーソース接続部SG、および、CSーソース接続部SCが得られる。

[0506] 具体的には、アンテナ単位領域Uにおいて開口部4a内でパッチ電極7PEと接触するパッチ導電部19aと、ゲート端子部GTにおいて開口部4g内で下部接続部7gAと接触する上部接続部19gAと、ソース端子部STにおいて開口部4s内で下部接続部7sAと接触する上部接続部19sAと、CS端子部CTにおいて開口部4c内で下部接続部7cと接触する上部接続部19cと、第1トランスファー端子部PT1において開口部4p1A内で下部接続部7p1Aと接触する上部接続部19p1Aと、第2トランスファー端子部PT2において開口部4p2内で下部接続部7p2と接触する上部接続部19p2と、ゲートーソース接続部SGにおいて開口部4sg1内でゲート下部接続配線7sgと接触するゲート上部接続部19sgと、CSーソース接続部SCにおいて開口部4sc1内でCS下部接続配線7scと接触するCS上部接続部19scとを形成する。

[0507] アンテナ単位領域Uにおいて、パッチ導電部19aは、パッチ電極7PEの内、開口部4aによって露出されている部分を覆うように形成されることが好ましい。各端子部において、上部接続部は、下部接続部の内、開口部によって露出されている部分を覆うように形成されることが好ましい。ゲートーソース接続部SGにおいて、ゲート上部接続部19sgは、ゲート下部接

続配線 7 s g の内、開口部 4 s g 1 によって露出されている部分を覆うように形成されることが好ましい。CS ソース接続部 SC において、CS 上部接続部 19 s c は、CS 下部接続配線 7 s c の内、開口部 4 s c 1 によって露出されている部分を覆うように形成されることが好ましい。

[0508] このようにして、TF T 基板 105 A が製造される。

[0509] このように、TF T 基板 105 A は 5 枚のフォトマスクを用いて製造することができる。

[0510] ・変形例 1

図 46～図 48 を参照しながら、本実施形態の変形例 1 の TF T 基板 106 A を説明する。図 41～図 43 に示した TF T 基板 105 A と共通する構成には共通の参照符号を付し、説明を省略する。図 26～図 28 に示した第 4 の実施形態の TF T 基板 106 と共通する構成にも共通の参照符号を付し、説明を省略することがある。

[0511] 図 46 (a)～(c) は、TF T 基板 106 A の模式的な平面図である。図 46 (a) は、送受信領域 R1 のアンテナ単位領域 U を示し、図 46 (b) は、非送受信領域 R2 に設けられたゲート端子部 GT、CS 端子部 CT、トランスファ端子部 PT、ゲートソース接続部 SG、および、CS ソース接続部 SC を示し、図 46 (c) は、非送受信領域 R2 に設けられたソース端子部 ST を示している。

[0512] 図 47 (a)～(e) および図 48 (a)～(c) は、それぞれ、TF T 基板 106 A の模式的な断面図である。図 47 (a) は、図 46 (a) 中の A-A' 線に沿ったアンテナ単位領域 U の断面を示し、図 47 (b) は、図 46 (b) 中の B-B' 線に沿ったゲートソース接続部 SG の断面を示し、図 47 (c) は、図 46 (b) 中の C-C' 線に沿ったゲート端子部 GT の断面を示し、図 47 (d) は、図 46 (c) 中の D-D' 線に沿ったソース端子部 ST の断面を示し、図 47 (e) は、図 46 (b) 中の E-E' 線に沿った第 2 トランスファ端子部 PT2 の断面を示し、図 48 (a) は、図 46 (b) 中の F-F' 線に沿った第 1 トランスファ端子部 PT1 の断面を示し、図

48 (b) は、図46 (b) 中のG-G' 線に沿ったゲートソース接続部SGの断面を示し、図48 (c) は、図46 (b) 中のH-H' 線に沿ったゲートソース接続部SGの断面を示している。

[0513] TFT基板106Aは、ゲート金属層3は導電層19に覆われている点において、TFT基板105Aと異なる。TFT基板106Aにおいて、ゲート金属層3の上面および側面は、全て導電層19で覆われている。以下では、TFT基板105Aと異なる点を主に説明する。

[0514] ・アンテナ単位領域U

TFT基板106Aにおいて、導電層19は、ゲートバスラインGLおよびゲート電極3Gを覆うカバー部19glと、CSバスラインCLおよび上部補助容量電極3Cを覆うカバー部19clとをさらに含む。ゲート金属層3の上面および側面は、導電層19で覆われている。TFT基板106Aを備える走査アンテナにおいては、第1配向膜は、導電層19と接触しており、ゲート金属層3と接触していない。

[0515] このような構成を有するTFT基板106Aにおいても、TFT基板105Aと同様の効果を得ることができる。すなわち、TFT基板106Aは、第4の実施形態に比べてフォトリソマスク数を増やすことなく、製造コストを削減することができる。

[0516] さらに、TFT基板106Aにおいては、ゲート金属層3の上面および側面は、導電層19で覆われているので、ゲート金属層3が低抵抗金属層を含んでも、ゲート金属層3から金属が液晶層LCに溶出することが抑制される。従って、TFT基板106Aを備える走査アンテナは、TFT基板105Aを備える走査アンテナに比べて高いアンテナ性能を実現し得る。

[0517] ゲート金属層3は、低抵抗金属層を含むことが好ましい。ゲート金属層3は、低抵抗金属層の上および／または下に高融点金属含有層をさらに含む積層構造を有していてもよい。

[0518] なお、導電層19の形状は、図示する例に限られず、ゲート金属層3の上面および側面を全て覆っていればよい。

[0519] ・ゲートソース接続部SG

図46(b)、図47(b)、図48(b)および図48(c)に示すように、TFT基板106Aのゲートソース接続部SGは、ゲートメタル層3が導電層19に覆われている構造を有する点において、図41(b)、図42(b)、図43(b)および図43(c)に示したTFT基板105Aのゲートソース接続部SGと異なる。

[0520] TFT基板106Aのゲートソース接続部SGは、図46(b)、図47(b)、図48(b)および図48(c)に示すように、ゲート下部接続配線7sgと、ゲート絶縁層4に形成された開口部4sg1と、ゲートバスラインGLに接続されたゲートバスライン接続部3sgと、ゲート上部接続部19sgAとを有している。

[0521] 導電層19に含まれるゲート上部接続部19sgAは、ゲート絶縁層4上、ゲートメタル層3上(ゲートバスライン接続部3sg上)および開口部4sg1内に形成され、開口部4sg1内でゲート下部接続配線7sgと接続され、かつ、ゲートバスライン接続部3sgと接続されている。ここでは、ゲート上部接続部19sgAは、ゲートバスライン接続部3sgと接触している。さらに、ゲート上部接続部19sgAは、ゲートバスライン接続部3sgの全てを覆っている。ここでは、ゲート上部接続部19sgAは、カバー部19g1から延設され、カバー部19g1と一体的に形成されている。

[0522] ・CSソース接続部SC

図46(b)に示すように、TFT基板106AのCSソース接続部SCは、ゲートメタル層3が導電層19に覆われている構造を有する点において、図41(b)に示したTFT基板105AのCSソース接続部SCと異なる。

[0523] TFT基板106AのCSソース接続部SCは、図46(b)に示すように、CS下部接続配線7scと、ゲート絶縁層4に形成された開口部4sc1と、CSバスラインCLに接続されたCSバスライン接続部3scと、CS上部接続部19scAとを有している。

[0524] 導電層 19 に含まれる CS 上部接続部 19 s c A は、ゲート絶縁層 4 上、ゲートメタル層 3 上（CS バスライン接続部 3 s c 上）および開口部 4 s c 1 内に形成され、開口部 4 s c 1 内で CS 下部接続配線 7 s c と接続され、かつ、CS バスライン接続部 3 s c と接続されている。ここでは、CS 上部接続部 19 s c A は、CS バスライン接続部 3 s c と接触している。さらに、CS 上部接続部 19 s c A は、CS バスライン接続部 3 s c の全てを覆っている。ここでは、CS 上部接続部 19 s c A は、カバー部 19 c l から延設され、カバー部 19 c l と一体的に形成されている。

[0525] ・第 1 トランスファー端子部 P T 1

T F T 基板 106 A は、第 1 トランスファー端子部 P T 1 においても、T F T 基板 105 A と異なる構造を有する。図 46（b）および図 48（a）に示す T F T 基板 106 A の第 1 トランスファー端子部 P T 1 は、図 27（b）および図 29（a）に示した T F T 基板 106 の第 1 トランスファー端子部 P T 1 における層間絶縁層 11 を省略したものに相当する。

[0526] 図 41（b）および図 43（a）に示したように、T F T 基板 105 A の第 1 トランスファー端子部 P T 1 においては、誘電体基板 1 の法線方向から見たとき、開口部 4 p 1 A は、下部接続部 7 p 1 A の内側にある。すなわち、開口部 4 p 1 A は、下部接続部 7 p 1 A の一部のみを露出するように形成されている。

[0527] これに対して、T F T 基板 106 A の第 1 トランスファー端子部 P T 1 においては、図 46（b）および図 48（a）に示すように、上部接続部 19 p 1 B は、誘電体基板 1 の法線方向から見たとき、ゲート絶縁層 4 に形成された開口部 4 p 1 B 内において、下部接続部 7 p 1 B と重ならない部分を含む。

[0528] T F T 基板 106 A の第 1 トランスファー端子部 P T 1 は、図 46（b）および図 48（a）に示すように、第 1 トランスファー端子用下部接続部 7 p 1 B と、ゲート絶縁層 4 に形成された開口部 4 p 1 B と、第 1 トランスファー端子用上部接続部 19 p 1 B とを有している。

- [0529] 導電層 19 に含まれる上部接続部 19 p 1 B は、ゲート絶縁層 4 上および開口部 4 p 1 B 内に形成され、開口部 4 p 1 B 内で下部接続部 7 p 1 B と接続されている。ここでは、上部接続部 19 p 1 B は、開口部 4 p 1 B 内で下部接続部 7 p 1 B と接触している。
- [0530] この例では、下部接続部 7 p 1 B の内、開口部 4 p 1 B 内にある部分は、上部接続部 19 p 1 B で覆われている。
- [0531] T F T 基板 106 A においては、下部接続部 7 p 1 B のうち、開口部 4 p 1 B 内で上部接続部 19 p 1 B と重なっている部分の面積が T F T 基板 105 A に比べて大きい。既に述べたように、上部接続部 19 p 1 B は、例えば導電性粒子を含むシール材によって、スロット基板側のトランスファー端子用接続部と接続される（例えば図 7 参照）。T F T 基板 106 A においては、T F T 基板 105 A に比べて、導電性粒子と上部接続部 19 p 1 B との接触が安定しやすい。T F T 基板 106 A は、T F T 基板 105 A に比べて液晶層の厚さ（セルギャップ）を制御しやすいという利点を有する。
- [0532] なお、T F T 基板 106 A は、第 1 トランスファー端子部 P T 1 の信頼性の観点からは T F T 基板 105 A に劣ることがある。T F T 基板 105 A においては、開口部 4 p 1 A 内の全ての領域は、誘電体基板 1 上に下部接続部 7 p 1 A および上部接続部 19 p 1 A を有する積層構造を有する。第 1 トランスファー端子部 P T 1 において、下部接続部 7 p 1 A を有しない領域の全ては、ゲート絶縁層 4 を有する積層構造を有する。これに対して、T F T 基板 106 A においては、開口部 4 p 1 B 内に、誘電体基板 1 上に上部接続部 19 p 1 B のみを有し、下部接続部 7 p 1 B を含まない積層構造を有する領域を含む。T F T 基板 106 A の第 1 トランスファー端子部 P T 1 は、下部接続部 7 p 1 B およびゲート絶縁層 4 のいずれも含まない積層構造を有する領域を含む。これにより、信頼性に劣ることがある。
- [0533] なお、T F T 基板 106 A の第 1 トランスファー端子部 P T 1 は、T F T 基板 105 A の第 1 トランスファー端子部 P T 1 と同様の構成を有してもよい。

[0534] ・ T F T基板 1 0 6 Aの製造方法

図 4 9 (a) ~ (c) を参照して、T F T基板 1 0 6 Aの製造方法を説明する。図 4 9 (a) ~ (c) は、T F T基板 1 0 6 Aの製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図 4 7 (a) ~ (c) および図 4 8 (a) に対応する断面を示している。以下では、T F T基板 1 0 5 Aの製造方法と異なる点を主に説明する。

[0535] まず、図 2 4 (a) ~ (e) および図 2 5 (a) ~ (b) を参照して説明したのと同様に、誘電体基板 1 上に、下地絶縁層 2 0、島状の半導体層 5、コンタクト層 6 S、6 D、ソースメタル層 7、第 1 絶縁膜 4、およびゲートメタル層 3 を形成する。ここでは、ゲート用導電膜 3' として、A l 膜（厚さ：例えば 1 5 0 n m）およびM o N 膜（厚さ：例えば 1 0 0 n m）をこの順で積層した積層膜（M o N / A l）を形成する点において、T F T基板 1 0 5 Aの製造方法と異なる。また、ここでは、ソースメタル層 7 は、第 1 トランスファー端子部形成領域において、下部接続部 7 p 1 Bを含む。

[0536] 次に、公知のフォトリソグラフィプロセスによって、第 1 絶縁膜 4 のエッチングを行うことにより、図 4 9 (a) に示すように、ゲート絶縁層 4 を得る。この工程は、図 4 5 (a) を参照して説明した工程と同様に行われる。ここでは、第 1 トランスファー端子部形成領域において下部接続部 7 p 1 Bに達する開口部 4 p 1 Bが形成される。このとき、誘電体基板 1 の法線方向から見たとき、開口部 4 p 1 B内の領域の一部は、下部接続部 7 p 1 Bと重ならないように形成される。すなわち、ゲート絶縁層 4 に形成される開口部 4 p 1 Bは、誘電体基板 1 の法線方向から見たとき、開口部 4 p 1 B内の領域の一部が下部接続部 7 p 1 Bと重ならないように形成される。

[0537] 次に、図 4 9 (b) に示すように、ゲート絶縁層 4 上、ゲートメタル層 3 上、開口部 4 a 内、開口部 4 g 内、開口部 4 s 内、開口部 4 c 内、開口部 4 p 1 B 内、開口部 4 p 2 内、開口部 4 s g 1 内、および開口部 4 s c 1 内に、導電膜 1 9' を形成する。この工程は、図 4 5 (b) を参照して説明した工程と同様に行われる。

[0538] 次いで、導電膜19'をパターニングすることにより、図49(c)に示すように導電層19を得る。この工程は、図45(c)を参照して説明した工程と同様に行われる。ここでは、導電層19は、アンテナ単位領域Uにおいて、ゲートバスラインGLおよびゲート電極3Gを覆うカバー部19glと、CSバスラインCLおよび上部補助容量電極3Cを覆うカバー部19clとをさらに含む。また、導電層19は、第1トランスファー端子部形成領域において、上部接続部19p1Bを含む。上部接続部19p1Bは、第1トランスファー端子部PT1において開口部4p1B内で下部接続部7p1Bと接触する。

[0539] このようにして、TF T基板106Aが製造される。

[0540] このように、TF T基板106Aは5枚のフォトリソを用いて製造することができる。

[0541] ・変形例2

図50～図52を参照しながら、本実施形態の変形例2のTF T基板107Aを説明する。図41～図43に示したTF T基板105Aと共通する構成には共通の参照符号を付し、説明を省略する。図46～図48に示したTF T基板106Aと共通する構成にも共通の参照符号を付し、説明を省略することがある。

[0542] 図50(a)～(c)は、TF T基板107Aの模式的な平面図である。図50(a)は、送受信領域R1のアンテナ単位領域Uを示し、図50(b)は、非送受信領域R2に設けられたゲート端子部GT、CS端子部CT、トランスファー端子部PT、ゲートソース接続部SG、および、CSソース接続部SCを示し、図50(c)は、非送受信領域R2に設けられたソース端子部STを示している。

[0543] 図51(a)～(e)および図52(a)～(c)は、それぞれ、TF T基板107Aの模式的な断面図である。図51(a)は、図50(a)中のA-A'線に沿ったアンテナ単位領域Uの断面を示し、図51(b)は、図50(b)中のB-B'線に沿ったゲートソース接続部SGの断面を示し、図

51 (c) は、図50 (b) 中のC-C' 線に沿ったゲート端子部GTの断面を示し、図51 (d) は、図50 (c) 中のD-D' 線に沿ったソース端子部STの断面を示し、図51 (e) は、図50 (b) 中のE-E' 線に沿った第2トランスファ端子部PT2の断面を示し、図52 (a) は、図50 (b) 中のF-F' 線に沿った第1トランスファ端子部PT1の断面を示し、図52 (b) は、図50 (b) 中のG-G' 線に沿ったゲートソース接続部SGの断面を示し、図52 (c) は、図50 (b) 中のH-H' 線に沿ったゲートソース接続部SGの断面を示している。

[0544] TFT基板107Aは、TFT10の半導体層5として酸化物半導体層を用いる点において、TFT基板105Aと異なる。以下では、TFT基板105Aと異なる点を主に説明する。

[0545] TFT基板105Aにおいては、TFT10の半導体層5としてアモルファスシリコン層を用いる。これに対して、TFT基板107Aは、TFT10の半導体層5として酸化物半導体層を用いる。TFT基板107Aにおいては、半導体層5とソース電極7S・ドレイン電極7Dとの間にコンタクト層を設けなくてもよい。

[0546] このような構成を有するTFT基板107Aにおいても、TFT基板105Aと同様の効果を得ることができる。

[0547] また、TFT基板107Aは、TFT基板106Aと同様に、ゲートメタル層3が導電層19に覆われている点においても、TFT基板105Aと異なる。

[0548] TFT基板107Aは、導電層19の形状を除いて、図31～図33に示した第4の実施形態のTFT基板107における層間絶縁層11を省略したものに相当する。

[0549] ・TFT基板107Aの製造方法

図53 (a) ～ (c) を参照しながら、TFT基板107Aの製造方法を説明する。図53 (a) ～ (c) は、TFT基板107Aの製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図51 (a) ～ (c)

および図52(a)に対応する断面を示している。以下では、図34～図36を参照して説明したTF T基板107の製造方法と異なる点および図45を参照して説明したTF T基板105Aの製造方法と異なる点を主に説明する。

[0550] まず、図34(a)～(e)および図35(a)～(b)を参照して説明したのと同様に、誘電体基板1上に、下地絶縁層20、島状の酸化物半導体層5、ソースメタル層7、第1絶縁膜4、およびゲートメタル層3を形成する。

[0551] 次に、公知のフォトリソグラフィプロセスによって、第1絶縁膜4のエッチングを行うことにより、図53(a)に示すように、ゲート絶縁層4を得る。この工程は、TF T基板105Aの製造方法の内の、図45(a)を参照して説明した工程と同様に行われる。

[0552] 次に、図53(b)に示すように、ゲート絶縁層4上、ゲートメタル層3上、開口部4a内、開口部4g内、開口部4s内、開口部4c内、開口部4p1A内、開口部4p2内、開口部4sg1内、および開口部4sc1内に、導電膜19'を形成する。この工程は、図45(b)を参照して説明した工程と同様に行われる。

[0553] 次に、導電膜19'をパターニングすることにより、図53(c)に示すように、導電層19を得る。これにより、アンテナ単位領域U、ゲート端子部GT、ソース端子部ST、CS端子部CT、第1トランスファー端子部PT1、第2トランスファー端子部PT2、ゲートーソース接続部SG、および、CSーソース接続部SCが得られる。この工程は、図45(c)を参照して説明した工程と同様に行われる。ただし、ここでは、導電層19は、アンテナ単位領域Uにおいて、ゲートバスラインGLおよびゲート電極3Gを覆うカバー部19g1と、CSバスラインCLおよび上部補助容量電極3Cを覆うカバー部19c1とをさらに含む。

[0554] このようにして、TF T基板107Aが製造される。

[0555] このように、TF T基板107Aは5枚のフォトマスクを用いて製造する

ことができる。

[0556] ・変形例 3

図 5 4 ～図 5 6 を参照しながら、本実施形態の変形例 3 の T F T 基板 1 0 8 A を説明する。図 5 0 ～図 5 2 に示した T F T 基板 1 0 7 A と共通する構成には共通の参照符号を付し、説明を省略する。図 4 1 ～図 4 3 に示した T F T 基板 1 0 5 A と共通する構成または図 4 6 ～図 4 8 に示した T F T 基板 1 0 6 A と共通する構成にも共通の参照符号を付し、説明を省略することがある。

[0557] 図 5 4 (a) ～ (c) は、T F T 基板 1 0 8 A の模式的な平面図である。

図 5 4 (a) は、送受信領域 R 1 のアンテナ単位領域 U を示し、図 5 4 (b) は、非送受信領域 R 2 に設けられたゲート端子部 G T 、 C S 端子部 C T 、トランスファー端子部 P T 、ゲートソース接続部 S G 、および、C S ソース接続部 S C を示し、図 5 4 (c) は、非送受信領域 R 2 に設けられたソース端子部 S T を示している。

[0558] 図 5 5 (a) ～ (e) および図 5 6 (a) ～ (c) は、それぞれ、T F T 基板 1 0 8 A の模式的な断面図である。図 5 5 (a) は、図 5 4 (a) 中の A - A ' 線に沿ったアンテナ単位領域 U の断面を示し、図 5 5 (b) は、図 5 4 (b) 中の B - B ' 線に沿ったゲートソース接続部 S G の断面を示し、図 5 5 (c) は、図 5 4 (b) 中の C - C ' 線に沿ったゲート端子部 G T の断面を示し、図 5 5 (d) は、図 5 4 (c) 中の D - D ' 線に沿ったソース端子部 S T の断面を示し、図 5 5 (e) は、図 5 4 (b) 中の E - E ' 線に沿った第 2 トランスファー端子部 P T 2 の断面を示し、図 5 6 (a) は、図 5 4 (b) 中の F - F ' 線に沿った第 1 トランスファー端子部 P T 1 の断面を示し、図 5 6 (b) は、図 5 4 (b) 中の G - G ' 線に沿ったゲートソース接続部 S G の断面を示し、図 5 6 (c) は、図 5 4 (b) 中の H - H ' 線に沿ったゲートソース接続部 S G の断面を示している。

[0559] T F T 基板 1 0 8 A は、第 1 トランスファー端子部 P T 1 において、T F T 基板 1 0 7 A と異なる構造を有する。T F T 基板 1 0 8 A の第 1 トランス

ファースター部PT1は、TFT基板106Aの第1トランスファースター部PT1と同様の構造を有する。

[0560] このような構成を有するTFT基板108Aにおいても、TFT基板105Aと同様の効果を得ることができる。

[0561] また、TFT基板108Aは、導電層19の形状において、TFT基板107Aと異なる構造を有する。TFT基板108Aにおいては、TFT基板105Aと同様に、ゲートメタル層3の少なくとも一部は、導電層19に覆われていない。

[0562] なお、TFT基板108Aにおいて、ゲートメタル層3の上面および側面は、全て導電層19に覆われていてもよい。

[0563] ・TFT基板108Aの製造方法

図57(a)～(c)を参照して、TFT基板108Aの製造方法を説明する。図57(a)～(c)は、TFT基板108Aの製造方法の一例を示す工程断面図である。これらの図は、それぞれ、図55(a)～(c)および図56(a)に対応する断面を示している。以下では、TFT基板107Aの製造方法と異なる点を主に説明する。

[0564] まず、図34(a)～(e)および図35(a)～(b)を参照して説明したのと同様に、誘電体基板1上に、下地絶縁層20、島状の酸化物半導体層5、ソースメタル層7、第1絶縁膜4、およびゲートメタル層3を形成する。ただし、ここでは、ゲート用導電膜3'として、MoNbNi膜（厚さ：例えば300nm）を形成する点において、TFT基板107Aの製造方法と異なる。ここでは、ゲート用導電膜3'のパターニングは、例えばウェットエッチングによって行う。また、ここでは、ソースメタル層7は、第1トランスファースター部形成領域において、下部接続部7p1Bを含む。

[0565] 次に、公知のフォトリソグラフィプロセスによって、第1絶縁膜4のエッチングを行うことにより、図57(a)に示すように、ゲート絶縁層4を得る。この工程は、図49(a)を参照して説明した工程と同様に行われる。

[0566] 次いで、図57(b)に示すように、ゲート絶縁層4上、ゲートメタル層3上、開口部4a内、開口部4g内、開口部4s内、開口部4c内、開口部4p1B内、開口部4p2内、開口部4sg1内、および開口部4sc1内に、導電膜19'を形成する。この工程は、TFT基板106Aの製造方法の内の、図49(b)を参照して説明した工程と同様に行われる。

[0567] 次いで、導電膜19'をパターニングすることにより、図57(c)に示すように導電層19を得る。この工程は、図49(c)を参照して説明した工程と同様に行われる。ただし、ここでは、導電層19は、アンテナ単位領域Uにおいて、ゲートバスラインGLおよびゲート電極3Gを覆うカバー部19g1と、CSバスラインCLおよび上部補助容量電極3Cを覆うカバー部19c1とを有しない。

[0568] このようにして、TFT基板108Aが製造される。

[0569] このように、TFT基板108Aは5枚のフォトマスクを用いて製造することができる。

[0570] 本発明の実施形態による走査アンテナは、必要に応じて、例えばプラスチック製の筐体に收容される。筐体にはマイクロ波の送受信に影響を与えない誘電率 ϵ_M が小さい材料を用いることが好ましい。また、筐体の送受信領域R1に対応する部分には貫通孔を設けてもよい。さらに、液晶材料が光に曝されないように、遮光構造を設けてもよい。遮光構造は、例えば、TFT基板101の誘電体基板1および／またはスロット基板201の誘電体基板51の側面から誘電体基板1および／または51内を伝播し、液晶層に入射する光を遮光するように設ける。誘電異方性 $\Delta\epsilon_M$ が大きな液晶材料は、光劣化しやすいものがあり、紫外線だけでなく、可視光の中でも短波長の青色光も遮光することが好ましい。遮光構造は、例えば、黒色の粘着テープなどの遮光性のテープを用いることによって、必要な個所に容易に形成できる。

産業上の利用可能性

[0571] 本発明による実施形態は、例えば、移動体（例えば、船舶、航空機、自動車）に搭載される衛星通信や衛星放送用の走査アンテナおよびその検査に用

いられる。

符号の説明

- [0572] 1 : 誘電体基板
- 2 : 下地絶縁膜
- 3 : ゲートメタル層
- 3 C : 上部補助容量電極
- 3 G : ゲート電極
- 3 s c : C Sバスライン接続部
- 3 s g : ゲートバスライン接続部
- 4 : ゲート絶縁層
- 4 a、4 c、4 g、4 p 1 A、4 p 1 B、4 p 2、4 s、4 s c 1、4 s g 1 : 開口部
- 5 : 半導体層
- 6 D : ドレインコンタクト層
- 6 S : ソースコンタクト層
- 7 : ソースメタル層
- 7 C : 下部補助容量電極
- 7 D : ドレイン電極
- 7 S : ソース電極
- 7 P E : パッチ電極
- 7 p : ソース接続配線
- 7 c、7 g A、7 p 1 A、7 p 1 B、7 p 2、7 s A : 下部接続部
- 7 s c : C S下部接続配線
- 7 s g : ゲート下部接続配線
- 1 1 : 第1絶縁層（層間絶縁層）
- 1 1 a、1 1 c、1 1 g、1 1 p 1 A、1 1 p 1 B、1 1 p 2 : 開口部
- 1 1 s、1 1 s c 1、1 1 s c 2、1 1 s g 1、1 1 s g 2 : 開口部
- 1 5 : パッチ電極

- 15 p : パッチ接続部
- 17 : 第2絶縁層
- 18 g、18 s、18 p : 開口部
- 19 : 導電層
- 19 a : パッチ導電部
- 19 c l、19 g l : カバー部
- 19 g : ゲート端子用上部接続部
- 19 p : トランスファー端子用上部接続部
- 19 s : ソース端子用上部接続部
- 19 c、19 g A、19 p 1 A、19 p 1 B、19 p 2、19 s A : 上部接
続部
- 19 s c、19 s c A : C S 上部接続部
- 19 s g、19 s g A : ソース上部接続部
- 21 : アライメントマーク
- 23 : 保護導電層
- 32 A : 第1配向膜
- 42 A : 第2配向膜
- 51 : 誘電体基板
- 52 : 第3絶縁層
- 54 : 誘電体層（空気層）
- 55 : スロット電極
- 55 L : 下層
- 55 M : 主層
- 55 U : 上層
- 55 c : コンタクト面
- 57 : スロット
- 58 : 第4絶縁層
- 60 : 上部接続部

6 5	: 反射導電板
6 7	: 接着層
6 8	: ヒーター用抵抗膜
7 0	: 給電装置
7 1	: 導電性ビーズ
7 2	: 給電ピン
7 3	: シール部
1 0 0 A	: 液晶パネル
1 0 1、1 0 2、1 0 3、1 0 4	: T F T 基板
1 0 5、1 0 6、1 0 7、1 0 8	: T F T 基板
1 0 5 A、1 0 6 A、1 0 7 A、1 0 8 A	: T F T 基板
2 0 1、2 0 3、2 0 1 A	: スロット基板
1 0 0 0	: 走査アンテナ
C H 1、C H 2、C H 3、C H 4、C H 5、C H 6	: コンタクトホール
C H__a、C H__c、C H__g	: コンタクトホール
C H__p 1 A、C H__p 1 B、C H__p 2、C H__s	: コンタクトホール
C H__s c 1、C H__s c 2、C H__s g 1、C H__s g 2	: コンタクトホール
C L	: C S バスライン
C T	: C S 端子部
G D	: ゲートドライバ
G L	: ゲートバスライン
G T	: ゲート端子部
S C	: C S ーソース接続部
S D	: ソースドライバ
S G	: ゲートーソース接続部
S L	: ソースバスライン
S T	: ソース端子部

P T : トランスファー端子部
I T : 端子部
L C : 液晶層
R 1 : 送受信領域
R 2 : 非送受信領域
R s : シール領域
U、U 1、U 2 : アンテナ単位、アンテナ単位領域

請求の範囲

- [請求項1] 誘電体基板と、前記誘電体基板上に配列された複数のアンテナ単位領域とを有し、
- 前記複数のアンテナ単位領域を含む送受信領域と、前記送受信領域以外の領域に位置する非送受信領域とを備え、
- 前記複数のアンテナ単位領域のそれぞれは、T F Tと、前記T F Tのドレイン電極に電氣的に接続されたパッチ電極とを有するT F T基板であって、
- 前記誘電体基板に支持され、前記T F Tのソース電極、前記ドレイン電極、前記ソース電極に接続されたソースバスライン、および前記パッチ電極を含むソースメタル層と、
- 前記ソースメタル層上に形成され、前記T F Tのゲート電極および前記ゲート電極に接続されたゲートバスラインを含むゲートメタル層と、
- 前記ソースメタル層と前記ゲートメタル層との間に形成されたゲート絶縁層と、
- 前記ゲートメタル層上に形成された導電層と
- を有し、
- 前記ゲートメタル層と前記導電層との間に絶縁層を有しない、T F T基板。
- [請求項2] 前記ゲートメタル層の上面および側面は、前記導電層に覆われている、請求項1に記載のT F T基板。
- [請求項3] 前記ゲートメタル層は、C u、A l、A gおよびA uからなる群から選択される少なくとも1つの元素を含む層を含む、請求項1または2に記載のT F T基板。
- [請求項4] 前記ゲートメタル層の少なくとも一部は、前記導電層に覆われていない、請求項1に記載のT F T基板。
- [請求項5] 前記ゲートメタル層は、C u、A l、A gおよびA uからなる群か

ら選択される少なくとも1つの元素を含む層を含まない、請求項4に記載のT F T基板。

[請求項6] 前記ゲートメタル層は、T i、W、M o、T aおよびN bからなる群から選択される少なくとも1つの元素を含む層を含む、請求項1から5のいずれかに記載のT F T基板。

[請求項7] 前記導電層は、透明導電層を含む、請求項1から6のいずれかに記載のT F T基板。

[請求項8] 前記導電層は、
透明導電層を含む第1導電層と、
前記第1導電層の下に形成され、T i層、M o N b層、M o N b N i層、M o W層、W層およびT a層からなる群から選択される少なくとも1つの層から形成されている第2導電層と
を含む、請求項1から7のいずれかに記載のT F T基板。

[請求項9] 前記非送受信領域に配置されたソース端子部をさらに有し、
前記ソース端子部は、
前記ソースメタル層に含まれ、前記ソースバスラインと電氣的に接続されたソース端子用下部接続部と、
前記ゲート絶縁層に形成され、前記ソース端子用下部接続部に達する第1開口部と、
前記導電層に含まれ、前記第1開口部内で前記ソース端子用下部接続部と接続されているソース端子用上部接続部と
を有する、請求項1から8のいずれかに記載のT F T基板。

[請求項10] 前記非送受信領域に配置されたゲートソース接続部をさらに有し、
前記ゲートソース接続部は、
前記ソースメタル層に含まれ、前記ソースバスラインと電氣的に分離されたゲート下部接続配線と、
前記ゲート絶縁層に形成され、前記ゲート下部接続配線に達する

第2開口部と、

前記ゲートメタル層に含まれ、前記ゲートバスラインに接続されたゲートバスライン接続部と、

前記導電層に含まれ、前記第2開口部内で前記ゲート下部接続配線と接続され、かつ、前記ゲートバスライン接続部と接続されているゲート上部接続部と

を有する、請求項1から9のいずれかに記載のTFT基板。

[請求項11]

前記非送受信領域に配置されたゲート端子部をさらに有し、

前記ゲート端子部は、

前記ソースメタル層に含まれ、前記ゲート下部接続配線と電氣的に接続されたゲート端子用下部接続部と、

前記ゲート絶縁層に形成され、前記ゲート端子用下部接続部に達する第3開口部と、

前記導電層に含まれ、前記第3開口部内で前記ゲート端子用下部接続部と接続されているゲート端子用上部接続部と

を有する、請求項10に記載のTFT基板。

[請求項12]

前記ゲート絶縁層は、前記パッチ電極に達する第4開口部をさらに有し、

前記導電層は、前記パッチ電極の内、前記第4開口部によって露出されている部分を覆うパッチ導電部を含む、請求項1から11のいずれかに記載のTFT基板。

[請求項13]

請求項1から12のいずれかに記載のTFT基板と、

前記TFT基板と対向するように配置されたスロット基板と、

前記TFT基板と前記スロット基板との間に設けられた液晶層と、

前記スロット基板の前記液晶層と反対側の表面に誘電体層を介して対向するように配置された反射導電板と

を備え、

前記TFT基板は、前記導電層を覆う第1配向膜をさらに有し、

前記スロット基板は、他の誘電体基板と、前記他の誘電体基板の前記液晶層側の表面に形成されたスロット電極と、前記スロット電極を覆う第2配向膜とを有し、

前記スロット電極は複数のスロットを有し、前記複数のスロットは、前記TFT基板の前記複数のアンテナ単位領域における前記パッチ電極に対応して配置されている、走査アンテナ。

[請求項14] 前記第1配向膜は、前記導電層と接触しており、前記ゲート金属層と接触していない、請求項2を引用する請求項13に記載の走査アンテナ。

[請求項15] 前記第1配向膜は、前記ゲート金属層と接触している、請求項4を引用する請求項13に記載の走査アンテナ。

[請求項16] 請求項1から12のいずれかに記載のTFT基板の製造方法であって、

前記誘電体基板上にソース用導電膜を形成し、前記ソース用導電膜をパターニングすることにより、前記ソース金属層を形成する工程(a)と、

前記ソース金属層を覆う第1絶縁膜を堆積する工程(b)と、

前記第1絶縁膜のエッチングを行うことによって、前記ゲート絶縁層を得る工程(c)と、

前記第1絶縁膜上または前記ゲート絶縁層上にゲート用導電膜を形成し、前記ゲート用導電膜をパターニングすることにより、前記ゲート金属層を形成する工程(d)と、

前記ゲート金属層上に前記導電層を形成する工程(e)とを包含する、TFT基板の製造方法。

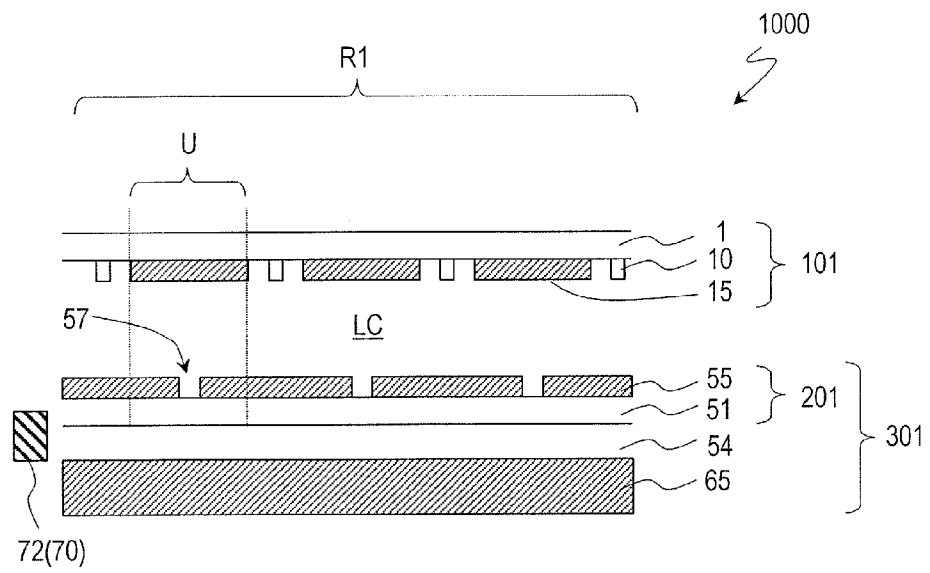
[請求項17] 前記工程(d)は、前記工程(c)の前に行われ、前記第1絶縁膜上に前記ゲート用導電膜を形成する工程を包含する、請求項16に記載のTFT基板の製造方法。

[請求項18] 前記工程(d)は、前記工程(c)の後に行われ、前記ゲート絶縁

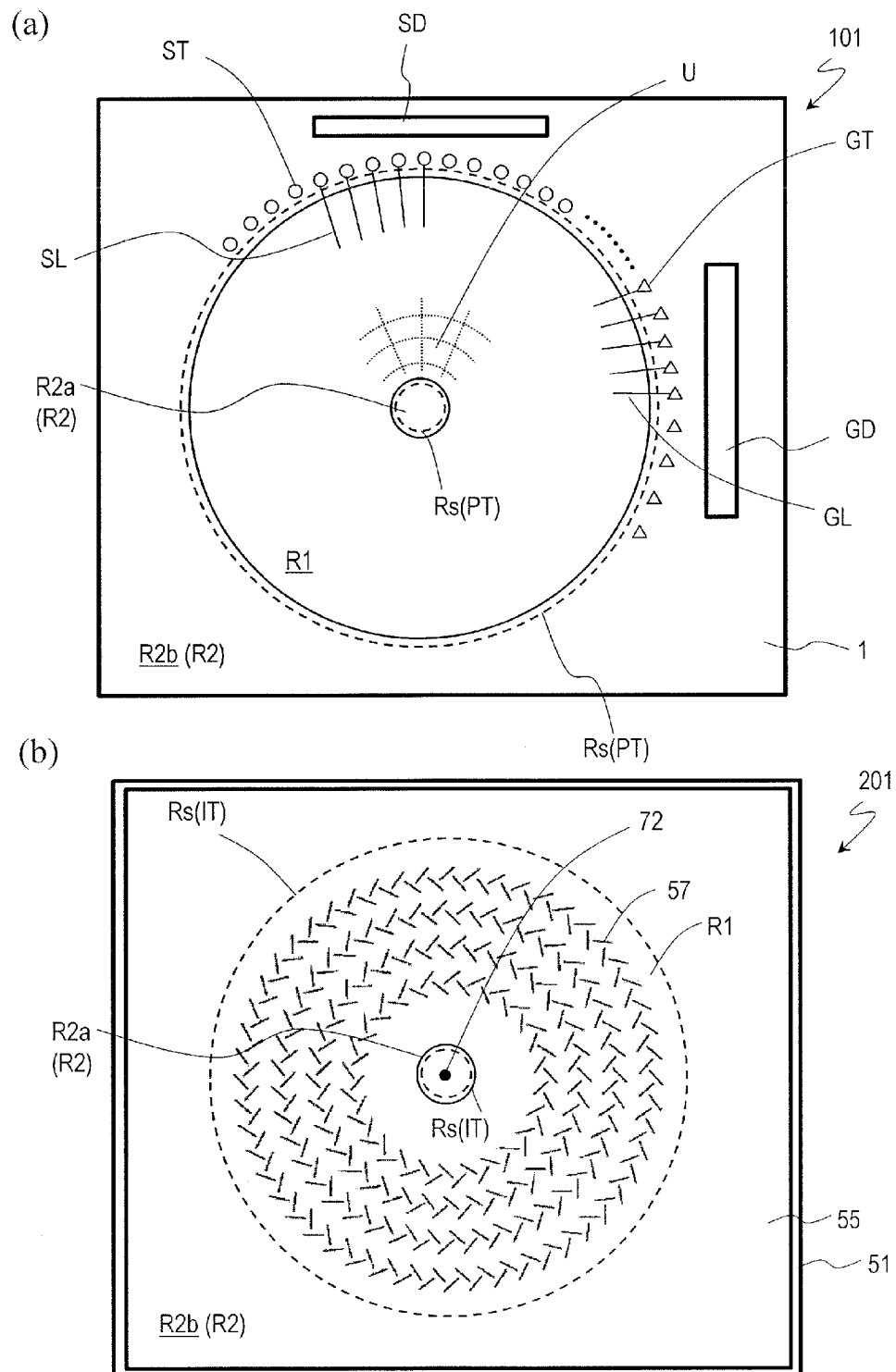
層上に前記ゲート用導電膜を形成する工程を包含する、請求項 16 に記載の T F T 基板の製造方法。

[請求項19] 前記工程（c）は、前記第 1 絶縁膜に前記第 1 開口部を形成する工程を包含する、請求項 9 を引用する請求項 16 に記載の T F T 基板の製造方法。

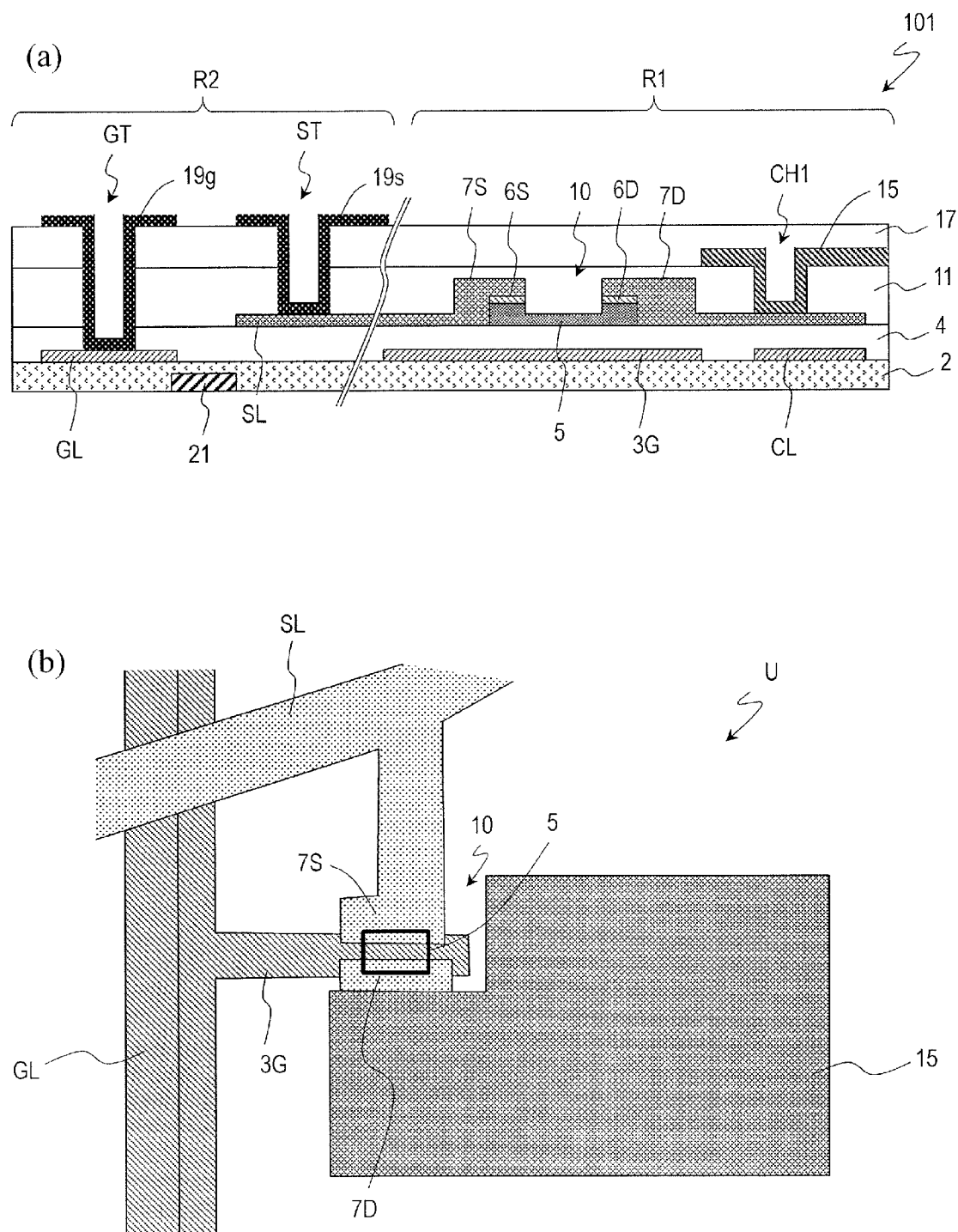
[図1]



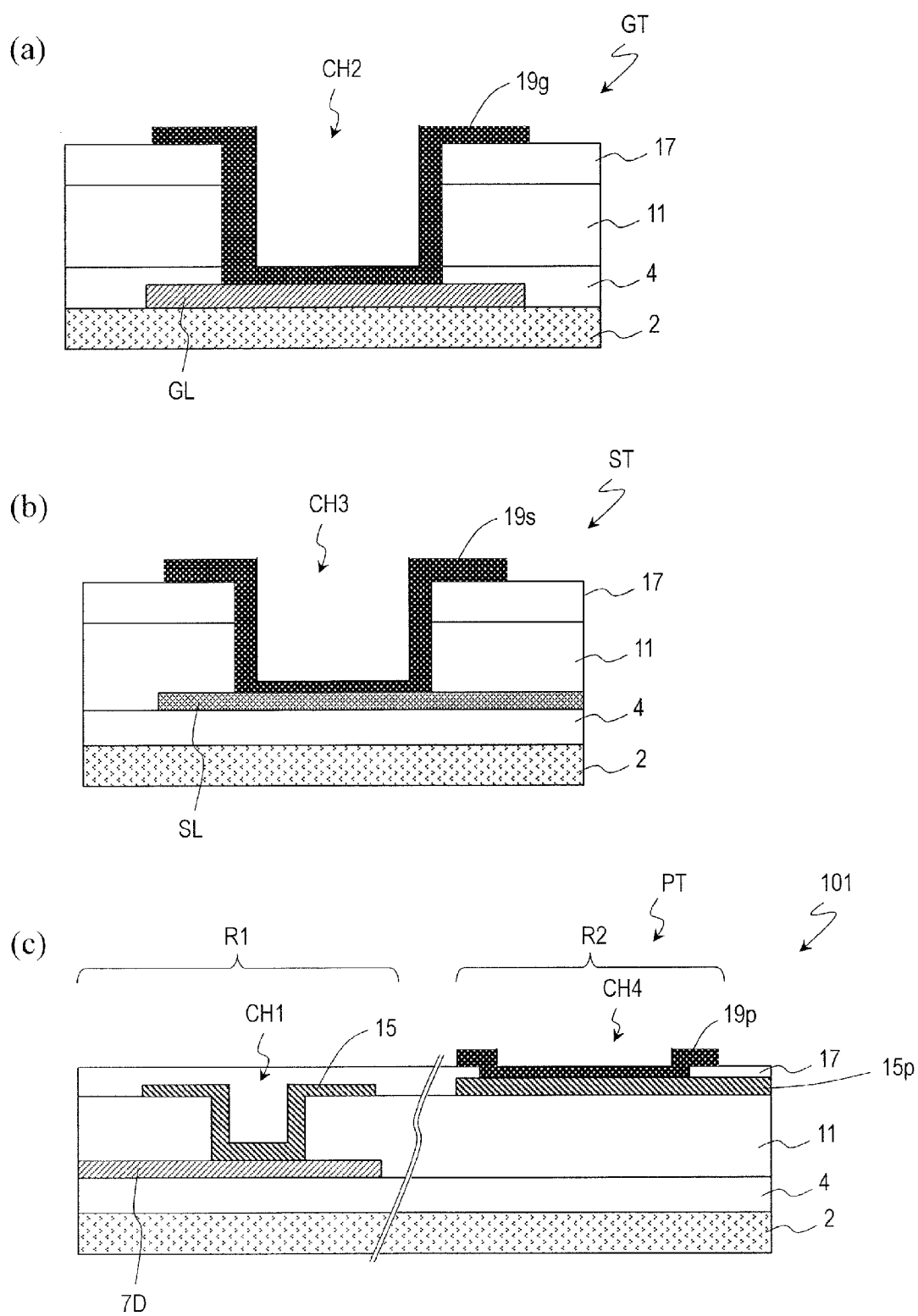
[図2]



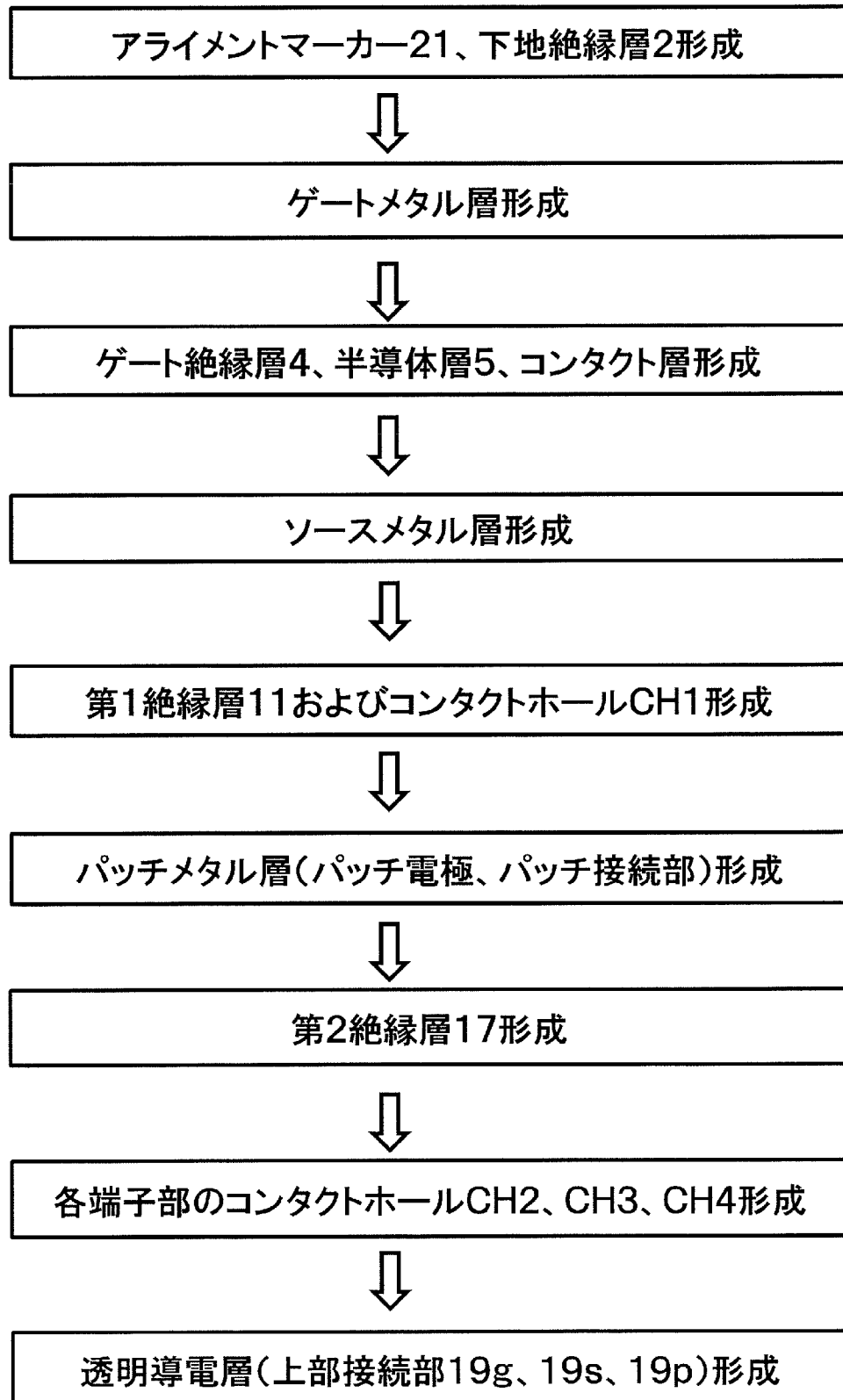
[図3]



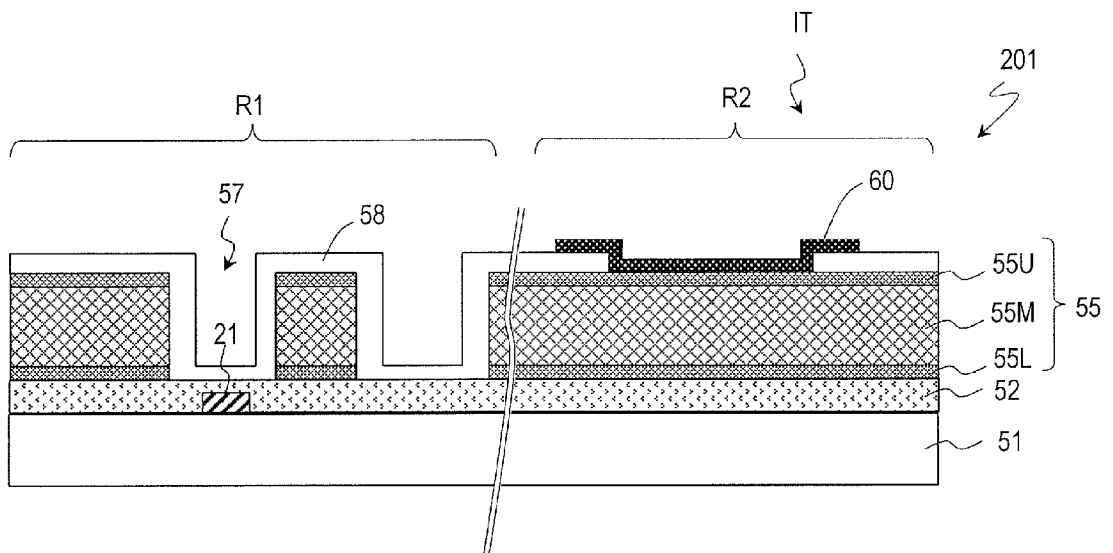
[図4]



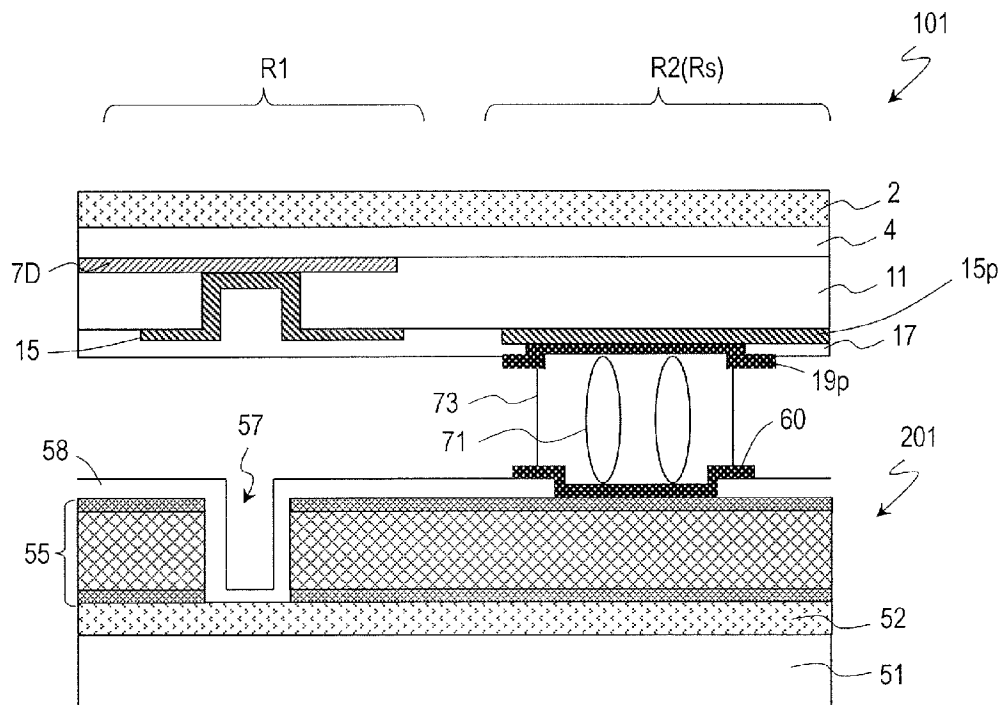
[図5]

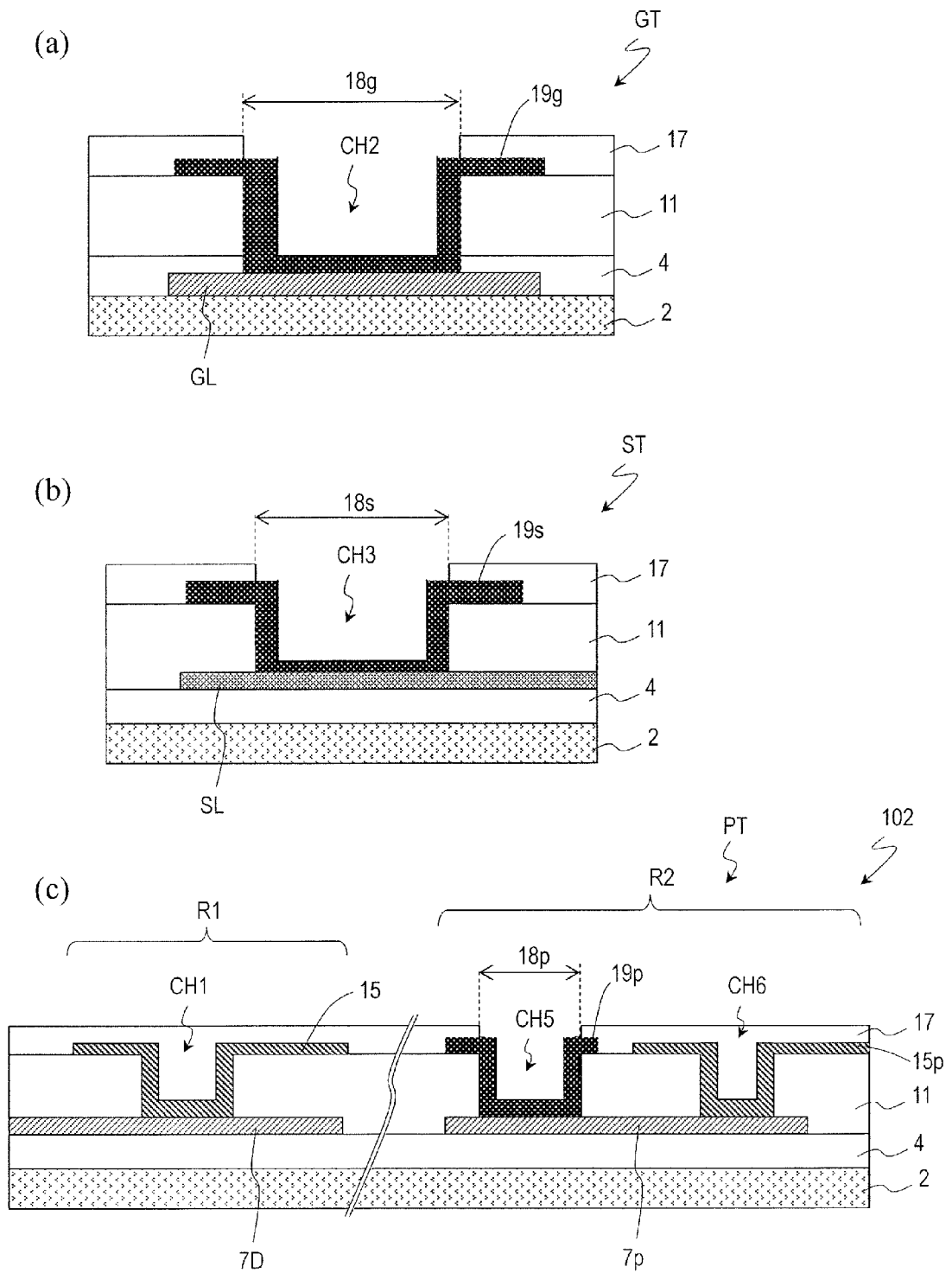


[図6]

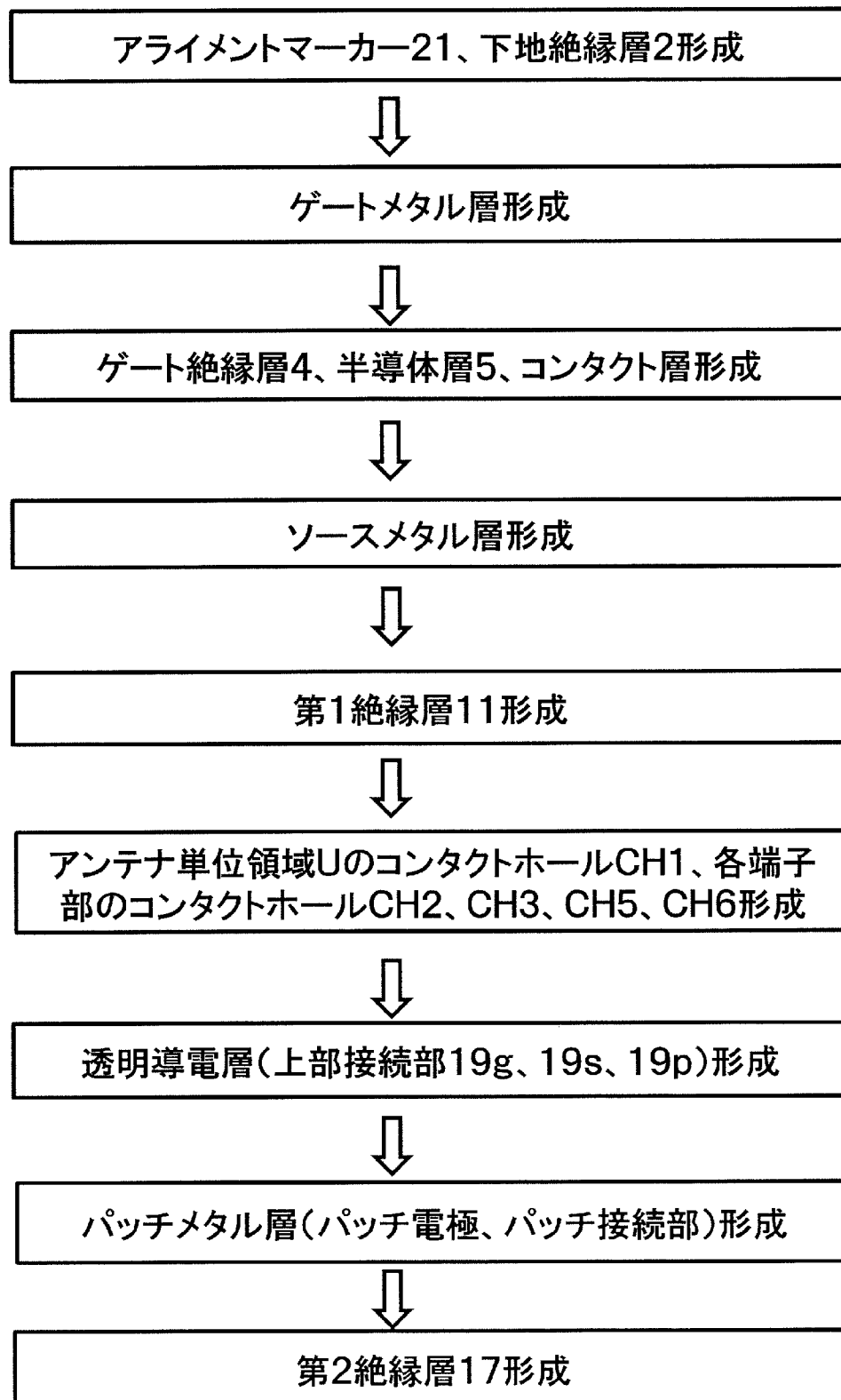


[図7]

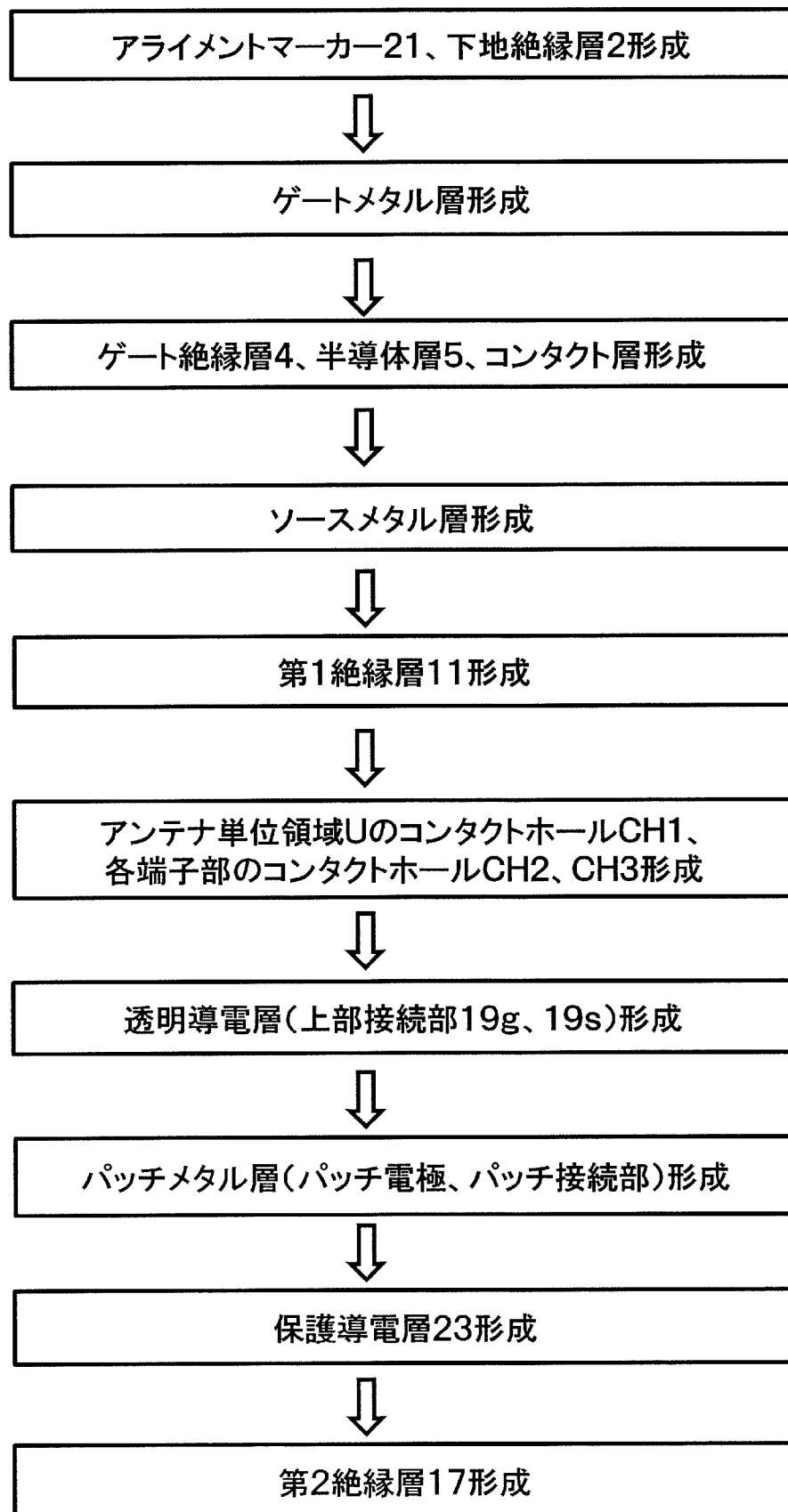


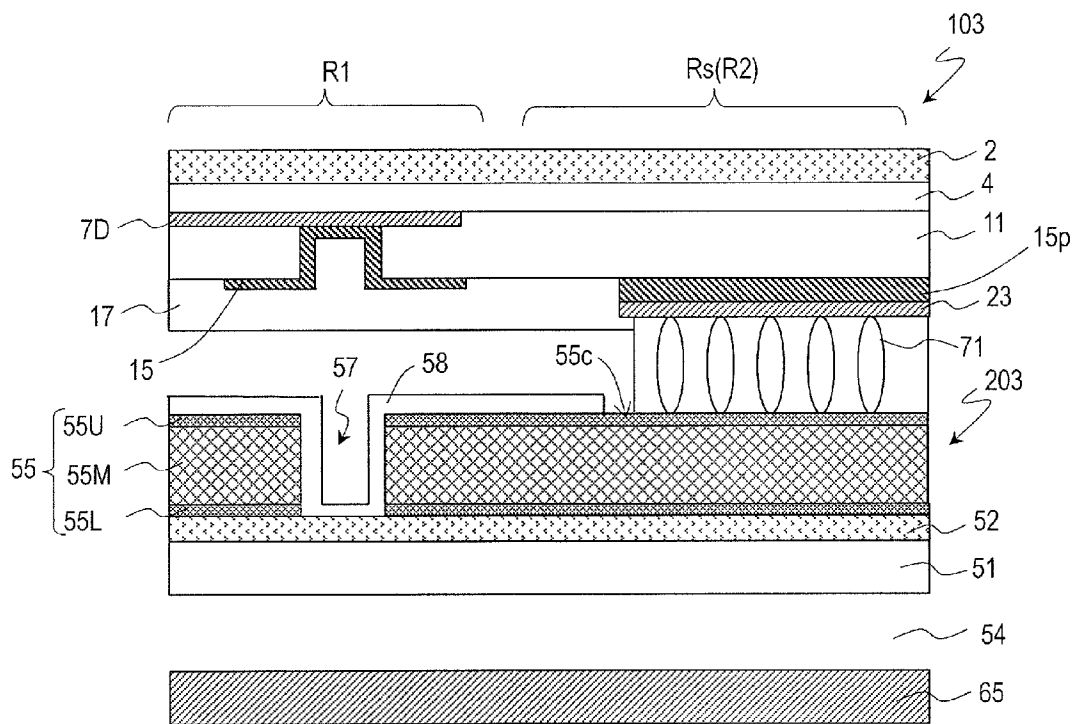


[図9]



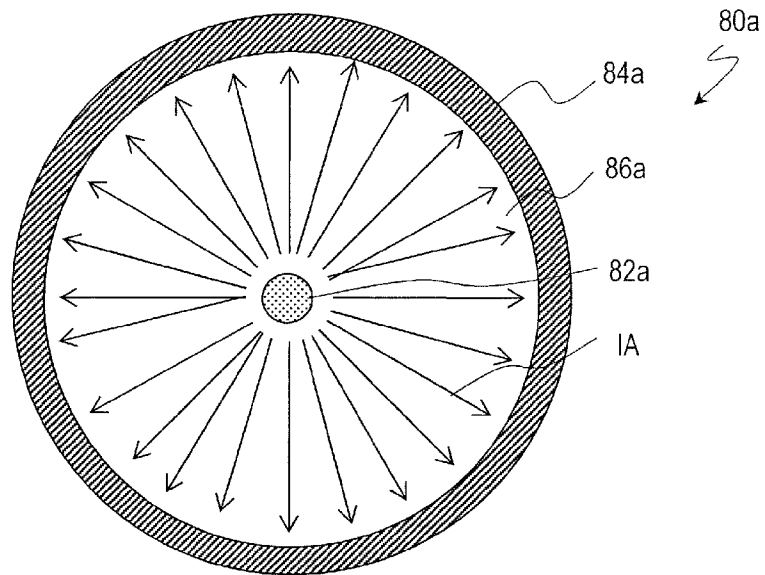
[図11]



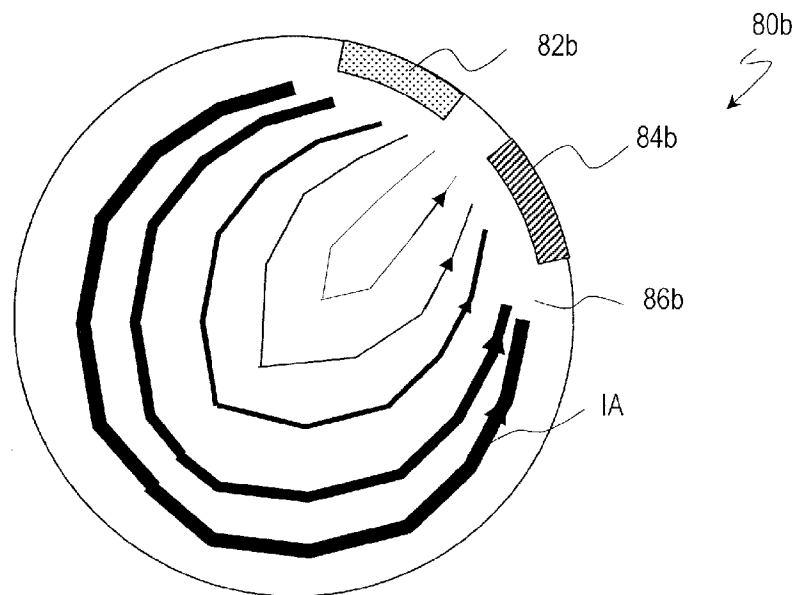


[図14]

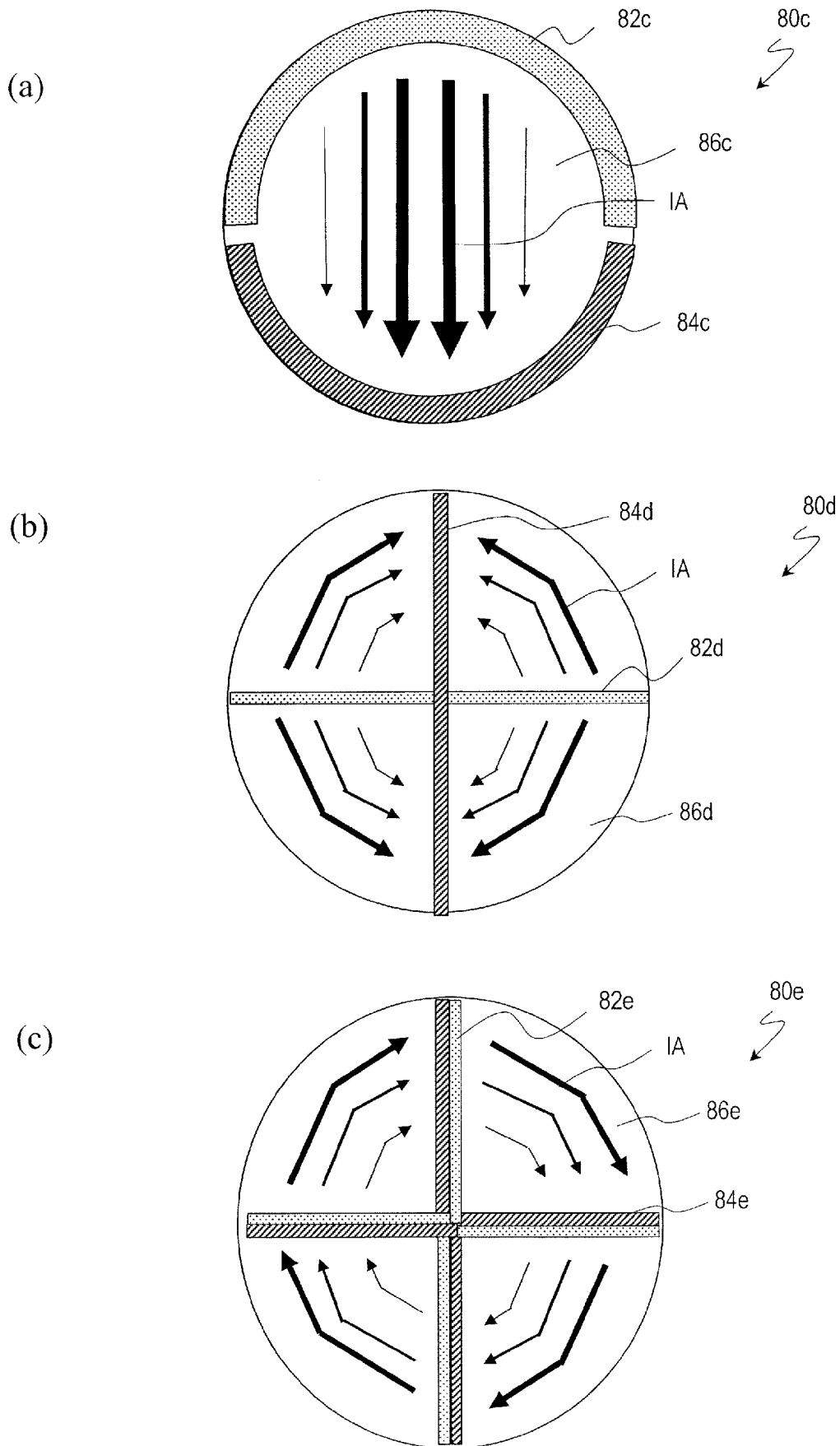
(a)



(b)

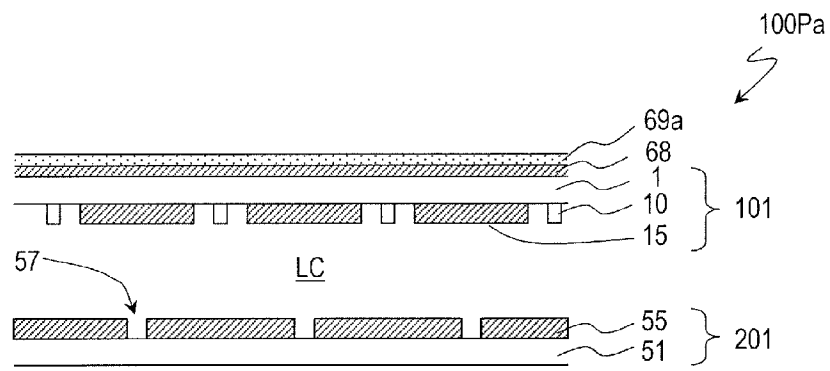


[図15]

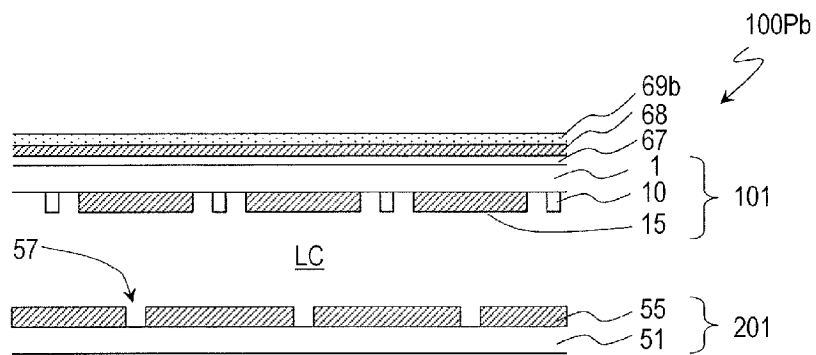


[図16]

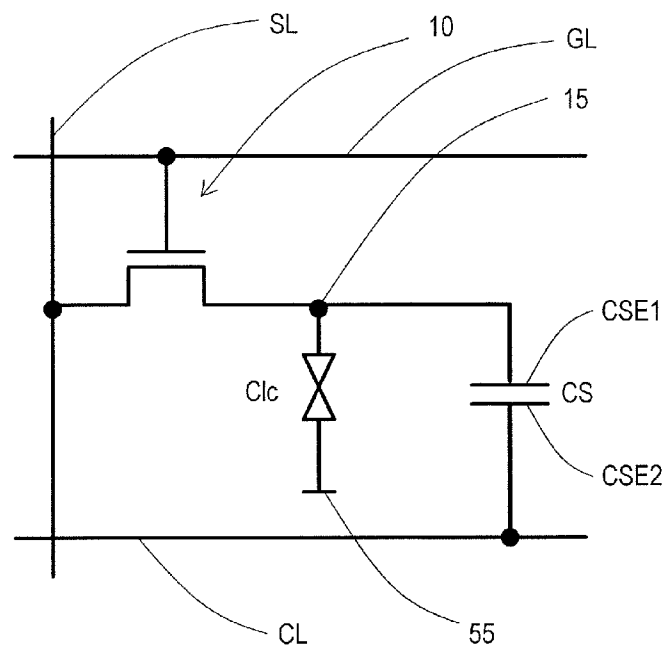
(a)



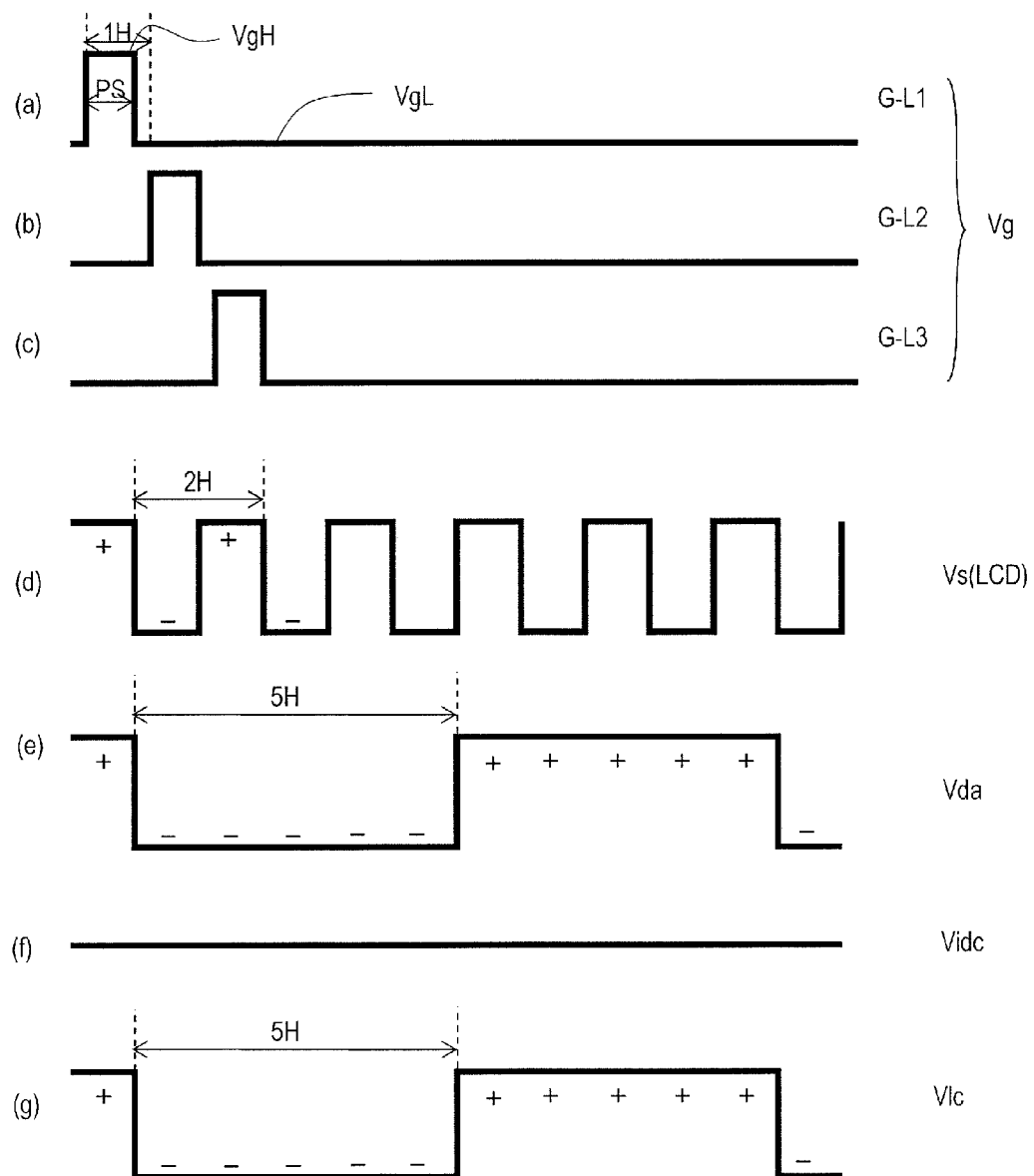
(b)



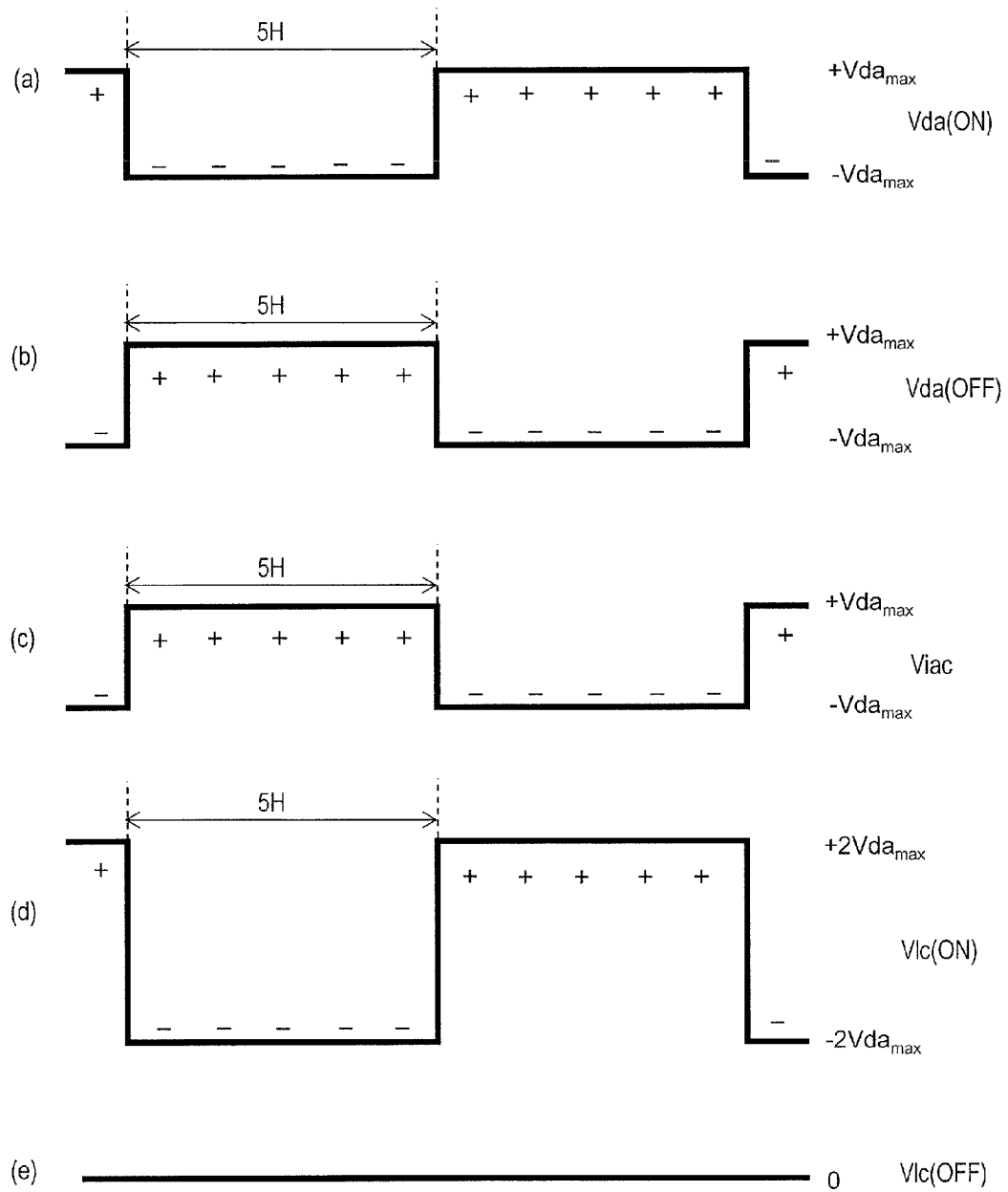
[図17]



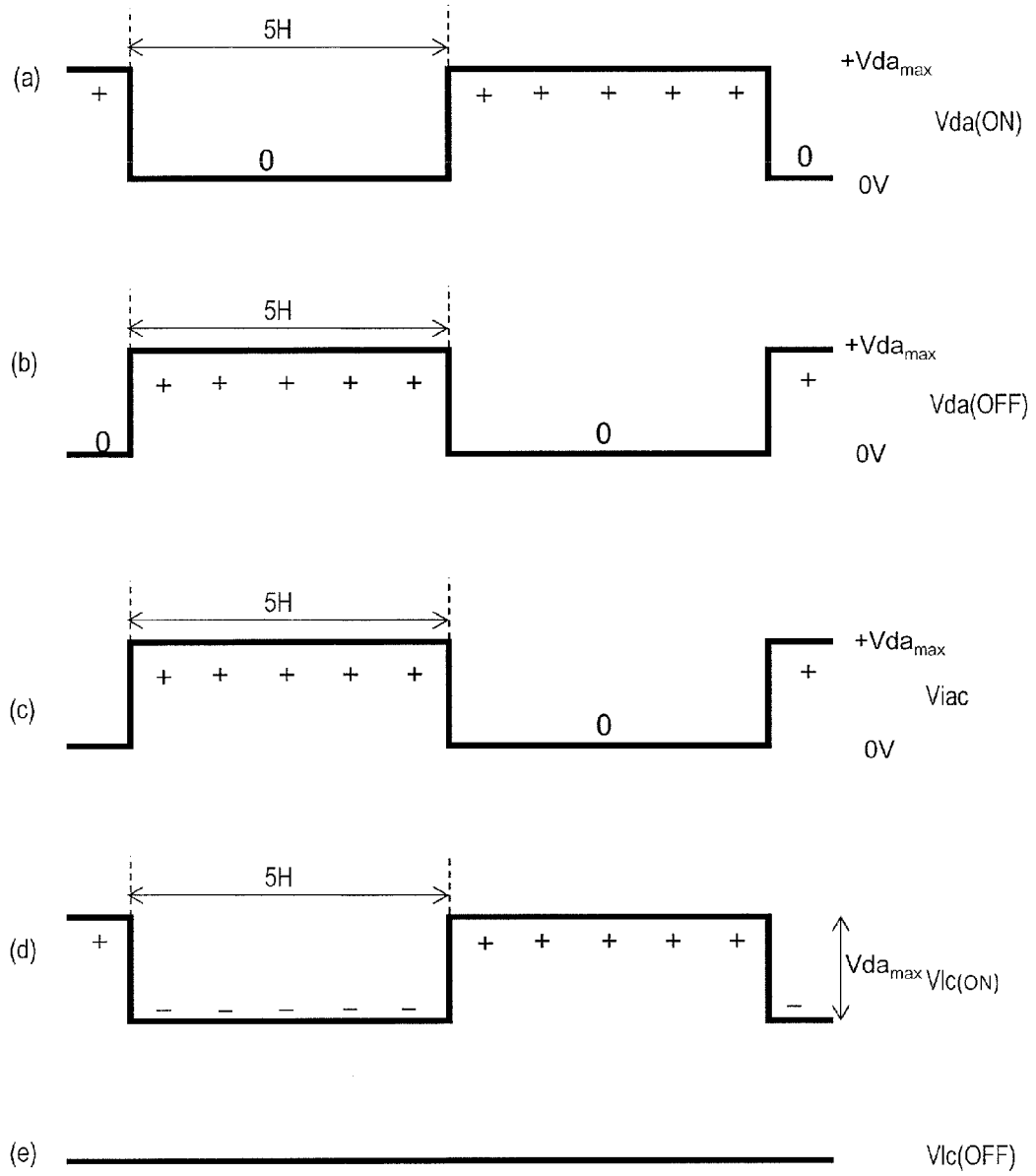
[図18]



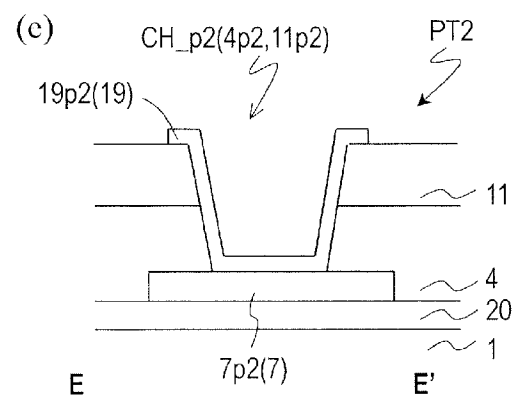
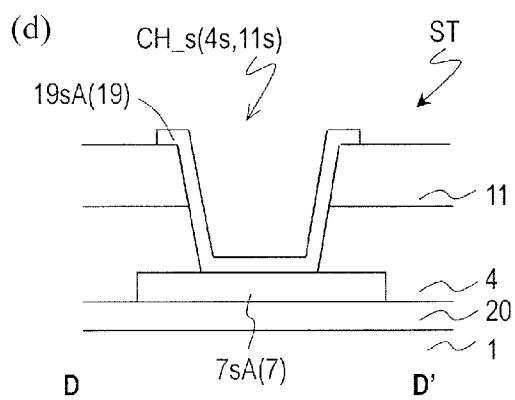
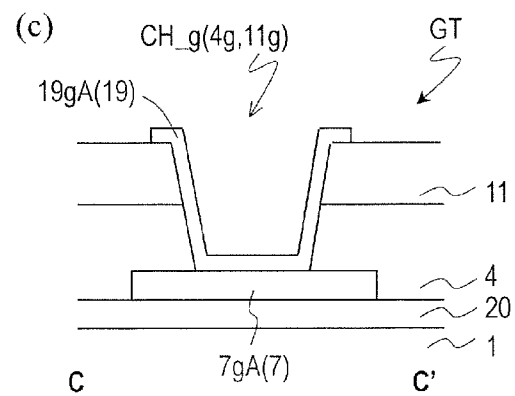
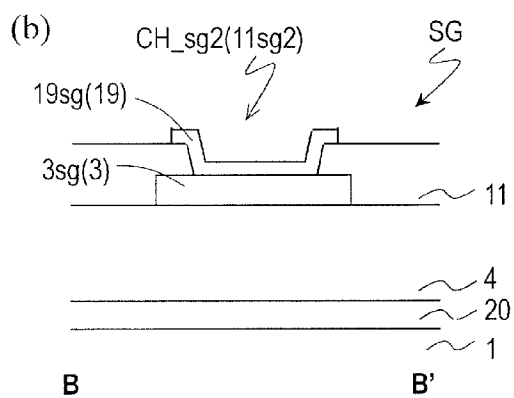
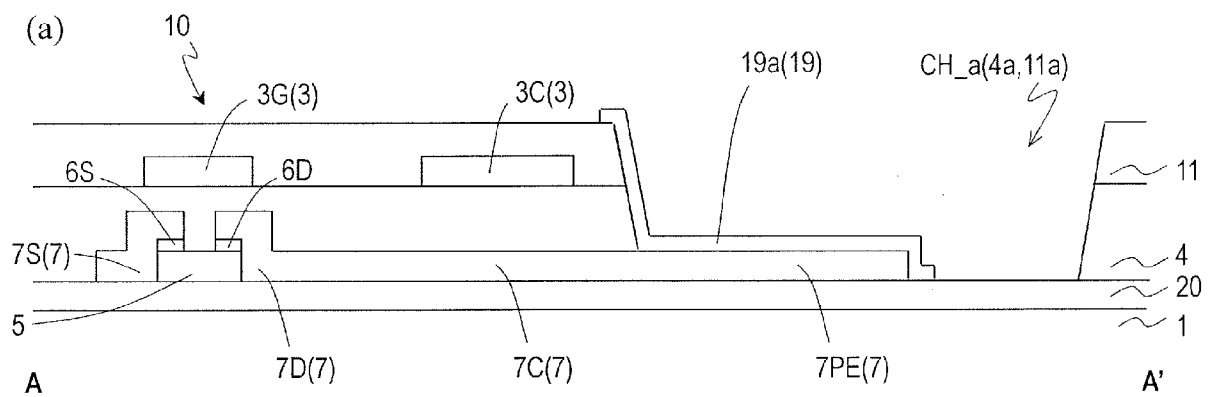
[図19]



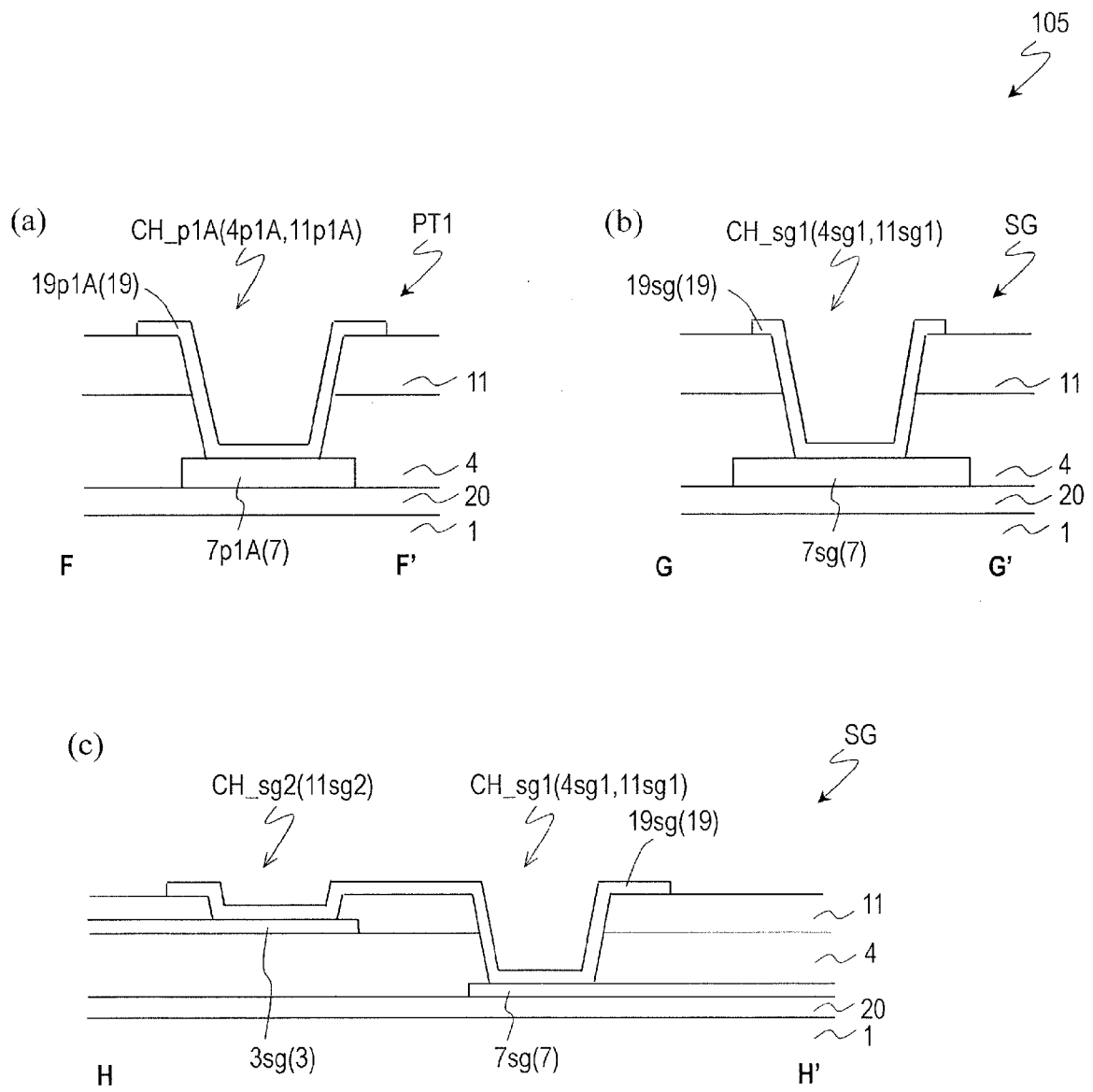
[図20]



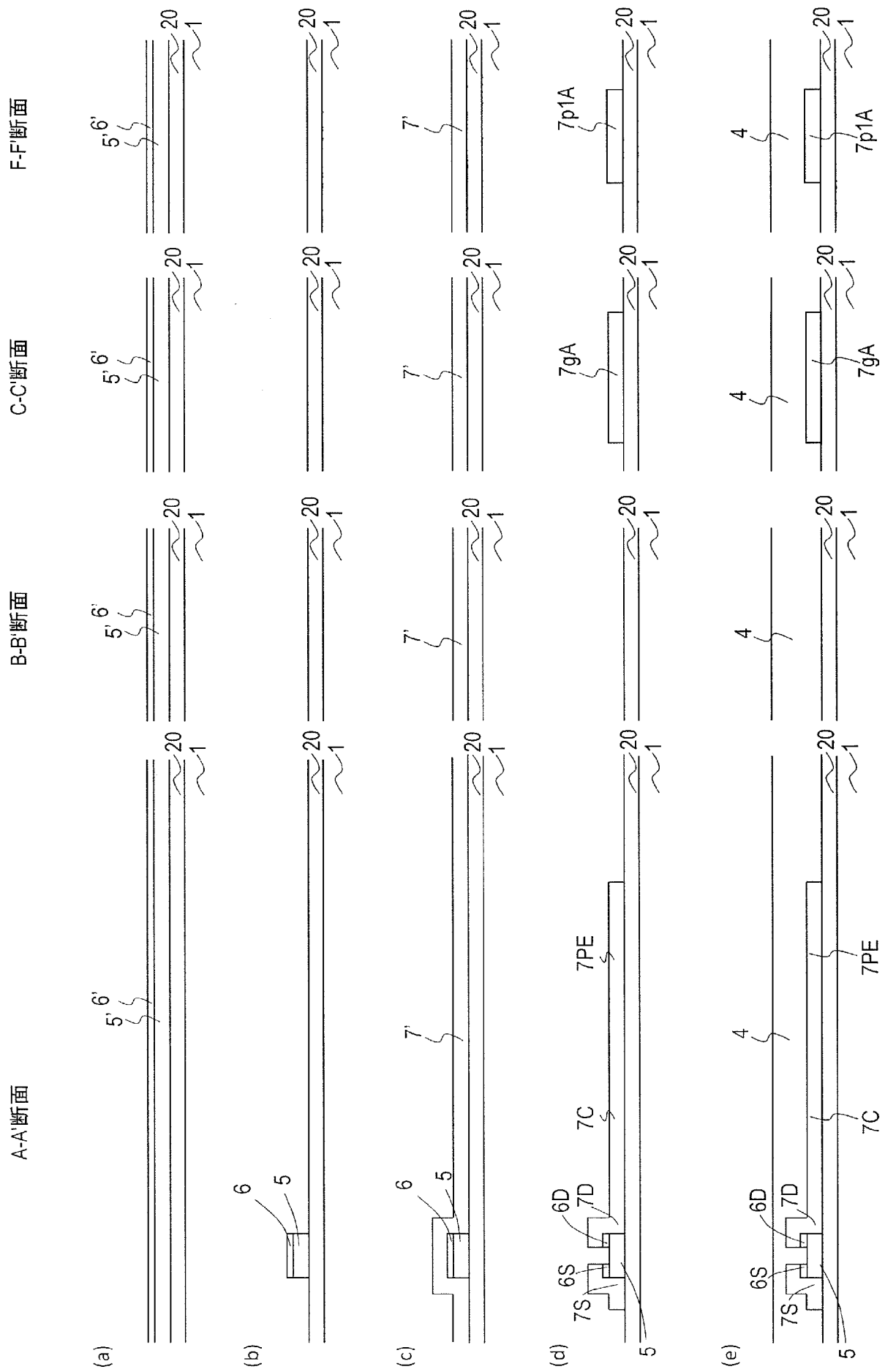
105



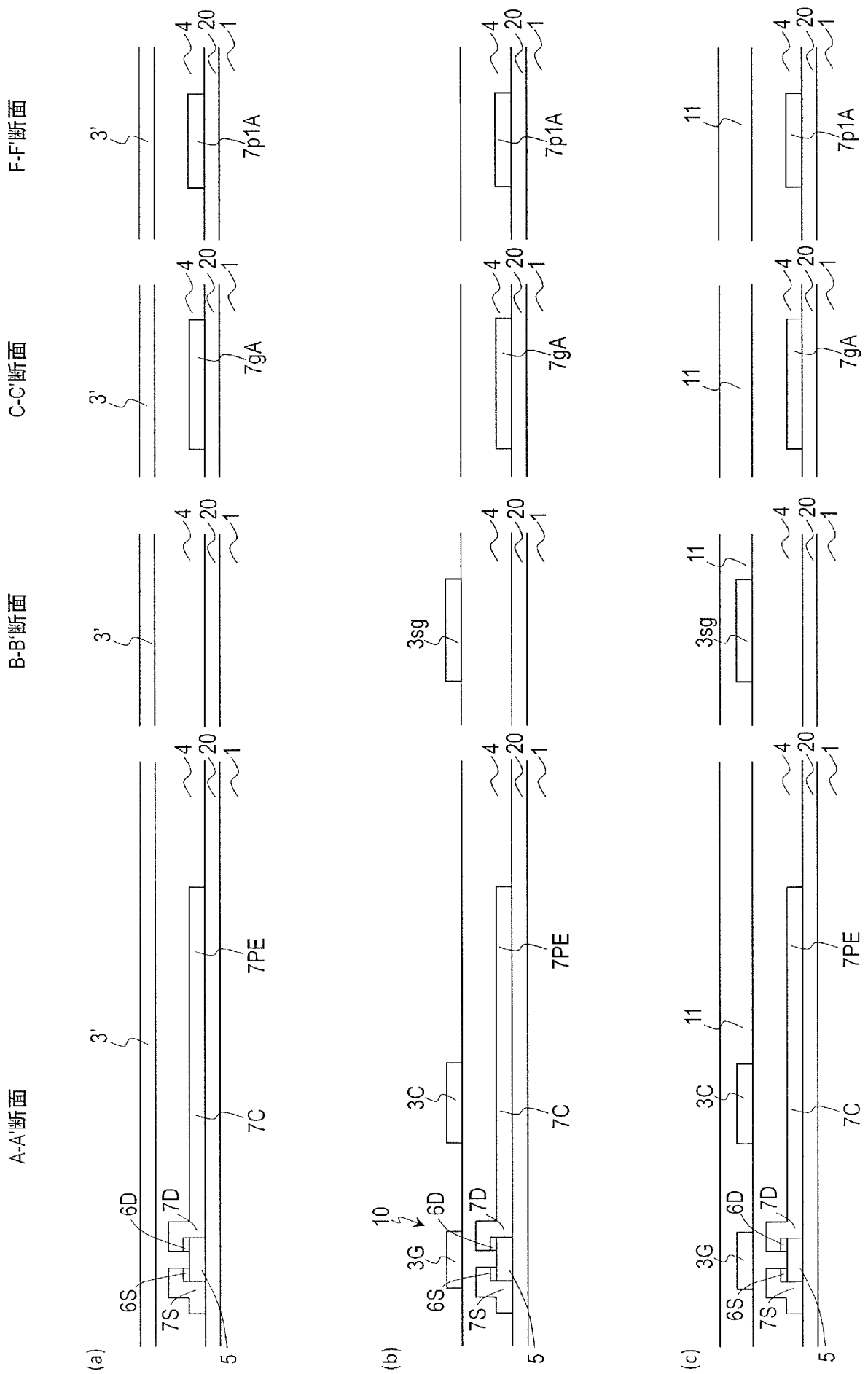
[図23]



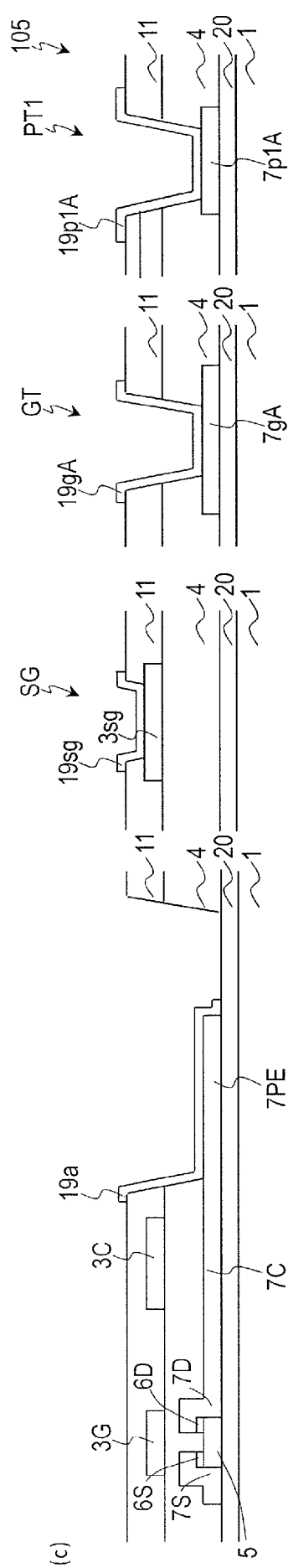
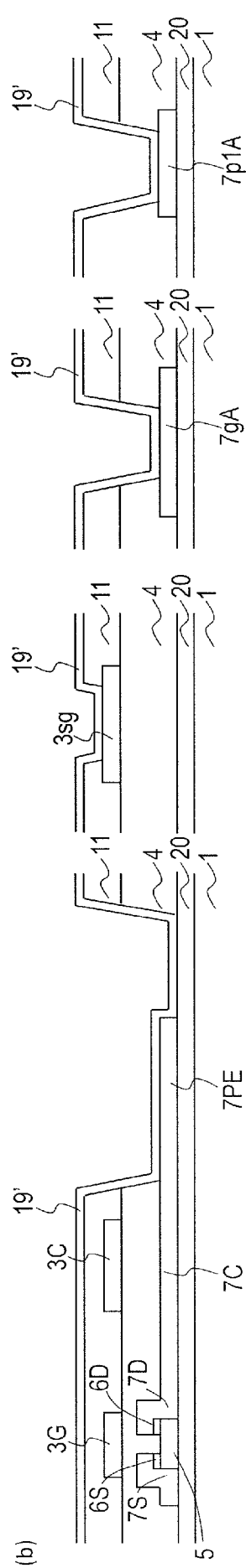
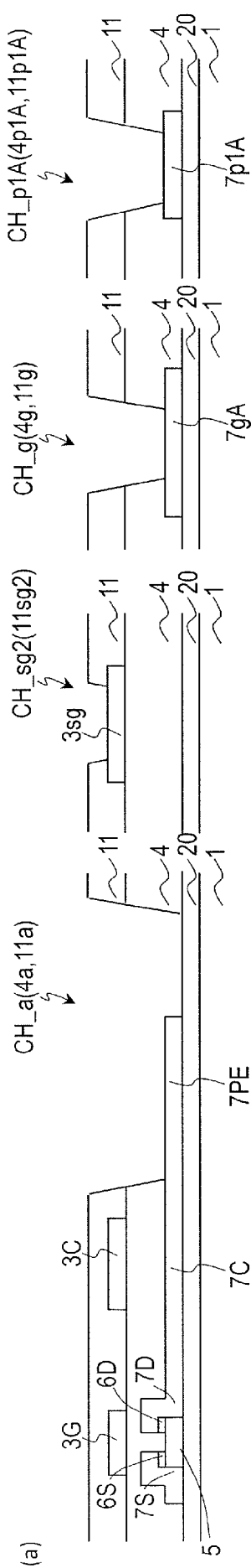
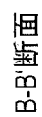
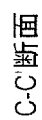
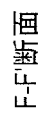
[図24]



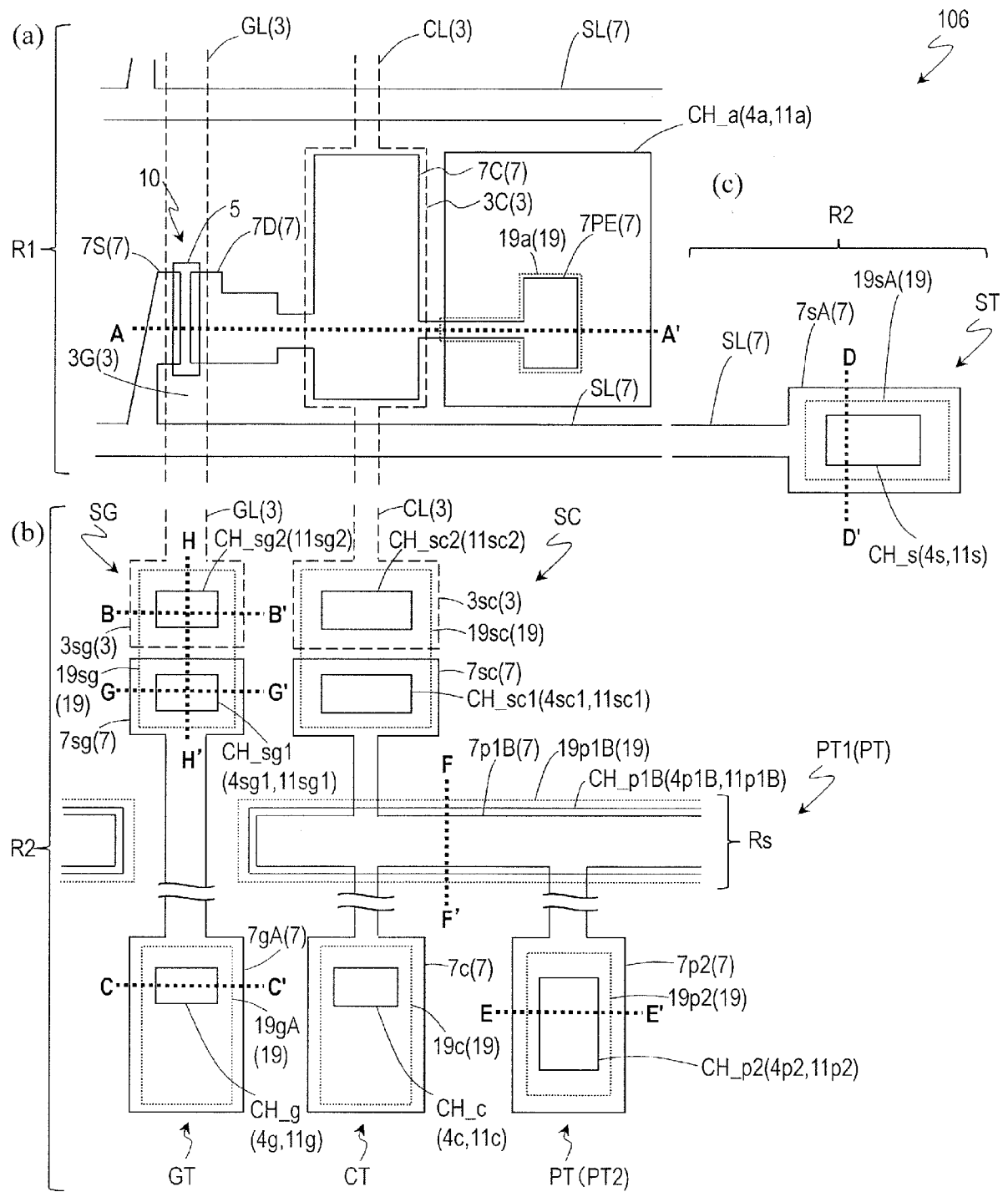
[図25]



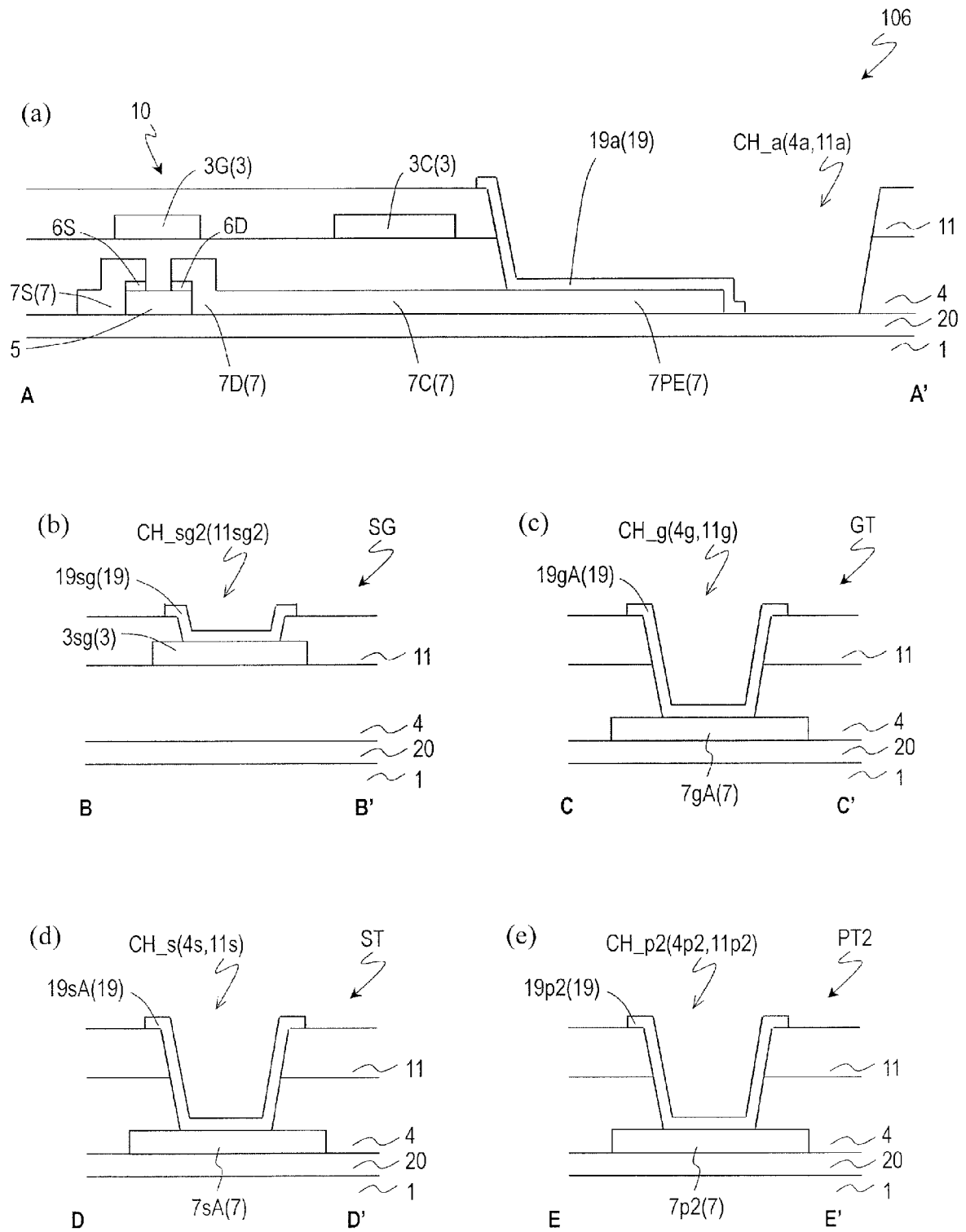
A-A'断面



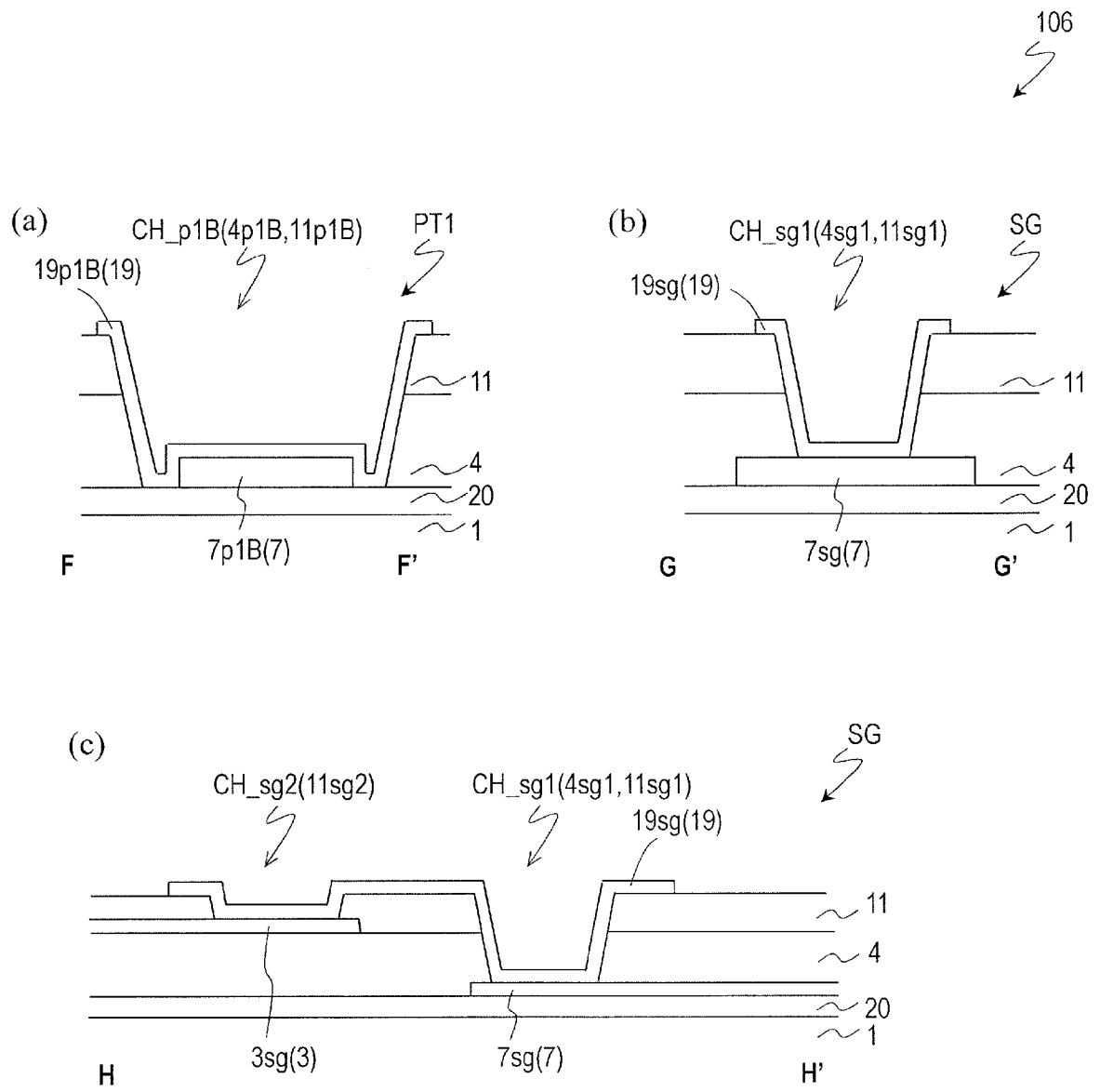
[図27]



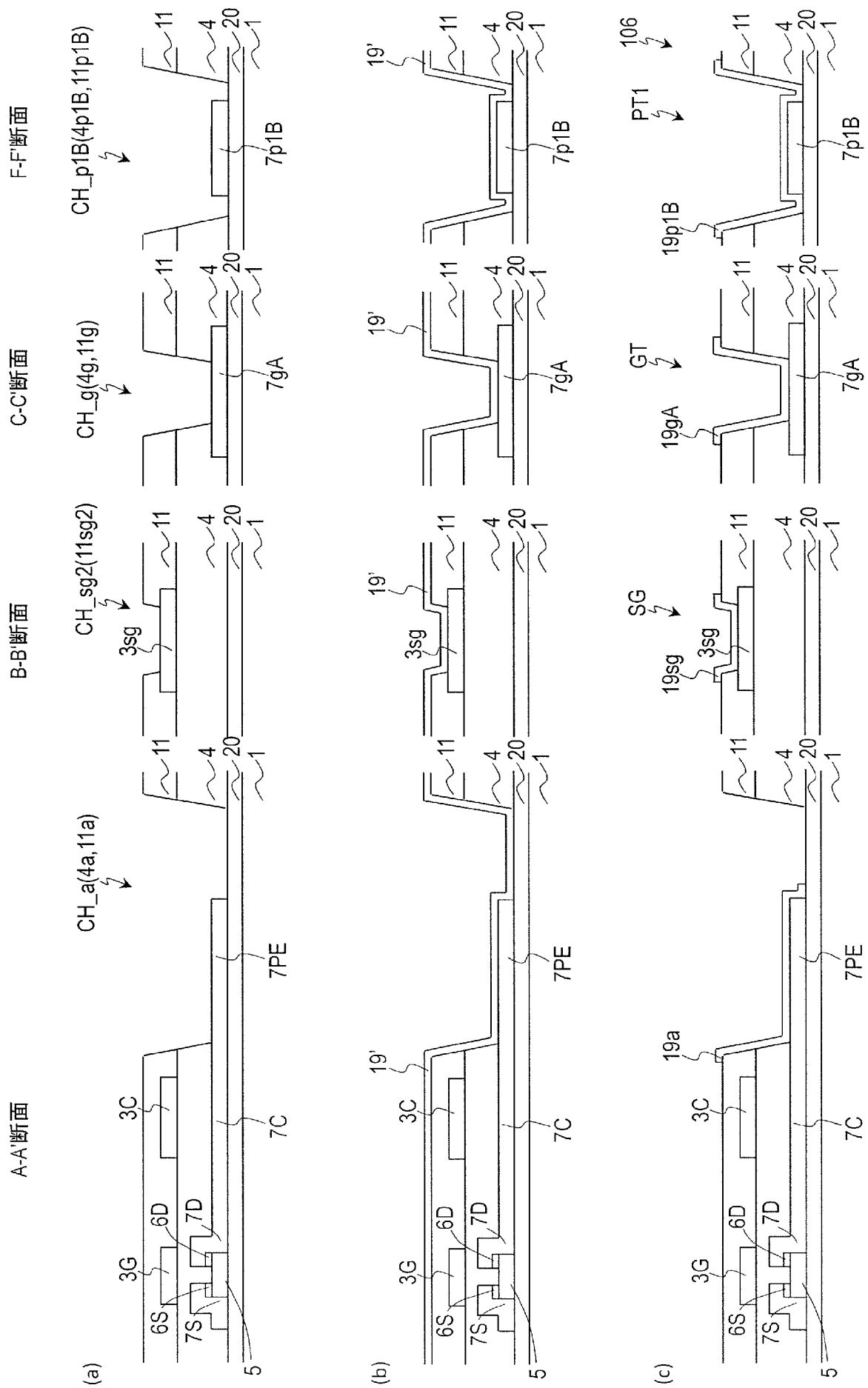
[図28]



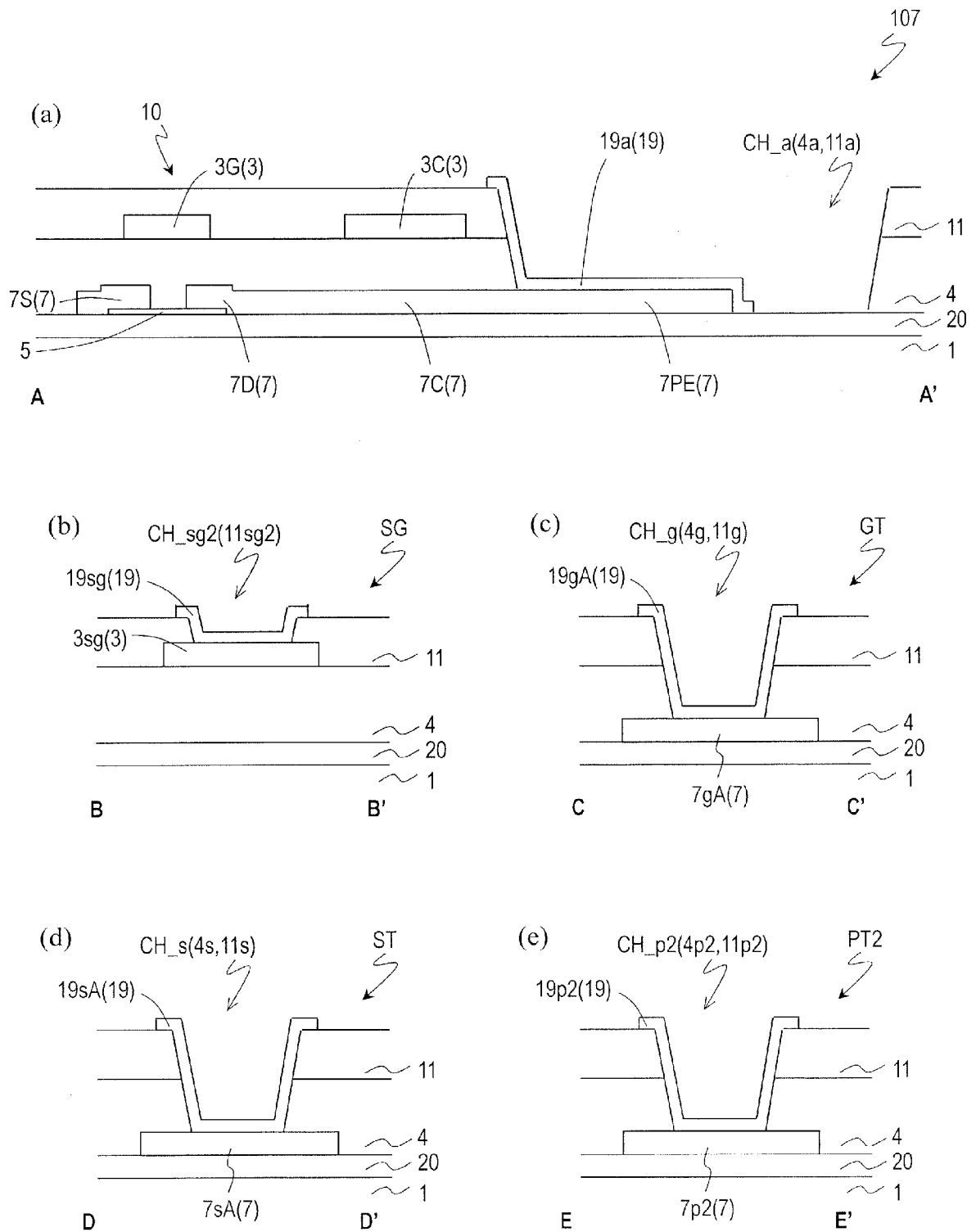
[図29]



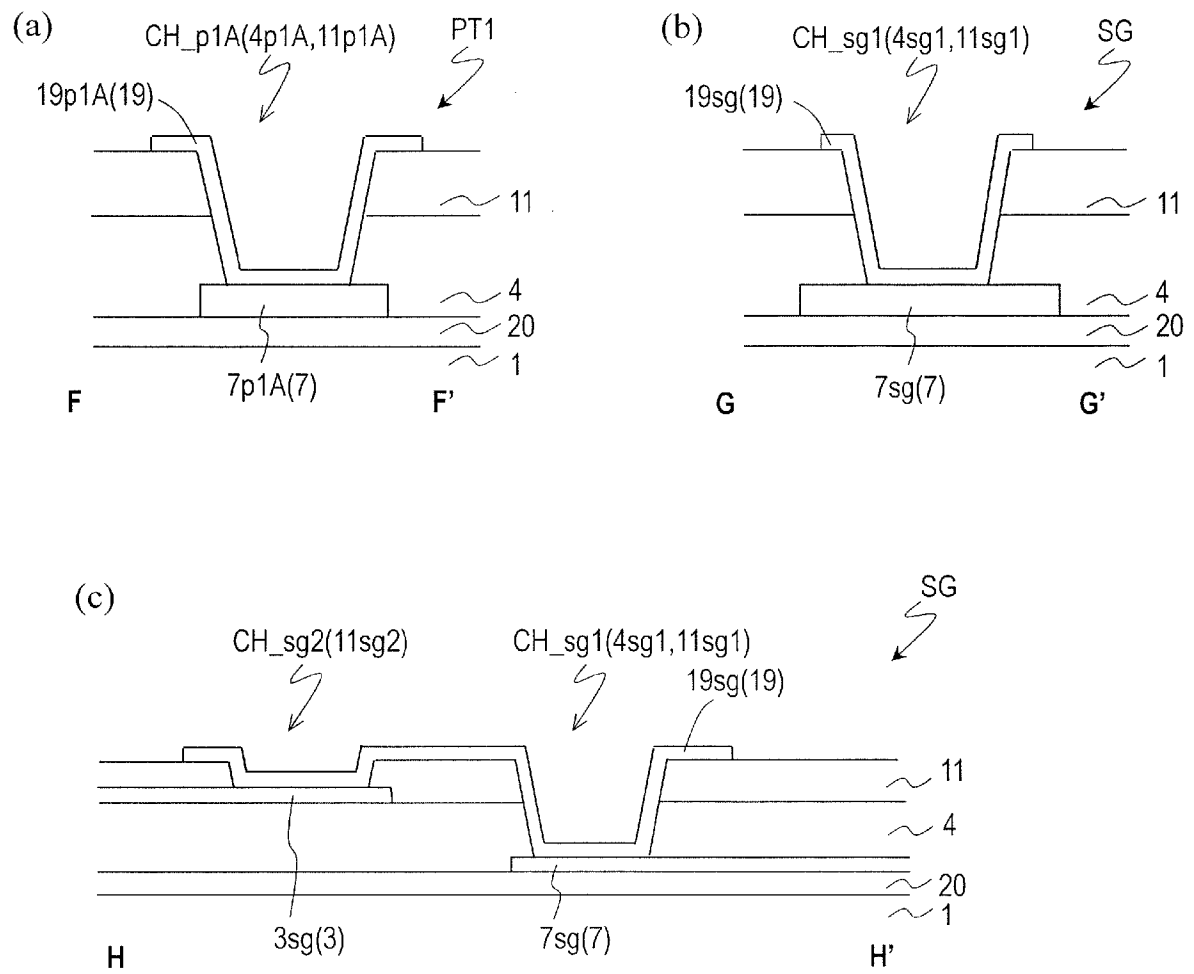
[図30]



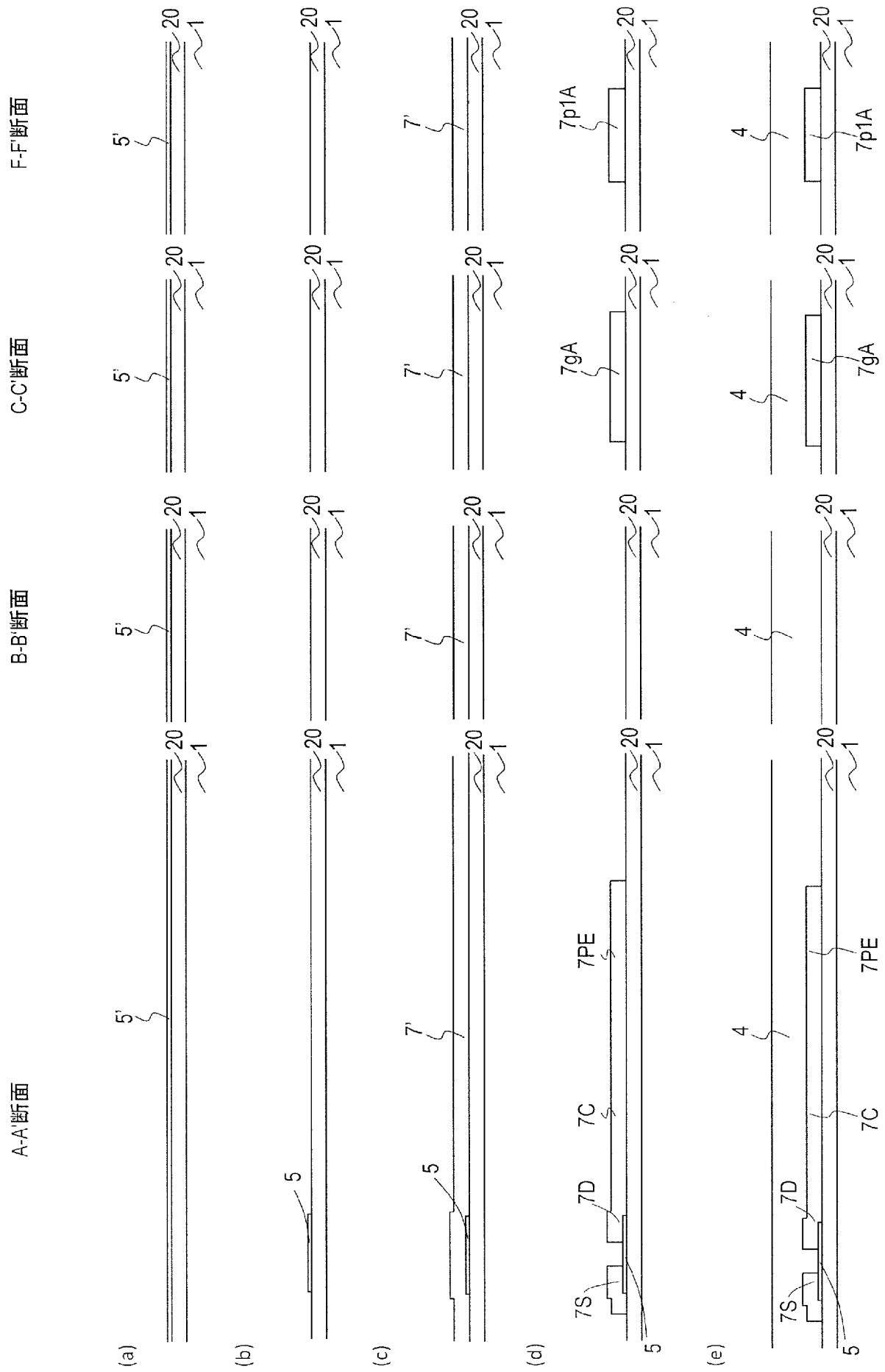
[図32]



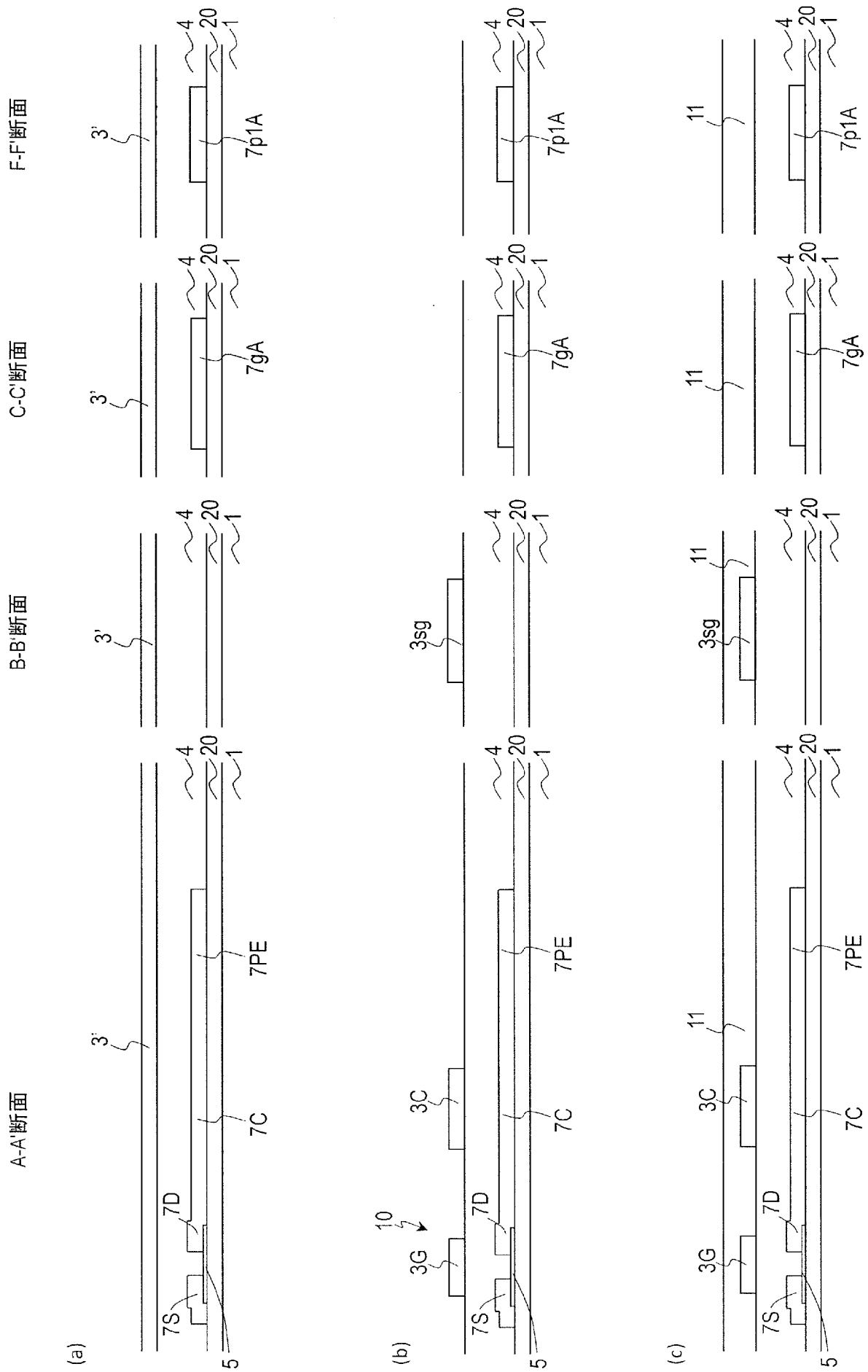
[図33]

107
↘

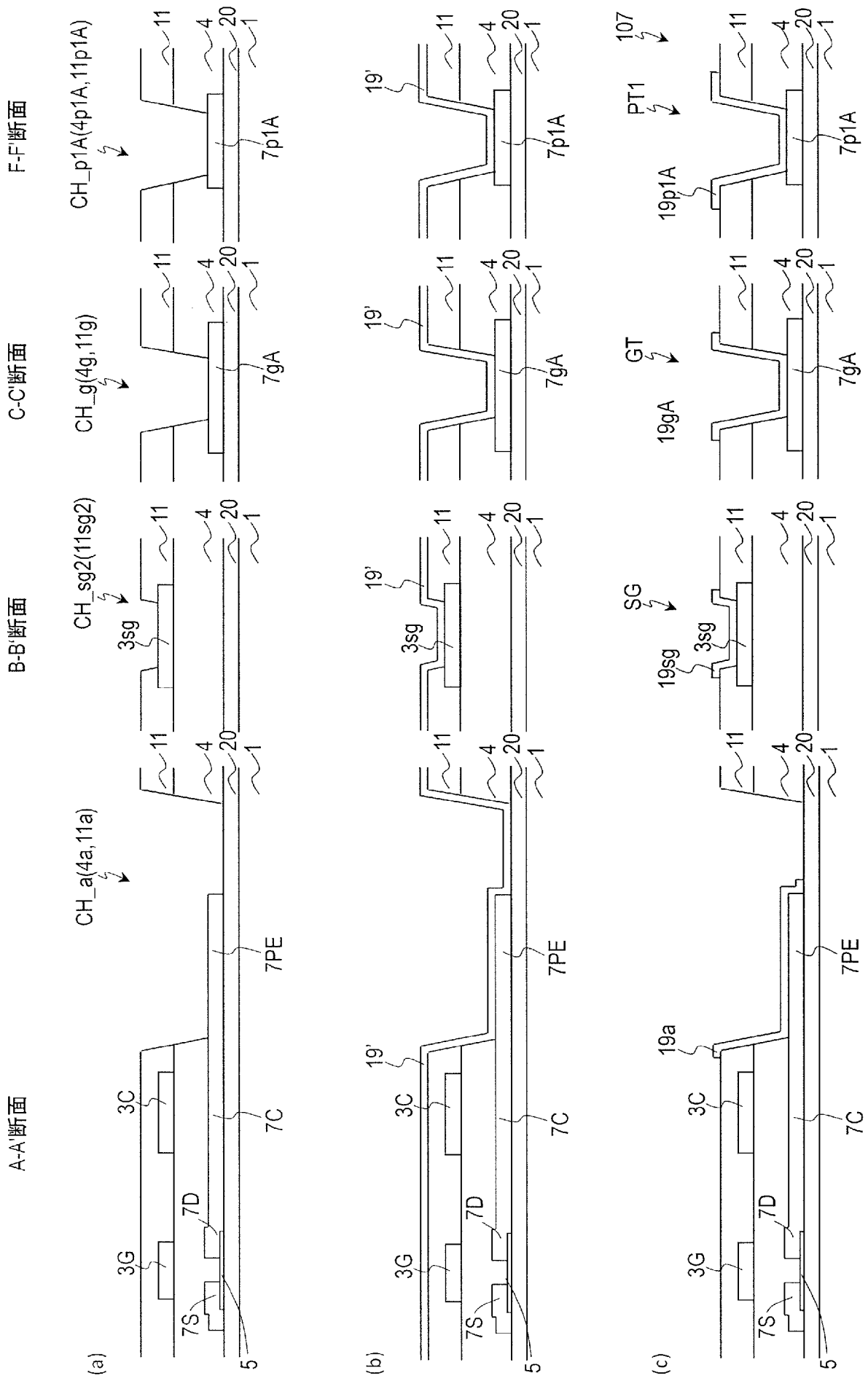
[図34]



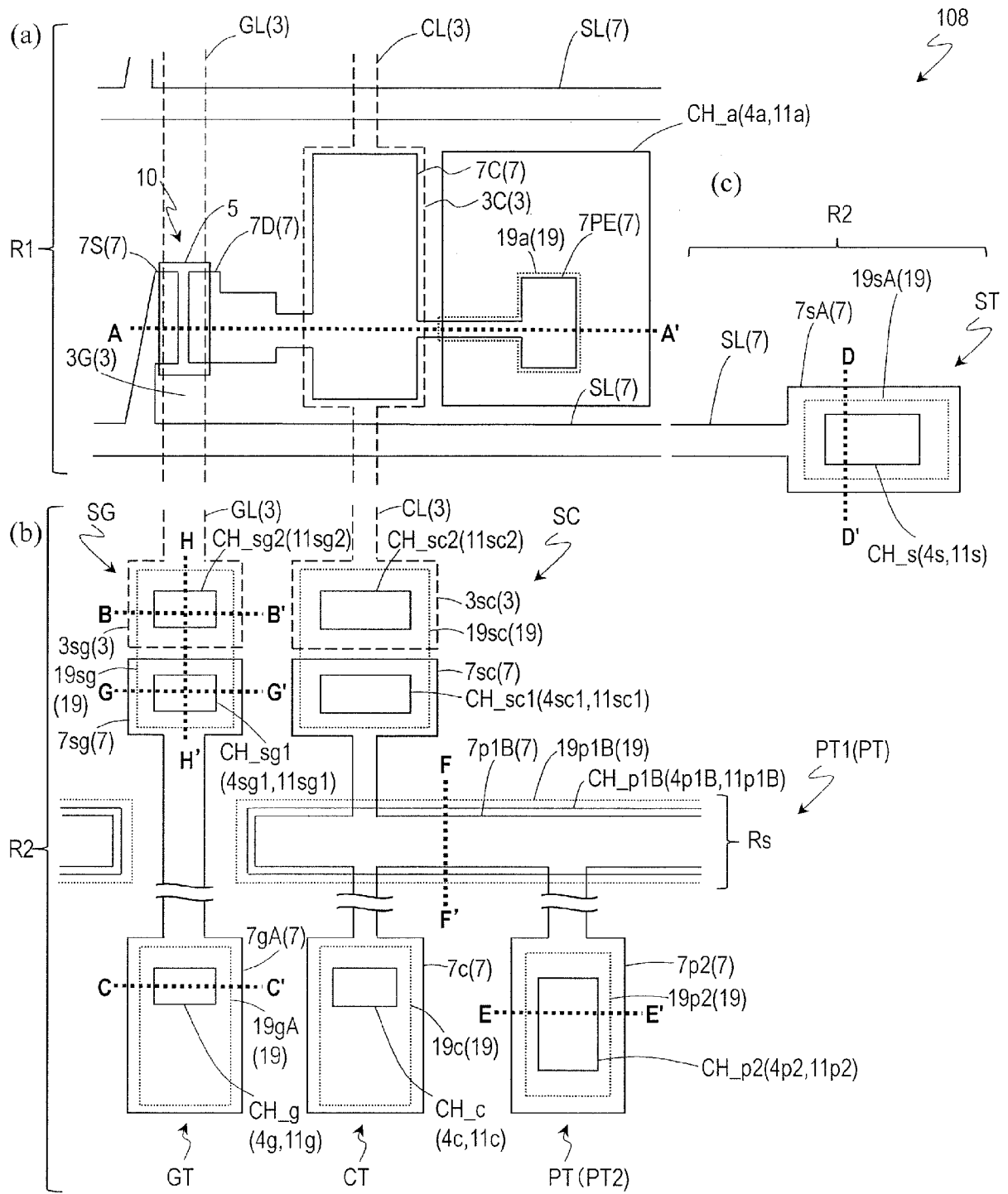
[図35]



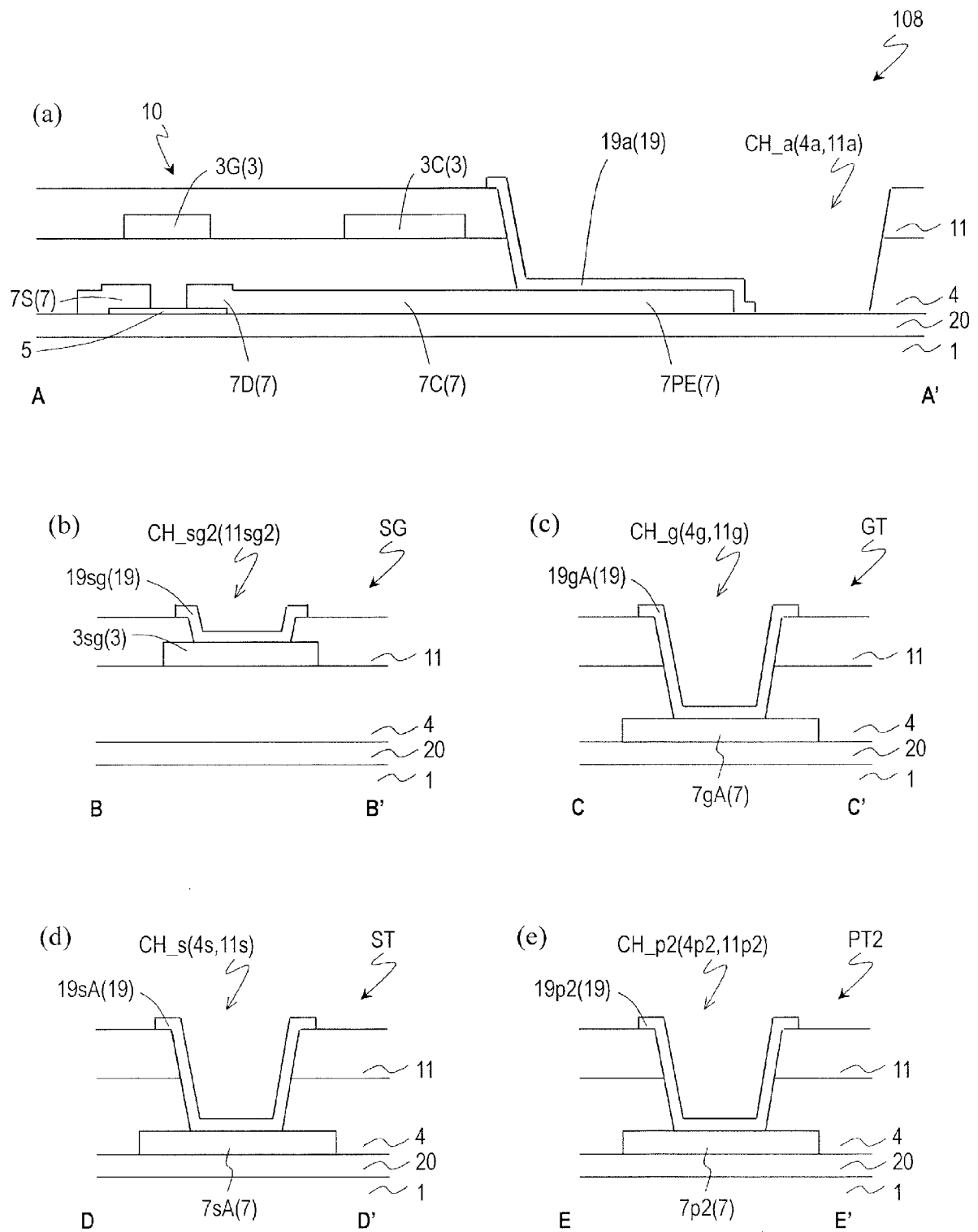
[図36]



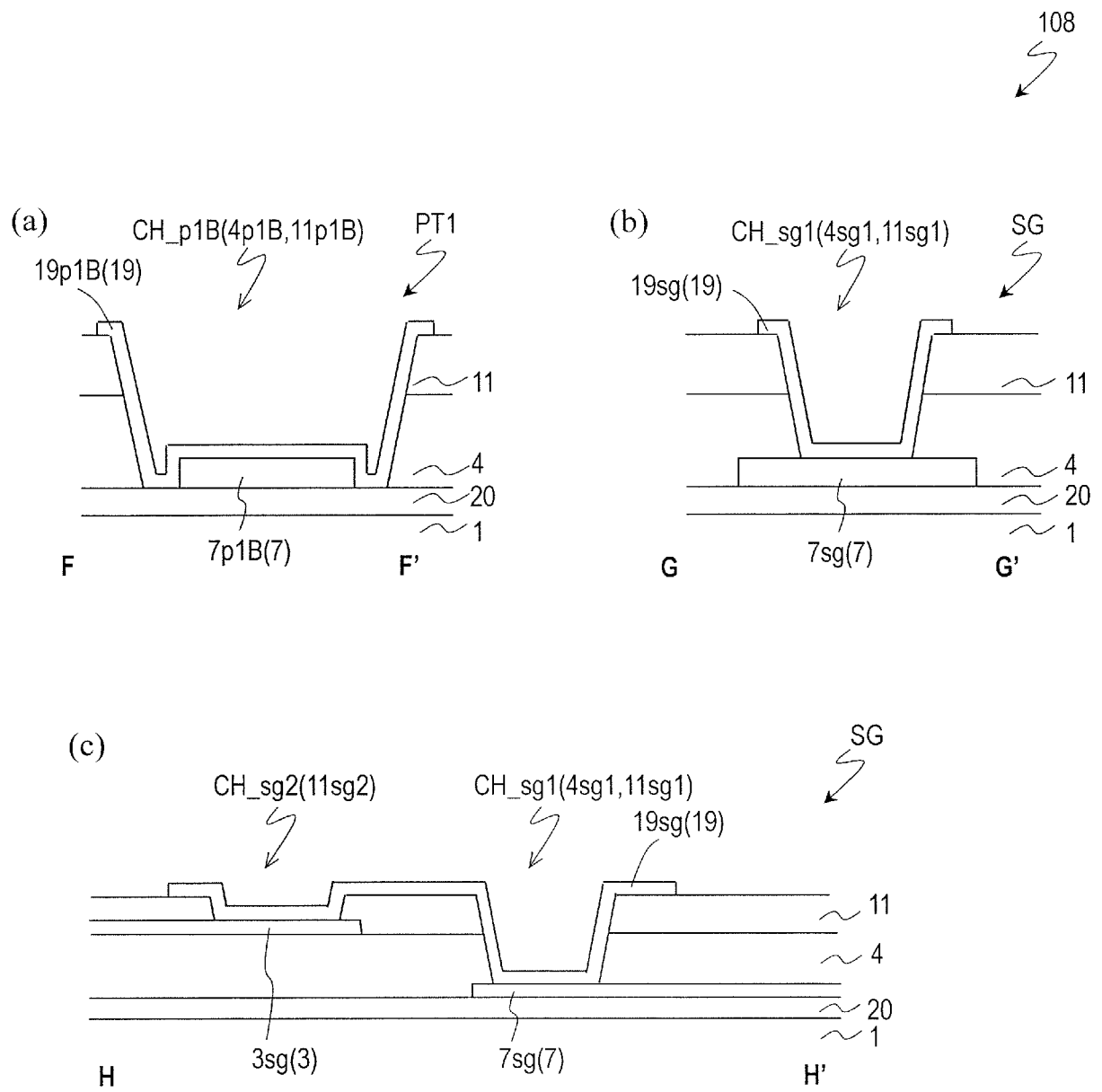
[図37]



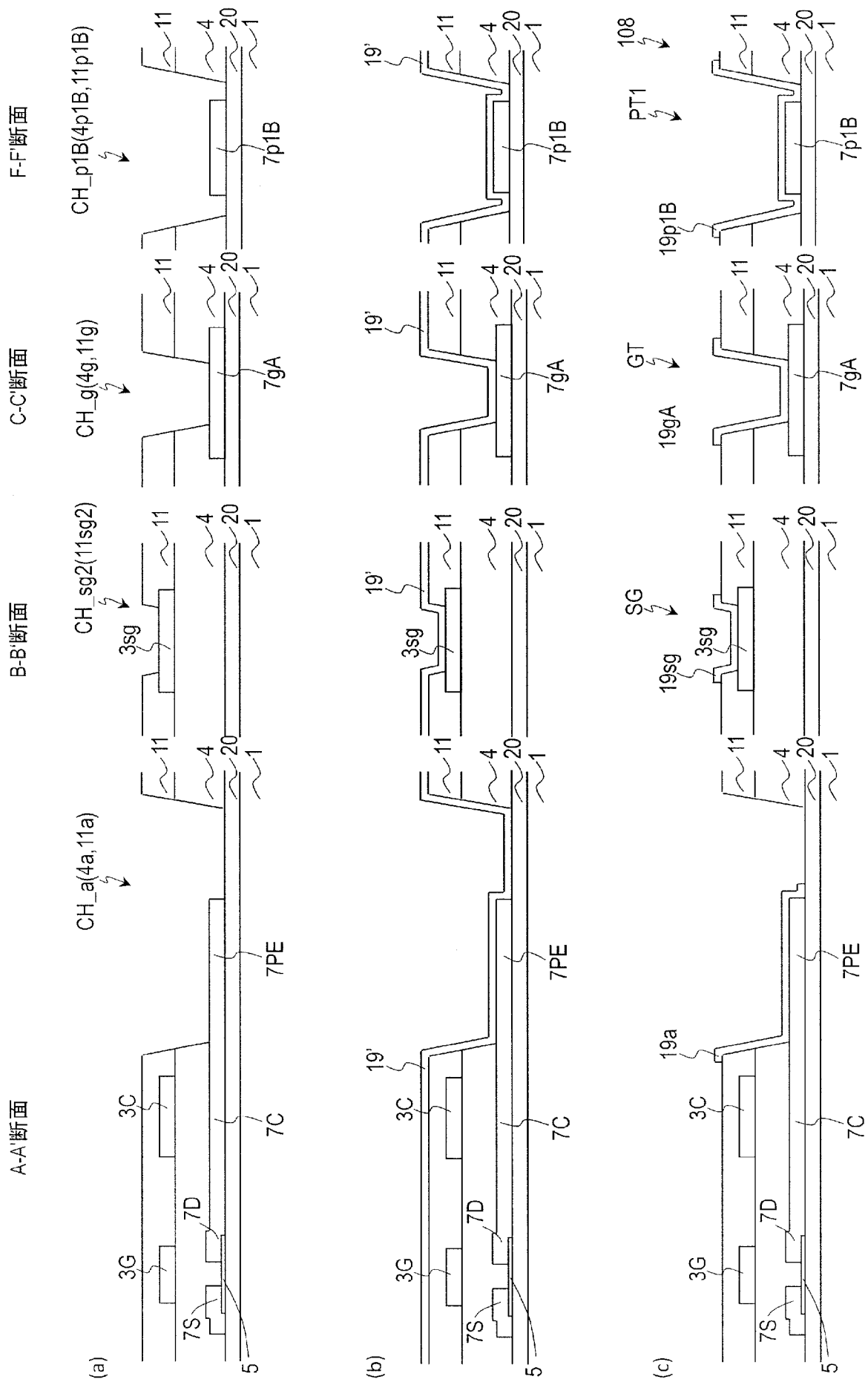
[図38]



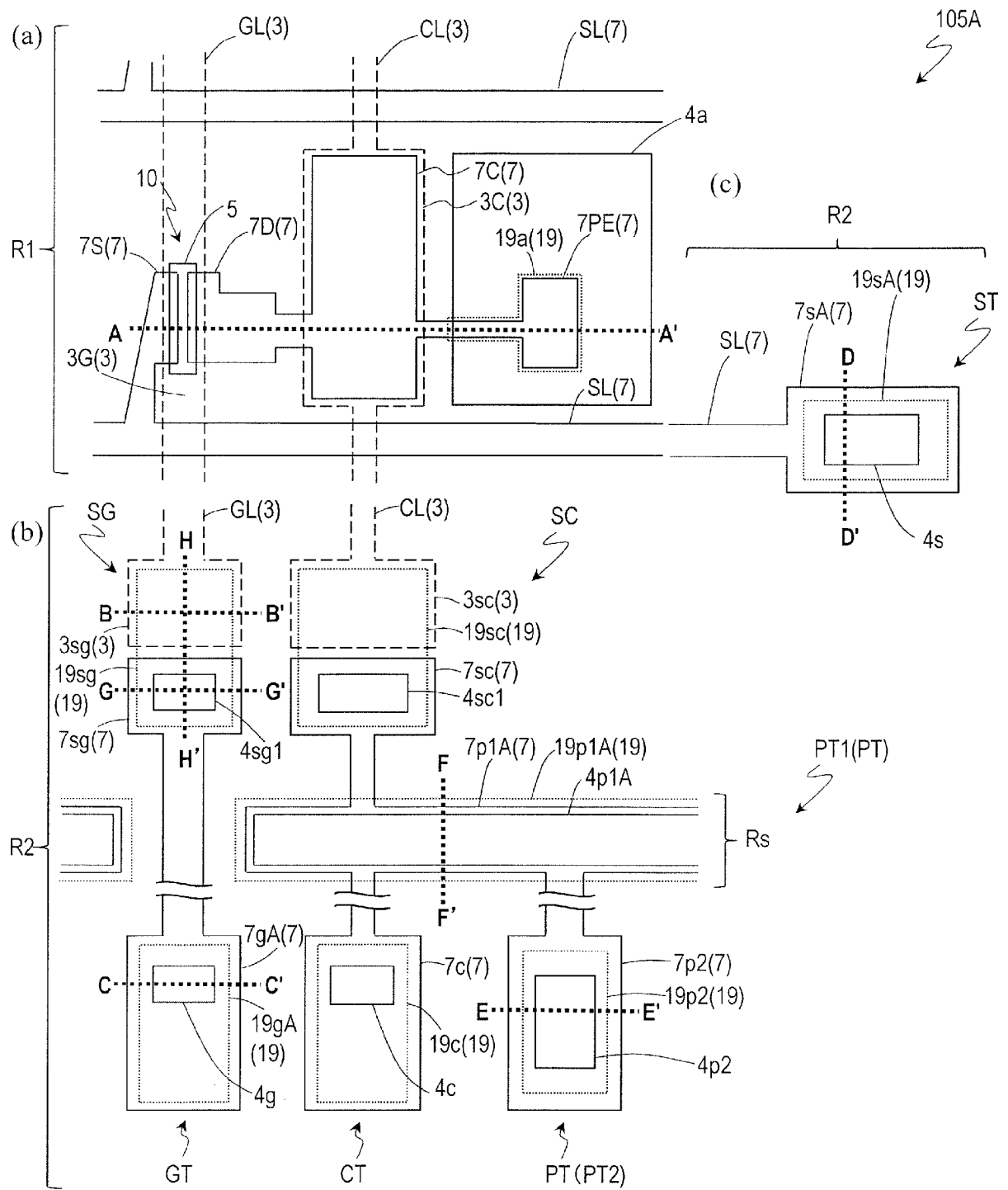
[図39]



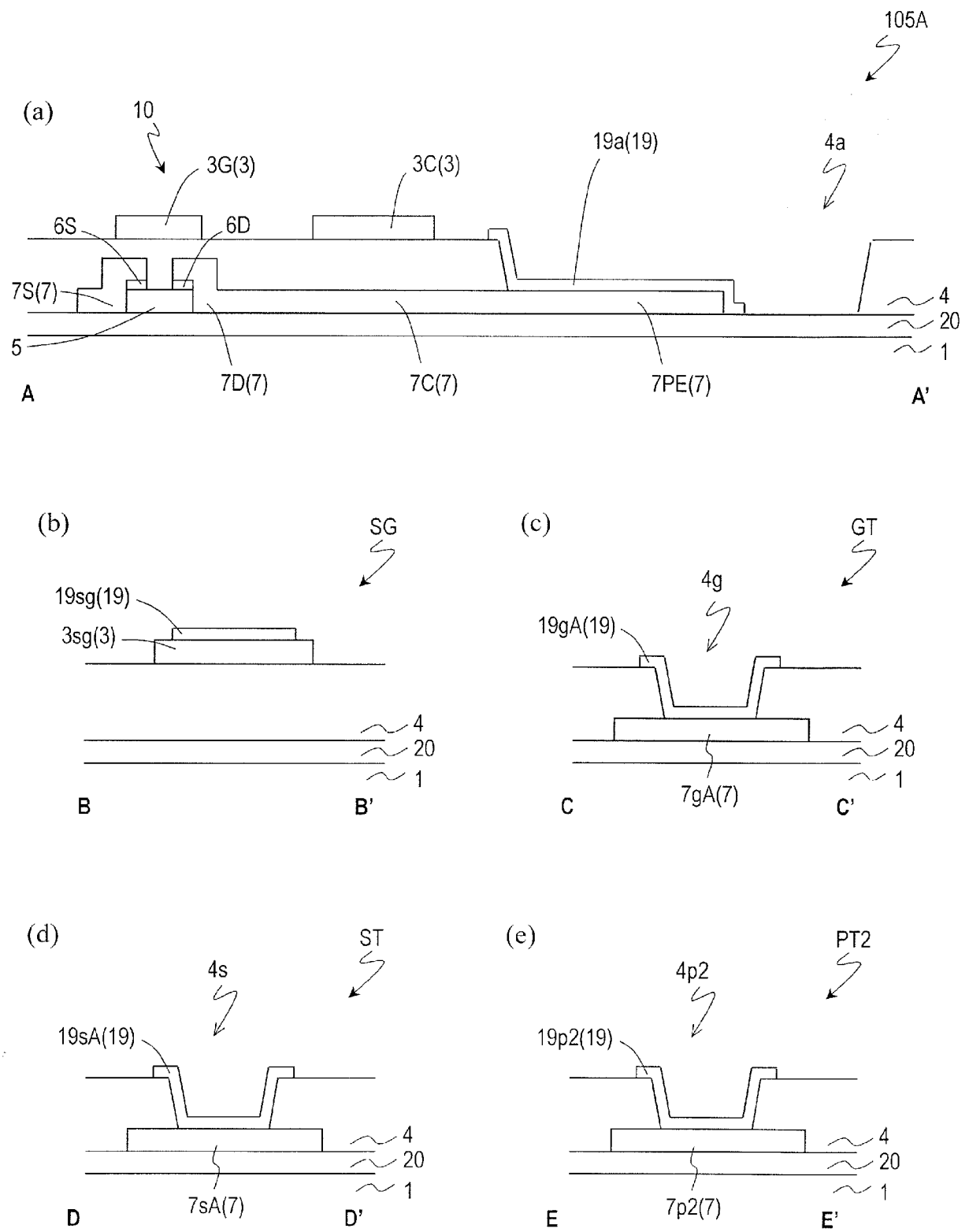
[図40]



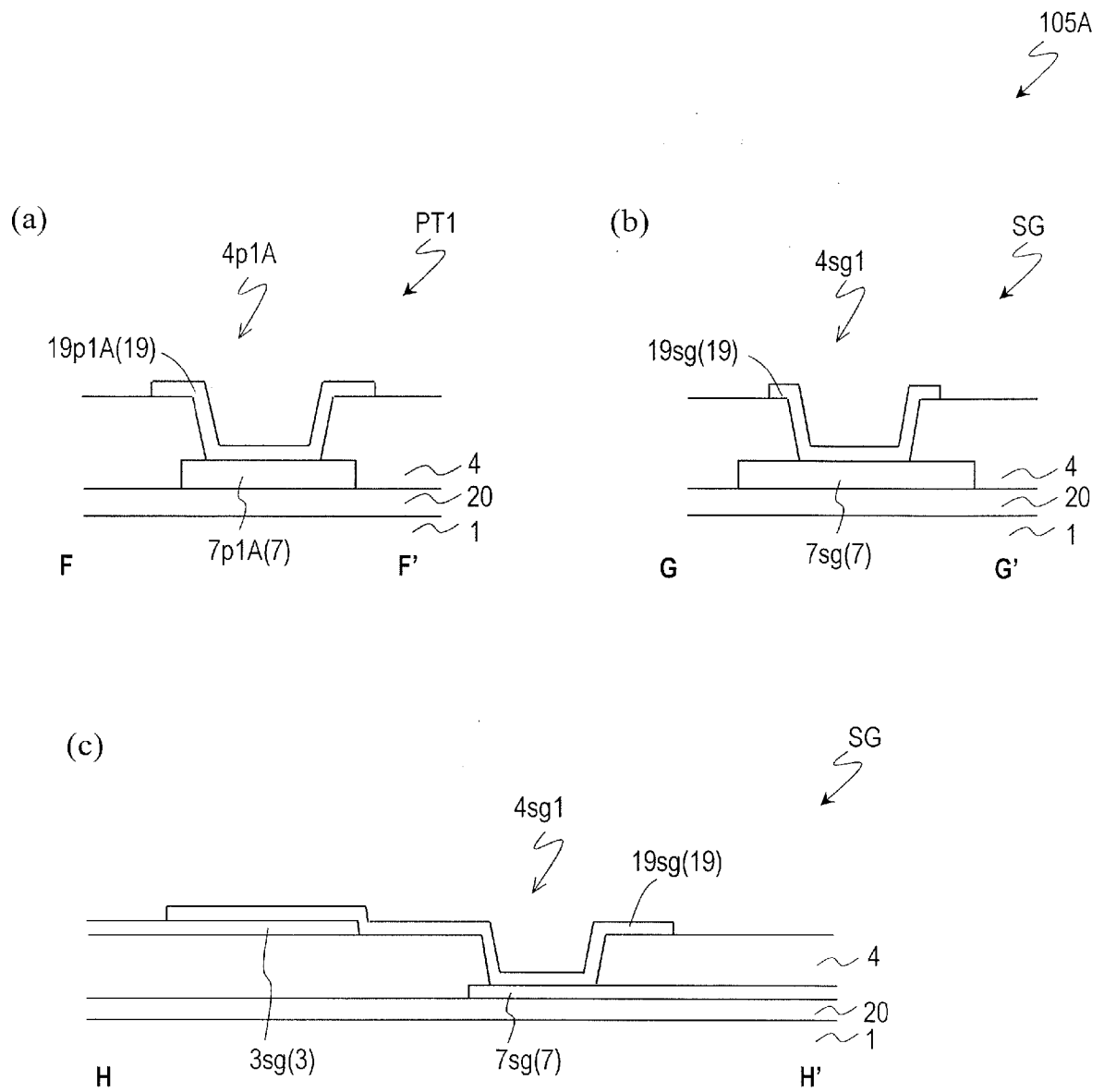
[図41]



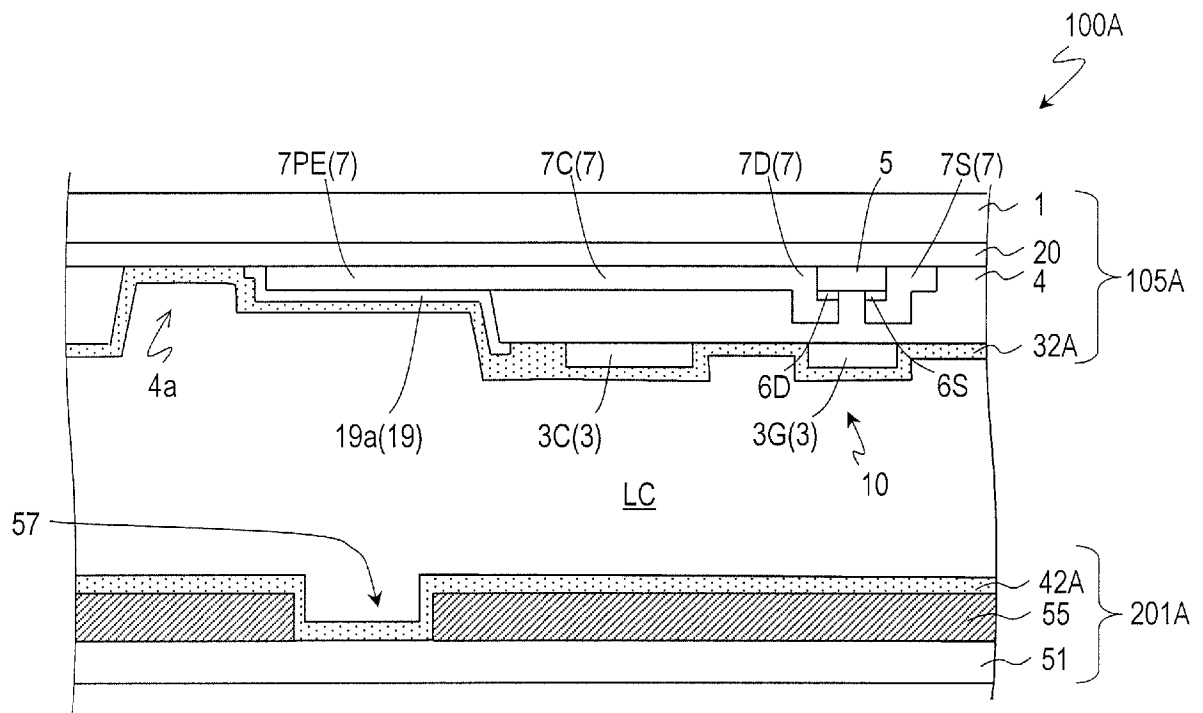
[図42]



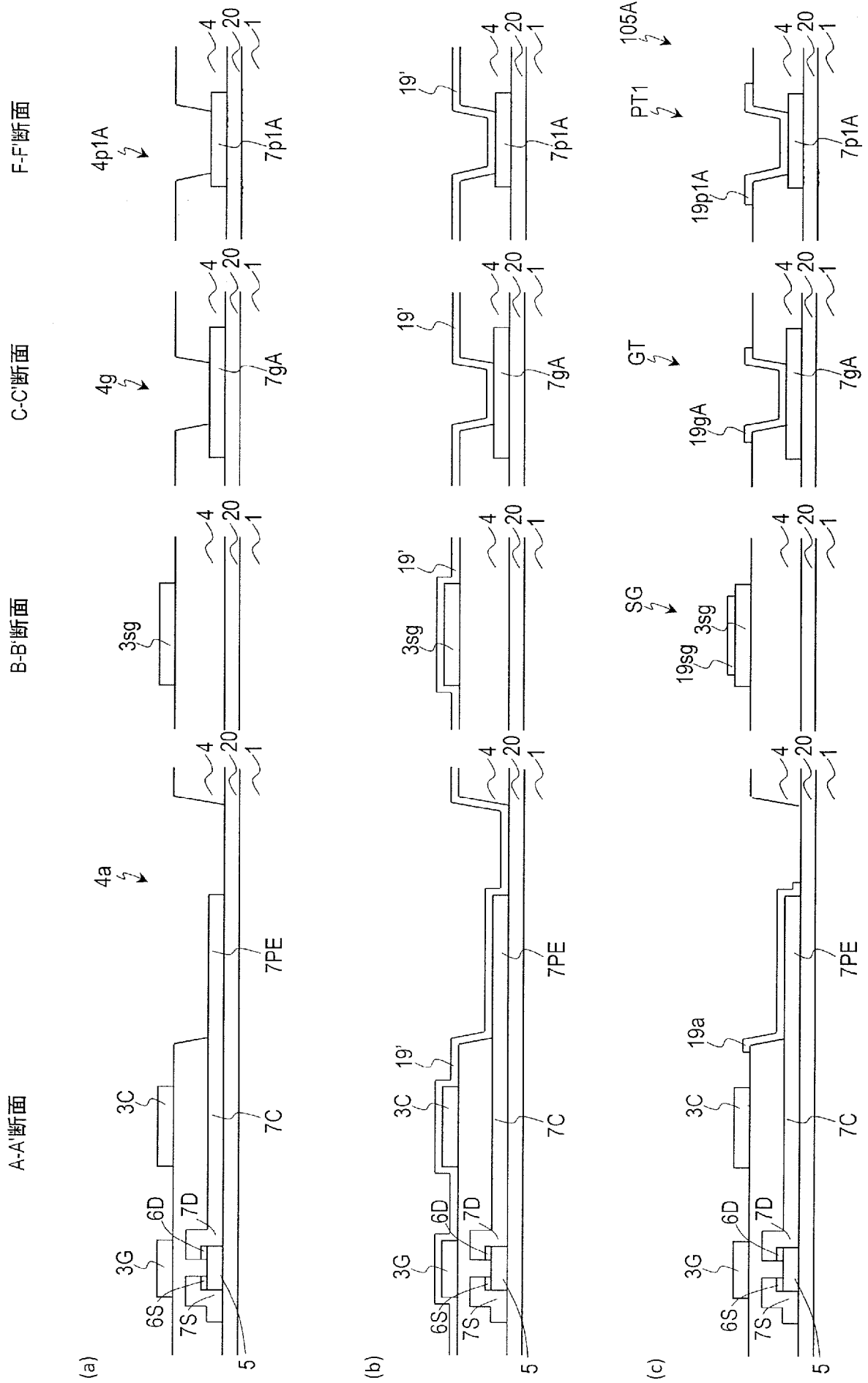
[図43]



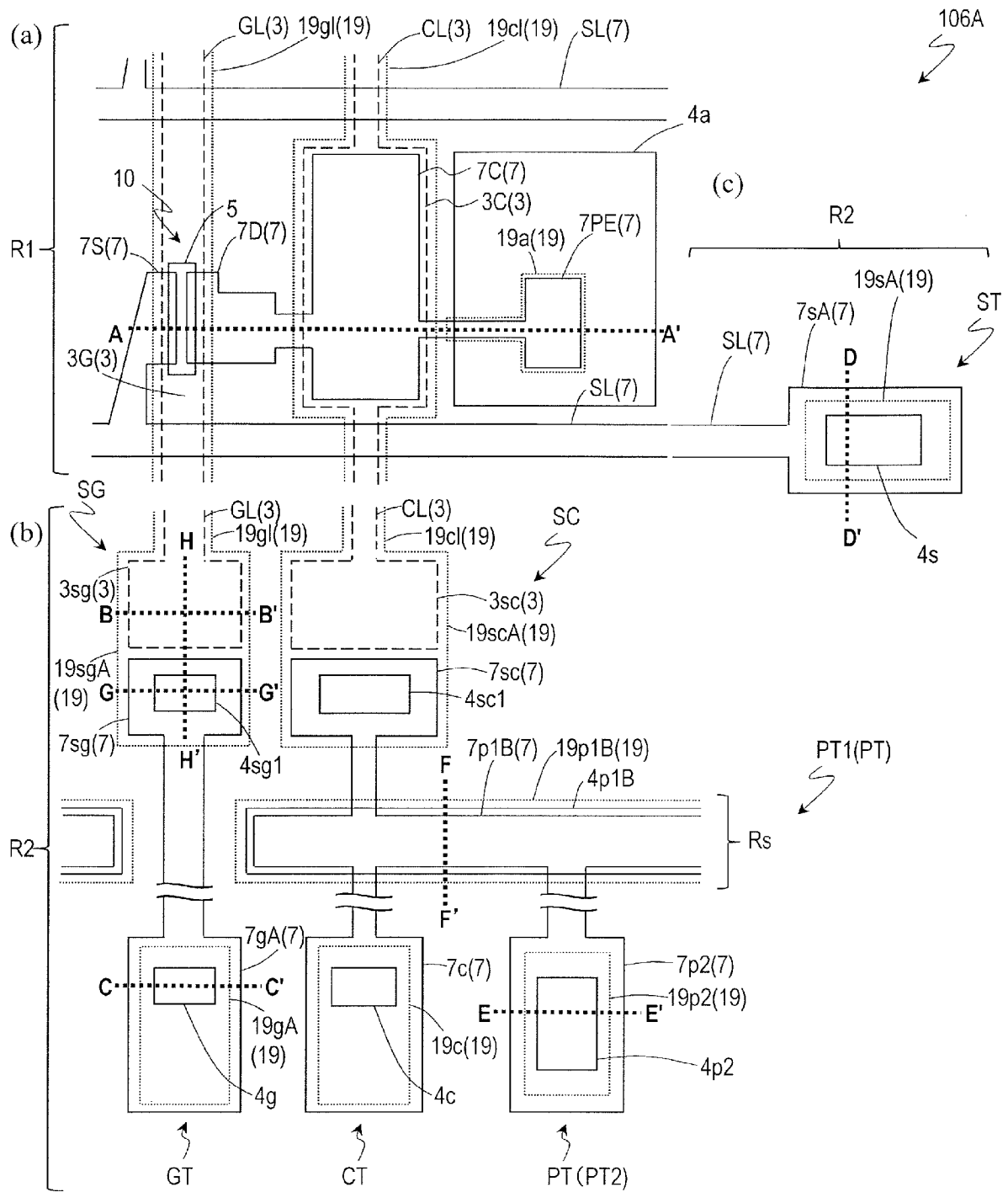
[図44]



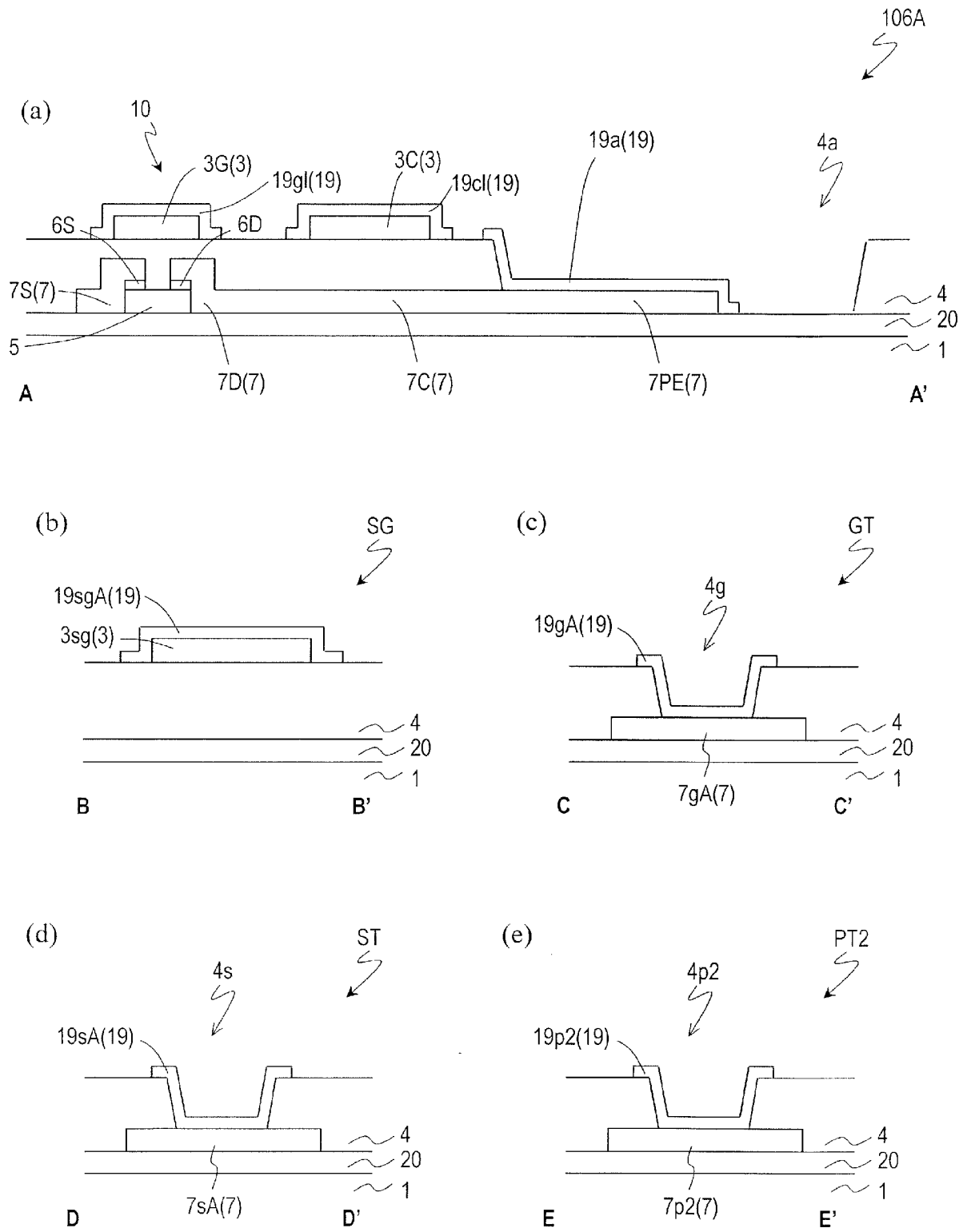
[図45]



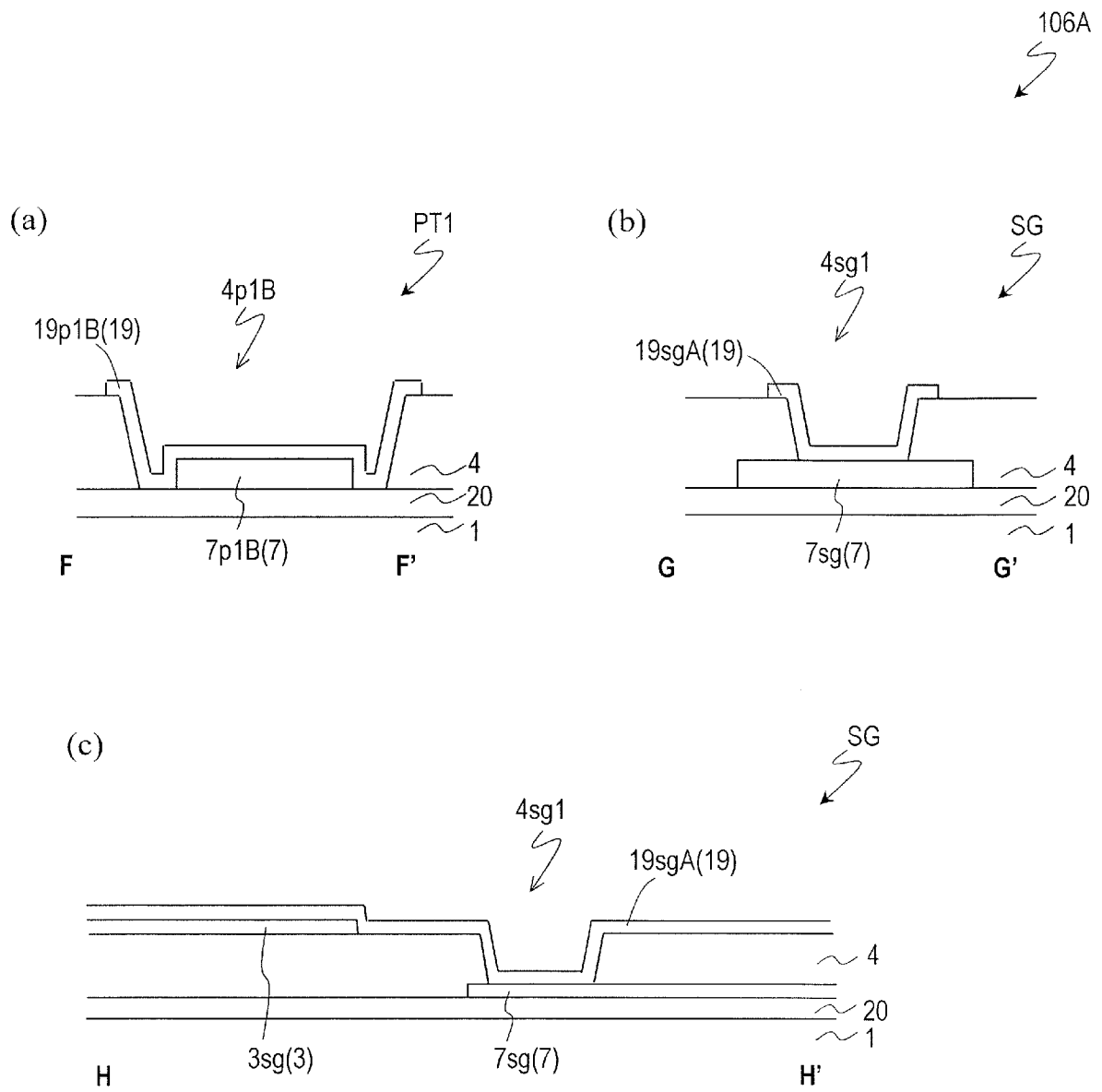
[図46]



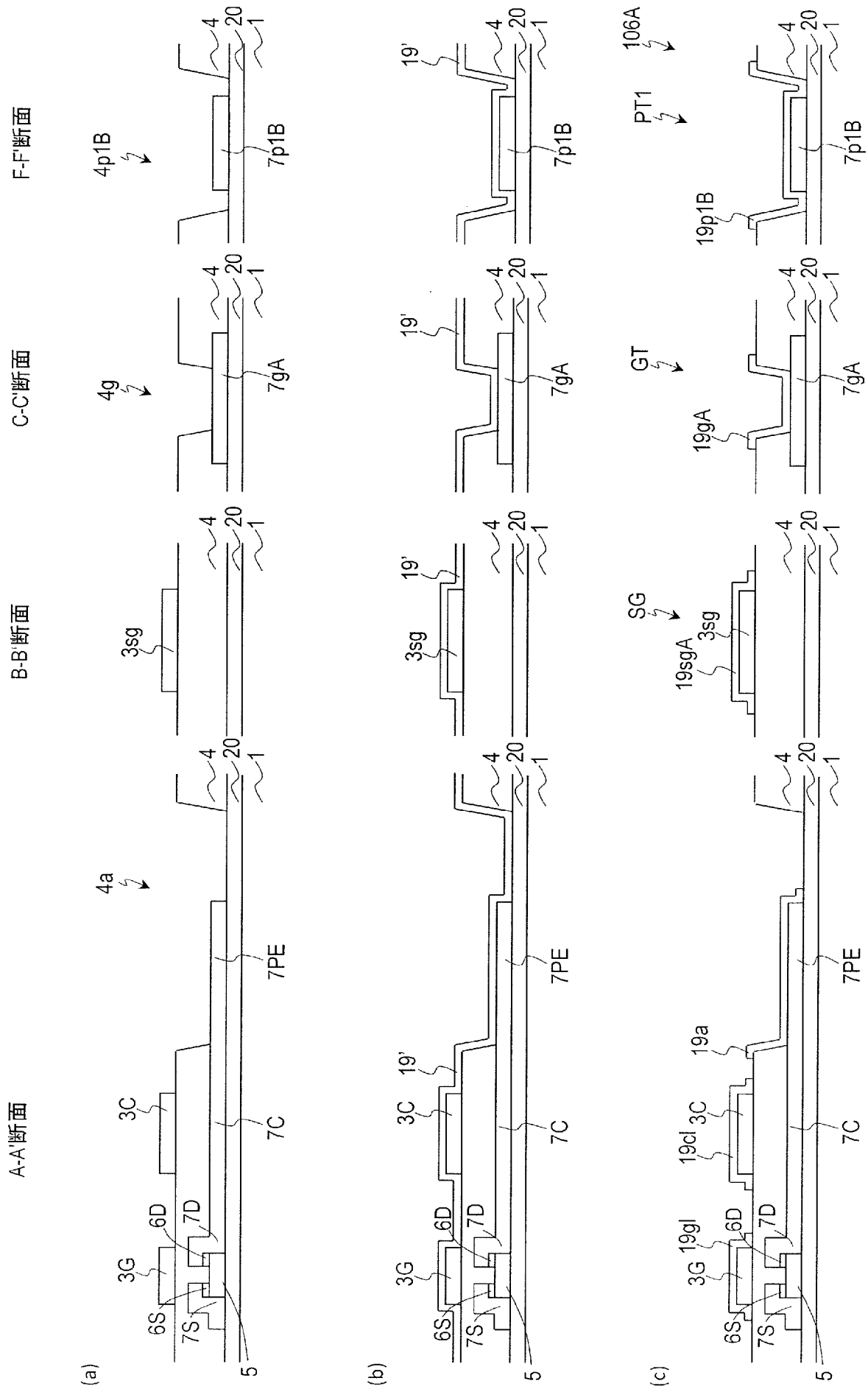
[図47]



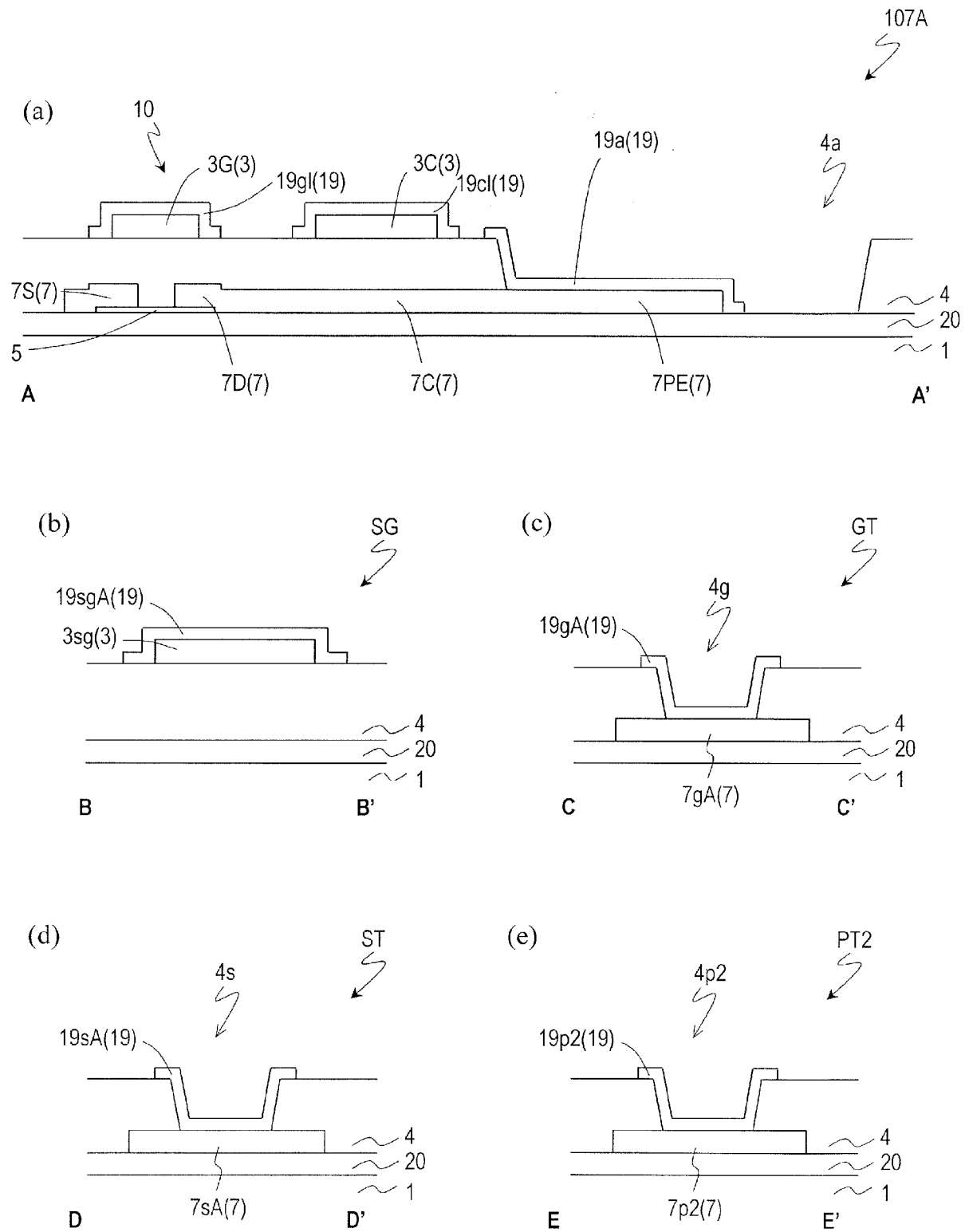
[図48]



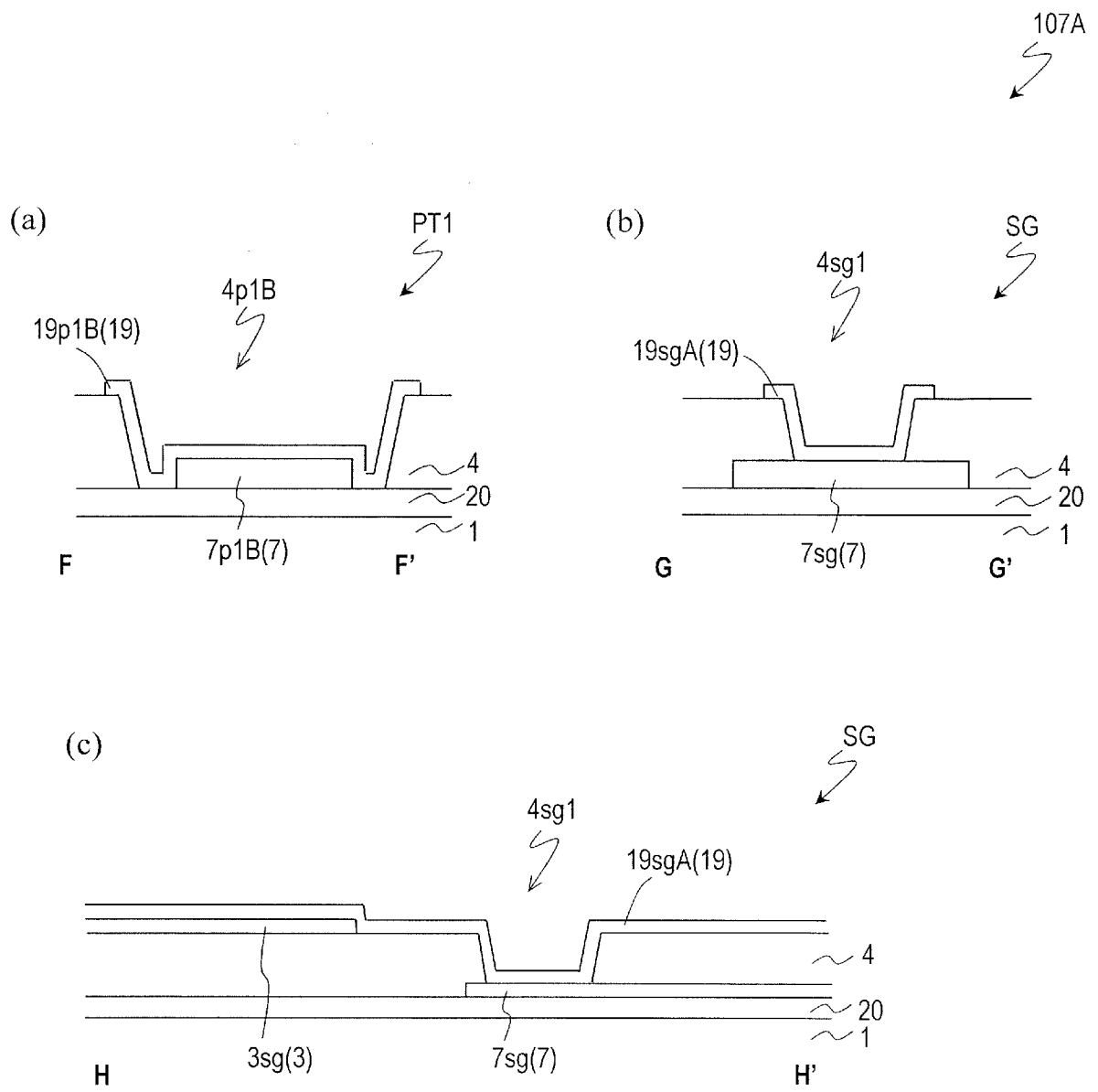
[図49]



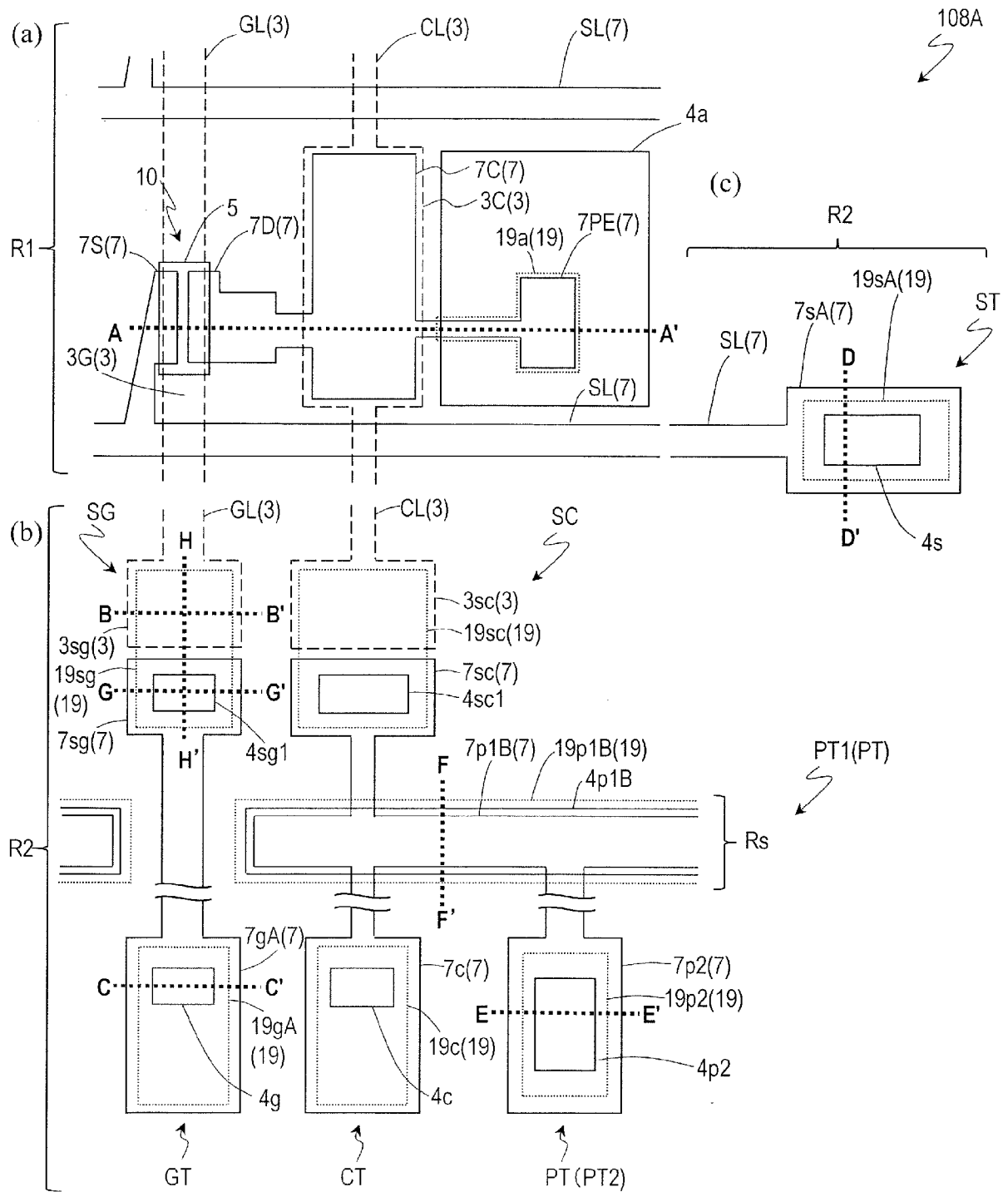
[図51]



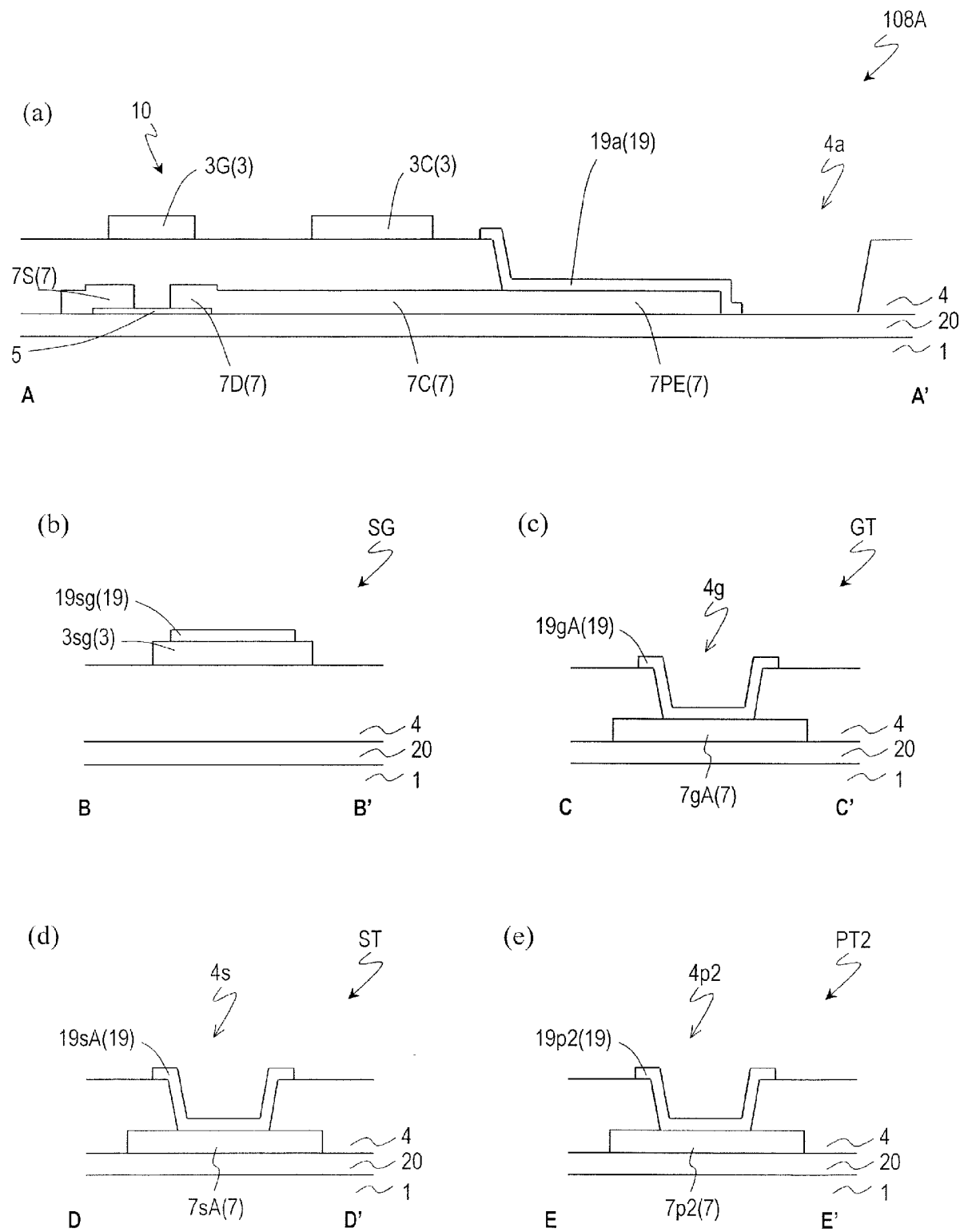
[図52]



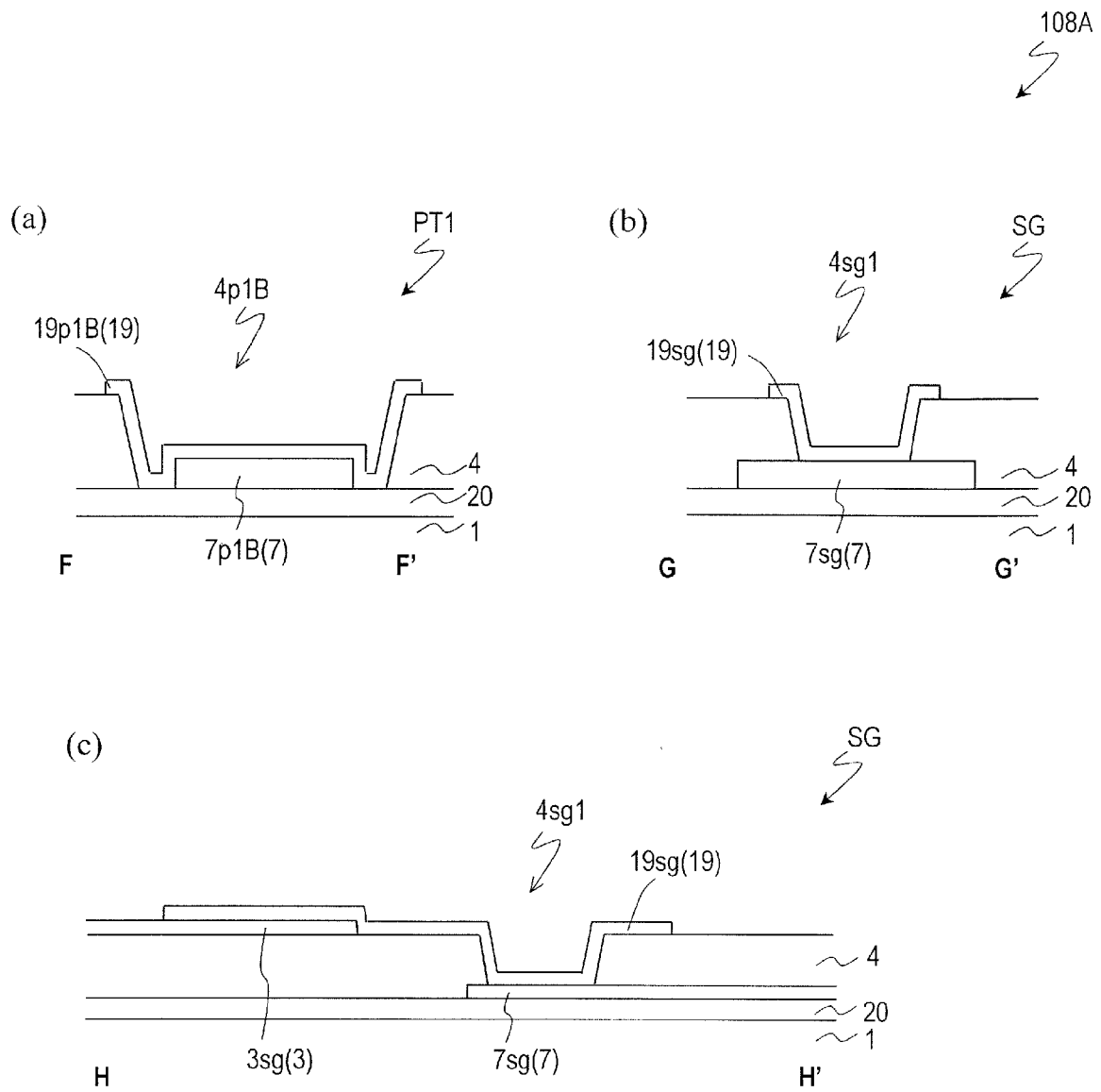
[図54]



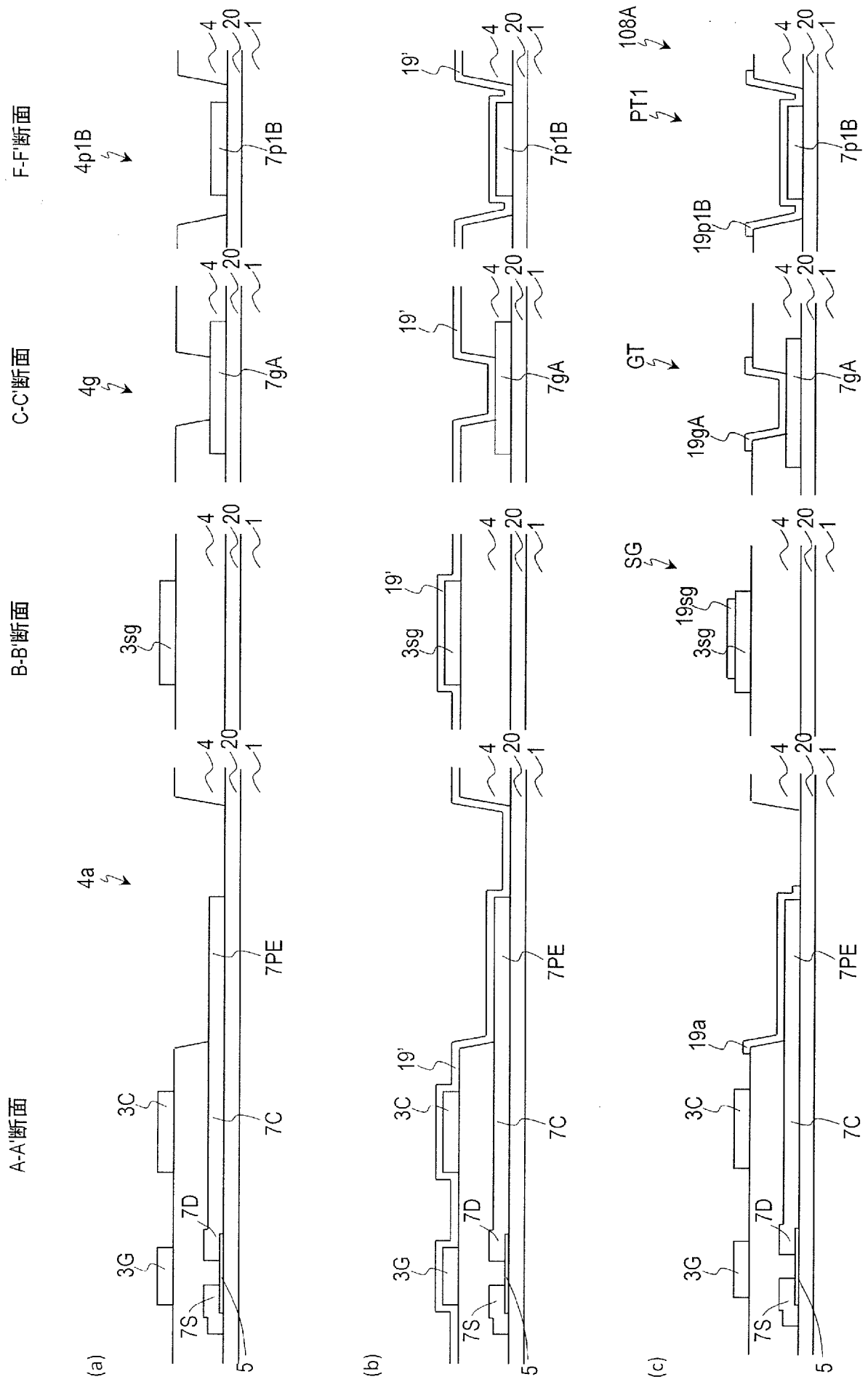
[図55]



[図56]



[図57]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/013899

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786(2006.01) i, H01Q3/44(2006.01) i, H01Q13/22(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, H01Q3/44, H01Q13/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-531843 A (TECHNISCHE UNIVERSITAT DARMSTADT) 27 November 2014 & US 2014/0266897 A1 & WO 2013/045267 A1 & EP 2575211 A1 & CN 103975483 A & KR 10-2014-0090165 A	1-19
A	JP 2014-202838 A (MITSUBISHI ELECTRIC CORPORATION) 27 October 2014 & US 2014/0299881 A1 & CN 104102059 A	1-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05.06.2018

Date of mailing of the international search report
19.06.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/013899

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-538565 A (WAVEBENDER, INC.) 05 November 2009 & US 2008/0036664 A1 & WO 2007/139736 A2 & CN 101454941 A	1-19
A	JP 2007-295044 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 November 2007 & US 2009/0278744 A1	1-19
A	JP 2007-110256 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 April 2007 & US 2009/0278744 A1 & WO 2007/043590 A1 & CN 101283480 A	1-19
A	JP 2000-22428 A (TOSHIBA CORPORATION) 21 January 2000 (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, H01Q3/44(2006.01)i, H01Q13/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01Q3/44, H01Q13/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-531843 A（テヒニツシェ ウニフェルジテート ダルムシュ タット）2014.11.27, & US 2014/0266897 A1 & WO 2013/045267 A1 & EP 2575211 A1 & CN 103975483 A & KR 10-2014-0090165 A	1-19
A	JP 2014-202838 A（三菱電機株式会社）2014.10.27, & US 2014/0299881 A1 & CN 104102059 A	1-19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2018

国際調査報告の発送日

19.06.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-538565 A (ウェーブベンダー インコーポレーテッド) 2009. 11. 05, & US 2008/0036664 A1 & WO 2007/139736 A2 & CN 101454941 A	1-19
A	JP 2007-295044 A (松下電器産業株式会社) 2007. 11. 08, & US 2009/0278744 A1	1-19
A	JP 2007-110256 A (松下電器産業株式会社) 2007. 04. 26, & US 2009/0278744 A1 & WO 2007/043590 A1 & CN 101283480 A	1-19
A	JP 2000-22428 A (株式会社東芝) 2000. 01. 21, (ファミリーなし)	1-19