



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I575691 B

(45) 公告日：中華民國 106 (2017) 年 03 月 21 日

(21) 申請案號：104134480

(22) 申請日：中華民國 104 (2015) 年 10 月 21 日

(51) Int. Cl. : H01L23/522 (2006.01)

H01L23/31 (2006.01)

H01L23/48 (2006.01)

(71) 申請人：力成科技股份有限公司 (中華民國) POWERTECH TECHNOLOGY INC. (TW)

新竹縣湖口鄉新竹工業區大同路 26 號

(72) 發明人：葉昀鑫 YEH, YUN HSIN (TW)；徐宏欣 HSU, HUNG HSIN (TW)；洪嘉鋤 HUNG, CHIA YU (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

TW 201123374A1

TW 201314852A1

審查人員：吳松屏

申請專利範圍項數：8 項 圖式數：8 共 27 頁

(54) 名稱

柱頂互連 (PTI) 之半導體封裝構造

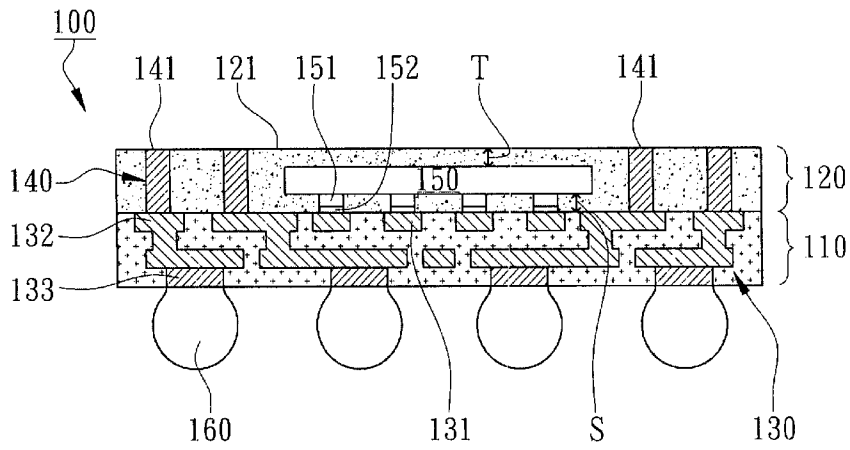
SEMICONDUCTOR PACKAGE HAVING PILLAR TOP INTERCONNECTION (PTI)

(57) 摘要

揭示一種柱頂互連 (PTI) 之半導體封裝構造，包含一第一模封膠層以及一形成於第一模封膠層上之第二模封膠層。第一模封膠層埋設有一重配置線路結構。第二模封膠層埋設有複數個導體柱以及一晶片。其中，導體柱具有複數個柱頂端面，其外露地共平面於第二模封膠層之一研磨面或微突出於一蝕刻面，第二模封膠層之上表面與晶片之間形成有一覆晶厚度。因此，在結構上可取代習知線路基板，以全封裝製程省略習知線路基板的印刷電路板製程。對於立體封裝堆疊 (POP) 之應用，可以去除習知製作封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。

Disclosed is a semiconductor package having pillar top interconnection (PTI), comprising a first molding encapsulation layer and a second molding encapsulation layer. A RDL structure is embedded in the first molding encapsulation layer. A plurality of conductive pillars and a chip are embedded in the second molding encapsulation layer. Therein, the conductive pillars have a plurality of top surfaces are exposed and coplanar to a ground surface of the second molding encapsulation layer or slightly protruded from an etched surface. There is a chip-encapsulating thickness between the upper surface of the second molding encapsulation layer and the chip. Accordingly, conventional printed circuit board is replaced in combination with conventional PCB manufacturing process is omitted by full packaging processes. In Package-On-Package (POP) application, process variation generated from multiple ball planting steps and hole drilling step in conventional packaging process can be eliminated.

指定代表圖：



第 2 圖

符號簡單說明：

T . . . 覆晶厚度

S . . . 填充間隙

100 . . . 半導體封裝構造

110 . . . 第一模封膠層

120 . . . 第二模封膠層

121 . . . 研磨面

130 . . . 重配置線路結構

131 . . . 扇入墊

132 . . . 扇出墊

133 . . . 外接墊

140 . . . 導體柱

141 . . . 柱頂端面

150 . . . 晶片

151 . . . 凸塊

152 . . . 錫料

160 . . . 外突端子

發明摘要

※ 申請案號：104174480
 ※ 申請日：104. 10. 21

※IPC 分類：

H01L 23/522 (2006.01)
 H01L 23/31 (2006.01)
 H01L 23/48 (2006.01)

【發明名稱】 柱頂互連(PTI)之半導體封裝構造

SEMICONDUCTOR PACKAGE HAVING PILLAR TOP
 INTERCONNECTION (PTI)

【中文】

揭示一種柱頂互連(PTI)之半導體封裝構造，包含一第一模封膠層以及一形成於第一模封膠層上之第二模封膠層。第一模封膠層埋設有一重配置線路結構。第二模封膠層埋設有複數個導體柱以及一晶片。其中，導體柱具有複數個柱頂端面，其外露地共平面於第二模封膠層之一研磨面或微突出於一蝕刻面，第二模封膠層之上表面與晶片之間形成有一覆晶厚度。因此，在結構上可取代習知線路基板，以全封裝製程省略習知線路基板的印刷電路板製程。對於立體封裝堆疊(POP)之應用，可以去除習知製作封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。

【英文】

Disclosed is a semiconductor package having pillar top interconnection (PTI), comprising a first molding encapsulation layer and a second molding encapsulation layer. A RDL structure is embedded in the first molding encapsulation layer. A plurality of conductive pillars and a chip are embedded in the second molding encapsulation layer. Therein, the conductive pillars have a plurality of top surfaces are exposed and coplanar to a ground surface of the second molding encapsulation layer or slightly protruded from an etched

surface. There is a chip-encapsulating thickness between the upper surface of the second molding encapsulation layer and the chip. Accordingly, conventional printed circuit board is replaced in combination with conventional PCB manufacturing process is omitted by full packaging processes. In Package-On-Package (POP) application, process variation generated from multiple ball planting steps and hole drilling step in conventional packaging process can be eliminated.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

T	覆晶厚度	S	填充間隙
100	半導體封裝構造		
110	第一模封膠層		
120	第二模封膠層	121	研磨面
130	重配置線路結構	131	扇入墊
132	扇出墊	133	外接墊
140	導體柱	141	柱頂端面
150	晶片	151	凸塊
152	鐳料	160	外突端子

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 柱頂互連 (PTI) 之半導體封裝構造
SEMICONDUCTOR PACKAGE HAVING PILLAR TOP
INTERCONNECTION (PTI)

【技術領域】

【0001】 本發明係有關於半導體封裝構造，特別係有關於一種柱頂互連 (PTI) 之半導體封裝構造。

【先前技術】

【0002】 半導體封裝構造之設置目的係為半導體晶片的封裝保護、接合端子間距的擴大與接合腳位的重新定義。半導體封裝構造除了接合於一外部印刷電路板上，也希望能接合於一底部半導體封裝構造，以達到立體封裝堆疊 (POP) 之應用，普遍被採行於系統封裝 (System-In-Package, SIP) 產品與密集微型記憶體產品。封裝構造的接合端子一般為錫球，利用迴焊步驟使錫球固著於封裝構造內的基板，習知基板 (或稱 IC 載板) 係為微型印刷電路板，其主體係為由預浸片 (prepreg，或稱半固化片) 構成的基板核心，並在其表面製作印刷線路。習知基板的線路成形製程係使用印刷電路板製程，包含基板鑽孔步驟。當基板的上下表面各接合錫球，對應的封裝製程需要多道植球迴焊步驟。

【0003】 第 1 圖係為習知立體封裝堆疊 (POP) 之底部半導體封裝構造之截面示意圖。習知底部半導體封裝構造 500 係主要包含一基板 510、一模封膠層 520、複數個作為 POP 中介連接之錫球 540、

一晶片550以及複數個如錳球之外突端子560。該基板510係為使用印刷電路板製程形成的線路板，包含一線路結構511以及上下表面之防焊漆層512與513。該晶片550與該些錳球540係設置該基板510上，該晶片550之設置為覆晶接合，該晶片550與該基板510之間應填入底部填充膠553，以密封小錳球之覆晶凸塊551；該模封膠層520係形成於該基板510上，以密封該晶片550。該外突端子560係設置該基板510之下表面。該模封膠層520係具有一上表面521，由模封模具所界定成形。而關於該些錳球540之設置方法有兩種，其中一方法是先設置固定該些錳球540而後形成該模封膠層520，使該些錳球540被包覆；另一方法是先形成該模封膠層520再對由該上表面521鑽孔以形成複數個鑽孔523，而後在該些鑽孔523中設置該些錳球540。在上述兩方法中，皆需要多道植球迴焊步驟。由於該基板510之線路結構511係由印刷電路板製程形成，線路間距受到印刷電路板製程的限制，且未整合於晶圓等級或面板等級封裝製程。製作習知封裝構造的多道植球步驟與鑽孔步驟將會造成製程變異，例如基板翹曲、錳球焊不牢與端子界面的裂痕。

【0004】，美國專利US 7,851,894 B1「System and method for shielding of package on package (PoP) assemblies」揭示一種立體封裝堆疊(PoP)之底部半導體封裝構造，基板雙面使用了錳球，上表面之錳球係被模封膠體包覆，該模封膠體形成之後更使其具有用以顯露上錳球之孔洞，而孔洞的形成方法通常係為鑽孔。

【發明內容】

【0005】 為了解決上述之問題，本發明之主要目的係在於提供一種柱頂互連(PTI)之半導體封裝構造，在結構上可取代習知線路基板，以全封裝製程省略習知線路基板的印刷電路板製程。對於立體封裝堆疊(POP)之應用，可以去除因製作習知封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。

【0006】 本發明之次一目的係在於提供一種柱頂互連(PTI)之半導體封裝構造，可省略在習知封膠體上的介電層與習知基板表面覆蓋之防焊漆層，而降低習知基板上高低表面外形造成的模流干擾。

【0007】 本發明的目的及解決其技術問題是採用以下技術方案來實現的。本發明揭示一種柱頂互連(PTI)之半導體封裝構造，包含一第一模封膠層以及一第二模封膠層。該第一模封膠層係埋設有一重配置線路結構。該第二模封膠層係埋設有複數個導體柱以及一晶片，該第二模封膠層係形成於該第一模封膠層上。其中，該些導體柱係具有複數個柱頂端面，其係外露地共平面於該第二模封膠層之一研磨面，或微突於該第二模封膠層之一蝕刻面，該第二模封膠層在該研磨面(或該蝕刻面)與該晶片之間係形成有一覆晶厚度。在另一較佳實施例中，該重配置線路結構、該些導體柱與該晶片係可埋設於同一模封膠層，以降低封裝厚度，使得封裝厚度不大於覆晶接合高度的兩倍。

【0008】 本發明的目的及解決其技術問題還可採用以下技術措施進一步實現。

【0009】 在前述半導體封裝構造中，該晶片係可覆晶接合於該重配置線路結構之複數個扇入墊，該些導體柱係設置於該重配置線路結構之複數個扇出墊，該些扇入墊與該些扇出墊係具體地為共平面。因此，該些導體柱之間距係可大於該些扇入墊之間距，以利於接合錫球或連接上層重配置線路。而藉由共平面的該些扇入墊與該些扇出墊，可提供該些導體柱與該晶片之設置基準面為一致。

【0010】 在前述半導體封裝構造中，該第一模封膠層係可更埋設有複數個外接墊，該重配置線路結構係為立體線路結構並連接該些外接墊，複數個外突端子係接合於該些外接墊。故該些外接墊係亦嵌埋於該第一模封膠層中，以防止脫落。

【0011】 在前述半導體封裝構造中，該第二模封膠層在該晶片與該第一模封膠層之間係可形成有一填充間隙，該覆晶厚度係不大於該填充間隙。故該晶片之底部可省略底部填充膠的形成，且該第二模封膠層不易在該晶片之底部形成氣阱。

【0012】 在前述半導體封裝構造中，可另包含一浮凸式重配置線路層，係形成於該研磨面上，以連接該些柱頂端面，用以改變POP堆疊之接點位置且不易脫落。

【0013】 藉由上述的技術手段，本發明提供一種創新結構，藉由如銅柱(copper post)之該些導體柱具有共平面的柱頂端面，而能與POP堆疊之頂封裝構造的錫球連接，可直接排除因多道植球步驟與鑽孔鑽孔而產生的製程變異。

【圖式簡單說明】**【0014】**

第1圖：習知立體封裝堆疊(POP)之底部半導體封裝構造之截面示意圖。

第2圖：依據本發明之第一具體實施例，一種柱頂互連(PTI)之半導體封裝構造之截面示意圖。

第3A至3D圖：依據本發明之第一具體實施例，該半導體封裝構造在主要製程步驟中之元件截面示意圖。

第4圖：依據本發明之第一具體實施例，該半導體封裝構造在立體封裝堆疊應用時之截面示意圖。

第5圖：依據本發明之第二具體實施例，另一種柱頂互連(PTI)之半導體封裝構造在模封蝕刻步驟中之元件截面示意圖之截面示意圖。

第6圖：依據本發明之第二具體實施例，另一種柱頂互連(PTI)之半導體封裝構造之截面示意圖。

第7圖：依據本發明之第三具體實施例，另一種柱頂互連(PTI)之半導體封裝構造在立體封裝堆疊應用時之截面示意圖。

第8圖：依據本發明之第四具體實施例，另一種柱頂互連(PTI)之半導體封裝構造在立體封裝堆疊應用時之截面示意圖。

【實施方式】

【0015】 以下將配合所附圖示詳細說明本發明之實施例，然應注意的是，該些圖示均為簡化之示意圖，僅以示意方法來說明

本發明之基本架構或實施方法，故僅顯示與本案有關之元件與組合關係，圖中所顯示之元件並非以實際實施之數目、形狀、尺寸做等比例繪製，某些尺寸比例與其他相關尺寸比例或已誇張或是簡化處理，以提供更清楚的描述。實際實施之數目、形狀及尺寸比例為一種選置性之設計，詳細之元件佈局可能更為複雜。

【0016】 依據本發明之第一具體實施例，一種柱頂互連(PTI)之半導體封裝構造100舉例說明於第2圖之截面示意圖以及第3A至3D圖之在主要製程步驟中之元件截面示意圖。一種柱頂互連(PTI)之半導體封裝構造100係主要包含一第一模封膠層110以及一第二模封膠層120。該半導體封裝構造100之製作係可使用無基板的晶圓等級封裝製程或面板等級封裝製程，可省略習知印刷電路板製程。

【0017】 請參閱第2圖，該第一模封膠層110係埋設有一重配置線路結構130。該第一模封膠層110之材質係可為熱固型模封環氧膠材。該第一模封膠層110之形成方法係可為壓縮模封或轉移模封。該重配置線路結構130係包含一層或一層以上的重配置線路層。所述的重配置線路層係為可使用半導體晶圓沉積設備形成之微線路層，重配置線路層不需要形成於基板，並且重配置線路層的厚度薄化與微間距化皆優於習知印刷電路板之線路層，並且重配置線路層之形成係可利用先沉積、圖案化電鍍再蝕刻之製程或是直接圖案化沉積之製程，皆不需要習知印刷電路板之電鍍線結構。重配置線路層之材質係可包括銅、鋁、金、鉑、鎳、錫或

前述之組合，例如金/鎳/銅。在本實施例中，該重配置線路結構130係為多層的立體線路結構，並包含複數個扇入墊131與複數個扇出墊132，該些扇入墊131與該些扇出墊132係具體地為共平面。該些扇出墊132與該些扇入墊131係可為該重配置線路結構130之其中一層線路之同層部份，亦可為額外的疊層部份(圖中未繪出)。該第一模封膠層110係提供了完全水平的模封平面，無突起金屬墊與防焊層。

● **【0018】** 請再參閱第2圖，該第二模封膠層120係埋設有複數個導體柱140以及一晶片150，該第二模封膠層120係形成於該第一模封膠層110上。該第二模封膠層120之材質係可為熱固型模封環氧膠材，可相同或不相同於該第一模封膠層110之材質。該第二模封膠層120之形成方法係可為壓縮模封或轉移模封。該些導體柱140係可為銅柱，該晶片150係可為一包含積體電路之主動元件，該晶片150之基材係為半導體。該晶片150的底部與頂面亦被該第二模封膠層120所覆蓋。在本實施例中，該晶片150係可覆晶接合於該重配置線路結構130之該些扇入墊131，具體地該晶片150係設有複數個凸塊151，例如銅柱凸塊，並以該晶片150之主動面朝向該重配置線路結構130之方式，並利用銲料152接合該些凸塊151與對應之該些扇入墊131。而該些導體柱140係設置於該重配置線路結構130之該些扇出墊132，其中該些扇入墊131與該些扇出墊132係為共平面。而該些導體柱140係作為該些扇出墊132在該研磨面121縱向電性連接之延伸，故可省略基板與封裝鑽

孔作業。因此，該些導體柱140之間距係可大於該些扇入墊131之間距，以利於接合鐳球或連接上層重配置線路。而藉由共平面的該些扇入墊131與該些扇出墊132，可提供該些導體柱140與該晶片150之設置基準面為一致。

【0019】 其中，該些導體柱140係具有複數個柱頂端面141，其係外露地共平面於該第二模封膠層120之一研磨面121，該第二模封膠層120在該研磨面121與該晶片150之間係形成有一覆晶厚度 T (如第2圖所示)，該覆晶厚度 T 係可不大於該些凸塊151之高度，約小於200微米。故該晶片150不具有顯露於該研磨面121之表面。

【0020】 請參閱第2圖，除了該重配置線路結構130係為立體線路結構之外，該第一模封膠層110係可更埋設有複數個外接墊133，該重配置線路結構130係連接該些外接墊133，複數個例如鐳球之外突端子160係接合於該些外接墊133。故該些外接墊133係亦嵌埋於該第一模封膠層110中，以防止脫落。該些外突端子160係外突於該第一模封膠層110，以作為對外連接的接點。

【0021】 再請參閱第2圖，該第二模封膠層120在該晶片150與該第一模封膠層110之間係可形成有一填充間隙 S ，該覆晶厚度 T 係不大於該填充間隙 S ，而該填充間隙 S 係可不小於該些凸塊151之高度。故該晶片150之底部可省略習知底部填充膠的形成，且該第二模封膠層120不易在該晶片150之底部形成氣阱。

【0022】 該些導體柱140之該些柱頂端面141係供一鐳球11

之接合或一重配置線路層之連接。第4圖係為該半導體封裝構造100在立體封裝堆疊應用時之截面示意圖。一如BGA封裝類型的頂部疊置封裝構造10之複數個錒球11係接合於該些導體柱140之該些柱頂端面141。在另一變化實施例中，該半導體封裝構造係可另包含一浮凸式重配置線路層(圖中未繪出)，係形成於該研磨面121上，以連接該些柱頂端面141。

【0023】 第3A至3D圖係關於該半導體封裝構造100在主要製程步驟中之元件截面示意圖。

【0024】 請參閱第3A圖，在晶圓等級封裝製程或面板等級封裝製程的第一模封步驟中，在一晶圓型態或是面板型態之暫時載板(圖中未繪出)上以模封方式形成該第一模封膠層110，該第一模封膠層110係埋設有該重配置線路結構130，該重配置線路結構130係可包含該些扇入墊131、該些扇出墊132與該些外接墊133。之後，在晶圓等級封裝製程或面板等級封裝製程的電鍍步驟中，以電鍍方式形成該些導體柱140在該些扇出墊132上。

【0025】 請參閱第3B圖，在晶圓等級封裝製程或面板等級封裝製程的覆晶接合步驟中，將複數個晶片150設置於該第一模封膠層110上，該些晶片150之該些凸塊151係經由對應錒料152接合至該重配置線路結構130之該些些扇入墊131。該些晶片150之設置高度係小於該些導體柱140之高度。

【0026】 請參閱第3C圖，在晶圓等級封裝製程或面板等級封裝製程的第二模封步驟中，以模封方式形成該第二模封膠層120

於該第一模封膠層110上。該第二模封膠層120係埋設該些導體柱140以及該晶片150。在本步驟中，該第二模封膠層120係具有一由模具界定之模封面121A，其係高於該些導體柱140之該些柱頂端面141，即該第二模封膠層120之模封厚度係大於該些導體柱140之電鍍高度。

【0027】 請參閱第3D圖，在晶圓等級封裝製程或面板等級封裝製程的平坦化研磨步驟中，研磨該第二模封膠層120之該模封面121A，以降低該第二模封膠層120之厚度，並形成該第二模封膠層120之該研磨面121。該些導體柱140之該些柱頂端面141係外露地共平面於該第二模封膠層120之該研磨面121，並且該第二模封膠層120在該研磨面121與該晶片150之間係形成有一覆晶厚度。故該晶片150之背面係不外露於該研磨面121，而該研磨面121之表面特性可不同於該模封面121A之表面特性，例如該研磨面121與顯露之該些柱頂端面141可同時變為更加粗糙，以利元件接合。最後，經過晶圓等級封裝製程或面板等級封裝製程的植球步驟與單體化切割步驟，可製造出如第2圖所示的半導體封裝構造100。

【0028】 因此，本發明揭示一種柱頂互連(PTI)之半導體封裝構造100，在結構上可取代習知線路基板，以全封裝製程省略習知線路基板的印刷電路板製程。對於立體封裝堆疊(POP)之應用，可以去除因製作習知封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。此外，可省略在習知封膠體上的介電層與習知基板表

面覆蓋之防焊漆層，而降低習知基板上高低表面外形造成的模流干擾。

【0029】 依據本發明之第二具體實施例，一種柱頂互連(PTI)之半導體封裝構造200舉例說明於第5圖之在模封蝕刻步驟中之元件截面示意圖之截面示意圖以及第6圖之截面示意圖，其中對應於第一具體實施例相同名稱與功能之元件以第一具體實施例的元件圖號表示，並且不再贅述其細部相同結構。一種柱頂互連(PTI)之半導體封裝構造200係包含一第一模封膠層110以及一第二模封膠層120。該半導體封裝構造200之製作係亦使用無基板的晶圓等級封裝製程或面板等級封裝製程，可省略習知印刷電路板製程，可沿用第3A至3D圖中之主要製程步驟，第5圖之模封蝕刻步驟係可實施在第3D圖之平坦化研磨步驟之後。

【0030】 請參閱第5及6圖，該第一模封膠層110係埋設有一重配置線路結構130。該第二模封膠層120係埋設有複數個導體柱140以及一晶片150，該第二模封膠層120係形成於該第一模封膠層110上。其中，該些導體柱140係具有複數個柱頂端面141，其係外露地共平面於該第二模封膠層120上而微突於該第二模封膠層120之一蝕刻面222，該第二模封膠層120在該蝕刻面222與該晶片150之間係形成有一覆晶厚度 T' (如第6圖所示)。所述的「微突」係具體可為該些導體柱140突於該蝕刻面222之高度係在50微米(含)以下。此外，第5圖中該蝕刻面222之形成方法係可為對第3D圖之研磨面121進行模封蝕刻步驟，例如乾蝕刻或是針對模封膠體

之化學蝕刻。

【0031】 請再參閱第5及6圖，該第一模封膠層110係更埋設有複數個外接墊133，該重配置線路結構130係為立體線路結構並連接該些外接墊133，複數個外突端子160係接合於該些外接墊133(如第6圖所示)。而更具體地，該第二模封膠層120在該晶片150與該第一模封膠層110之間係形成有一填充間隙S，該覆晶厚度T'係不大於該填充間隙S。

【0032】 較佳地，該半導體封裝構造200係可另包含一浮凸式重配置線路層270，係形成於該蝕刻面222上，以連接該些柱頂端面141，用以改變POP堆疊之接點位置且不易脫落。

【0033】 因此，本發明揭示一種柱頂互連(PTI)之半導體封裝構造200，在結構上可取代習知線路基板，以全封裝製程省略習知線路基板的印刷電路板製程。對於立體封裝堆疊(POP)之應用，可以去除因製作習知封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。前述微突出於該蝕刻面222之該些柱頂端面141係對於對應接合錫球或是該浮凸式重配置線路層270之連接墊係將具有較佳的機械結合效果。

【0034】 依據本發明之第三具體實施例，一種柱頂互連(PTI)之半導體封裝構造300舉例說明於第7圖之在立體封裝堆疊應用時之截面示意圖，其中對應於第一具體實施例相同名稱與功能之元件以第一具體實施例的元件圖號表示，並且不再贅述其細部相同結構。一種柱頂互連(PTI)之半導體封裝構造300係包含一模封膠層

110。

【0035】 請參閱第7圖，該模封膠層110係埋設有一重配置線路結構130、複數個導體柱140以及一晶片150。其中，該些導體柱140係具有複數個柱頂端面141，其係外露地共平面於該模封膠層110之一研磨面121(如第7圖所示)，或者在不同實施例中，該些柱頂端面141係可微突於該模封膠層110之一蝕刻面422(如第8圖所示)。並且，該模封膠層110在該晶片150上係形成有一覆晶厚度(由該研磨面121至該晶片150之背面之間之縱向膠體厚度)，並且該模封膠層110在該晶片150下朝向該重配置線路結構130之方向係形成有一填充間隙S，該覆晶厚度係不大於該填充間隙S。

【0036】 再請參閱第7圖，該晶片150係覆晶接合於該重配置線路結構130之複數個扇入墊131，該些導體柱140係設置於該重配置線路結構130之複數個扇出墊132，該些扇入墊131與該些扇出墊132係為共平面。

【0037】 更具體地，該重配置線路結構130係為單層線路結構，複數個例如鉚球之外突端子160係接合於該些扇出墊132不被該模封膠層110覆蓋之複數個外表面。在一較佳實施例中，該半導體封裝構造300係可另包含一浮凸式重配置線路層370，係形成於該模封膠層110上，以非凹陷地連接該些柱頂端面141。該浮凸式重配置線路層370係包含複數個矩陣排列的重配置球墊。其中部份位於周邊的重配置球墊係對準地且包覆式連接在該些柱頂

端面141上，其餘的重配置球墊係以內圈矩陣排列方式設置於該研磨面121上，而得到良好的固著力。

【0038】 此外，在立體封裝堆疊(POP)應用中，一BGA類型的頂部疊置封裝構造30係可藉由其底部之錫球31接合至該浮凸式重配置線路層370之該些重配置球墊。

【0039】 依據本發明之第四具體實施例，一種柱頂互連(PTI)之半導體封裝構造400舉例說明於第8圖之在立體封裝堆疊應用時之截面示意圖，其中對應於第一具體實施例相同名稱與功能之元件以第一具體實施例的元件圖號表示，並且不再贅述其細部相同結構。一種柱頂互連(PTI)之半導體封裝構造400係包含一層或是一層以上的模封膠層110。在第8圖之圖示中，係以兩層模封膠層110作簡略表示，實際產品可能是包含4層、6層、8層或更多層的模封膠層。

【0040】 請參閱第8圖，每一層模封膠層110係埋設有一重配置線路結構130、複數個導體柱140以及一晶片150。其中，該些導體柱140係具有複數個柱頂端面141，其係外露地共平面於該模封膠層之一研磨面或微突於該模封膠層之一蝕刻面422；在本實施例中，該些柱頂端面141係外露地共平面方式微突於該模封膠層110之該蝕刻面422。並且，該模封膠層110在該晶片150上係形成有一覆晶厚度 T' (即由該蝕刻面422至該晶片150之背面之間之縱向膠體厚度)，並且該模封膠層110在該晶片150下朝向該重配置線路結構130之方向係形成有一填充間隙 S ，該覆晶厚度 T 係不

大於該填充間隙S。

【0041】 再請參閱第8圖，該晶片150係覆晶接合於該重配置線路結構130之複數個扇入墊131，該些導體柱140係設置於該重配置線路結構130之複數個扇出墊132，該些扇入墊131與該些扇出墊132係為共平面地嵌埋於該模封膠層110。

【0042】 在本實施例中，該重配置線路結構130係為單層結構，複數個外突端子160係接合於最底層模封膠層110之該些扇出墊132不被該模封膠層110覆蓋之複數個外表面。

【0043】 再請參閱第8圖，該半導體封裝構造400係可另包含一浮凸式重配置線路層470，係形成於最頂層模封膠層110之該蝕刻面422上，以非凹陷地連接該些柱頂端面141。該浮凸式重配置線路層470係包含複數個矩陣排列的重配置球墊。其中部份位於周邊的重配置球墊係對準地且包覆式連接在該些柱頂端面141上，其餘的重配置球墊係以內圈矩陣排列方式設置於該蝕刻面422上，而得到良好的固著力。

【0044】 此外，在立體封裝堆疊(POP)應用中，一BGA類型的頂部疊置封裝構造40係可藉由其底部之錫球41接合至該浮凸式重配置線路層470之該些重配置球墊。

【0045】 因此，本發明提供了一種柱頂互連(PTI)之半導體封裝構造100、200、300、400，能以無基板的晶圓等級封裝製程或面板等級封裝製程予以製造，可省略習知基板之印刷電路板製程。並且改良了現有的扇外型晶圓等級封裝構造(或扇外型面板等

級封裝構造)，而能加強對頂部疊置封裝構造之銲球接合強度或浮凸式重配置線路層的貼附力，故達到扇外型晶圓/面板等級封裝(FOWLP/FOPLP)與立體封裝堆疊(POP)之良好整合效果，可以去除因製作習知封裝構造的多道植球步驟與鑽孔步驟所造成的製程變異。

【0046】 以上所揭露的僅為本發明較佳實施例而已，當然不能以此來限定本發明之權利範圍，因此依本發明權利要求所作的等同變化，仍屬本發明所涵蓋的範圍。

【符號說明】

【0047】

T、T'	覆晶厚度	S	填充間隙
10、30、40	頂部疊置封裝構造		
11、31、41	銲球		
100	半導體封裝構造		
110	第一模封膠層		
120	第二模封膠層	121	研磨面
121A	模封面		
130	重配置線路結構	131	扇入墊
132	扇出墊	133	外接墊
140	導體柱	141	柱頂端面
150	晶片	151	凸塊
152	銲料		
160	外突端子		

- | | |
|----------------------|---------------|
| 200 半導體封裝構造 | 222 蝕刻面 |
| 270 浮凸式重配置線路層 | |
| 300 半導體封裝構造 | 370 浮凸式重配置線路層 |
| 400 半導體封裝構造 | 422 蝕刻面 |
| 470 浮凸式重配置線路層 | |
| 500 立體封裝堆疊之底部半導體封裝構造 | |
| 510 基板 | 511 線路結構 |
| 512 防焊漆層 | 513 防焊漆層 |
| 520 模封膠層 | 521 上表面 |
| 523 鑽孔 | 540 鉚球 |
| 550 晶片 | 551 覆晶凸塊 |
| 553 底部填充膠 | 560 外突端子 |

申請專利範圍

- 1、一種柱頂互連(PTI)之半導體封裝構造，包含：
 - 一第一模封膠層，係埋設有一重配置線路結構；以及
 - 一第二模封膠層，係埋設有複數個導體柱以及一晶片，該第二模封膠層係形成於該第一模封膠層上；其中，該些導體柱係具有複數個柱頂端面，其係外露地共平面於該第二模封膠層之一研磨面，該第二模封膠層在該研磨面與該晶片之間係形成有一覆晶厚度；
其中該晶片係設有複數個柱狀凸塊，經由該些柱狀凸塊覆晶接合於該重配置線路結構之複數個扇入墊；
並且，該半導體封裝構造係另包含一浮凸式重配置線路層，係形成於該研磨面上，以連接該些柱頂端面。
- 2、如申請專利範圍第1項所述之柱頂互連(PTI)之半導體封裝構造，其中該些導體柱係設置於該重配置線路結構之複數個扇出墊，該些扇入墊與該些扇出墊係為共平面。
- 3、如申請專利範圍第2項所述之柱頂互連(PTI)之半導體封裝構造，其中該第一模封膠層係更埋設有複數個外接墊，該重配置線路結構係為立體線路結構並連接該些外接墊，複數個外突端子係接合於該些外接墊。
- 4、如申請專利範圍第1、2或3項所述之柱頂互連(PTI)之半導體封裝構造，其中該第二模封膠層在該晶片與該第一模封膠層之間係形成有一填充間隙，該覆晶厚度係不大於該填充間隙。
- 5、一種柱頂互連(PTI)之半導體封裝構造，包含：

一 第一模封膠層，係埋設有一重配置線路結構；以及
一 第二模封膠層，係埋設有複數個導體柱以及一晶片，該第二模封膠層係形成於該第一模封膠層上；

其中，該些導體柱係具有複數個柱頂端面，其係外露地共平面於該第二模封膠層上而微突於該第二模封膠層之一蝕刻面，該第二模封膠層在該蝕刻面與該晶片之間係形成有一覆晶厚度；

其中該晶片係設有複數個柱狀凸塊，經由該些柱狀凸塊覆晶接合於該重配置線路結構之複數個扇入墊；

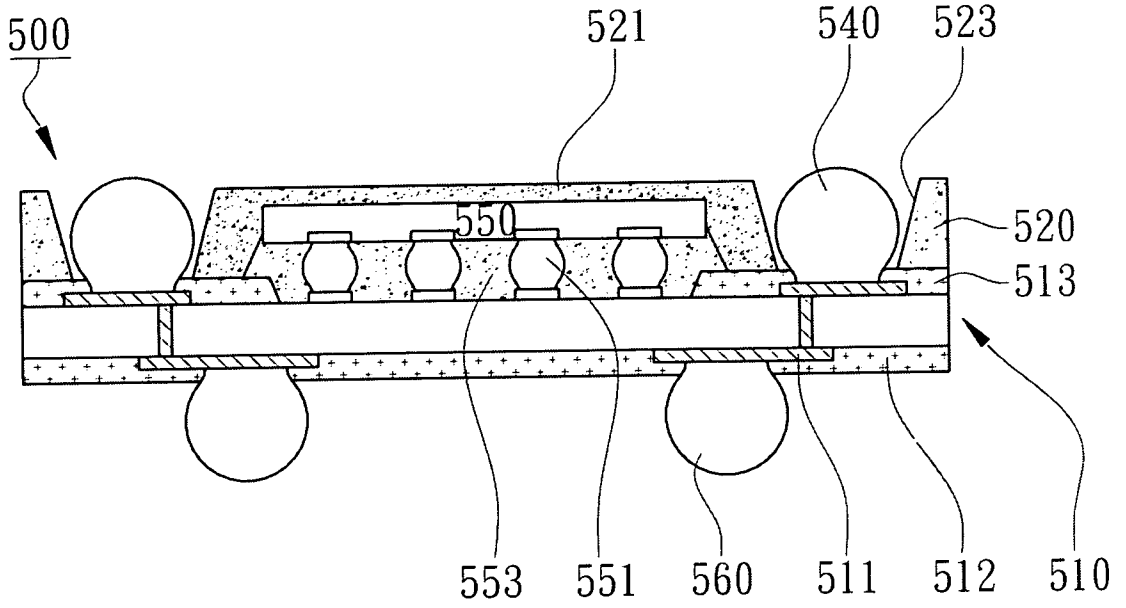
並且，該半導體封裝構造係另包含一浮凸式重配置線路層，係形成於該蝕刻面上，以連接該些柱頂端面。

6、如申請專利範圍第 5 項所述之柱頂互連 (PTI) 之半導體封裝構造，其中該些導體柱係設置於該重配置線路結構之複數個扇出墊，該些扇入墊與該些扇出墊係為共平面。

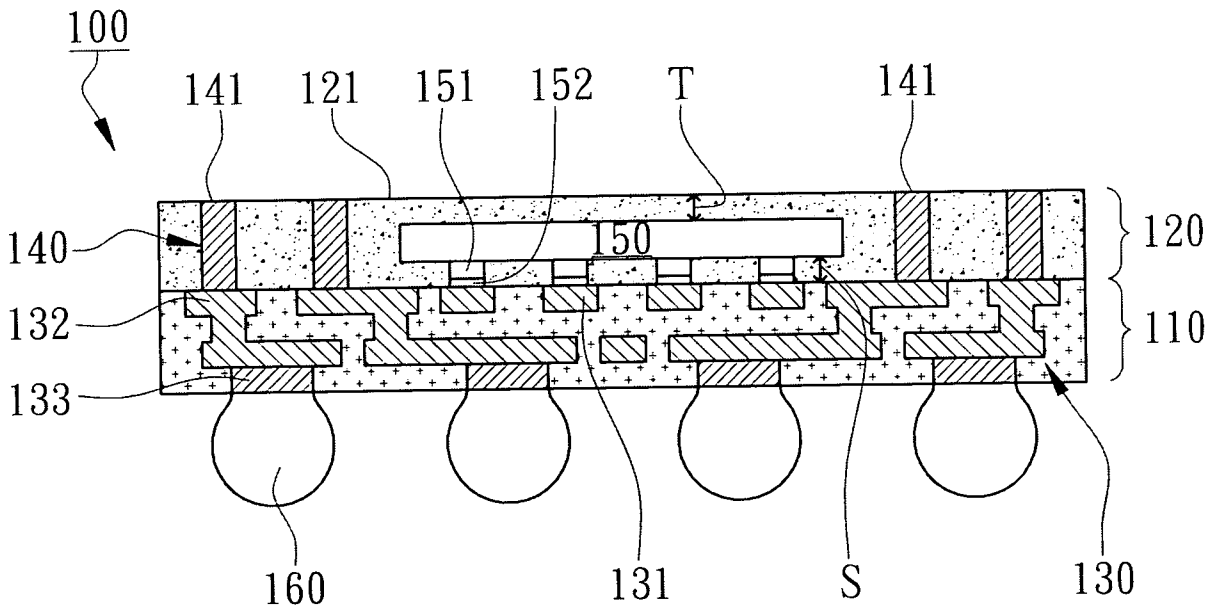
7、如申請專利範圍第 6 項所述之柱頂互連 (PTI) 之半導體封裝構造，其中該第一模封膠層係更埋設有複數個外接墊，該重配置線路結構係為立體線路結構並連接該些外接墊，複數個外突端子係接合於該些外接墊。

8、如申請專利範圍第 5、6 或 7 項所述之柱頂互連 (PTI) 之半導體封裝構造，其中該第二模封膠層在該晶片與該第一模封膠層之間係形成有一填充間隙，該覆晶厚度係不大於該填充間隙。

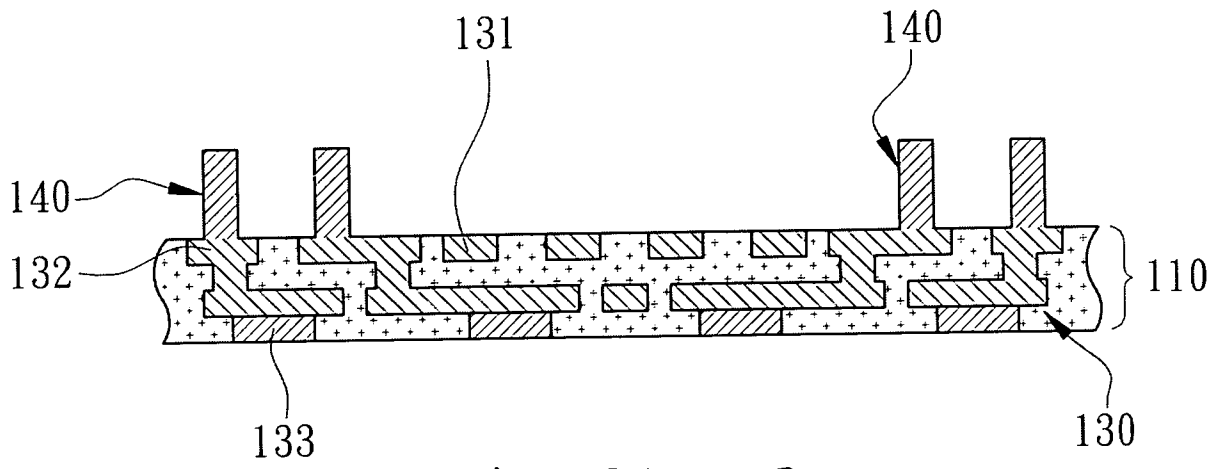
圖式



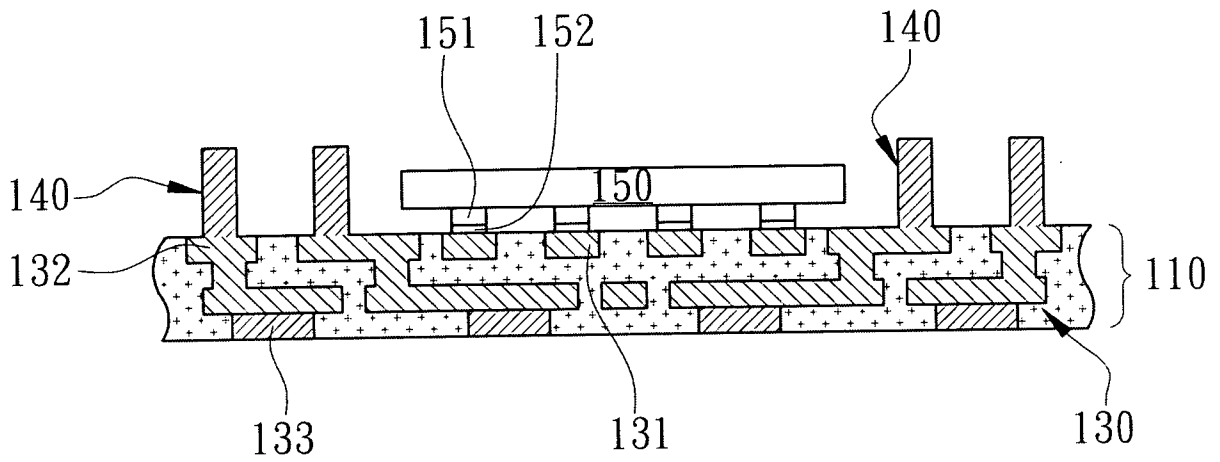
第 1 圖



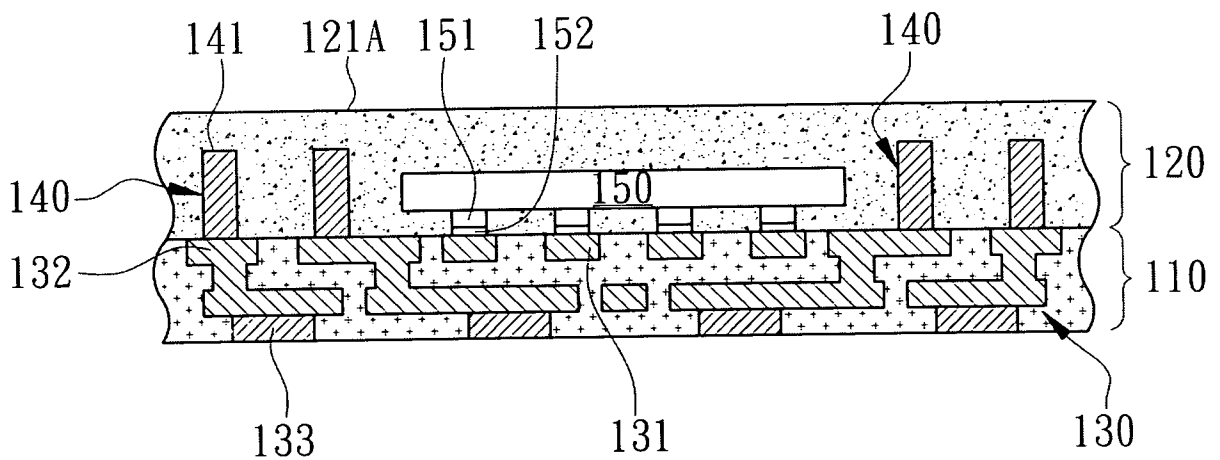
第 2 圖



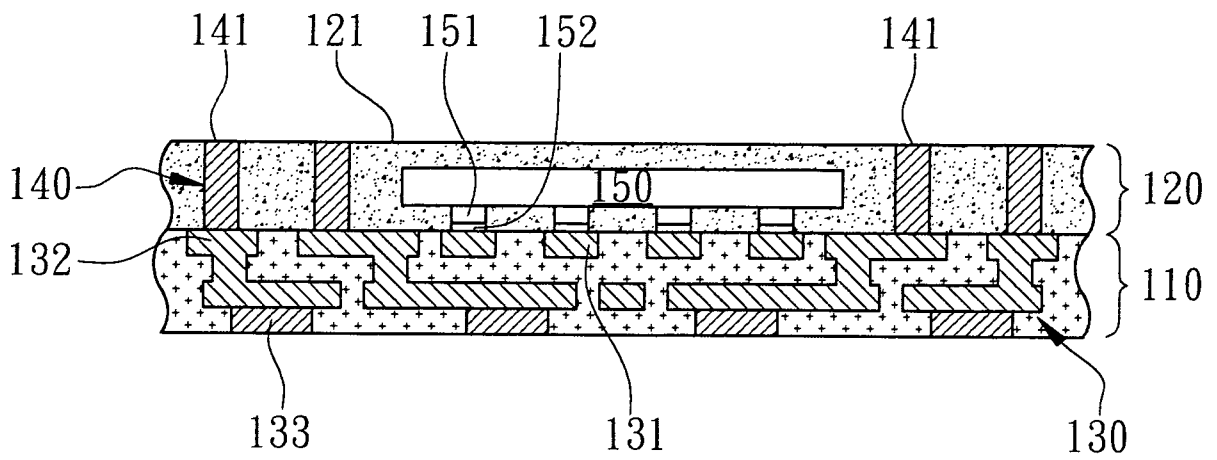
第 3A 圖



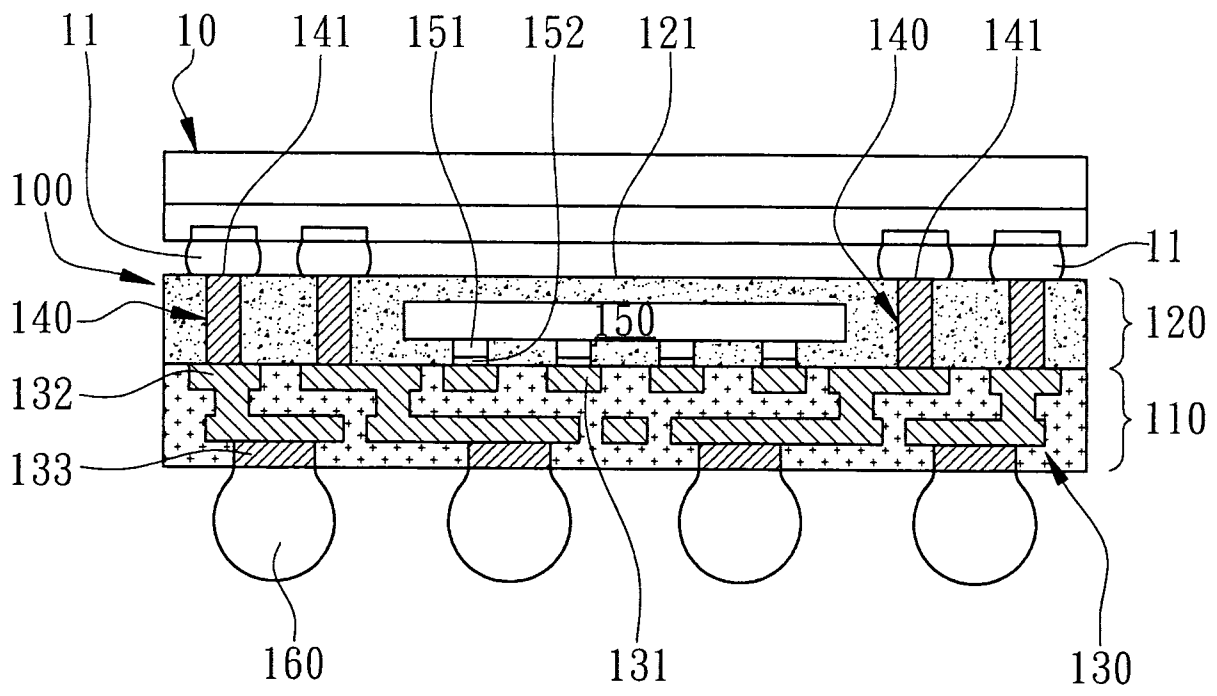
第 3B 圖



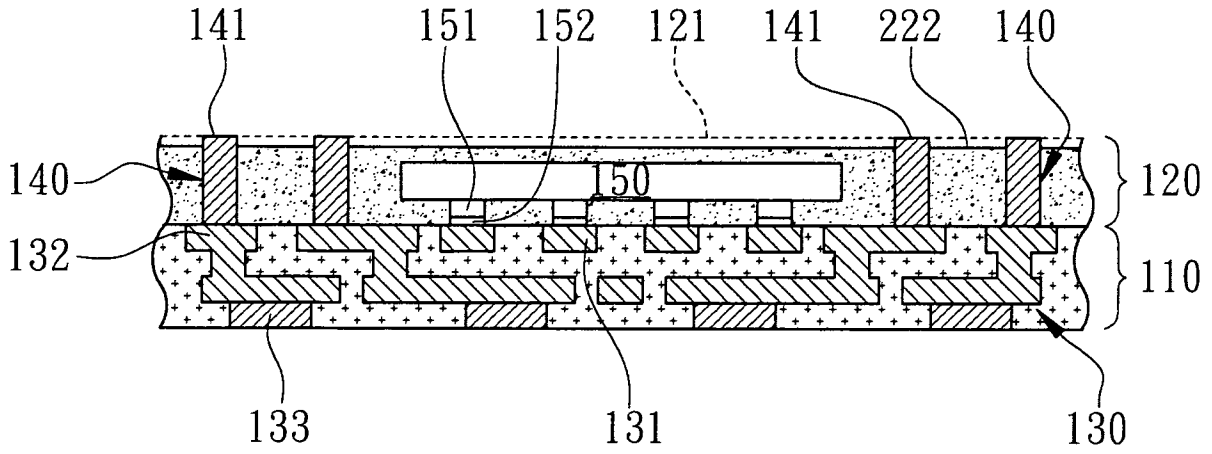
第 3C 圖



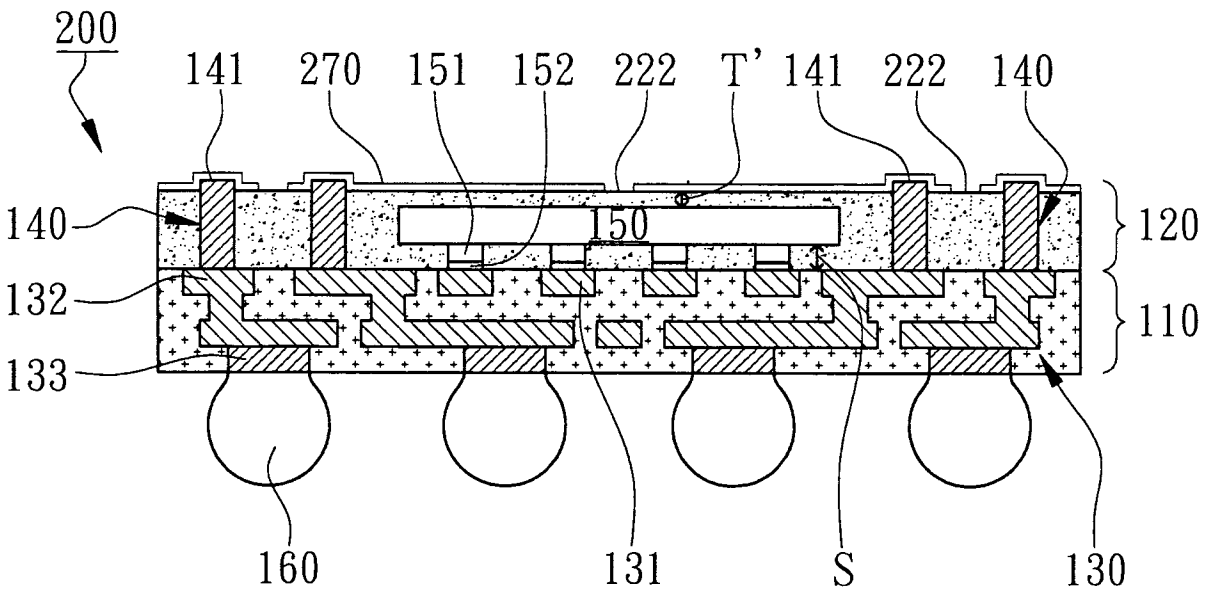
第 3D 圖



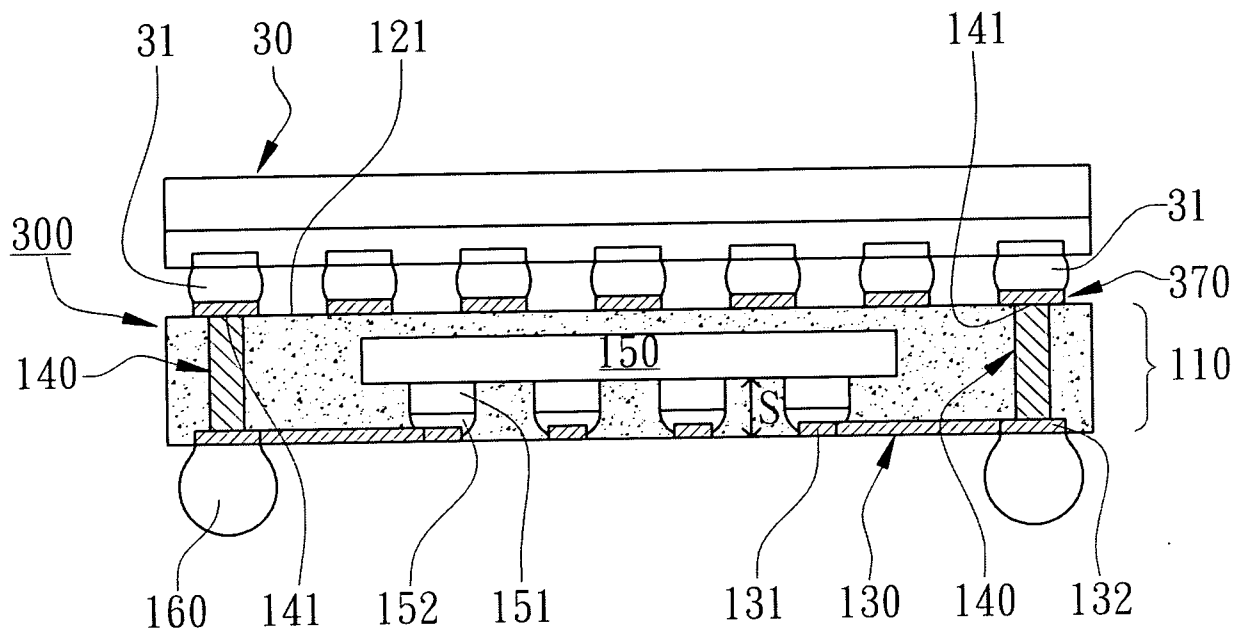
第 4 圖



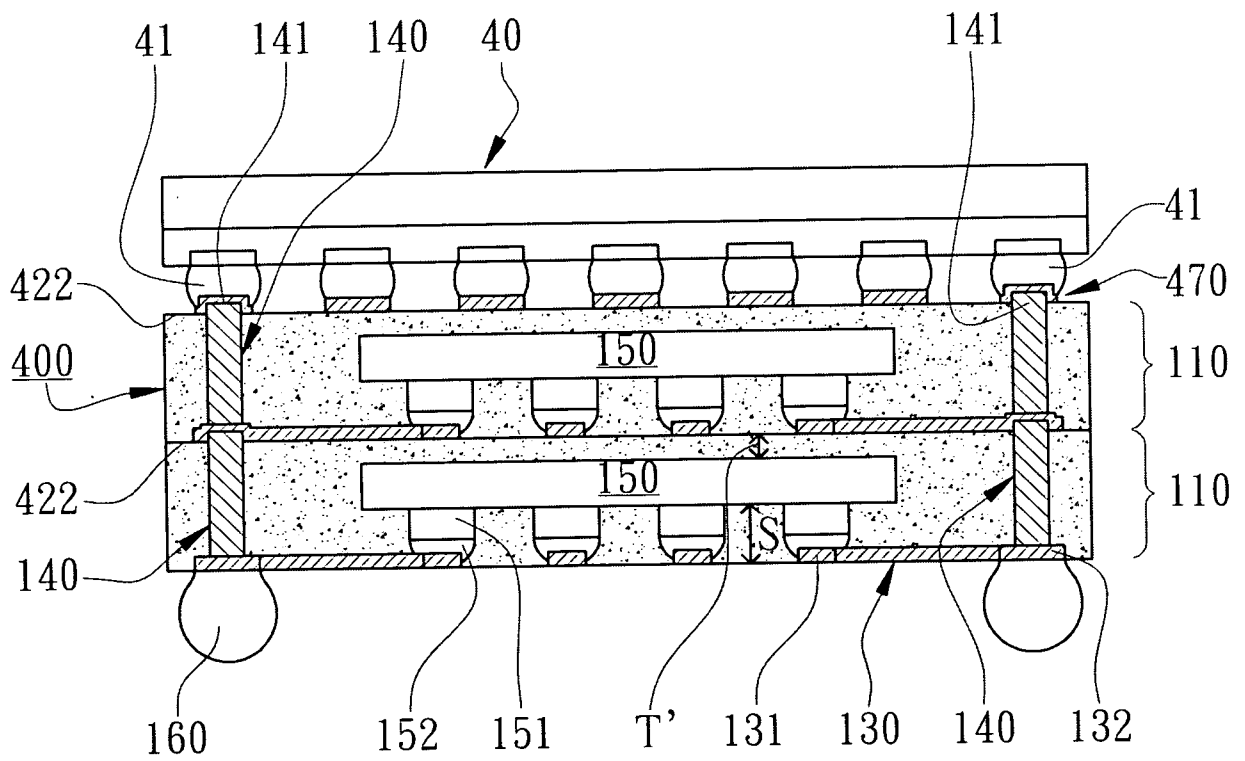
第 5 圖



第 6 圖



第 7 圖



第 8 圖