(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0036674
(43) 공개일자 2002년05월16일

(21) 출원번호 10-2001-0053288
(22) 출원일자 2001년08월31일

(30) 우선권주장 JP-P-2000-0034 2000년11월10일 일본(JP)
9305

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 다까하시다꾸야
일본이바라끼껭히따찌시가미아이쪼2쪼메17-7
이시이마사히로
일본지바껭모바라시야찌요1쪼메5-1샤또하이무205
가사이쯔또무
일본지바껭모바라시하야노2243-8
가와무라데쯔야
일본지바껭모바라시시모나가요시460하야노료에이-205
다무라가쯔미
일본이바라끼껭히따찌시미나미꼬야쪼3쪼메12-22
가네꼬도시끼
일본지바껭지바시미도리꾸아스미가오까4쪼메39-9-303
오니사와겐이찌
일본이바라끼껭히따찌나까시소또노2쪼메8-18

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 액정 표시 장치

요약

2 wt.% 이상 5 wt.% 이하의 크롬 함량을 갖는 몰리브덴-합금막, 또는 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막(Mo-Cr)으로서, 제1 도전막은 2 wt.% 이상 5 wt.% 이하의 크롬 함량을 가지며, 제2 도전막은 제

1 도전막 위에 제공되며 제1 도전막보다 크롬을 더 적게 함유하는 상기 몰리브덴-합금 적층막(Mo-Cr)으로 이루어진 데이터선을 갖는 액정 표시 장치를 이용한다. 이들 재료들로 이루어진 데이터선을 이용함으로써 높은 건식 에칭 내성, 낮은 저항, 낮은 ACF 접촉 저항, 낮은 사이드 에칭(side etching) 속도, 포워드 테이퍼형 배선 단면 형상, 및 2층 이하의 적층과 같은 요구 조건들을 만족시킬 수 있다.

대표도

도 1

색인어

액정 표시 장치, 도전막, 데이터선, 패시베이션막, 게이트

명세서

도면의 간단한 설명

도 1은 본 발명에 기초한 액정 표시 장치내의 화소 구조의 일 실시예를 나타낸 주요부 평면도.

도 2는 본 발명에 기초한 액정 표시 장치의 일 실시예를 나타낸 등가 회로도.

도 3은 도 1의 Ⅳ-Ⅳ' 부분의 단면도.

도 4a, 도 4b는 본 발명에 기초한 액정 표시 장치의 일 실시예를 나타낸 주요부(단자부)평면도.

도 5는 본 발명에 기초한 액정 표시 장치내의 단자들과 반도체 집적 회로 범프간의 접속 구조를 나타낸 단면도.

도 6은 단자부들이 단자부와 인접한 다른 단자부들간에 생성된 전계로 인한 전식을 받는 방법 및 이유를 나타낸 설명도.

도 7은 본 발명에 기초한 액정 표시 장치에 대한 제조 공정들의 일 실시예를 나타낸 공정도로서 도 8 및 도 9와 통합되는 도면.

도 8은 본 발명에 기초한 액정 표시 장치에 대한 제조 공정들의 다른 실시예를 나타낸 공정도로서, 도 7 및 도 9와 통합되는 도면.

도 9는 본 발명에 기초한 액정 표시 장치에 대한 제조 공정들의 또 다른 실시예를 나타낸 공정도로서, 도 7 및 도 8과 통합되는 도면.

도 10은 본 발명에 기초한 액정 표시 장치의 일 실시예를 나타낸 레이아웃.

도 11은 본 발명에 기초한 액정 표시 장치내의 화소 구조의 다른 실시예를 나타낸 평면도.

도 12는 본 발명에 기초한 액정 표시 장치내의 표시 결함의 일 예를 나타낸 사진.

도 13은 본 발명에 기초한 액정 표시 장치에서 이용되는 화소 전극 단면의 일 예를 나타낸 사진으로서, 도 12에서의 표시 결함을 나타낸 사진.

도 14는 본 발명에 기초한 액정 표시 장치용 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 15는 본 발명에 기초한 액정 표시 장치용 다른 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 16은 본 발명에 기초한 액정 표시 장치용 다른 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 17은 본 발명에 기초한 액정 표시 장치용 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 18a, 도 18b는 본 발명에 기초한 액정 표시 장치용 다른 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 19는 본 발명에 기초한 액정 표시 장치용 다른 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 20은 본 발명에 기초한 액정 표시 장치용 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

도 21a 내지 도 21c는 본 발명에 기초한 액정 표시 장치용 다른 후보 데이터선 재료들에 관한 특성 데이터를 나타낸 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

ACF : 이방성 전도성막

BM : 블랙 매트릭스

GL : 게이트선

OC : 평탄화막

PFPC : 플렉시블 인쇄회로

PIX : 화소 전극

PSV : 패시베이션막

SUB1 : 투명 기판

TFT : 박막 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(TFTs)에 의해 구동되는 능동 매트릭스형 액정 표시 장치(AM-LCD units)와, 이들 AM-LCD units에 관한 제조 공정들에 관한 것이다.

현재, 박막 트랜지스터 구동 액정 표시 장치(TFT-LCD units) 시장은 이들 화상 표시 장치의 두께, 중량, 및 해상도를 더 개선할 수 있기 때문에, 계속 확대되고 있다. 근래, TFT-LCD units의 화면 크기와 해상도가 증가되는 경향에 따라, 제조 수율을 향상시키는 신호선 및 그 단자들에 관련된 요구와 저항값 감소에 대한 요구는 점점 더 엄격해지고 있다. 또한, 제조 비용의 절감도 요구되고 있다.

능동 매트릭스형의 액정 표시 장치의 경우, 수평(x-축)방향으로 연장되며 수직(y-축)방향에 평행하게 배열되는 주사선과, 수직(y-축)방향으로 연장되며 수평(x-축)방향에 평행하게 배열되는 데이터선은 액정을 통해 서로 대향하는 다

중 투명 기판 중 하나의 투명 기판의 액정측 상에 형성되고, 이들 신호선으로 둘러싸인 직사각형 영역은 화소 영역으로 이용된다. 또한, 각 화소 영역에는 일측 상의 주사 신호선으로부터 주사 신호를 공급 받아 구동되는 박막 트랜지스터와, 상기 박막 트랜지스터를 통해 다른 측 상의 데이터선으로부터 데이터 신호를 공급 받아 구동되는 화소 전극이 모두 제공된다. 각 화소는 주사 신호 또는 데이터 신호에 의해 구동되고, 이들 주사 신호 또는 데이터 신호는 일군의 화소 영역으로 형성된 표시부의 외부 영역으로 연장되는 주사선 또는 데이터선의 단자를 통해 공급된다.

각 주사선과 각 데이터선은 박막 트랜지스터의 게이트 절연체로도 기능하는 절연막, 또는 상기 박막 트랜지스터의 액정과의 직접 접촉을 피하는 기능도 하는 패시베이션막으로 피복된다. 이 신호선의 단자는 절연막 또는 패시베이션막에 홀을 제공하여 노출되고, 공지된 바와 같이 주로 다결정상(poly-crystalline phase)으로 이루어진 인듐 주석 산화물의 한 형태인, 다결정 인듐 주석 산화물(p-ITO)으로 상기 노출면을 피복함으로써 소위 " 전식(electrocorrosion)" 의 발생을 방지할 수 있다.

각 주사선은 그 전기저항이 낮고, 그 절연막 또는 패시베이션막에 홀이 제공되도록 하는 건식 에칭에 의해 손실되지 않도록 충분한 건식 에칭 내성을 가지며, 또한 그 단자에서 p-ITO 와 적절하게 접촉하는 것이 요구된다. 이러한 이유로, 주사 신호선은 크롬 몰리브덴(CrMo)합금/크롬(Cr)막 등의 재료들로 이루어지는데, 여기서, 슬래시 " /" 는 적층을 나타내고 이 슬래시의 왼쪽과 오른쪽은 각각 상기 적층의 상부층과 하부층을 나타낸다(이하, 슬래시와 그 양쪽은 동일한 의미로 이용됨). 상술한 요구 조건들을 만족시키는 것에 더하여, 각 데이터선은 비결정성 실리콘과 적합하게 접촉하는 것이 더 요구되는데, 이는 박막 트랜지스터의 소스 전극과 드레인 전극이 동시에 형성되기 때문이다. 또한, 에칭 동안 게이트 절연체와 비결정성 실리콘 간의 선택도를 보장하기 위해, 각 데이터선에 습식 에칭을 제공할 수 있는 것이 바람직하다. 이러한 이유로, 데이터선은 CrMo 합금/Cr 막 등의 재료들로 이루어진다. 이들 배선 재료들을 이용함으로써 사이드 에칭량을 1 ㎛ 이하로 감소시킬 수 있고 배선의 단면을 테이퍼 형상으로 처리할 수 있게 된다. 이들 처리 특성으로 인해, 채널 길이가 7 ㎛ 이하의 채널 길이를 포함하는 우수한 특성들이 제공되는 박막 트랜지스터를 얻을 수 있으며, 또한 이들 처리 특성은 인-플레인 스위칭(IPS; In-Plane Switching)형 액정 표시 장치에 대한 화소 전극 처리에 적용될 수 있다.

액정 표시 장치에 실장되는 구동기 칩에 의해 전압이 인가되도록 이 액정 표시 장치내의 신호 배선을 형성하고, 또한 이들 구동기 칩의 접속부(접촉부 또는 단자)에서의 전기 접속 저항이 감소되는 것이 요구된다. 근래, 표시 해상도가 더 향상됨에 따라, 이 접촉부 면적의 상당한 감소로 인해, 접속 저항이 증가하려는 경향이 점점 더 커지고 있다. 예를 들어, 액정 표시 장치에 구동기를 실장하는 방법은 종래 TCP(Tape Carrier Package)방법에서 COG(Chip-on-Glass)방법으로 바뀌고 있고, 이 COG 방법의 경우 접촉부 면적의 감소가 중요하다. 상술한 p-ITO로 피복된 신호선의 단자는 전기 접속 저항 감소에 대한 요구를 만족시킨다. 또한, p-ITO는 투명 화소 전극의 기능상의 요구 조건들을 만족시키고, 상술한 투명 화소 전극과 단자 피복들은 제조 공정 동안 동시에 형성된다.

크기 및 해상도와 관련하여 액정 표시 장치가 더 발전함에 따라, 특히 주사선의 전기 저항 감소가 더 요구된다. 따라서, 상술한 CrMo 합금/Cr 막 대신, 알루미늄(Al) 또는 Al 합금을 포함한 재료들을 이용하게 된다(이하, 이와 같은 신호선은 알루미늄 배선으로도 지칭됨). 또한, 주사선의 단자에서 p-ITO 와의 적절한 접촉을 얻을 수 있도록 통상적으로 Al 또는 Al 합금의 상부층에 Mo 등이 포함되는 배선 구조물을 이용한다. 예를 들어, 2.6 내지 23 중량%의 비율로 Zr을 포함하는 MoZr 합금으로 상부층이 이루어지는 몰리브덴-지르코늄(MoZr)/Al 합금막은 상기 배선의 포워드 테이퍼형 단면을 양호하게 에칭할 수 있고, 이 MoZr/Al 합금막 상의 절연막을 쓰루홀 처리할 때 필요한 MoZr층에 대한 충분한 건식 에칭 내성을 제공한다.

그러나, 알루미늄 배선으로 이루어진 주사 신호선을 이용하고, p-ITO 등으로 이루어진 투명 화소 전극과 단자 피복의 이용은 다음과 같은 불편을 유발하는 것으로 확인되었다: p-ITO를 에칭하기 위해서는 브롬화수소산(HBr)용액 등의 강한 할로겐산 용액을 이용하는 것이 절대적으로 필요하고, 이들 용액은 신호선을 피복하며 박막 트랜지스터의 게이트 절연체로도 기능하는 절연막의 결함부에 침투되며, 또한 그 박막 트랜지스터 결정과의 직접 접촉을 피하기 위한 절연막으로 기능하는 패시베이션막의 결함부에 침투된다. 따라서, 신호선이 분리되고, 이로 인해 제조 수율이 감소되며 제조 비용은 증가하게 된다.

신호선이 분리되는 것을 방지하는데 이용할 수 있는 하나의 방법은 투명 화소 전극 및 단자로서, p-ITO 대신 비결정성 ITO(a-ITO) 또는 인듐-아연 산화물(IZO)을 이용하고, 또한, 이들 전극과 단자 피복을 처리하기 위한 에칭액으로서 옥살산($(COOH)_2$)을 더 이용하는 것인데, 이는 옥살산내에서 알루미늄 및 알루미늄 합금의 용해율이 충분히 낮아 신호 분리가 일어나지 않기 때문이다.

그러나, a-ITO 또는 IZO를 선택하면, 구동 회로에 상당히 높은 접속 저항을 주게 되므로, 전기 접촉 저항을 감소하려는 의도된 목적을 달성할 수 없게 된다. 도 14는 p-ITO, a-ITO, 및 IZO 재료들의 접촉 저항값을 나타낸 그래프이다. 도 14에서, 가로축은 각 재료에 인가되는 니들 압력 변화를 나타내고, 세로축은 그 때 각 재료와 니들간의 접촉 저항 변화를 나타낸다. 액정 표시 장치의 경우, 단자들의 신호선에 인가되는 칩 구동 범프 압력은 그래프의 범위 A 내에서 거의 유지되는 것으로 고려되고, 이 경우, 접촉 저항 감소의 관점에서, p-ITO를 이용하는 것이 a-ITO 또는 IZO를 이용하는 것보다 훨씬 더 효과적임을 알 수 있다.

a-ITO 또는 IZO의 선택에 의한 상기 접속 저항 증가는 신호선의 단자로부터 a-ITO 또는 IZO 피복의 일부 또는 전부를 제거하여 단자 배선의 금속부를 노출시킴으로써 억제할 수 있다. 또한, 도 15는 여러 재료들과 이방성 전도성막 (ACF)간의 접촉 저항에 관한 데이터를 나타낸다. a-ITO 또는 IZO 피복된 단자와의 직접 접촉과 비교하여, MOZr/Al 합금막 및 CrMo 합금/Cr 막과의 직접 접촉은 ACF 에 대한 접촉 저항을 감소시킨다. 그러나, TCP 방법에 대한 적용성과 비교하여, CrMo/Cr과 ACF 간의 접촉 저항값은 그 접촉부 면적이 크게 감소되는 COG 방법에 상기 저항값을 적용할 수 있을 정도로 감소되지는 않는다. 주사선에 이용되는 ACF 와 MoZr/Al 합금막 간의 접촉 저항은 충분히 낮으므로, COG 방법을 적용할 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 해결하고자 하는 문제는 상술한 설명을 고려하여 다음 요구 조건들을 만족시키는 데이터선, 소스 전극, 및 드레인 전극 막 재료들을 형성하는 방법에 관한 것이다.

(1) 상기 재료는 건식 에칭 내성을 가져야 하고, 절연막의 쓰루홀 처리 동안 손실되지 않아야 한다.

(2) 상기 재료는 CrMo/Cr 막의 저항값과 같거나 작은 특정 저항값을 가져야한다.

(3) 상기 재료는 절연막의 재료인 SiN을 거의 에칭하지 않는 에칭액(etchant)을 이용한 에칭이 가능해야 한다.

(4) 특성이 우수한 박막 트랜지스터를 얻기 위해, 상기 재료는 사이드 에칭량을 1 ㎛ 이하로 감소시키고 박막 트랜지스터의 채널 길이를 7 ㎛ 이하로 감소시킬 수 있어야 한다.

(5) 상기 재료는 전극 또는 신호선의 단면을 테이퍼 형상으로 처리하고 IPS 형 액정 표시 장치의 화소 전극을 처리할 수 있어야 한다.

(6) ACF 에 대한 접촉 저항은 COG 방법에 적용될 수 있도록 충분히 낮아야 한다.

(7) 막(film)의 적층수는 " 2" 를 초과하지 않아야 한다.

상기 요구 조건(6)을 제외하고는 상술한 CrMo/Cr 막을 적용할 수 있음을 상술한 설명으로부터 알 수 있다. 또한, 상기 요구 조건(7)을 제외하면, Mo/Al/Mo - 합금된 3층막은 모든 다른 요구 조건들을 가장 잘 만족하게 된다. 그러나, 스패터링에 의한 3층막 증착은 시간이 소요되는 작업이므로, 생산성을 상당히 감소시키게 된다. 또한, 대규모 증착 장치가 필요하므로 설비 투자를 증가시키게 된다. 따라서, 본 발명에서는 1층 또는 2층막 재료들에 대해 조사하였다.

(1) 내지 (7)의 상기 요구 조건들을 만족하는 막 재료는 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴 - 합금막과, 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴 - 합금 적층막으로서, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 가지며, 상기 제2 도전막은 상기 제1 도전막 위에 제공되며 상기 제1 도전막보다 크롬 함량이 더 적은 상기 몰리브덴 - 합금 적층막이다. 박막 트랜지스터의 소스 전극과 드레인 전극에 대해 이와 같은 어느 막 재료를 이용하더라도 상기 트랜지스터가 고성능을 갖도록 하고, 및/또는 데이터선에 대해 어느 재료를 이용하더라도 훨씬 더 많은 효과들을 얻을 수 있게 된다. 즉, 박막 트랜지스터의 소스 전극과 드레인 전극 및/또는 데이터선에 대해 이들 재료를 이용하는 것이 효과적이다. 이를 입증하는 재료 데이터를 아래에 나타낸다.

상기 요구 조건(3)을 만족시킬 수 있는 고용융점 금속으로는 몰리브덴(Mo)과 크롬(Cr)이 있다. 또한, 도 15의 데이터로부터, ACF 에 대한 접촉 저항의 관점에서 볼 때, Mo - 기제 합금이 Cr - 기제 합금보다 더 낮다는 것을 알 수 있다. 따라서, Mo - 기제 합금의 범위내에서 후보 재료들을 조사하였다.

도 16은 첨가된 성분이 Mo 합금의 건식 에칭 내성에 미치는 영향에 관한 조사 결과를 나타낸다. 이 도면으로부터, Cr, Zr, 및 Hf를 Mo 에 첨가함으로써 건식 에칭 내성이 높아짐을 알 수 있다. 도 17은 Mo 합금과 그 첨가된 성분들(Cr, Zr, 및 Hf)의 SF_6 플라즈마 건식 에칭 속도간의 관계를 나타낸다. 여기서, 절연막 재료인 SiN의 건식 에칭 속도는 7.3 nm/sec 이다. 데이터선용 재료로 이용하기 위해서는 SiN 에칭에 대한 Mo 합금 에칭의 선택비는 적어도 약 7배 이상으로 되는 것이 바람직하고, Mo 합금의 건식 에칭 속도는 0.13 nm/sec를 초과하지 않아야 한다. 이 요구 조건들을 만족하는 Mo 합금의 조성은 다음과 같다: MoCr(Cr $\geq$1.5 중량%), MoZr(Zr $\geq$5.0 중량%), MoHf(Hf $\geq$8.0 중량%).

도 18a, 도 18b는 Mo 합금의 저항률과 첨가된 성분들(Cr, Zr, 및 Hf)의 양 간의 관계를 나타낸다. 도 18a는 Cr을 첨가하여 얻어진 데이터를 나타내고, 도 18b는 Zr 및 Hf를 첨가하여 얻어진 데이터를 나타낸다. 또한, CrMo/Cr 막의 저항률은 약 220 nΩ、m 이다. 각 성분의 저항률은 첨가량의 증가에 따라 증가하지만, 상술한 건식 에칭 내성을 만족시키는 첨가 성분의 최소량에 기초하여 각 성분의 저항률을 비교할 때, 5.0 중량%의 Zr 함량을 갖는 MoZr 막과 8.0 중량%의 Hf 함량을 갖는 MoHf 막의 저항률은 약 300 nΩ、m이며, 이는 CrMo/Cr 막의 저항률보다 훨씬 더 높다. 그러나, 1.5 중량%의 Cr 함량을 갖는 MoCr 막은 CrMo/Cr 막의 저항률보다 낮은 약 180 nΩ、m의 저항률을 가지며, 5.0 중량% 보다 낮은 Cr 함량을 갖는 MoCr 막의 저항률은 CrMo/Cr 막의 저항률보다 약 10 % 더 높은 240 nΩ、m로 된다. 따라서, 저항률의 관점에서, MoCr(Cr $\leq$ 5 중량%)막은 CrMo/Cr 막과 등가이다 라고 말할 수 있다. 따라서, MoCr(1.5 $\leq$Cr $\leq$5 중량%)의 범위내에서 후보 재료들을 조사하였다.

도 19는 인산, 질산, 및 아세트산의 혼합물로 MoCr 합금을 에칭한 속도와 첨가된 성분(Cr)의 양과의 관계를 나타낸다. 이 에칭 속도는 적정 범위를 갖는다. 예를 들어, 에칭 속도가 10 nm/sec 이상인 경우, 필요한 에칭 시간이 너무 짧으므로 에칭량을 적절하게 조절할 수 없게 된다. 이와 반대로, 예를 들어, 에칭 시간이 2분을 초과하는 경우, 레지스트의 견실도를 얻을 수 없으므로 정상적인 패터닝을 달성할 수 없게 된다. 또한, 머신 사이클 시간이 증가하게 되므로, 제조 효율의 관점에서 바람직하지 않게 된다. MoCr(1.5 $\leq$Cr $\leq$5 중량%)의 범위에서, 에칭 속도는 8.0 내지 1.7 nm/sec의 범위에 들어가며, 상술한 이유로, 이 에칭 속도는 대체로 적합하게 된다. 그러나, MoCr(Cr $\geq$5 중량%)의 범위에서, 200 nm의 표준 배선막 두께에 요구되는 에칭 시간은 2분을 초과하게 된다. 따라서, MoCr(Cr $\geq$5 중량%) 범위에서의

에칭은 상술한 이유로 바람직하지 않게 된다.

도 20은 인산, 질산, 및 아세트산의 혼합물을 이용한 MoCr 사이드 에칭량의 변화를 나타낸다. 사이드 에칭량은 MoCr 합금내의 Cr 함량이 증가함에 따라 감소한다. 포토리소그래피 해상도와 현상 공정을 고려하면, 채널 길이가 7 ㎛ 이하인 박막 트랜지스터를 얻기 위해서는 다음에 본 발명의 일 실시예에서 설명하는 바와 같이러한 사이드 에칭량을 1 ㎛ 이하로 제어할 필요가 있다. 따라서, MoCr 합금내의 Cr 함량은 2 중량% 이상이어야 하고, 그 변동을 고려하면, 상기 값이 2.5 중량% 이상인 것이 바람직하다. 그 하부층이 180 nm 두께 Mo-2.5 중량% Cr 합금으로 이루어지며 그 상부층이 20 nm 두께 Mo-1.6 중량% Cr 합금으로 이루어진 MoCr-합금된 2층 적층막인 경우에도, 사이드 에칭량은 Mo-2.5 중량% Cr 합금의 사이드 에칭량과 거의 동일하였다.

도 21a 내지 도 21c는 인산, 질산, 및 아세트산의 혼합물로 MoCr 합금을 에칭하여 얻어진 배선의 단면 형상을 나타낸다. 도 21a에 도시된 바와 같이 MoCr 합금내의 Cr 함량이 1.6 중량% 인 경우, 얻어진 배선은 거의 수직의 단면 형상을 갖는다. 도 21b에 도시된 바와 같이 MoCr 합금내의 Cr 함량이 2.5 중량% 인 경우, 테이퍼각이 약 30 ° 인 형상이 얻어진다. IPS 형 액정 표시 장치의 경우, 다음에 본 발명의 일 실시예에서 설명하는 바와 같이 화소 전극의 배선이 수직의 단면 형상을 가질 때, 얼라인먼트층에 대한 러빙(rubbing) 처리에 기인하는 표시 비균일성이 발생하는 것이 알려져 있다. 따라서, 상기 목적에 대해, Mo-1.6 중량% Cr은 적합하지 않게 된다. 또한, 도 21c에 도시된 바와 같이 그 하부층이 180 nm 두께 Mo-2.5 중량% Cr 합금으로 이루어지며 그 상부층이 20 nm 두께 Mo-1.6 중량% Cr 합금으로 이루어진 MoCr-합금된 2층 적층막에서, 테이퍼각이 약 30 ° 인 단면 형상을 갖는 배선이 얻어졌다. 이 테이퍼각에서, Mo-2.5 중량% Cr 1층막은 도 21c에 도시된 적층막보다 더 현저한 인-플레인 비균일성을 생성하지만, 이 Mo-2.5 중량% Cr 1층막을 별다른 문제 없이 실제로 이용할 수도 있다.

또한, 도 15는 ACF 에 대한 Mo-2.5 중량% 합금막의 접촉 저항값을 나타낸다. 이들 값은 CrMo/Cr 막의 저항값보다는 훨씬 더 적지만, p-ITO 피복막보다는 열등하지 않다. 따라서, Mo-2.5 중량% Cr 합금막과 ACF 가 직접 접촉하게 되는 단자를 이용하여 구현되는 COG 실장이 가능하게 된다.

상기 재료 데이터로부터 종합해 볼 때, 요구 조건들 (1) 내지 (7)을 만족하는 막 재료는 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴-합금막과, 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막으로서, 상기 제1 도전막은 2 중량% 이상 5 중량% 막보다 크롬 함량을 가지며, 상기 제2 도전막은 상기 제1 도전막 위에 제공되며 상기 제1 도전막보다 크롬 함량이 더 적은 상기 몰리브덴-합금 적층막인 것으로 판단할 수 있다. 이와 같은 어느 막 재료를 이용하더라도, 박막 트랜지스터 채널 길이의 관점에서 7 ㎛ 이하의 액정 표시 장치를 제조할 수 있으며, IPS 형의 액정 표시 장치인 경우, 막(film) 러빙 처리에 기인하는 표시 비균일성이 없는 액정 표시 장치를 제공할 수 있다.

본 발명에 따르면, 우수한 특성을 갖는 액정 표시 장치(LCD unit)를 제공할 수 있다.

발명의 구성 및 작용

(실시예 1)

〈등가 회로〉

도 2는 본 발명에 기초한 액정 표시 장치의 일 실시예를 나타낸 등가 회로도이다. 이 도면은 회로도이지만, 그 안에 회로 소자들의 실제 기하학적 배치가 병합되어 있다.

이 도면에 있는 투명 기판(SUB1)은 액정을 통해 투명 기판(SUB2)과 대향 배치된다.

도면의 x-축 방향으로 연장되며 도면의 y-축 방향에 평행하게 배열되는 게이트선(GL)과, y-축 방향으로 연장되며 x-축 방향에 평행하게 배열되는 드레인선(DL)은 상기 투명 기판(SUB1)의 액정측에 형성된다. 이들 신호선에 의해 둘러싸인 직사각형 영역은 화소 영역으로 기능하고, 상기 일군의 화소 영역들은 표시부(AR)를 구성한다.

하나의 게이트선(GL)으로부터 공급되는 주사 신호(전압)에 의해 구동되는 박막 트랜지스터(TFT)와, 상기 박막 트랜지스터(TFT)를 통해 하나의 드레인 신호선(DL)으로부터 데이터 신호(전압)가 공급되는 화소 전극(PIX)은 각 화소 영역에 형성된다.

화소 전극(PIX)과 상기 게이트선(GL)에 인접한 다른 게이트 신호선(GL)간에 커패시터(Cadd)가 형성되며, 이 커패시터(Cadd)에 의해, 상기 박막 트랜지스터(TFT)가 턴오프될 때 화소 전극(PIX)으로 공급되는 신호를 장시간 저장하게 된다.

각 화소 영역내의 화소 전극(PIX)은 액정을 통해 기판(SUB1)과 대향 배치된 다른 투명 기판(SUB2)의 액정측에 있는 각 화소 영역 상에 공통으로 형성된 대향 전극(CT; 도면에 도시안함)간에 전계를 생성하므로, 전극간 액정의 광투과율이 제어된다.

각 게이트선(GL)의 한 단부는 투명 기판의 일측(도면에서 왼쪽)에 이르고, 상기 투명 기판(SUB1)상의 수직 주사회로로 이루어진 출력측 반도체 집적 회로 칩(GDRC)에 있는 범프와 접속하기 위한 단자부(GTM)는 GL의 단부에 형성된다. 이와 유사하게, 각 드레인 신호선(DL)의 한 단부는 투명 기판(SUB1)의 일측(도면에서 상부)에 이르고, 상기 투명 기판(SUB1)상의 데이터 신호 구동회로로 이루어진 출력측 반도체 집적 회로 칩(DDRC)에 있는 범프와 접속하기 위한 단자부(DTM)는 DL의 단부에 형성된다.

반도체 집적 회로 칩(GDRC 및 DDRC)자신은 투명 기판(SUB1)상에 완전히 실장되고, 이 실장 방법은 " COG" (Chip-on-Glass)로 지칭된다.

또한, 반도체 집적 회로 칩(GDRC 및 DDRC)의 입력측에 있는 각 범프는 투명 기판(SUB1)상에 형성된 단자부들(GTM2 및 DTM2)에 각각 접속되도록 제공되고, 이들 단자부들(GTM2 및 DTM2)은 각 배선층을 통해 투명 기판(SUB1)의 가장 가까운 주변 에지에 배열되는 단자부들(GTM3 및 DTM3)에 각각 접속되도록 제공된다.

이 COG 방법은 반도체 집적 회로 칩(GDRC 및 DDRC)의 출력측에 서로 상당히 근접하여 범프를 형성할 수 있는 특징을 갖고 있으므로, 각 게이트선(GL)의 단자부(GTM)와 각 드레인선(DL)의 단자부(DTM) 또한 서로 상당히 근접하여 형성할 수 있는 특징도 갖고 있다.

이러한 이유로, 반도체 집적 회로 칩(GDRC 및 DDRC)의 출력측에 있는 범프 뿐만 아니라, 각 게이트선(GL)의 단자부(GTM)와 각 드레인선(DL)의 단자부(DTM)가 상당히 작은 면적을 점유하게 되고, 이로 인해, 이들 범프와 단자부들(GTM 및 DTM)간의 접속 저항에서의 증가를 무시할 수 없는 상황을 초래하게 된다.

투명 기판(SUB2)은 SUB2가 반도체 집적 회로와 간섭하지 않으며, 또한이 SUB2에 의해 점유되는 면적이 SUB1에 의해 점유되는 면적보다 작도록 투명 기판(SUB1)과 대향하여 배열된다.

투명 기판(SUB1)은 SUB2 주위에 형성된 실링 재료(SL)에 의해 투명 기판(SUB2)에 고착(secure)되고, 또한, 이 실링 재료는 투명 기판(SUB1 및 SUB2) 간에 위치한 액정들에 대한 실러(sealer)로서 기능한다.

상기 설명은 COG 방법을 이용하는 액정 표시 장치에 적용되지만, 본 발명을 TCP 방법에도 적용할 수 있다. 이 TCP 방법은 테이프 캐리어 패키지 형태로 반도체 집적 회로들을 형성하는 것을 지칭하며, 이들 반도체 집적 회로의 출력 단자들은 투명 기판(SUB1)상에 제공되는 단자들에 접속되고, 입력 단자들은 투명 기판(SUB1)근방에 제공되는 인쇄 회로 기판상의 단자들에 접속된다.

〈화소 구조〉

도 1은 투명 기판(SUB1)상의 한 화소 영역의 구조를 나타낸 평면도로서, 이 도면은 도 2의 점선으로 된 프레임(A)내에 포함되는 부분에 해당한다.

도 3은 도 2에 도시된 Ⅳ-Ⅳ' 부분의 단면도로서, 또한 투명 기판(SUB2)의 단면도이다.

도면의 x-축 방향으로 연장되며 도면의 y-축 방향에 평행하게 배열되는 게이트선(GL)은 도 1의 투명 기판(SUB1)의 액정측에 형성된다.

이 실시예에서, 게이트선(GL)은 2층 구조이며, 그 하부층은 Al-Nd 합금으로 이루어지고 그 상부층은 Mo-Zr 합금으로 이루어진다.

이와 같은 2층 구조를 채용하여, 저항값들을 상당히 감소시킬 수 있고, 대응하는 배선의 단면을 에칭 동안 테이퍼링할 수 있으며, 다음에 설명하는 바와 같이 게이트 단자들(GTM2 및 GTM3)과 드레인 단자들(DTM2 및 DTM3)의 접촉 저항을 감소시킬 수 있다. 다음 설명으로부터, 다른 태양들에서도 2층 구조의 효과를 명백하게 알 수 있다.

또한, 예를 들어, SiN으로 이루어진 절연막(GI)을 투명 기판(SUB1)의 표면에 형성하여, 게이트선(GL)도 피복하게 된다.

상술한 절연막(GI)은 다음에 설명하는 드레인선(DL)과 게이트선(GL)간의 층간 절연막으로서, 다음에 설명하는 박막 트랜지스터(TFT)용 게이트 절연체로서, 또한 다음에 설명하는 커패시터(Cadd)용 유전막으로서, 기능한다.

예를 들어, a-Si로 이루어진 진성 반도체층(AS)은 화소 영역의 하부 왼쪽에 있는 게이트선(GL)에 대한 중첩부에 형성된다(임의의 도전성-형(type) 유한(determinate)불순물로 도핑되지 않은 반도체들을 진성형 또는 줄여서 i형 반도체로 지칭함).

이 i형 반도체층(AS)은 그 표면에 소스 전극 및 드레인 전극이 제공될 때, 그 게이트 전극이 상기 게이트선의 일부를 형성하는 MIS 형의 박막 트랜지스터(TFT)용 반도체층으로서 기능한다.

이 MIS-형 박막 트랜지스터(TFT)의 소스 전극(SD1)과 드레인 전극(SD2)은 드레인선(DL)이 상기 절연막(GI)상에 형성되는 것과 동시에 형성된다.

즉, 도면의 y-축 방향으로 연장되며 도면의 x-축 방향에 평행하게 배열되는 복수의 드레인선(DL)이 형성되고, 이들 드레인선의 일부는 박막 트랜지스터(TFT)의 드레인 전극(SD2)으로서 각각의 상기 연장을 형성하기 위해, 상기 반도체층(AS)표면으로 연장되어 형성된다.

또한, 이 때, 상기 드레인 전극(SD2)으로부터 이격된 전극은 소스 전극(SD1)으로서 기능한다. 이 소스 전극(SD1)이 다음에 설명하는 화소 전극(PIX)과 접속되는 것을 보장하기 위해, 약간 연장된 소스 전극은 화소 영역의 중앙에 패터닝된다.

드레인 전극(SD2)과 소스 전극(SD1)의 반도체층(AS)간의 인터페이스에는 불순물로 도핑된 다른 반도체층이 형성되고, 이 반도체층은 콘택트층으로서 기능한다.

상기 반도체층(AS)을 형성한 후, 이 반도체층(AS)의 표면에 불순물로 도핑된 반도체층을 형성하고, 드레인 전극(SD2)과 소스 전극(SD1)을 형성한다. 이들 전극을 마스크로 이용하여, 상기 전극 모두로부터 노출되는 불순물-도핑된 반도체층을 에칭하고, 그 결과이 명세서에서 상술한 박막 트랜지스터 구조를 달성할 수 있게 된다.

고해상도 및 고성능을 갖는 액정 표시 장치를 제공하기 위해서는 (A) 박막 트랜지스터(TFT)의 턴-온 전류량을 증가시키는 것과, (B) 배선 부하를 감소시키는 것의, 2개의 인자들을 동시에 구현할 필요가 있다.

전자의 요구 조건(A)을 만족해야 하는 이유는 해상도의 증가가 주사선당 선택 시간을 감소시키므로, 화소 전극(PIX)을 데이터 신호 전압으로 충분히 충전하기 위해서는 턴-온 전류를 충분히 증가시킬 필요가 있기 때문이다. 이와 마찬가지로, 후자의 요구 조건(B)의 경우, 해상도가 증가되면 주사 배선과 데이터 배선간의 교차점 개수가 증가되므로, 배선 지연으로 인한 화질 열화를 억제하기 위해서는 각 교차점의 용량을 감소시켜야 한다.

본 발명에서, 상기 2개의 요구 조건들은 박막 트랜지스터(TFT)의 채널 길이(LCH)를 7 ㎛ 이하로 제한함으로써 만족될 수 있다.

도 1의 화소 영역내에서 참조 부호 " TFT" 로 나타낸 박막 트랜지스터의 채널 길이(LCH)는 드레인 전극(SD2)과 소스 전극(SD1)간의 거리이다. 또한, 채널 폭(WCH)은 채널 길이(LCH)에 직교하는 방향으로, 드레인 전극(SD2)의 길이 또는 소스 전극(SD1)의 길이 중 더 짧은 길이이다.

널리 공지된 바와 같이 박막 트랜지스터(TFT)의 턴-온 전류는 그 채널 길이(LCH)에 반비례하여 변하고, 그 채널폭(WCH)에 정비례하여 변한다. 턴-온 전류를 증가시키는 방법은 채널 길이(LCH)를 감소시키거나 채널 폭(WCH)을 증가시키는 것이다. 채널 폭(WCH)이 증가되면, 드레인 전극(SD2)과 소스 전극(SD1) 모두의 면적이 증가하므로, 주사 배선에 대한 중첩 면적이 증가하고 또한 배선 부하 용량이 증가하게 되는 부작용을 발생시킬 수 있고, 이는 상술한 요구 조건(B) 와는 정반대로 된다. 따라서, 요구 조건(B)도 만족시키기 위해서는 채널 길이(LCH)를 감소시키는 것이 바람직함을 알 수 있다. 더욱 자세하게는 채널 길이(LCH)를 7 ㎛ 이하로 제한할 필요가 있다.

채널 길이(LCH)는 다음과 같이 결정된다.

본 발명에서는 다음에 설명하는 바와 같이 일반적인 포토리소그래피를 이용하여 배선 패턴을 생성한다. 따라서, 우선, 스패터링(spattering) 등에 의해 전체 기판 상에 금속(SD1 및 SD2)막을 형성한 후, 포토레지스트 코팅, 노출 및 현상 공정을 실시하여 트랜지스터(TFT)의 형상을 생성하게 된다. 이 때, 포토레지스트 공정에 의해 형성된 채널 길이(LCH)에 대응하는 부분의 길이를 LCHR(도면에 도시안함)로 한다. 다음으로, 포토레지스트로 코팅되지 않은 부분을 습식 에칭에 의해 제거하는데, 여기서 포토레지스트 패턴으로부터 사이드 에칭이 약간 진행하게 된다. 이러한 사이드 에칭 공정으로 인해, 생성된 (SD1 및 SD2)패턴들은 포토레지스트의 형상보다 대응하여 더 작아지게 된다. 따라서, 이 차이만큼 채널 길이(LCH)가 증가하게 된다. 사이드 에칭량을 " SEL" 로 하면, " LCH" 는 아래에 나타낸 식 1을 이용하여 계산되는 길이로 된다.

수학식 1

$$LCH = LCHR + SEL \times 2$$

여기서, LCHR의 최소값은 포토리소그래피에 이용되는 광학 노출 장치의 해상도에 의해 대체로 결정된다. 이 해상도는 특정 회로기판의 크기에 따라 다르다. 액정 표시 장치 제조장치의 경우, 이 해상도는 0.5 내지 4.0 ㎛의 범위로 된다. 특히, 대형 고해상도 액정 표시 장치를 고수율로 제조할 수 있도록 하기 위해서는 적어도 550 mm ×650 mm 크기의 회로기판이 필요하며, 이 경우 해상도는 약 4 ㎛로 된다. 또한, 해상도에 의존하지 않고, 제조장치내에 존재할 수 있는 먼지 입자들에 의해 SD1 및 SD2 가 단락되는 경우 발생할 수 있는 결함 있는 패터닝으로 인한 도트 결함의 발생을 방지하기 위해서는 실제 요구되는 값보다 3배 더 크게 최소 LCHR 값을 증가시킬 필요가 있다.

그 후, 채널 길이(LCH)를 7 ㎛ 이하로 감소시키기 위해서는 사이드 에칭량인 " SEL" 을 일정 정도로 감소시키고, 그

변동을 최소화하여, SD1 및 SD2에 적합한 재료들을 선택하는 것이 필요하다. 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴-합금막과, 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막으로서, 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 가지며, 제2 도전막은 제1 도전막 위에 제공되며 제1 도전막보다 크롬을 더 적게 함유하는 상기 몰리브덴-합금 적층이 사이드 에칭량이 적고 SD1 및 SD2의 이용에 적합한 재료들이다. 또한, Mo-Cr은 그 저항률이 Cr의 저항률과 거의 동일하므로, 다음에 설명하는 바와 같이 드레인 단자(DTM)의 접촉 저항을 감소시키는 데 효과적이다. 또한, 다른 태양들에서의 효과들도 다음 설명으로부터 명확하게 알 수 있다.

또한, 이와 같이 드레인선(DL; 드레인 전극(SD2) 및 소스 전극(SD1))이 형성된 투명 기판(SUB1)의 표면에는 예를 들어 SiN으로 이루어진 패시베이션막(PSV)을 형성하여 상기 드레인선(DL) 등을 피복한다.

이 패시베이션막(PSV)은 박막 트랜지스터(TFT)와 액정들간의 직접 접촉을 피하기 위해 제공되고, 상기 박막 트랜지스터(TFT)의 소스 전극(SD1)으로부터 연장된 부분을 노출하기 위해 콘택트홀(CH)을 형성한다.

또한, 예를 들어 IZO(인듐 아연 산화물)로 이루어진 투명 화소 전극(PIX)을 패시베이션막(PSV)의 표면에 형성하여, 화소 영역의 대부분을 피복한다.

또한, 상기 화소 전극(PIX)은 이 화소 전극(PIX)이 패시베이션막(PSV)의 콘택트홀(CH)도 피복하도록 형성되므로, 상기 화소 전극은 박막 트랜지스터(TFT)의 소스 전극(SD1)에 접속된다.

또한, 이와 같이 화소 전극(PIX)이 형성되는 투명 기판(SUB1)의 표면에는 얼라인먼트막(ORI1)을 형성하여 상기 화소 전극(PIX)도 피복한다. 얼라인먼트막(ORI1)은 예를 들어 수지로 이루어지고, 그 표면은 일정 방향으로 러빙(rubbing)처리된다. 또한, 얼라인먼트막(ORI1)은 액정(LC)과 접촉하게 되며, 이 액정의 초기 배향을 결정하게 된다.

편광판(POL1)은 투명 기판(SUB1)상의 액정(LC) 반대측에 실장된다.

투명 기판(SUB2)의 액정측에는 블랙 매트릭스(black matrix)를 형성하여 각 화소 영역을 분리하게 된다.

블랙 매트릭스(BM)는 박막 트랜지스터(TFT)에 외부광이 방출되는 것을 방지하고 표시 콘트라스트를 최적화하기 위해, 제공된다.

또한, 각 화소 영역에 대응하는 컬러를 갖는 컬러 필터(FIL)는 블랙 매트릭스(BM)의 홀에 형성되고, 이 홀은 광을 전송할 수 있는 실질적인 화소 영역으로 기능한다.

예를 들어, 동일색의 필터는 y-축 방향에 평행하게 제공되는 각 화소 영역내의 컬러 필터(FIL)로서 이용되고, 예를 들어 적색(R), 녹색(G), 및 청색(B) 필터는 x-축 방향으로 각 화소 영역에 대해 차례로 반복적으로 배열된다.

이와 같이 블랙 매트릭스(BM)와 컬러 필터(FIL)가 형성되는 투명 기판(SUB2)의 표면에는 예를 들어, 수지 코팅으로 만들어지며 또한 상기 블랙 매트릭스(BM)를 피복하는 평탄화막(OC)이 형성되고, 이 막의 표면은 블랙 매트릭스(BM) 및 컬러 필터(FIL)의 형성과 관련된 상당한 파동이 없도록 형성된다.

또한, 예를 들어, ITO로 이루어지며 각 화소 영역에 공통인 대향 전극(CT)은 평탄화막(OC)의 표면에 형성된다.

상기 대향 전극(CT)은 각 화소 영역내의 화소 전극(PIX)과 대향 전극(CT)간에, 특정 데이터 레벨(전압)에 대응하는 전계를 생성하고, 또한 상술한 편광판(POL1)과 다음에 설명하는 편광판(POL2)의 적절한 조합하에서 이들 전극간의 액정(LC)의 배향을 제어함으로써 광 투과율을 제어한다.

또한, 이와 같이 대향 전극(CT)이 형성된 투명 기판(SUB2)의 표면에는 얼라인먼트막(ORI2)을 형성하여 상기 대향 전극(CT)도 피복한다. 얼라인먼트막(ORI2)은 예를 들어 수지로 이루어지고, 그 표면은 일정 방향으로 러빙(rubbing)처리된다. 또한, 얼라인먼트막(ORI2)은 액정(LC)과 접촉하게 되며, 이 액정의 초기 배향을 결정하게 된다.

편광판 (POL2)은 투명 기판(SUB1)상의 액정(LC) 반대측에 실장된다.

〈단자부의 구조〉

도 4a, 도 4b는 상술한 드레인 단자부(DTM)의 블록도이다. 도 4a는 평행하게 형성된 다중 드레인 단자부들(DTM)중 2개의 드레인 단자부의 평면도이고, 도 4b는 도 4a에 도시된 b-b' 부분의 단면도이다.

표시부(AR)로부터 연장되는 드레인선(DL)은 투명 기판(SUB1)의 표면에 형성된다.

드레인선(DL) 각각은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴-합금막, 또는 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막으로서, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 가지며, 상기 제2 도전막은 상기 제1 도전막 위에 제공되며 상기 제1 도전막보다 크롬 함량이 더 적은 상기 몰리브덴-합금 적층막으로 이루어진다. 이하, 이와 같은 막들을 Mo-Cr 막으로 지칭한다.

드레인선(DL)은 SiN으로 이루어진 패시베이션막(PSV)으로 초기에 피복되지만, 드레인 단자의 형성 영역에서 상기 막을 개구화함으로써 상기 패시베이션막으로부터 노출된다.

이러한 경우, 불소 함유한 건식 에칭 가스를 이용하여 패시베이션막(PSV)의 개구화를 실행하는 것이 바람직하다. 습식 에칭과 비교하여, 건식 에칭은 그 정확성과 처리 시간 제어성이 뛰어나므로, 단자에 홀을 제공하고 화소 영역에서 콘택트홀을 처리하는 것과 같은 목적에 적합하다. 또한, 드레인 신호선(DL)을 형성하는데 이용되는 Mo-Cr 막은 건식 에칭 내성이 높으므로, 상기 막은 에칭 동안 제거되지 않는다.

예를 들어, IZO(인듐-아연 산화물)로 이루어진 도전성 산화막(ECO)은 단자 형성 영역내의 Mo-Cr 신호선(DL)의 노출된 부분 주변에(즉, 이 부분의 중앙을 제외하고) 적층된다.

즉, 도전성 산화막(ECO)은 홀의 주변에 위치한 패시베이션막(PSV) 상에 형성되고, 상기 패시베이션막의 측벽(side walls)과 드레인 신호선(DL)의 상부에 이르게 된다. 상기 홀을 제공하여 노출되는 드레인선(DL)의 중앙은 상기 도전성 산화막(ECO)으로 피복되지 않도록 구성된다.

즉, 드레인선(DL)의 단자부 중앙에서는 도전성 산화막(ECO)을 통해 신호 배선을 라우팅하지 않고, 접속될 다른 전극과의 직접적인 전기 접속을 확립할 수 있게 된다.

이와 같이 형성된 각 단자부(DTM)는 도 5에 도시된 바와 같이 이방성 전도성막(ACF) 또는 시트를 통해 반도체 집적 회로(DDRC) 상의 범프(BUP)에 접속될 수 있도록 구성된다. 여기서, 이방성 전도성막(ACF)은 다수의 도전성 입자들을 포함한 시트형(sheet-like) 수지막이다. 상기 막은 상기 단자부(DTM)군과 반도체 집적 회로(DDRC)간에 삽입된 후 일정한 압력을 가하여, 상기 도전성 입자들을 통해 단자부(DTM)의 도전성 부재들(일부분에서는 상기 도전성 산화막(ECO), 다른 부분에서는 Mo-Cr)과 상기 범프(BUP)간에 전기 접속이 확립된다.

즉, 상기 이방성 전도성막(ACF) 또는 시트는 상기 단자부(DTM)에서, 드레인선(DL)을 구성하는 도전성 재료들에 상기 막 또는 시트가 직접(즉, 도전성 산화막(ECO)을 경유하지 않고) 접속되는 영역을 가지므로, 대응하는 접속 저항을 충분히 감소시킬 수 있다. Mo-Cr과 (ITO 또는 IZO 등의) 도전성 산화막(ECO)간의 전기 접속 저항이 상대적으로 작아지는 것이 확인된다. 그 주요 성분이 0 내지 50 중량%의 Mo 함량을 갖는 Cr(이하, 이 합금은 Cr-Mo로 지칭된다)인 합금으로 드레인선(DL)을 형성하는 경우, Cr-Mo과 (ITO 또는 IZO 등의) 도전성 산화막(ECO)간의 전기 접속 저항은 상대적으로 커지므로 COG 실장이 어렵게 한다.

그 중앙을 피복하지 않도록 단자부(DTM)의 주변에 도전성 산화막(ECO)을 형성하는 경우에도, 상기 단자부(DTM)에서의 전식의 발생을 충분히 피할 수 있게 된다.

이방성 전도성막을 형성하는 수지는 투명 기판(SUB1)과 고착될 다른 구성 요소(이 경우, 반도체 집적 회로 또는 플렉시블 인쇄 회로 기판)간의 접착제로서 기능할 뿐만 아니라, 전식을 일으킬 가능성이 있는 수분이 단자에 들어오는 것을 일정 범위까지 방지하게 된다.

도 6은 평행하게 배열된 여러 드레인 단자부들(DTM) 중 2개의 드레인 단자부와 상기 각각의 드레인 단자부(DTM)에 접속된 반도체 집적 회로(DDRC) 상의 범프(BUP)를 나타낸 도면이다. 상술한 바와 같이 이방성 전도성막(ACF)은 이들 회로 소자들간에 삽입된다.

드레인 단자부들(DTM)의 전식으로는 예를 들어 물 또는 전해질(EA)이 인접한 다른 단자부들(DTM)간에 존재할 때 이 인접한 다른 단자부들(DTM)간에서 발생하는 전위차에 기초한 전계(E)에 의한 산화를 들 수 있다. 따라서, 도전성 산화막(ECO)자신이 산화되므로, 상기 막은 각 드레인 단자부(DTM)의 주변에 존재함으로써 상기 산화의 억제제로서 기능하게 된다. 따라서, 도전성 산화막에 의해 둘러싸인 드레인 단자부들(DTM)의 중앙(도전성 산화막(ECO)으로 피복되지 않은 부분)에서 드레인선(DL)의 산화를 억제하는 것이 가능하게 된다.

드레인선(DL)은 Mo-Cr로 이루어진다. Mo-Cr과 (ITO 또는 IZO 등의) 도전성 산화막(ECO)간의 전기 접속 저항이 상대적으로 작아지게 되는 것이 확인된다. 따라서, 상기 관점으로부터도, 드레인선(DL)의 단자부들(DTM)과 다른 전극 간의 접속 저항들을 전체적으로 감소시킬 수 있게 된다.

이 실시예에서는 드레인 단자부(DTM)의 구조를 설명하였다. 이와 유사한 구조는 다른 단자부들(즉, 반도체 집적 회로(DDRC)의 입력측에 있는 단자부(DTM2), 상기 DTM2 에 배선층을 통해 접속되는 단자부(DTM3), 게이트 단자부(GTM), 반도체 집적 회로(GDRC)의 입력측에 있는 단자부(GTM2), 및 상기 GTM2에 배선층을 통해 접속되는 단자부(GTM3))에도 적용되는데, 여기서 이들 단자들은 각 단자부의 중앙에 있는 도전성 금속 산화막(ECO)없이 게이트선과 배선층에 접속되고, 상기 게이트선과 배선층은 Mo-Zr/Al-Nd 적층막으로 이루어진다. Mo-Zr과 (ITO 또는 IZO 등의) 도전성 산화막(ECO)간의 전기 접속 저항이 상대적으로 작아지게 되는 것이 확인된다.

〈제조 공정〉

이하, 상술한 액정 표시 장치의 투명 기판(SUB1)에 대한 제조 공정의 일 실시예를 도 7 내지 도 9를 참조하여 설명한다. 이 도면들의 중앙에 있는 글자들은 공정명의 약어를 나타내고, 좌측은 이 도면들에 도시된 박막 트랜지스터(TFT) 부분을 나타내며, 우측은 도 4a, 도 4b의 드레인 단자부(DTM)의 단면도에 대응하는 공정 흐름을 나타낸다.

공정들(B 및 D)을 제외한 공정들(A 내지 F)은 특정 형태의 포토리소그래피 공정에 따라 분류되고, 각 공정에 대한 모든 단면도들은 포토리소그래피 공정 종료 후 필요한 공정과 포토레지스트의 제거가 완료된 단계를 나타낸다. 여기서, 포토리소그래피 공정은 포토레지스트 코팅으로부터, 및 현상, 그리고 마스크를 이용하는 선택적 노출을 통한 광학 처리까지의 일련의 조작들을 지칭하며, 이 포토리소그래피 공정의 반복 설명은 생략한다. 이하, 각 분류된 공정을 설명한다.

공정 A, 도 7

우선, AN635 글래스(상표명)로 이루어진 투명 기판(SUB1)상에, 스패터링에 의해 2,000 Å의 막 두께를 갖는 Al-Nd 층을 형성한 후, 스퍼터링에 의해 연속하여 400 Å의 막 두께를 갖는 Mo-Zr 층을 형성한다. 포토리소그래피 공정 후, Mo-Zr 및 Al-Nd 층들은 모두, 인산, 질산, 아세트산, 이온제거수, 및 플루오르화 암모늄 등으로 이루어진 에칭액을 선택적으로 이용하여 일괄적으로 에칭된다.

여기서, 게이트 전극(GT), 게이트선(GL), 게이트 단자(GTM), 반도체 집적 회로(GDRC)의 입력측에 있는 단자부(GTM2), 상기 GTM2에 배선층을 통해 접속되는 단자부(GTM3), 반도체 집적 회로(DDRC)의 입력측에 있는 단자부(DTM2), 및 상기 DTM2에 배선층을 통해 접속되는 단자부(DTM3)가 형성된다.

공정 B, 도 7

플라즈마 CVD 장치에 도입된 암모니아, 실란, 및 질소 가스를 이용하여 3,500 Å의 두께를 갖는 질화 실리콘막을 제공한 후, 이 플라즈마 CVD 장치에 도입된 실란 및 수소 가스를 이용하여 1,200 Å의 두께를 갖는 i형 비결정성 실리콘막을 형성하고, 이 플라즈마 CVD 장치에 도입된 수소 및 포스핀(인화수소) 가스를 이용하여 300 Å 두께의 N(+)형 비결정성 실리콘막을 형성한다.

공정 C, 도 7

포토리소그래피 공정 후, SF_6 및 CCl_4 를 건식 에칭 가스로 이용하여 N(+)형 비결정성 실리콘막 또는 i형 비결정성 실리콘막을 선택적으로 에칭하여, i형 반도체층(AS)의 섬(island)을 형성한다.

공정 D, 도 8

MoCr로 이루어지며 2,000 Å의 두께를 갖는 도전막을 스패터링에 의해 형성한다. 포토리소그래피 공정 후, 공정 A의 에칭액과 유사한 에칭액을 이용하여 도전막을 에칭한다. 따라서, 드레인선(DL), 소스 전극(SD1), 드레인 전극(SD2), 및 드레인 단자(DTM)가 형성된다.

상술한 바와 같이 MoCr으로는 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴-합금막, 또는 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막으로서, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 가지며, 상기 제2 도전막은 상기 제1 도전막 위에 제공되며 상기 제1 도전막보다 크롬 함량이 더 적은 상기 몰리브덴-합금 적층막이 있다. 여기서, 이 도전막을 예를 들어, MoZr/AlNd/MoZr로 이루어진 3층막으로 할 수 있지만, 막 증착에 오랜 시간이 소요되므로, 생산성이 낮고, 또한 대규모 증착 장치가 필요하고 이로 인해 설비 투자가 증가한다는 점을 고려할 때, 이와 같은 조성은 바람직하지 않다

다음으로, 건식 에칭 장치에 도입된 CCl_4 및 SF_6 을 이용하여 N(+)형 반도체층(d0)을 선택적으로 제거한다.

공정 E, 도 8

플라즈마 CVD 장치에 도입된 암모니아, 실란, 및 질소 가스를 이용하여 0.4 ㎛ 두께를 갖는 질화 실리콘막을 형성한다. 포토리소그래피 공정 후, SF_6 을 건식 에칭 가스로 이용하여 질화 실리콘막을 선택적으로 에칭하여, 패시베이션막(PSV)과 절연막(GI)에 패터닝을 제공하게 된다. 그들의 충분한 건식 에칭 내성으로 인해, SF_6 을 이용한 건식 에칭 동안 MoZr과 MoCr이 손실되지 않으므로, 질화 실리콘막을 선택적으로 에칭할 수 있게 된다.

공정 F, 도 9

IZO(인듐 아연 산화물)로 이루어지며 1,150 Å의 두께를 갖는 투명 도전막(i1)을 스퍼터링에 의해 형성한다. 포토리소그래피 공정 후, 주로 옥살산으로 이루어진 에칭 용액을 이용하여 투명 도전막(i1)을 선택적으로 에칭한다. 이와 같이 게이트 단자부(GTM)의 상부층과 드레인 단자부(DTM)의 상부층을 형성한다.

이 실시예에서는 투명 도전막(i1)으로서 IZO를 이용하였지만, 그 대신 비결정성 ITO막을 이용할 수 있다.

옥살산 용액을 에칭액으로 이용하므로, 다른 신호선에 이용되는 Al 합금, Mo 합금, Cr 합금 등을 용해시키지 않으면서 IZO 및 비결정성 ITO를 처리할 수 있게 된다. 따라서, 단자부들(GTM, DTM, 등)의 노출된 Mo 합금 및 다른 합금들은 그 노출된 합금 자신을 용해시키지 않으면서 형성될 수 있고, 패시베이션막(PSV)등에 결함이 존재하는 경우에도, 어느 배선도 용해하지 않으면서 높은 제조 수율을 얻을 수 있게 된다.

(실시예 2)

도 10은 투명 기판(SUB1)상에 형성된 버스선(GBL 및 DBL)을 통해 반도체 집적 회로들(GDRC 및 DDRC)을 전기적으로 접속함으로써 반도체 집적 회로(GDRC)의 구동 공급전압과 데이터를 전송할 수 있도록 하는 개략화된 COG 실장의 일 예를 나타낸다.

도 10에서, 게이트 반도체 집적 회로(GDRC)의 주사 신호와 구동 공급전압은 게이트 전원 버스선 및 주사 신호 버스선(GBL)을 통해 게이트 반도체 집적 회로용 플렉시블 인쇄 회로(GFPC)로부터 공급된다. 그 후, 데이터는 다음 게이트 반도체 집적 회로(GDRC)에 순서대로 전송되고, 이와 동시에, 각 게이트 반도체 집적 회로(GDRC)에는 신호들이 기입된다.

드레인선측 부하가 많으므로, 드레인 반도체 집적 회로(DDRC)의 구동 공급전압은 전원 버스선(PBL)을 통해 전원 공급용 플렉시블 인쇄 회로(PFPC)로부터 공급된다. 데이터는 데이터 버스선(DBL)을 통해 데이터용 플렉시블 인쇄 회로(DFPC)로부터 드레인 반도체 집적 회로(DDRC)에 공급된다. 그 후, 데이터는 다음 드레인 반도체 집적 회로(DDRC)에 순서대로 전송되고, 이와 동시에, 각 드레인 반도체 집적 회로(DDRC)에는 신호들이 기입된다.

게이트 반도체 집적 회로들(GDRC)에 대한 모든 전원 신호선 중, 구동 전원 배선과 다른 배선에는 많은 부하가 걸린다. 따라서, 드레인측 전원 공급용 플렉시블 인쇄 회로(PFPC)와 유사한 플렉시블 인쇄 회로를 제공하는 것이 필요하게 된다. 그러나, 이 경우에도, 필요한 신호선 개수가 종래 방식보다 더 적으므로, 플렉시블 인쇄 회로의 폭을 감소시킬 수 있고 따라서 비용을 절감할 수 있게 된다.

상술한 데이터 전송 방식은 GDRC 및 DDRC 반도체 집적 회로 범프(BUP)와 단자들(GTM, GTM2, GTM3, DTM, DTM2 및 DTM3)간의 접촉 저항들을 감소시키고 버스선(GBL 및 DBL)의 저항값들을 감소시킴으로써 구현될 수 있다. 상술한 바와 같이이 실시예에서는 저저항 MoZr/AlNd를 이용하여 버스선(GBL 및 DBL)을 형성할 뿐만 아니라, MoZr과 ACF 간의 직접 접촉과 DTM과 MoCr 간의 직접 접촉을 보장하도록 단자들(GTM, GTM2, GTM3, DTM, DTM2 및 DTM3)을 형성하므로, 그 결과로 상기와 같은 데이터 전송 방식을 구현할 수 있게 된다.

상기 방식을 채용함으로써 게이트측에 FPC를 제공할 필요성이 없어지며 드레인측의 FPC 폭을 최소화하고, 이들 방법(measures)은 표시 장치의 접속 신뢰성과 윤곽(fringing)의 협소화를 상당히 향상시킨다. 또한, FPC 크기 감소는 FPC 제조 비용을 절감시키게 된다.

(실시예 3)

도전성 산화막(ECO)을 단자부 주위에 적층하는 구조는 예를 들어, 각 게이트선(GL) 또는 각 드레인선(DL)의 모든 개별 단자부들에 적용될 수 있다.

그 대신, 예를 들어, 근접하여 평행하게 교대 위치에 배열되는 단자부들에만 상술한 구조를 적용하는 것도 가능하고, 이 경우, 도전성 산화막은 어떠한 다른 단자부에도 형성되지 않게 된다.

그들 간에 전해질의 존재에 기인한, 인접한 다른 단자부들 간의 전위차로부터 발생하는 산화 반응이 바로 단자부들의 전식인 점을 고려하면, 상기 산화를 일으키지 않는 구성 요소(이 실시예에서는 도전성 산화막)를 제공함으로써 한 단자부에서 충분한 효과를 얻을 수 있기 때문에, 상기한 내용이 가능하게 된다.

따라서, 도전성 산화막(ECO)이 형성되지 않는 단자부가 각 단자부의 주변에 존재하게 되고, 또한 그 단자부에 인접한 다른 단자부들에서는 대응하는 단자부의 주변에 도전성 산화막(ECO)을 형성할 수 있게 된다.

또한, 인접한 단자들간에 인가되는 평균 전계가 거의 제로인 경우에는 근접하여 평행하게 배열된 단자부들에 도전성 산화막을 반드시 형성할 필요가 없게 된다. 더욱 자세하게는 이들 단자들은 예를 들어, 교류 신호를 제공하는 데이터 출력 단자, 또는 반도체 집적 회로에 제공되는 모든 형태의 신호 데이터 중 디지털 신호 데이터만을 제공하는 단자로 된다.

(실시예 4)

상술한 실시예에서는 소위 수직 전계형 화소 조성을 설명하였다. 상기 실시예는 이와 같은 화소 조성에만 한정되지 않으며, 예를 들어 수평 전계형에도 적용될 수 있음은 물론이다.

도 11은 액정 표시 장치내의 수평 전계형 화소 조성의 일 실시예를 나타낸 평면도이다.

상기 형태의 화소 조성에 있어서, 대향 전극(CT)은 화소 전극(PX)이 형성되는 투명 기판(SUB1)의 액정측에 형성되고, 이들 전극 각각은 스트라이프 패턴으로(이 도면에서는 도면의 y-축 방향으로 연장되는 형태로) 교대로 배열된다.

화소 전극(PX)과 대향 전극(CT)은 절연막을 통해 서로 다른 층에 형성되고, 그들 간에 생성된 모든 전계들 중, 투명 기판(SUB1)의 성분과 거의 평행한 성분을 갖는 전계만이 액정의 광투과율을 제어하게 된다.

화소 전극(PX)과 대향 전극(CT)간에 생성된 전계의 방향이 서로 다른 2개의 영역이 형성되고 표시 화면에 대해 서로 다른 방향에서 보는 경우 컬러톤 변화의 발생이 방지되는 소위 멀티 도메인(multi-domain)방식을 채용하므로, 각 전극은 그 연장되는 방향으로 복수의 굴절부(curves)를 갖게 된다.

각 화소 영역은 x-축 방향으로 연장되며 y-축에 평행하게 배열되는 게이트선(GL)과 y-축 방향으로 연장되며 x-축 방향에 평행하게 배열되는 드레인선(DL)으로 둘러싸인 영역내에 형성되고, 또한, 이 게이트선(GL)과 드레인선(DL)이 박막 트랜지스터(TFT)를 통해 화소 전극(PX)에 접속된다는 점에서, 드레인 신호선(DL)은 도 1과 동일한 구조로 되지만, 각 대향 전극(CT)에 대향 전압 신호를 공급하기 위한 대향 전극 신호선(CL)이 형성된다는 점에서 서로 다르게 된다.

이 때, 화소 전극(PX), 드레인선(DL), 및 트랜지스터부의 소스 전극(SD1)과 드레인 전극(SD2)은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴-합금막, 또는 제1 도전막 및 제2 도전막으로 이루어진 몰리브덴-합금 적층막으로서, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 가지며, 상기 제2 도전막은 상기 제1 도전막 위에 제공되며 상기 제1 도전막보다 크롬 함량이 더 적은 상기 몰리브덴-합금 적층막으로 이루어진다. 상술한 바와 같이 Mo-Cr을 이용함으로써 그 사이드 에칭량인 " SEL" 을 일정 범위까지 감소시킬 수 있으며 채널 길이(LCH)를 7 ㎛ 이하로 감소시킬 수 있게 된다.

수평 전계형의 경우, 다음과 같은 주의가 필요하다.

화소 전극(PX)의 단면 형상이 열화되면, 더욱 자세하게는 그 테이퍼 형태가 클리프-라인(cliff-line)형상을 취하면, 전극 양측은 러빙되지 않은 상태를 유지하게 된다. 이와 같은 경우, 흑색 표시 동안 그 부분으로부터 광이 누설되므로, 콘트라스트 열화와 같은 화질 결함이 나타나게 된다. 도 12는 구조면에서 도 11과는 약간 다르지만, 수평 전계형 화소를 나타낸 것으로, 흑색 표시 동안 광학 현미경을 이용하여 얻어진 관찰을 나타낸 사진이다. 도 12로부터, 화소 전극(PX) 양측이 (도 12에서 " LK" 로 지칭되는)흰색으로 빛나고 있음을 알 수 있다. 도 13은 화소 전극(PX)의 단면 형상(주사전자 현미경을 이용하여 얻어진 관찰)을 나타낸다. 도 13으로부터, 클리프형(cliff-like) 부분을 갖는 배선 양측이 흰색으로 빛나고 있음을 알 수 있다. 그러나, 이 실시예에서, 화소 전극(PX)은 Mo-Cr로 이루어지고, 그 단면 형상은 본 명세서에서 상술한 바와 같이 포워드 테이퍼형으로 형성되므로, 콘트라스트가 저하되는 결함을 제거할 수 있게 된다.

발명의 효과

이상, 본 발명에 관한 여러 실시예들을 나타내고 설명하였다. 그러나, 본 발명은 이들 실시예들에만 한정되지 않고, 얻을 수 있는 지식의 범위에서 유연하게 변형하거나 개선할 수 있다. 따라서, 청구항들의 범위는 지금까지 나타내고 설명된 상세한 설명에 의해 한정되지 않으며, 상술한 변형 및 개선 범위를 포함한다.

(57) 청구의 범위

청구항 1.

액정 표시 장치에 있어서,

한 쌍의 기판, 상기 한 쌍의 기판 사이에 개재되어 있는 액정층, 상기 2개의 기판 중 하나의 기판 상에 형성되는 복수의 주사선, 상기 주사선을 매트릭스 형으로 교차하는 복수의 데이터선, 상기 주사선과 데이터선의 교차점 근방에 형성되는 박막 트랜지스터, 및 상기 박막 트랜지스터에 접속되는 화소 전극을 구비하고,

상기 각 박막 트랜지스터의 소스 전극과 드레인 전극, 및 상기 각각의 데이터선은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴 합금으로 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 각 박막 트랜지스터의 채널 길이는 7 ㎛ 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 각 데이터선의 단자부에서 상기 몰리브덴 합금과 이방성 전도성막이 직접 접촉하도록 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 각 주사선은 알루미늄 또는 알루미늄 합금을 포함하고, 상기 각 화소 전극은 주로 비정질상(amorphous phase)으로 이루어진 인듐 주석 산화물 또는 인듐 아연 산화물로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제1항 또는 제2항에 있어서,

상기 각 주사선은 하부층이 알루미늄 또는 알루미늄 합금으로 이루어지고 상부층이 2.6 중량% 이상 23 중량% 이하의 지르코늄 함량을 갖는 몰리브덴 합금으로 이루어진 적층막으로 구성되고, 상기 각 화소 전극은 주로 비정질상(amorphous phase)으로 이루어진 인듐 주석 산화물 또는 인듐 아연 산화물로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 액정 표시 장치의 구동기 칩은 칩-온-글래스(COG; Chip-on-Glass)방법을 이용하여 실장되는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제6항에 있어서,

표시 데이터와 기준 전위 데이터 중 적어도 일부는 상기 구동기 칩 간에 전기적으로 접속되고, 상기 2개의 기판 중, 상기 박막 트랜지스터가 제공된 기판만이 상기 전기 접속의 일부로서 형성되어 이용되는 배선을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

액정 표시 장치에 있어서,

한 쌍의 기판, 상기 한 쌍의 기판 사이에 개재되어 있는 액정층, 상기 2개의 기판 중 하나의 기판 상에 형성되는 복수의 주사선, 상기 주사선을 매트릭스 형으로 교차하는 복수의 데이터선, 상기 주사선과 데이터선의 교차점 근방에 형성되는 박막 트랜지스터, 및 상기 박막 트랜지스터에 접속되는 화소 전극을 구비하고,

상기 각 박막 트랜지스터의 소스 전극과 드레인 전극, 및 각 데이터선은 제1 도전막 및 제2 도전막으로 이루어진 적층막으로 구성되고, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴 합금을 주성분으로 하는 합금이고, 상기 제2 도전막은 상기 제1 도전막 위에 위치하며 상기 제1 도전막보다 크롬 함량이 더 적은 몰리브덴 합금인 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제8항에 있어서,

상기 각 박막 트랜지스터의 채널 길이는 7 ㎛ 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제8항 또는 제9항에 있어서,

상기 각 데이터선의 단자부에서 상기 몰리브덴 합금과 이방성 전도성막이 직접 접촉하도록 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제8항 또는 제9항에 있어서,

상기 각 주사선은 알루미늄 또는 알루미늄 합금을 포함하고, 상기 각 화소 전극은 주로 비정질상(amorphous phase)으로 이루어진 인듐 주석 산화물 또는 인듐 아연 산화물로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제8항 또는 제9항에 있어서,

상기 각 주사선은 하부층이 알루미늄 또는 알루미늄 합금으로 이루어지고 상부층이 2.6 중량% 이상 23 중량% 이하의 지르코늄 함량을 갖는 몰리브덴 합금으로 이루어진 적층막으로 구성되고, 상기 각 화소 전극은 주로 비정질상(amorphous phase)으로 이루어진 인듐 주석 산화물 또는 인듐 아연 산화물로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제8항 또는 제9항에 있어서,

상기 액정 표시 장치의 구동기 칩은 칩-온-글래스(COG; Chip-on-Glass)방법을 이용하여 실장되는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제13항에 있어서,

표시 데이터와 기준 전위 데이터 중 적어도 일부는 상기 구동기 칩 간에 전기적으로 접속되고, 상기 2개의 기판 중, 상기 박막 트랜지스터가 제공된 기판만이 상기 전기 접속의 일부로서 형성되어 이용되는 배선을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 15.

액정 표시 장치에 있어서,

한 쌍의 기판, 상기 한 쌍의 기판 사이에 개재되어 있는 액정층, 상기 2개의 기판 중 하나의 기판 상에 형성되는 복수의 주사선, 상기 주사선을 매트릭스 형으로 교차하는 복수의 데이터선, 상기 주사선과 데이터선의 교차점 근방에 형성되는 박막 트랜지스터, 및 상기 주사선과 데이터선으로 둘러싸인 영역내의 복수의 화소내에 있는 상기 2개의 기판 중 하나의 기판 상에 형성되는 적어도 한 쌍의 화소 전극과 대향 전극을 구비하고,

상기 화소 전극에는 상기 주사선으로부터 공급된 주사 신호에 따라 구동되는 상기 박막 트랜지스터를 통해 데이터 신호가 공급되고, 상기 대향 전극에는 상기 화소 상에 형성된 대향 전압 신호선을 통해 기준 전압이 공급되고,

상기 데이터선과 상기 화소 전극 각각은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴 합금을 주성분으로 하는 합금으로 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제15항에 있어서,

상기 각 박막 트랜지스터의 소스 전극과 드레인 전극은 막 구조에 있어서 상기 데이터선 및 화소 전극과 동일하고, 상기 박막 트랜지스터의 채널 길이는 7 ㎛ 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제15항 또는 제16항에 있어서,

상기 각 주사선은 알루미늄 또는 알루미늄 합금을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제15항 또는 제16항에 있어서,

상기 각 주사선은 하부층이 알루미늄 또는 알루미늄 합금으로 이루어지고 상부층이 2.6 중량% 이상 23 중량% 이하의 지르코늄 함량을 갖는 몰리브덴 합금으로 이루어진 적층막으로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

제15항 또는 제16항에 있어서,

상기 액정 표시 장치의 구동기 칩은 칩-온-글래스(COG; Chip-on-Glass)방법을 이용하여 실장되는 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제19항에 있어서,

표시 데이터와 기준 전위 데이터 중 적어도 일부는 상기 구동기 칩 간에 전기적으로 접속되고, 상기 2개의 기판 중, 상기 박막 트랜지스터가 제공된 기판만이 상기 전기 접속의 일부로서 형성되어 이용되는 배선을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 21.

액정 표시 장치에 있어서,

한 쌍의 기판, 상기 한 쌍의 기판 사이에 개재되어 있는 액정층, 상기 2개의 기판 중 하나의 기판 상에 형성되는 복수의 주사선, 상기 주사선을 매트릭스 형으로 교차하는 복수의 데이터선, 상기 주사선과 데이터선의 교차점 근방에 형성되는 박막 트랜지스터, 및 상기 주사선과 데이터선간에 제공되는 영역내의 복수의 화소내에 있는 상기 2개의 기판 중 하나의 기판 상에 형성되는 적어도 한 쌍의 화소 전극과 대향 전극을 구비하고,

상기 화소 전극에는 상기 주사선으로부터 공급되는 주사 신호에 따라 구동되는 상기 박막 트랜지스터를 통해 데이터 신호가 공급되고, 상기 대향 전극에는 상기 화소 상에 형성된 대향 전압 신호선을 통해 기준 전압이 공급되고,

상기 데이터선과 상기 화소 전극은 제1 도전막 및 제2 도전막으로 이루어진 적층막으로 각각 구성되고, 상기 제1 도전막은 2 중량% 이상 5 중량% 이하의 크롬 함량을 갖는 몰리브덴 합금을 주성분으로 하는 합금이고, 상기 제2 도전막은 상기 제1 도전막 상에 위치하며 상기 제1 도전막보다 크롬 함량이 더 적은 몰리브덴 합금인 것을 특징으로 하는 액정 표시 장치.

청구항 22.

제21항에 있어서,

상기 각 박막 트랜지스터의 소스 전극과 드레인 전극은 막 구조에 있어서 상기 데이터선 및 화소 전극과 동일하고, 상기 박막 트랜지스터의 채널 길이는 7 ㎛ 이하인 것을 특징으로 하는 액정 표시 장치.

청구항 23.

제21항 또는 제22항에 있어서,

상기 주사선 각각은 알루미늄 또는 알루미늄 합금을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 24.

제21항 또는 제22항에 있어서,

상기 각 주사선은 하부층이 알루미늄 또는 알루미늄 합금으로 이루어지고 상부층이 2.6 중량% 이상 23 중량% 이하의 지르코늄 함량을 갖는 몰리브덴 합금으로 이루어진 적층막으로 구성되는 것을 특징으로 하는 액정 표시 장치.

청구항 25.

제21항 또는 제22항에 있어서,

상기 액정 표시 장치의 구동기 칩은 칩-온-글래스(COG; Chip-on-Glass)방법을 이용하여 실장되는 것을 특징으로 하는 액정 표시 장치.

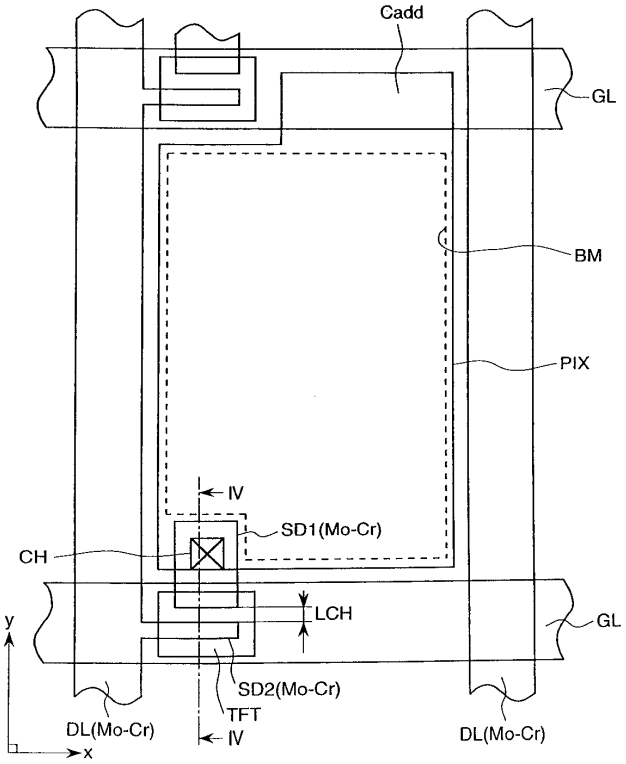
청구항 26.

제25항에 있어서,

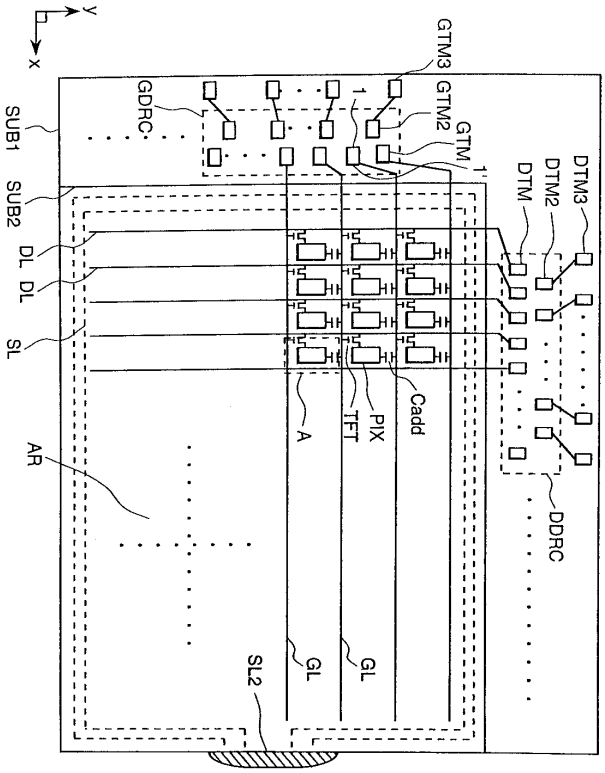
표시 데이터와 기준 전위 데이터 중 적어도 일부는 상기 구동기 칩 간에 전기적으로 접속되고, 상기 2개의 기판 중 상기 박막 트랜지스터가 제공된 기판만이 상기 전기 접속의 일부로서 형성되어 이용되는 배선을 갖는 것을 특징으로 하는 액정 표시 장치.

도면

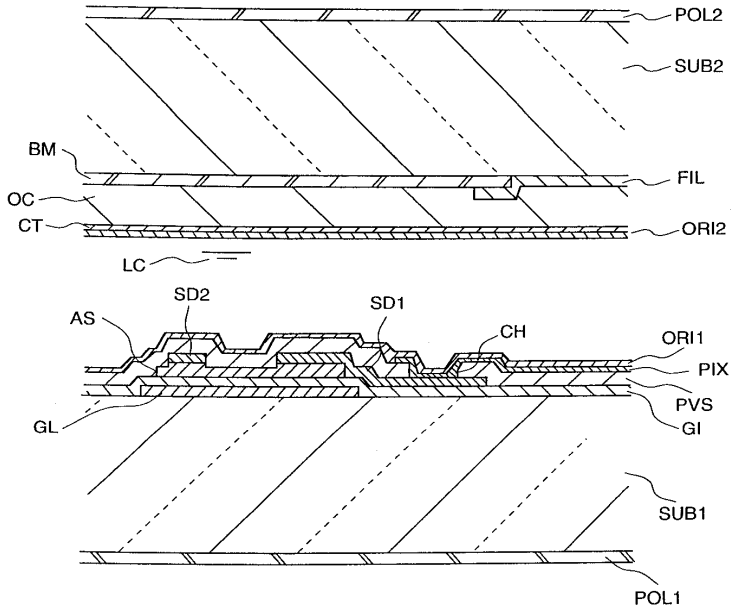
도면 1



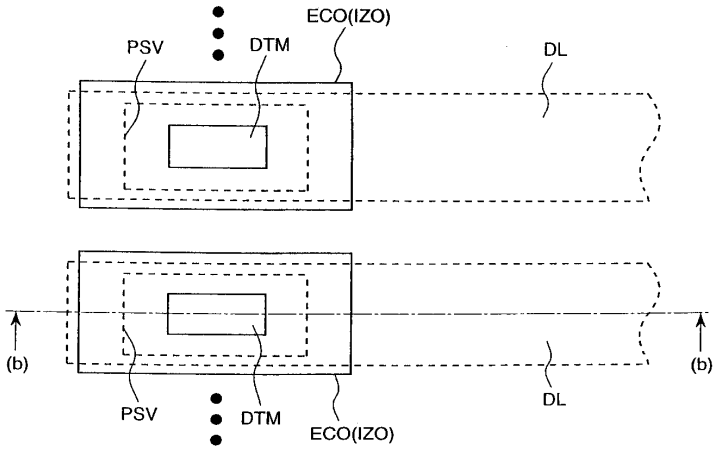
도면 2


y
x
GTM3
GTM2
GTM
GDRC
SUB1
SUB2
DL
DL
DL
SL
AR
A
TFT
PIX
Cadd
DTM3
DTM2
DTM
DDRC
SL2
GL
GL

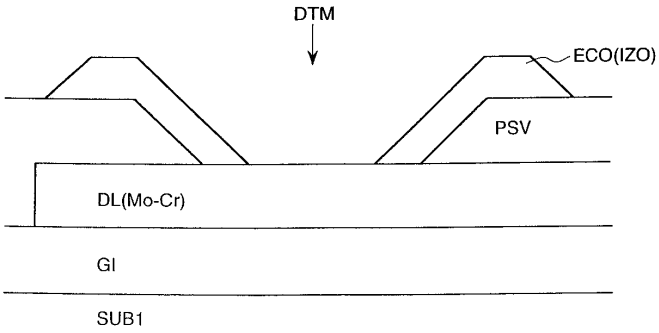
도면 3


POL2
SUB2
BM
FIL
OC
CT
ORI2
LC
SD2
SD1
AS
CH
ORI1
PIX
PVS
GL
GI
SUB1
POL1

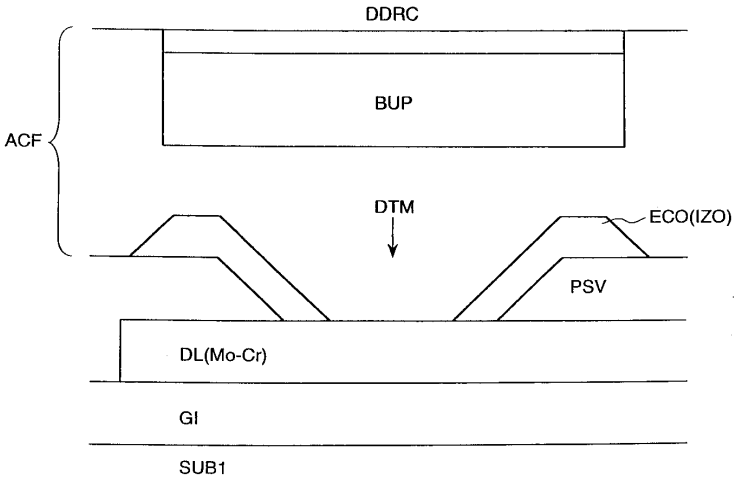
도면 4a


ECO(IZO)
PSV
DTM
DL
(b)
(b)
PSV
DTM
ECO(IZO)
DL

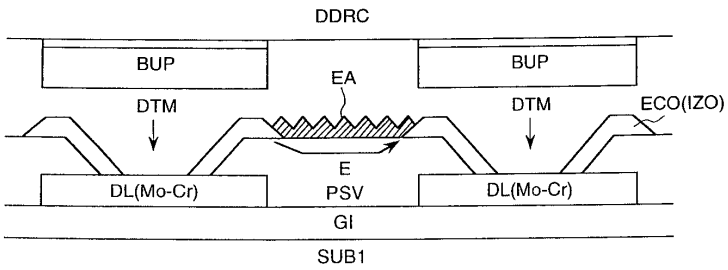
도면 4b


DTM
ECO(IZO)
PSV
DL(Mo-Cr)
GI
SUB1

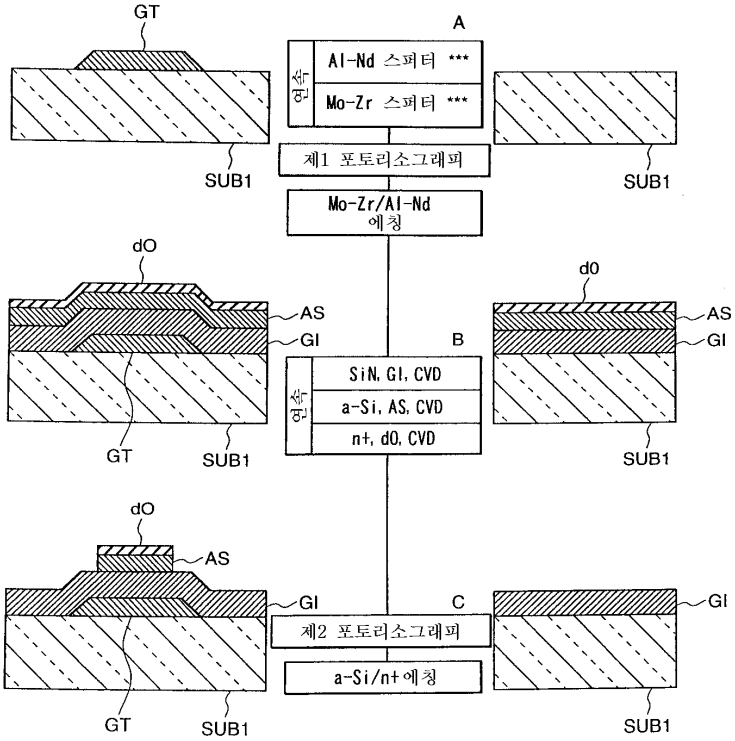
도면 5


DDRC
ACF
BUP
DTM
ECO(IZO)
PSV
DL(Mo-Cr)
GI
SUB1

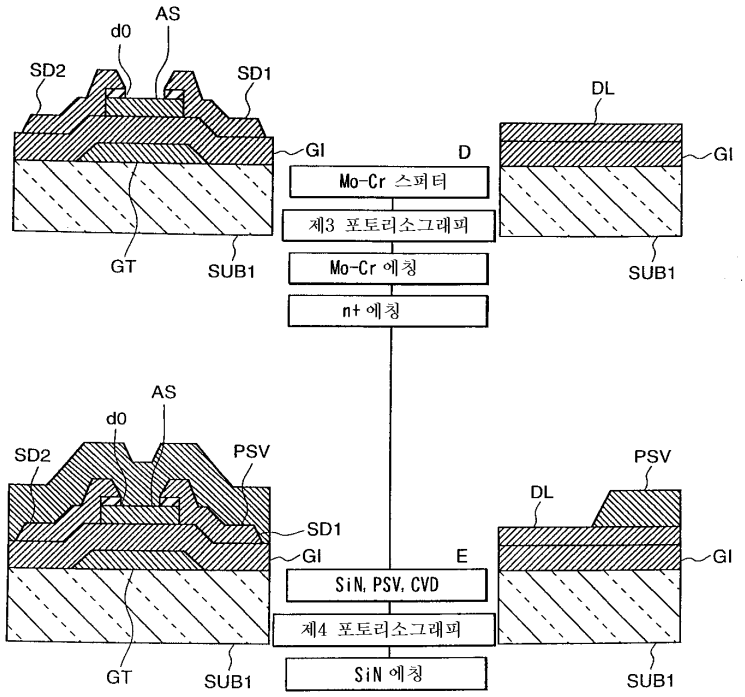
도면 6


DDRC
BUP
BUP
EA
DTM
DTM
ECO(IZO)
E
DL(Mo-Cr)
PSV
DL(Mo-Cr)
GI
SUB1

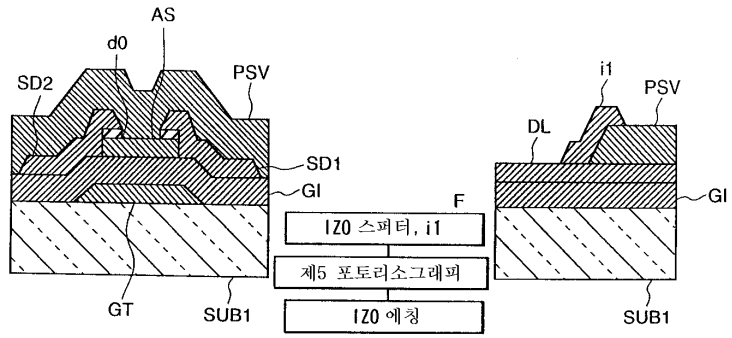
도면 7


GT
A
연속
Al-Nd 스퍼터 ***
Mo-Zr 스퍼터 ***
SUB1
제1 포토리소그래피
Mo-Zr/Al-Nd
에칭
dO
d0
AS
GI
B
SiN, GI, CVD
a-Si, AS, CVD
n+, dO, CVD
C
제2 포토리소그래피
a-Si/n+에칭

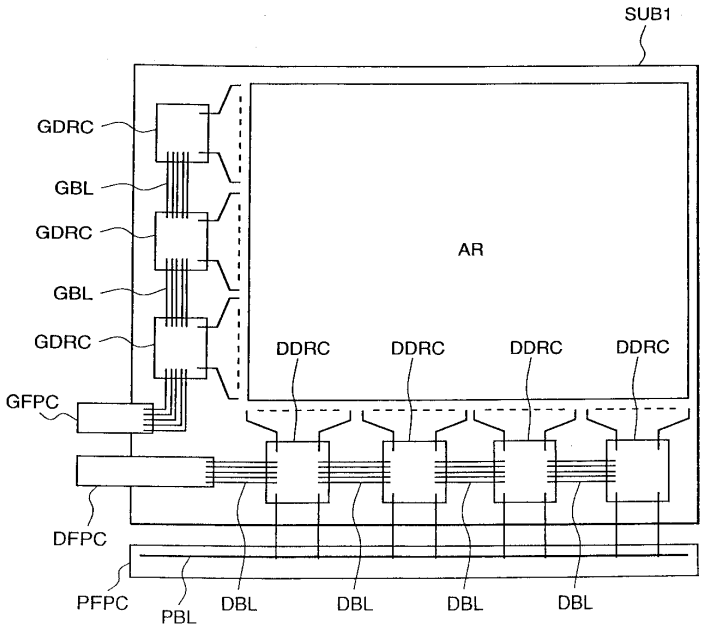
도면 8


AS
d0
SD2
SD1
DL
GI
D
GI
Mo-Cr 스퍼터
제3 포토리소그래피
Mo-Cr 에칭
n+ 에칭
GT
SUB1
SUB1
AS
d0
SD2
PSV
PSV
DL
SD1
GI
E
GI
SiN, PSV, CVD
제4 포토리소그래피
SiN 에칭
GT
SUB1
SUB1

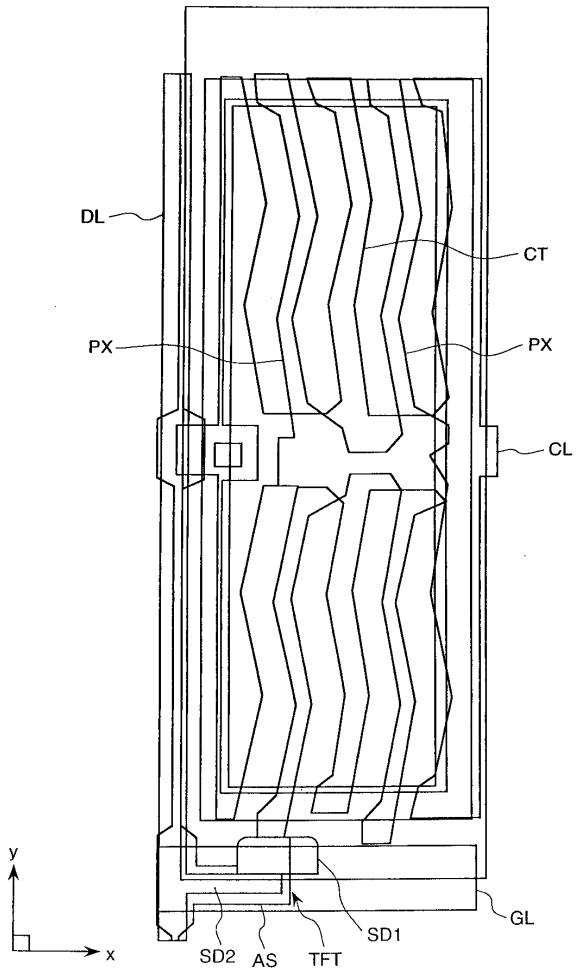
도면 9


AS
d0
SD2
PSV
i1
PSV
DL
SD1
GI
F
GI
IZO 스퍼터, i1
제5 포토리소그래피
IZO 에칭
GT
SUB1
SUB1

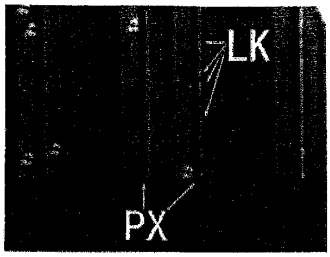
도면 10


SUB1
GDRC
GBL
GDRC
GBL
GDRC
GFPC
AR
DDRC
DDRC
DDRC
DDRC
DFPC
PFPC
PBL
DBL
DBL
DBL
DBL

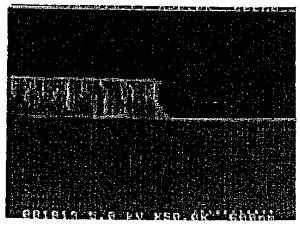
도면 11



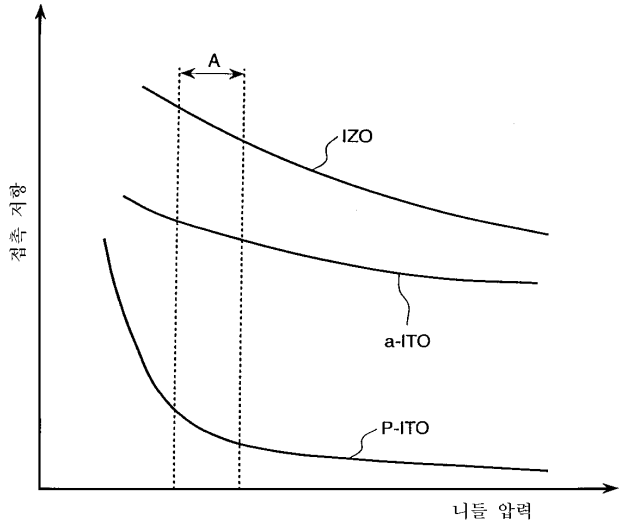
도면 12



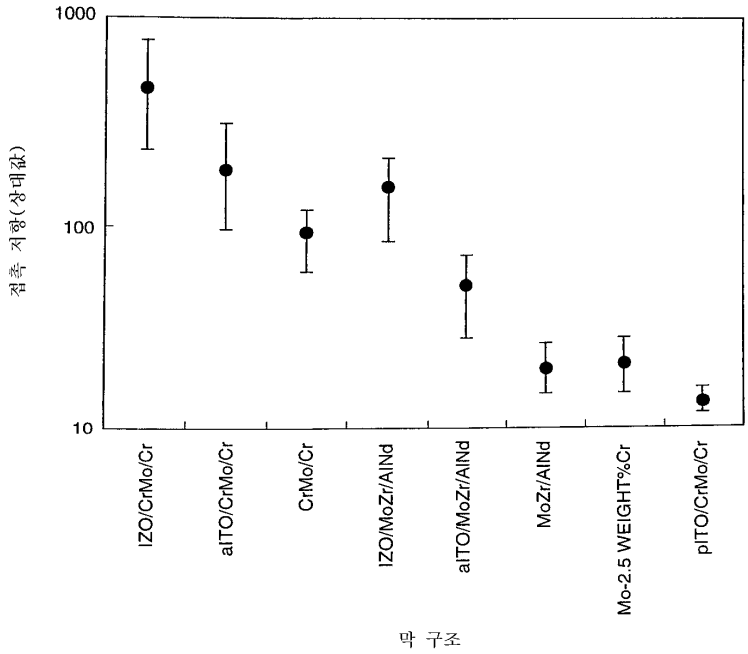
도면 13



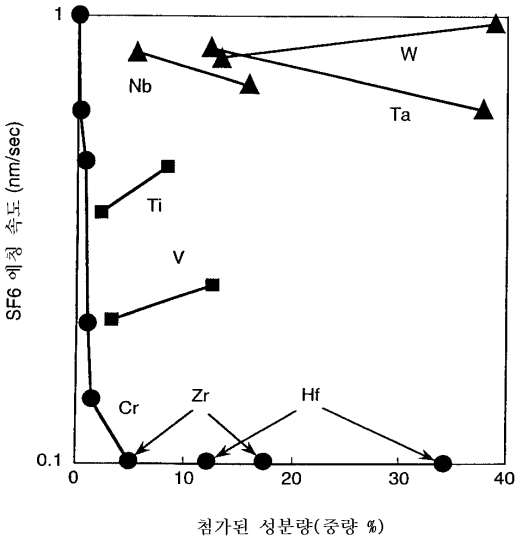
도면 14



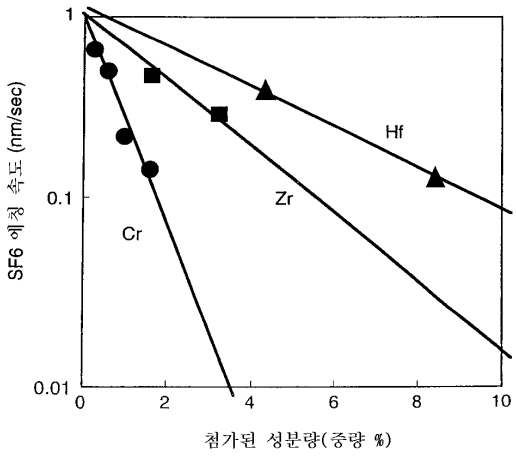
도면 15


1000
100
10
접촉 저항(상대값)
IZO/CrMo/Cr
aITO/CrMo/Cr
CrMo/Cr
IZO/MoZr/AlNd
aITO/MoZr/AlNd
MoZr/AlNd
Mo-2.5 WEIGHT%Cr
pITO/CrMo/Cr
막 구조

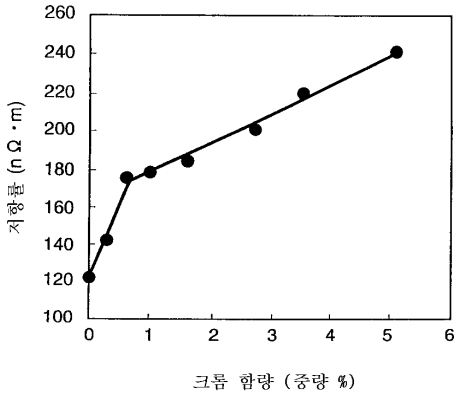
도면 16


1
0.1
SF6 에칭 속도 (nm/sec)
0
10
20
30
40
첨가된 성분량(중량 %)
W
Nb
Ta
Ti
V
Cr
Zr
Hf

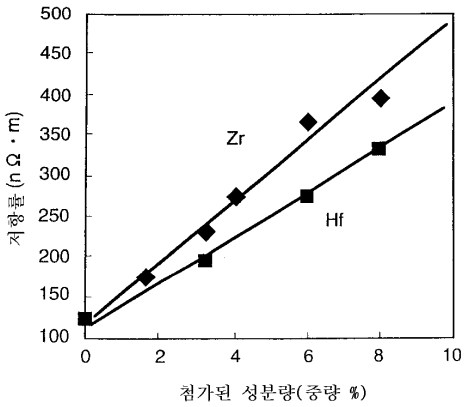
도면 17


SF6 에칭 속도 (nm/sec)
1
0.1
0.01
0
2
4
6
8
10
Hf
Zr
Cr
첨가된 성분량(중량 %)

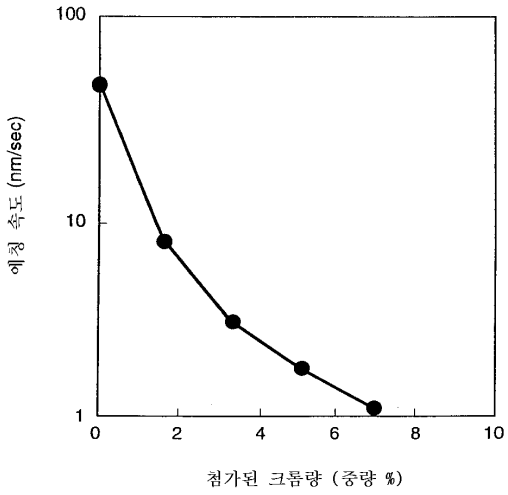
도면 18a


저항률 (nΩ·m)
260
240
220
200
180
160
140
120
100
0
1
2
3
4
5
6
크롬 함량 (중량 %)

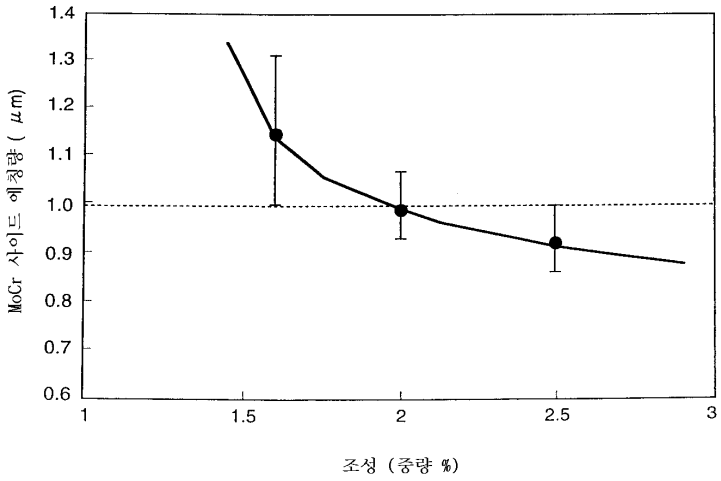
도면 18b


500
450
400
350
300
250
200
150
100
저항률 (nΩ·m)
Zr
Hf
0
2
4
6
8
10
첨가된 성분량(중량 %)

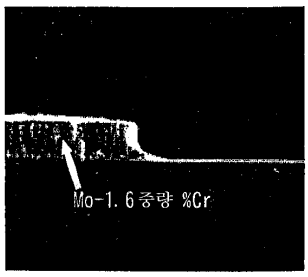
도면 19


100
10
1
에칭 속도 (nm/sec)
0
2
4
6
8
10
첨가된 크롬량 (중량 %)

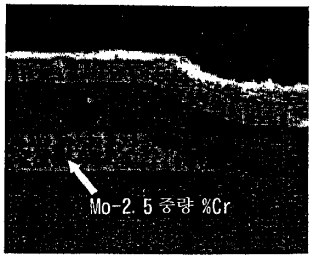
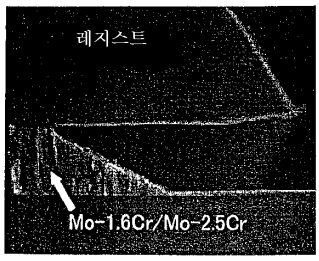
도면 20



도면 21a



도면 21b



도면 21c