

公告本

申請日期	91 年 8 月 7 日
案 號	91117801
類 別	H03B 5/00

A4
C4

(以上各欄由本局填註)

583824

發 明 專 利 說 明 書

一、發明 名稱	中 文	用於雙極積體電路之可變負電阻胞
	英 文	Variable negative resistance cell for bipolar integrated circuits
二、發明 創作人	姓 名	(1) 卡爾·普邦茲 Pobanz, Carl W. (2) 哥帕爾·瑞格哈文 Raghavan, Gopal
	國 籍	(1) 美國加州托潘加荷德大道三一三六號 3136 Holder Drive, Topanga, CA 90290, U.S.A.
	住、居所	(2) 美國加州千橡林奧克伯瑞廣場五一七號 517 Oakbury Ct. Thousand Oaks, CA 91360, U.S.A.
三、申請人	姓 名 (名稱)	(1) 荷爾實驗室有限公司 HRL Laboratories, LLC
	國 籍	(1) 美國 (1) 美國加州麻利布麻利布峽谷路三〇一一號
	住、居所 (事務所)	3011 Malibu Canyon Road, Malibu, CA 90265, U.S.A.
	代 表 人 姓 名	(1) 丹·亞爾米爾 Allemeier, Dan

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2001 年 8 月 7 日 09/925,828 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

五、發明說明（ 1 ）

技術領域

本發明是有關於實質上用於產生一兩端點負電阻之一雙極電晶體電路，該電阻有益於補償積體共振器之損耗並增進其品質（Q）因子。更明確地說，本發明提供一種用以產生寬頻帶負阻抗之裝置，該阻抗在整個寬廣抗損耗範圍上可以電子方式加以調整。

發明背景

高頻共振器在振盪器，RF電路及其它電路中為關鍵零組件。這種共振器極易因損耗而降質且常常需要將共振器從主動式半導體電路中分開。相較於一完全積體電路，所形成之混成電路通常較大，更難於製造，並更昂貴。時下電路使用混合場效電晶體（FET）雙極製程，或PIN二極體加以調整，為能正常作用而仰賴如電感或可變電容之反應式零組件。

目前使用負阻抗電路加以增強Q共振器。Q共振器之主要部分是根據場效電晶體，而非雙極電晶體。這大大限制其使用在最快速之大型積體電路上，如那些使用ImP和SiGe異質接面雙極電晶體之積體電路。只有小部分選取之Q共振器允許以電子方式調整負阻抗。且這些共振器調整範圍小或在迴授上使用實質上限制電路頻寬和應用性之可變電抗。

供訊號處理用之帶通 $\delta - \sigma$ （delta-sigma）調變器需要高訊噪比之高Q共振器加以有效地轉換資料。然而，當整

五、發明說明 (2)

合在半導體基底上面時，甚至最佳之被動式共振器常苦於遏止性之大量損耗，而且實施非單晶片之共振器造成寄生電容及造成高性能調變器不穩定之訊號延遲。

因此爲了降低電路零組件之實際大小和電力消耗，會預期將電路零組件整合在一單半導體晶片上面。這些整合可藉發明一種用以增進單晶片共振器之 Q 因子的電子裝置加以達成。這種電子裝置會產生具有最少外接零阻件之高性能雙極 R F 電路。本發明會需要是可以電子方式加以調整之負阻抗電路，該電路被建置成使得損耗補償位準在整個寬廣損耗範圍上是連續可變的。這種系統將會根本增進性能，降低成本，增加系統多樣性，並降低大小。

發明概要

本發明提供一種利用一電子裝置，加以增進單晶片共振器 Q 因子之積體電路。本發明允許產生具有最少外接零組件之高性能雙極 R F 電路。本發明利用可以電子方式加以調整之負阻抗電路，該電路被建置成提供一在整個寬廣損耗範圍上爲連續可變之損耗補償位準。本發明形成具增進性能特性之一電路，增加系統之多樣性，卻降低其大小，且進而通常降低相關之製造與設計成本。

本發明之一實施例提供一種在積體共振器中用以增進 Q 因子，及補償損耗之解決方案。此處所述之實施例說明一種雙極電晶體電路，該電路之一可變跨電導胞連接正迴授，在其輸出端產生一負阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

本發明之另一實施例是有關於使用在雙極電晶體製程中普通可得之零組件，在一雙極電晶體電路中產生一兩端點負阻抗之方法。而本發明還有另一實施例是有關於產生一調整範圍從一最小至基本上為負無限大之負阻抗的電路元件，其中之負阻抗可以電子方式加以調整且為連續可變的。本發明另一實施例是有關於當所施加電壓下降時展現電流增加之一電路元件，其中，所施電壓由於阻抗而變，該阻抗是由如不完美傳導材質或粗劣絕緣基底之這種因子所造成。

圖示簡單說明

聯合參考以下圖示，從本發明較佳實施例之以下詳細說明，本發明之目的，特性與優點將顯而易見了。

第 1 a 圖以圖解方式描述可變之負阻抗胞；

第 1 b 圖以圖解方式描述觀念及雙極電路之實施；

第 2 圖表示負阻抗胞在一具有積體共振器之調諧放大器汲中之應用；

第 3 圖為一表示增益對頻率響應由一大於 100 之因子所增進之圖形。

元件對照表

10：正迴授	12：輸出端
100：電晶體 Q1	102：電晶體 Q2
104：電流源 I ₁	106：電晶體 Q3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

1 0 8 : 電 晶 體 Q 4

1 1 2 : 電 晶 體 Q 6

1 1 6 : 電 流 I_2

1 2 0 : 電 晶 體 Q 7

2 0 0 : 胞

2 0 4 : 電 容 C

1 1 0 : 電 晶 體 Q 5

1 1 4 : 射 極 退 化 阻 抗 R_E

1 1 8 : 電 阻 R

1 2 2 : 電 晶 體 Q 8

2 0 2 : 電 感 L

2 0 6 : 損 耗 阻 抗 R_{loss}

較佳實施例說明

本發明是有關於有連接正迴授，在其輸出端產生一負阻抗之一可變跨電導胞，且本發明可依名稱其它應用加以裁剪。聯合所參考圖示，提出以下說明，使技術中之一平常技能能利用本發明並就特定應用將它加以納入。對於那些熟於技術者而言，各種的修飾，以及各種在不同應用上之使用將會輕易顯而易見，並可將此處所界定之一般原理應用到寬廣範圍之實施例。因此，不預期將本發明侷限在所提出之實施例。而是給予和此處所發表之原理和嶄新特性一致之最寬範圍。而且應注意到的是，除非另有明確說明，此處所含圖式是以圖表加以說明而無任何特定比例，因他們所提供的是本發明觀念之定量圖解。

本發明是有關於產生一兩端點負阻抗之一雙極電晶體電路，該負阻抗有益於補償損耗並增進積體共振器之Q因子。電路之一特質在其只利用實際上任何雙極電晶體製程中普通可得到之零組件產生一寬頻帶負阻抗之能力，其中之負阻抗是在一整個寬廣範圍之頻率上可以電子方式加以

五、發明說明(5)

調整的。

本發明之一目的在產生當所施加電壓下降時，展現電流增加，因此產生一負阻抗之一電路元件。由於在不完美傳導金屬或粗劣絕緣半導體基底中之訊號損耗，在積體電路中可使用本發明加以消除阻抗。在振盪器和其它 R F 電路中，雖然高頻共振器為關鍵零組件，他們極易因損耗而降質，且常需將共振器從主動式半導體電路中加以分開。本發明之一實施例提供一種用以增進單晶片共振器之品質 Q 因子之電子裝置，該裝置能產生具有最少外接零組件之高性能雙極 R F 電路。本發明嶄新觀點之一為損耗補償位準在整個寬廣範圍上是連續可變的並可以電子方式加以調整。需要的只是一單一型的雙極電晶體，它使電路基本上與包含 I n P , G a A s 和 S i G e 異質接面雙極電晶體之所有高性能雙極製程相容。為能正常作用，這電路不仰賴如電感或可變電容之反應式零組件，因此造成基本上清除需要作任何校準之寬頻響應。

高速過度取樣之類比轉數位轉換器中所使用供訊號處理之帶通 $\delta - \sigma$ 調變器需要高 Q 共振器加以完成高訊噪比之資料轉換。本發明將有助延伸類比轉數位轉換器對載波頻率之範圍上達 10 GHz 以上。

為了在其它事務之間，在單晶片上產生高性能微波系統，以電子試增強共振器之 Q 將允許和 I n P 異質接面雙極電晶體電子在相同基底上實現窄頻帶，高階之濾波器。

如第 1 a 圖中所示，本發明之一實施例包含，一可和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

正迴授 10 連接，在其輸出端 12 產生一負阻抗之可變跨電導胞。第 1 b 圖中所示之雙極電路核心為由電流源

I_{1104} 所施以偏壓之一對電晶體 Q_{1100} 和 Q_{2102} 。跨電導 (G_m) 是由來自可變阻抗之負迴授加以調變的，該可變阻抗是由連接 Q_{1100} 和 Q_{2102} 射極之橋接電路 Q_{3106} ， Q_{4108} ， Q_{5110} 及 AQ_{6112} 所提供。這射極退化阻抗 R_E 114 降低該電晶體對之差動跨電導 (g_m) 從 g_m 至：

$$G_m = \frac{g_m}{1 + g_m R_E / 2}$$

其中

$g_m \dots \dots$ 為 I_1 / V_T

$V_T \dots \dots$ 為 kT / q

$k \dots \dots$ 為玻茲曼 (Boltzman) 常數

$T \dots \dots$ 為施對溫度

$q \dots \dots$ 為電荷

R_E 114 藉調整橋接器中之電流 I_2 116 而改變，該橋接器包含以二極體連接之電晶體 Q_{3106} ， Q_{4108} ， Q_{5110} 和 Q_{6112} 及電阻 R_{118} 。 R_E 114 值之範圍從基本上 $I_2 = 0$ (116) ~~20~~ 之開路至當 Q_{3106} ， Q_{4108} ， Q_{5110} 和 Q_{6112} 為強烈順向偏壓時，所發生之 R_{118} 之最小值。阻抗 R_E 114 對 R_{118} 之適當值而言，實質上為線性並與 I_2 116 成反比變化，而橋接器之對稱構造使外接電路上電流 I_2 116 之擾亂效應減至最小。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

如所示，藉交叉耦合跨電導胞 Q 1 1 0 0 和 Q 2 1 0 2 得到要產生負阻抗所需之正迴授，這在集極造成一輸出阻抗，等於：

$$Z_{\text{collectorQ1-Q2}} = -2/G_m = -2 \left[\frac{1}{g_m} + \frac{R_E}{2} \right]$$

其中：

$Z_{\text{collectorQ1-Q2}}$ …… 為在集極之輸出阻抗

G_m …… 為跨電導

g_m …… 為差動跨電導

理想上，這阻抗應只是可變電阻 R_E 1 1 4 之函數，但隨 R_E 1 1 4 之變化的 g_m 變化促成一種非預期之非線性效應。這可藉添加電晶體 Q 7 1 2 0 和 Q 8 1 2 2 加以修正，該電晶體對 Q 1 1 0 0 和 Q 2 1 0 2 產生負載阻抗並等於 $1/g_m$ 。所形成之輸出阻抗 Z_{124} 則只是：

$$Z = -R_E$$

其中，

Z …… 為輸出阻抗

R_E …… 為可變阻抗

這為預期之負阻抗，由 I 2 1 1 6 從一最小之 R_{118} 調整到基本上為負無限大。

第 2 圖中表示一 5 G H z 校準放大器汲之負阻抗電路應用的圖解說明，它包含一以平行共振槽為負載之 g_m 2 0 0 胞。該負載由一單晶片電感 L 2 0 2，一電容 C 2 0 4 和一有效損耗阻抗 $R_{l.o.s.s}$ 2 0 6 所形成。將負

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

阻抗電路與 R_{100} 206 並聯至加以調整而將它取消。如第3圖中所示之標準化增益 (V_o/V) 對頻率圖，共振器之 Q 值從其原始值 300 之 40 增加至超過之 5000。由負阻抗所引起之損耗補償允許單電路放大器達成一狹窄頻寬及除了用單晶片共振器外是不可能之優越選擇性。

因此本發明提供一種利用電子裝置加以增進單晶片共振器 Q 因子之積體電路。本發明允許產生具最小外接零阻件之高性能雙極 RF 電路。本發明之一實施例利用一種可以電子方式加以調整之負阻抗電路，將該電路建置成可提供一在整個寬廣損耗範圍上為連續可變之損耗補償位準。本發明形成一具有增進性能特性之電路，增加系統之多樣性，而同時降低其大小，並進而，通常降低相關製造和設計之成本。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 用於雙極積體電路之可變負電阻胞)

一種用以產生負阻抗之有效裝置和設備，該裝置和設備包含當所施加電壓下降時展現電流增加之一電路元件。本發明之其它實施例提供用以增進單晶片共振器品質 Q 因子之電子裝置，它能產生具一最少外接零組件之高性能雙極 R F 電路。

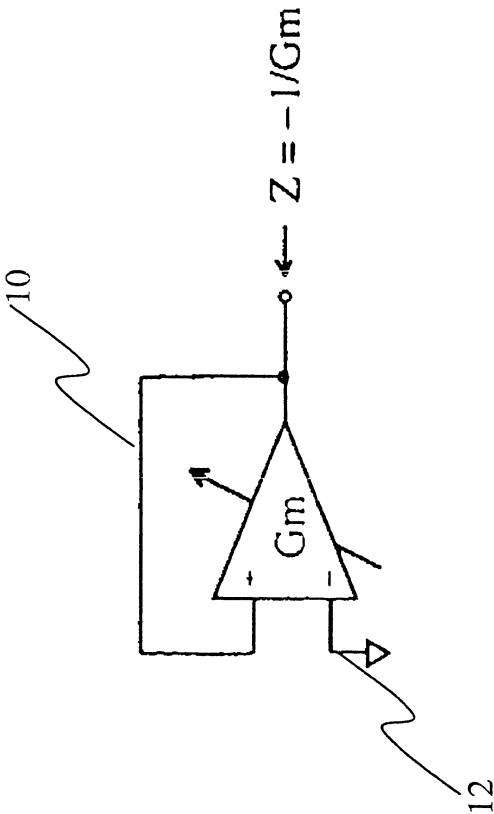
英文發明摘要(發明之名稱：

)

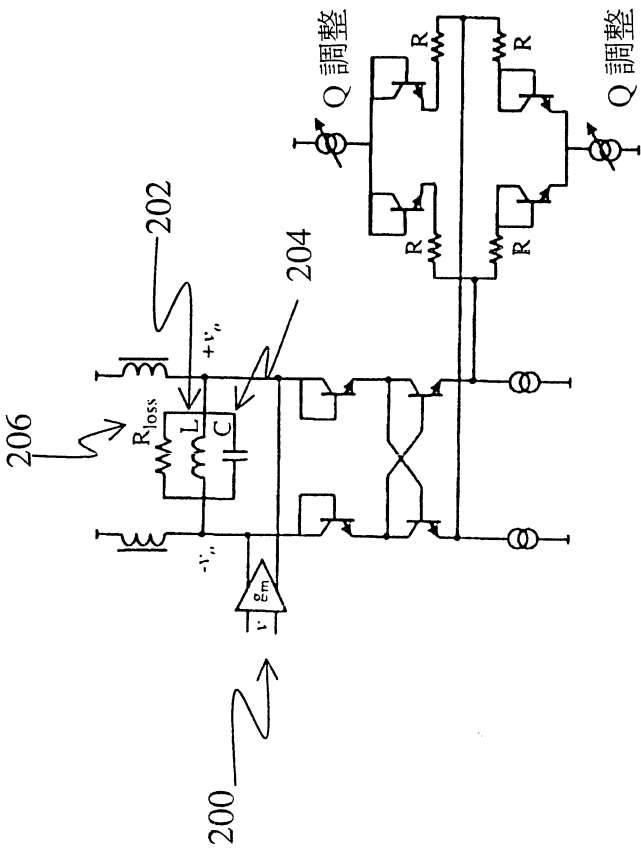
VARIABLE NEGATIVE RESISTANCE CELL FOR
BIPOLAR INTEGRATED CIRCUITS



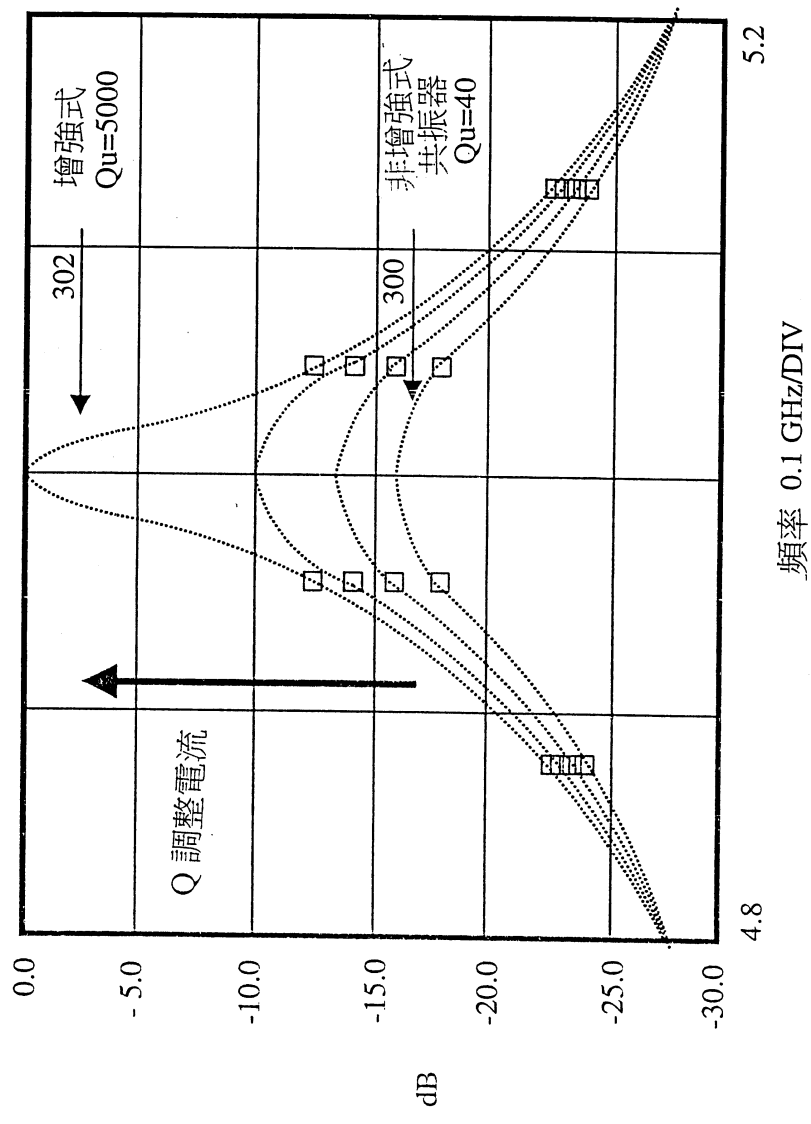
An effective means and apparatus for generating a negative resistance including a circuit element that exhibits an increase in current as the applied voltage is decreased. Other embodiments of the present invention provide electronic means for improving the quality Q factor of on-chip resonators, which enables the creation of high-performance bipolar RF circuits with a minimum of external components.



第 1a 圖



第2圖



第 3 圖

六、申請專利範圍

附件二：第 91117801 號專利申請案
修正後無劃線之中文申請專利範圍替換本
民國 92 年 11 月 20 日呈

- 1 . 一種雙極電晶體電路，包含：
 - i . 一可變跨電導胞，該可變跨電導胞與正迴授連接，在雙極電晶體電路之輸出端產生一負阻抗；以及
 - i i . 一電路元件，當所施加電壓下降時該電路元件展現電流之增加。
- 2 . 如申請專利範圍第 1 項之雙極電晶體電路，其中，可變跨電導胞包含一對電晶體，由施加至該對電晶體射極之電流源對該對電晶體施以偏壓。
- 3 . 如申請專利範圍第 2 項之雙極電晶體電路，其中，可變跨電導胞為來自一可變阻抗源之負迴授加以調變。
- 4 . 如申請專利範圍第 3 項之雙極電晶體電路，其中，可變跨電導胞是由一連接一對電晶體射極之橋接電路所提供。
- 5 . 如申請專利範圍第 4 項之雙極電晶體電路，其中，橋接器包含至少一連接二極體之電晶體和電阻，且其中，橋接電路電流供應有一可調整電流源。
- 6 . 如申請專利範圍第 5 項之雙極電晶體電路，其中，至少一電晶體具一退化阻抗，該退化阻抗降低一對電晶體之差動跨電導，且

六、申請專利範圍

其中，藉調整可調電流源而改變退化阻抗。

7．如申請專利範圍第1項之雙極電晶體電路，其中，藉交叉耦合可變跨電導胞得到要產生負阻抗所需之正迴授，該可變跨電導胞在雙極電晶體電路之輸出端形成一輸出阻抗。

8．如申請專利範圍第7項之雙極電晶體電路，其中，輸出阻抗具非線性效應，且

其中，藉由在雙極電晶體電路之輸出端添加至少一電晶體加以修正非線性效應。

9．一種製造雙極電晶體電路之方法，包含以下步驟：

i．產生一兩端點之負阻抗；以及

i i．使用一和正迴授連接之可變跨電導胞在橫跨一雙極電晶體電路之輸出端產生一負阻抗；以及

i i i．產生一範圍從一最小至基本上為負無限大之可調整之負阻抗。

10．如申請專利範圍第9項之製造雙極電晶體電路之方法，其中，使用該雙極電晶體電路加以補償損耗並增進積體共振器之品質。

11．如申請專利範圍第9項之製造雙極電晶體電路之方法，其中，將雙極電晶體電路建置成有助延伸類比類數位轉換器對載波頻率之範圍上達，並在10GHz以上。

12．如申請專利範圍第10項之製造雙極電晶體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

路之方法，其中，以電子方式增強共振器之品質將允許和異質接面雙極電晶體電子在相同基底上達成窄頻帶，高階之濾波器，以及

其中，以電子方式增強共振器品質將允許在一單晶片上產生一高性能微波系統。

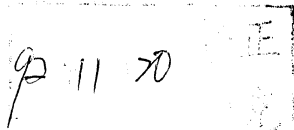
1 3 . 如申請專利範圍第 1 0 項之製造雙極電晶體電路之方法，其中，增進積體共振器之品質實質上增加該積體共振器品質因子至少為 9 0 。

1 4 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，產生一寬頻帶負阻抗之雙極電晶體電路在一整個寬廣範圍上可以電子方式加以調整，以及其中，該雙極電晶體電路利用實質上在任何電晶體製程中普通可得到之至少一零組件。

1 5 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，在積體電路中利用雙極電晶體電路，實質上加以衰減阻抗。

1 6 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，在積體電路中使用雙極電晶體電路，實質上加以衰減由於在不完美傳導金屬中之訊號損耗所造成之阻抗。

1 7 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，在積體電路中使用雙極電晶體電路，實質上加以衰減由於在粗劣絕緣半導體基底中之訊號損耗所造成之阻抗。



六、申請專利範圍

1 8 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，雙極電晶體電路提供一種電子裝置，加以得到單晶片共振器之增進品質因子；以及其中，增進之品質因子允許產生具有最少外接零組件之高性能雙極 R F 電路。

1 9 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，補償損耗之雙極電晶體電路位準在整個寬廣損耗範圍上是連續可變的且可以電子方式加以調整。

2 0 . 如申請專利範圍第 9 項之製造雙極電晶體電路之方法，其中，只需要單一型式之雙極電晶體，因此，使雙極電晶體電路與高性能雙極製成相容。

2 1 . 如申請專利範圍第 2 0 項之製造雙極電晶體電路之方法，其中，為能正常作用，雙極電晶體電路仰賴除了可變電容之反應式零組件外之零組件，造成實質上清除校準需要之寬頻帶響應。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線