

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4662740号
(P4662740)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int.Cl.		F I		
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34 3 7 1 K
H O 1 L	27/10	(2006.01)	H O 1 L	27/10 4 9 5
G 1 1 C	11/4096	(2006.01)	G 1 1 C	11/34 3 6 2 H
			G 1 1 C	11/34 3 5 4 R

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2004-190317 (P2004-190317)	(73) 特許権者	000004237
(22) 出願日	平成16年6月28日 (2004.6.28)		日本電気株式会社
(65) 公開番号	特開2006-12337 (P2006-12337A)		東京都港区芝五丁目7番1号
(43) 公開日	平成18年1月12日 (2006.1.12)	(73) 特許権者	500174247
審査請求日	平成17年12月13日 (2005.12.13)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100123788
			弁理士 宮崎 昭夫
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(72) 発明者	齋藤 英彰
			東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 積層型半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

インターフェースチップと、要求されるメモリ容量に応じた数のメモリセルアレイチップと、が積層された積層型半導体メモリ装置であって、

前記メモリセルアレイチップは同一入出力ビット数のn個(nは2以上の整数)のメモリユニットから構成され、

前記インターフェースチップと前記メモリセルアレイチップを接続し、前記n個のメモリユニットの入出力データが入出力されるn組のデータバスと、

前記インターフェースチップ上に配置されるメモリ構成切り替え回路と、を有し、

前記メモリ構成切替回路は、

前記n組のデータバスから、少なくとも1つ以上のデータバスを選択し、入出力データビット数のデータバスに接続するスイッチと、

前記入出力データビット数のデータバスに接続される複数のラッチ回路と、

前記複数のラッチ回路におけるラッチタイミングを制御することにより入出力データのビット数および転送レートを制御する制御回路と、

を有し、前記n組のデータバスに接続され、メモリデータの入出力ビット数あるいは転送レートを変更する、

ことを特徴とする積層型半導体メモリ装置。

【請求項2】

請求項 1 記載の積層型半導体メモリ装置において、
積層される前記メモリセルアレイチップの数が 2 以上である、
ことを特徴とする、積層型半導体メモリ装置。

【請求項 3】

請求項 1 または請求項 2 に記載の積層型半導体メモリ装置において、
制御回路は、その配線に設けられたヒューズを備え、該ヒューズの切断状態に応じてメモリユニット群の入出力ビット数、または、入出力データのビット数および転送レートを制御する信号を発生することを特徴とする積層型半導体メモリ装置。

【請求項 4】

請求項 1 または請求項 2 に記載の積層型半導体メモリ装置において、
制御回路は、ボンディングオプションの入力信号の組み合わせによって動作する論理回路であって、その出力によりメモリユニット群の入出力ビット数、または、入出力データのビット数および転送レートを制御する信号を発生することを特徴とする積層型半導体メモリ装置。

【請求項 5】

請求項 1 ないし請求項 4 のいずれかに記載の積層型半導体メモリ装置において、
DRAMであることを特徴とする積層型半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関し、特にメモリセルアレイチップとメモリ構成を変更するためのインターフェースチップとを積層した半導体メモリ装置に関する。

【背景技術】

【0002】

半導体集積回路の微細化・高集積化技術の進展に伴い、DRAM（ダイナミック型ランダムアクセスメモリ）やSRAM（スタティック型ランダムアクセスメモリ）はメモリの大容量化を果たしてきた。しかしながら半導体微細化には限界があるために、更なる大容量化には新たな技術の導入が求められている。

【0003】

大容量化の一技術として半導体チップを積層した 3 次元半導体が提案されている。特許文献 1（特開平 4 - 196263 号公報）には、半導体チップを積層してチップ面積を変えずに大規模集積回路を実現することが記載されており、半導体集積回路本体の上に積層した別チップにメモリ回路が集積されている。特許文献 2（特開 2002 - 26283 号公報）および特許文献 3（特開 2003 - 209222 号公報）には、メモリセルアレイを多層化してさらに大容量化した多層メモリ構造が記載されている。

【0004】

特許文献 2 に記載の発明では、多層メモリチップのそれぞれがメモリ周辺回路を持たずに、各メモリチップが一对の周辺回路を共有することとして、チップ面積に占める周辺回路の領域を削減している。

【0005】

特許文献 3 に記載の発明では、多層メモリ装置を製造後に、メモリ層を選別して不良メモリ層を除去することが可能である。

【特許文献 1】特開平 4 - 196263 号公報

【特許文献 2】特開 2002 - 26283 号公報

【特許文献 3】特開 2003 - 209222 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した積層型メモリ装置は、いずれにおいても、限られたチップ面積でメモリの容量を増加させることが可能であるが、メモリ構成要素である入出力ビット数

10

20

30

40

50

、バンク数、データ転送レートについては記述されていない。

【0007】

一方で、メモリとつながるCPUの高性能化に伴い、メモリ装置には大容量化だけではなく、入出力ビットの増加やバンク数の増加、メモリ転送レートの増加も求められている。システムの多様化によってこれらのメモリ構成は多岐にわたり、多品種のメモリ装置を開発しなければならず、開発するコストが年々増加してきている。

【0008】

本発明はかかる点に鑑みてなされたものであり、メモリセルアレイとそのメモリ構成を変更するための回路を別チップで積層し、チップ間で遅延の少ない配線を多数本利用することによって、メモリ構成、特に入出力ビット構成と、メモリ転送レートに関わる入出力

10

【課題を解決するための手段】

【0009】

本発明の積層型半導体メモリ装置は、インターフェースチップと、要求されるメモリ容量に応じた数のメモリセルアレイチップと、が積層された積層型半導体メモリ装置であって、

前記メモリセルアレイチップは同一入出力ビット数の n 個(n は2以上の整数)のメモリユニットから構成され、

前記インターフェースチップと前記メモリセルアレイチップを接続し、前記 n 個のメモリ

20

ユニットの入出力データが入出力される n 組のデータバスと、

前記インターフェースチップ上に配置されるメモリ構成切り替え回路と、

を有し、

前記メモリ構成切替回路は、

前記 n 組のデータバスから、少なくとも1つ以上のデータバスを選択し、入出力データ

ビット数のデータバスに接続するスイッチと、

前記入出力データビット数のデータバスに接続される複数のラッチ回路と、

前記複数のラッチ回路におけるラッチタイミングを制御することにより入出力データの

ビット数および転送レートを制御する制御回路と、

30

を有し、前記 n 組のデータバスに接続され、メモリデータの入出力ビット数あるいは転送

レートを変更する、

ことを特徴とする。

【0010】

この場合、積層される前記メモリセルアレイチップの数が2以上である、としてもよい。

【0014】

また、制御回路は、その配線に設けられたヒューズを備え、該ヒューズの切断状態に応じてメモリユニット群の入出力ビット数、または、入出力データのビット数および転送レートを制御する信号を発生することとしてもよい。

【0015】

40

また、制御回路は、ボンディングオプションの入力信号の組み合わせによって動作する論理回路であって、その出力によりメモリユニット群の入出力ビット数、または、入出力データのビット数および転送レートを制御する信号を発生することとしてもよい。

【0016】

上記のいずれかに記載の積層型半導体メモリ装置も、DRAMであってもよい。

【発明の効果】

【0017】

本発明によれば、メモリセルアレイチップとインターフェースチップを積層したメモリ装置において、インターフェースチップのメモリ構成切り替え回路によってメモリセルアレイチップの入出力ビット構成やデータ転送レートを変える。これによって、多品種のメ

50

メモリ装置の開発コストを低減することができる。

【発明を実施するための最良の形態】

【0018】

次に、本発明の実施例について図面を参照して説明する。

【0019】

図1は本発明による積層型メモリ装置の一実施例の概略構成を示す図である。

【0020】

本実施例は、図1に示されるように、メモリセルアレイチップ101、メモリユニット102、入出力バッファ103、アドレスバッファ104、インターフェースチップ105、チップ間配線106、メモリ構成切り替え回路107、アドレスバッファ108、行デコーダ109、列デコーダ110およびメモリセルアレイ111から構成されている。

10

【0021】

メモリセルアレイ111はマトリクス上に配置された複数のメモリユニット102から構成され、行デコーダ109および列デコーダ110デコーダと集積されてメモリセルアレイチップ101を構成する。インターフェースチップ105は、アドレスバッファ104と入出力バッファ103とメモリ構成切り替え回路107から構成され、メモリセルアレイチップ101と積層され、チップ間配線106によりメモリセルアレイチップ101と接続される。

【0022】

メモリセルアレイチップ101のメモリセルアレイ111とインターフェースチップ105のメモリ構成切り替え回路107とは、積層構造であることを利用して $j \times k$ 本の多数のチップ間配線105によって接続されており、高い並列度でデータが転送できる。積層型であることでチップ面積は従来の平面型の同容量メモリ装置より小さい。また、図2に示すように、メモリセルアレイチップ101を複数枚積層することによって、さらに面積効率が上がる。

20

【0023】

メモリ装置の入出力ビット構成の切り替え手段について説明する。メモリセルアレイ111は n 個のメモリユニット102により構成されている。各メモリユニット102からは4本のチップ間配線106からなる4ビット(DQ0、DQ1、DQ2、DQ3)のデータバスによってメモリ構成切り替え回路107に接続され、データバスの総ビット数は $4n$ である。

30

【0024】

図3(a)に示すように、メモリ構成切り替え回路107によって n 個すべてのメモリユニットからのデータバスをDQごとにまとめることによって、入出力ビット数は4となる。図3(b)に示すように、 $n/2$ 個のメモリユニットからのデータバスをまとめると入出力ビット数は8、図3(c)に示すように、 $n/4$ 個のメモリユニットからのデータバスをまとめると入出力ビット数は16となる。 n 個のメモリユニットからのデータバスをそのまますべて並列に入出力バッファとつなぐと、図3(d)のように入出力 $4n$ ビット構成となる。

【0025】

上記のように、並列数の大きいチップ間のデータバス配線をインターフェースチップ105上のメモリ構成切り替え回路107で切り替えることにより、一つのメモリセルアレイチップ101で4ビットから $4n$ ビット構成まで広範囲にメモリ装置の入出力ビット構成を切り替えることが可能である。

40

【0026】

また、インターフェースチップ105におけるメモリ構成切り替え回路107のデータバスにラッチを設けてデータをプリフェッチし、ラッチへのクロックのタイミングを制御すれば、メモリセルアレイ111のクロック周波数を変えずに、外部インターフェースとのデータ転送レートを2倍、4倍へと変えることが可能である。

【0027】

50

次に、本発明の実施例について図面を参照してより詳細に説明する。

【0028】

図4は本発明による512Mbの積層型DRAM装置の実施例の構成を示す図である。図4中の、メモリセルアレイチップ401、メモリユニット402、入出力バッファ403、アドレスバッファ404、インターフェースチップ405、チップ間配線406、メモリ構成切り替え回路407、アドレスバッファ408、行デコーダ409、列デコーダ410およびメモリセルアレイ411のそれぞれは図1に示したメモリセルアレイチップ101、メモリユニット102、入出力バッファ103、アドレスバッファ104、インターフェースチップ105、チップ間配線106、メモリ構成切り替え回路107、アドレスバッファ108、行デコーダ109、列デコーダ110およびメモリセルアレイ111と同様のものである。

10

【0029】

インターフェースチップ405の上面にメモリセルアレイチップ401が積層されている。メモリセルアレイチップ401は4バンク構成(BK0、BK1、BK2、BK3)であり、各バンクには128Mbのメモリセルアレイ411と列デコーダ409と行デコーダ410が設けられている。インターフェースチップ405はメモリ構成切り替え回路407とアドレスバッファ404と入出力バッファ409を備える。メモリセルアレイチップ401のメモリセルアレイ411とインターフェースチップ405のメモリ構成切り替え回路407とはデータバスで接続され、また、列デコーダ409および行デコーダ410とアドレスバッファ404とはアドレスバスで接続されている。それぞれのバスはチップを貫通させた100 μ m以下の極短距離の貫通配線であるチップ間配線406が用いられており、直径20 μ m程度と大きく、低抵抗のため、GHzクラスの高速度伝送が可能である。

20

【0030】

図5はメモリセルアレイ411の構成を詳細に示す図であり、図5(a)はバンク部分の詳細図、図5(b)は内部構造を示す図である。

【0031】

128Mbのメモリセルアレイ411は32個の4Mbメモリユニット501から構成され、各4Mbメモリユニット501からは4本のチップ間配線406が延在し、これが4ビットのデータバスになる。4Mbメモリユニット501は4ビット1Mワード構成であり、その内部構造は図5(b)に示されるように、列デコーダ410からの1024本のデータセレクト線502と、行デコーダ409からの1024本のワード線503がメモリユニットにつながり、データセレクト線502とワード線503の交点にはDQ0、DQ1、DQ2、DQ3の4DQ分のメモリセル505がある。

30

【0032】

データ読み出し時には各メモリセル505のデータに応じたデータ線の小振幅差動信号がセンスアンプ504とデータアンプ507によってフル振幅信号に変換され、DQ0、DQ1、DQ2、DQ3の4ビットのデータバスに送られる。データ書き込み時には、データセレクト線502で選択された4本のデータ線に4ビットデータバスからデータが送られ、選択されたワード線503との交点の4DQ分のメモリセル505にデータが書き込まれる。4ビットデータバスは4本のチップ間配線を通してインターフェースチップ405とデータの受け渡しを行う。

40

【0033】

図6はバンク内で入出力ビット構成を変えるときのメモリセルアレイ411へのDQビット割り付けを示している。メモリセルアレイチップ401の1バンクからつながる128本のデータバス配線の組み合わせを、インターフェースチップ405のメモリ構成切り替え回路407によって変えることによって、入出力ビット数を変える。4DQの4Mbメモリユニットを最小単位として、図6(a)~図6(f)に示すように、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 、 $\times 32$ 、 $\times 64$ 、 $\times 128$ のビット構成の割り付けが可能である。

【0034】

50

図7はメモリインターフェースチップ405のメモリ構成切り替え回路407の構成を示すブロック図である。メモリ構成切り替え回路407は、ビット切り替え回路708とプリフェッチ切り替え回路701と切り替え制御回路706から構成されている。ビット切り替え回路708はメモリセルアレイチップ401からのデータバス配線を組み替える。

【0035】

図8はビット切り替え回路708の構成を詳細に示すブロック図であり、図4、図5(a)に示したメモリセルアレイチップ401における4Mbメモリユニット501からのびる4本のチップ間配線406が、図8に示すビット切り替え回路の4ビット配線ユニット803に接続されており、これがメモリユニットと同様に、横に8個、縦に4個の計32個並んで設けられている。各配線ユニット803間は4個のトランジスタのトランスファークロウからなる4スイッチアレイ801、804で接続されている。また、ビット切り替え回路708からの配線はプリフェッチ切り替え回路701を経由して入出力バッファ409に接続されている。

10

【0036】

図9はビット切り替え回路708の中で、横に8個の4ビット配線ユニット803が並設されている部分を示す図であり、4ビット配線ユニット803間の4スイッチアレイ804を切り替えることによりビット数が切り替えられる。

【0037】

図9において枠で囲った4スイッチアレイ804をオンとすることにより、図9(a)~図9(d)に示される、 $\times 4$ 、 $\times 8$ 、 $\times 16$ 、 $\times 32$ のビット構成とすることが可能である。さらに、図9(d)に示される32ビット構成を縦に4つ接続し、その間に設けたスイッチアレイを切り替えることによって図6(d)~図6(f)に対応した $\times 32$ 、 $\times 64$ 、 $\times 128$ の入出力ビット構成とすることが可能である。

20

【0038】

ビット切り替え回路708のスイッチの制御信号は、切り替え制御回路706から送られる。切り替え制御回路の構成としては、切り替え制御回路706の配線にヒューズを設けて、チップ製造後にこのヒューズをメモリ構成の仕様にしたがって切断することにより所望のメモリ構成とするスイッチの制御信号が出力される構成が挙げられる。この他にも、切り替え制御回路706をボンディングオプションの入力信号の組み合わせによって動作する論理回路とし、チップパッケージを行う際にボンディングオプションのパットとパッケージピンとの間のボンディングを所望の入出力ビット構成の仕様にしたがって行うことにより所望のメモリ構成とするスイッチの制御信号が出力される構成が挙げられる。

30

【0039】

本実施例では、メモリセルアレイチップは1枚のチップとしたが、これを複数枚のチップを積層したものにすれば、メモリ装置のメモリ容量をチップ枚数分だけ増やして同様のメモリ構成切り替えを行うことが可能である。さらに、メモリ装置をDRAMとしたが、SRAMでも同様の構成が可能である。

【0040】

メモリセルアレイチップは図10に示すように、1バンク、2バンク、4バンクとバンク数を変えても良く、メモリセルアレイチップのメモリ容量が512Mbの場合、バンク数と入出力ビット数に応じて図11に示すような21通りのメモリ構成が可能である。複数バンク構成にした場合には、バンク単位でアドレス指定してメモリセルにアクセスすることにより、あるバンクのメモリセルにアクセスしている時には、他のバンクでプリチャージ動作やさらにはワード線を選択してビット線を活性化する動作を行う、あるいはリフレッシュ動作を行うといったインターリーブが行えることから、次々に中断なくバンクにアクセスしてデータ転送することが可能である。

40

【0041】

次に、メモリコアの動作周波数は変えずにプリフェッチ切り替え回路701においてプリフェッチ数とクロックタイミングを切り替えて、メモリ装置と外部とのデータ転送レー

50

トを変える手段について説明する。

【0042】

図12において、ビット切り替え回路708からデータが4組の32ビットデータバス1201を介してプリフェッチ切り替え回路701へ送られる。

プリフェッチ切り替え回路701は、4組の32ビットデータバスのそれぞれに対応する4個のラッチ回路1203、クロック線705および制御信号線707と接続され、クロック線705を介して送られてくるクロック信号を制御信号線707を介して送られてくる制御信号に応じて調整し、各ラッチ回路1203がデータをラッチするタイミング信号として各ラッチ回路1203へ供給するクロック制御回路1202を備えている。

【0043】

プリフェッチ切り替え回路701におけるデータをラッチするタイミングが制御され、ラッチされたデータが入出力バッファ704へ送られ、外部への転送レートは2倍、もしくは4倍に切り替えられる。

【0044】

メモリセルアレイチップ401のクロック周波数と同じ200MHzのクロックをラッチに入力し、図13(a)のクロック波形に示すようにクロックの立ち上がりのタイミングで4組の32ビットデータバス1201のすべてのデータを入出力バッファ704へ送る場合には、入出力128ビット、入出力データ転送レートは200Mbpsとなる。4組の32ビットデータバス1201のうち、2組をクロックの立ち上がりでラッチし、一方の2組をクロックの立ち下がりでラッチすることにより、入出力64ビットで、データ転送レートは2倍の400Mbpsになる(図13(b))。さらに、図13(c)のようにラッチへの入力クロックを位相が $\pi/2$ シフトした2相にしてクロックの立ち上がりと立ち下がりも利用することによって、32ビットデータバス4組のデータを800MHz周期のタイミングでラッチすることにより、入出力32ビット、データ転送レート800Mbpsとなる。各ラッチ回路1203への入力クロックを切り替えるための制御信号は入出力ビット構成の切り替えのための制御信号と同様に、切り替え制御回路から送られる。このように、プリフェッチ数を1、2、4に変えることによって、入出力ビット構成のみならず、データ転送レートの切り替えも可能である。

【図面の簡単な説明】

【0045】

【図1】積層型メモリ装置の構成を示す図である。

【図2】多数枚積層型メモリ装置図である。

【図3】入出力ビット構成の切り替え手段を示し、(a)は4ビット、(b)は8ビット、(c)は16ビット、(d)は4nビット構成を示す図である。

【図4】本発明の実施例を説明する512Mb積層型DRAM装置図である。

【図5】(a)はDRAMメモリセルアレイのバンクを示す図、(b)は4Mbメモリユニットを示す図である。

【図6】メモリセルアレイのビット割り付けを示す図であり、(a)は4ビット、(b)は8ビット、(c)は16ビット、(d)は32ビット、(e)は64ビット、(f)は128ビット構成を示す図である。

【図7】メモリ構成切り替え回路の概要図である。

【図8】ビット切り替え回路図である。

【図9】スイッチ動作による配線組み替えを示し、(a)は4ビット、(b)は8ビット、(c)は16ビット、(d)は32ビット構成を示す図である。

【図10】メモリセルアレイチップのバンク割り付けの概略図である。

【図11】512MbDRAMのビット数とバンク数の構成に対応するワード数を示す図である。

【図12】データ転送レートを切り替えるための回路図である。

【図13】データ転送レートを切り替える時にラッチへ入力するクロック波形である。

【符号の説明】

10

20

30

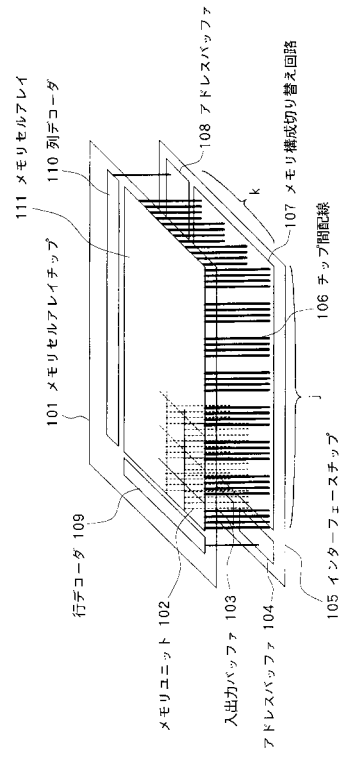
40

50

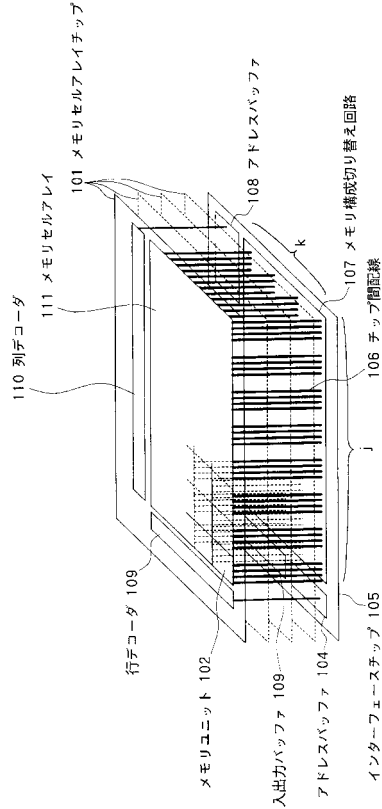
【 0 0 4 6 】

1 0 1	メモリセルアレイチップ	
1 0 2	メモリユニット	
1 0 3	入出力バッファ	
1 0 4	アドレスバッファ	
1 0 5	インターフェースチップ	
1 0 6	チップ間配線	
1 0 7	メモリ構成切り替え回路	
1 0 8	アドレスバッファ	
1 0 9	行デコーダ	10
1 1 0	列デコーダ	
1 1 1	メモリセルアレイ	
4 0 1	メモリセルアレイチップ	
4 0 2	メモリユニット	
4 0 3	入出力バッファ	
4 0 4	アドレスバッファ	
4 0 5	インターフェースチップ	
4 0 6	チップ間配線	
4 0 7	メモリ構成切り替え回路	
4 0 8	アドレスバッファ	20
4 0 9	行デコーダ	
4 1 0	列デコーダ	
4 1 1	メモリセルアレイ	
5 0 1	4 M bメモリユニット	
5 0 2	データセレクト線	
5 0 3	ワード線	
5 0 4	センスアンプ	
5 0 5	メモリセル	
5 0 6	データ線	
5 0 7	データアンプ	30
7 0 1	プリフェッチ切替回路	
7 0 2	メモリ構成切り替え回路	
7 0 3	データバス	
7 0 4	入出力バッファ	
7 0 5	クロック線	
7 0 6	切り替え制御回路	
7 0 7	制御線信号	
7 0 8	ビット切り替え回路	
8 0 1	4スイッチアレイ	
8 0 2	チップ間配線	40
8 0 3	4ビット配線ユニット	
8 0 4	4スイッチアレイ	
1 2 0 1	3 2ビットデータバス	
1 2 0 2	クロック制御回路	
1 2 0 3	ラッチ回路	

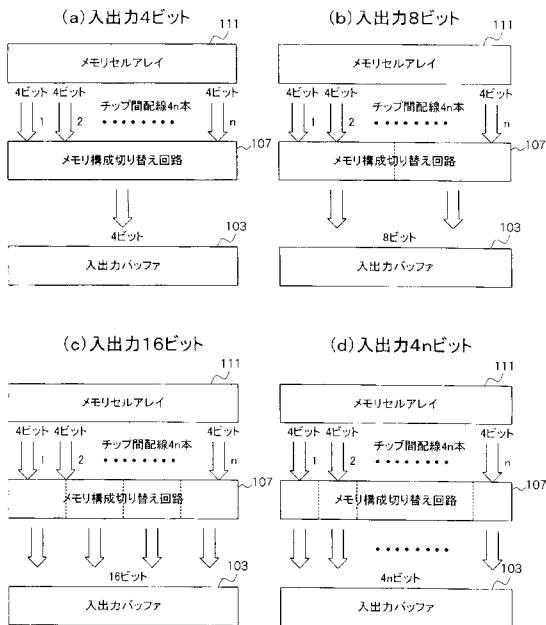
【図1】



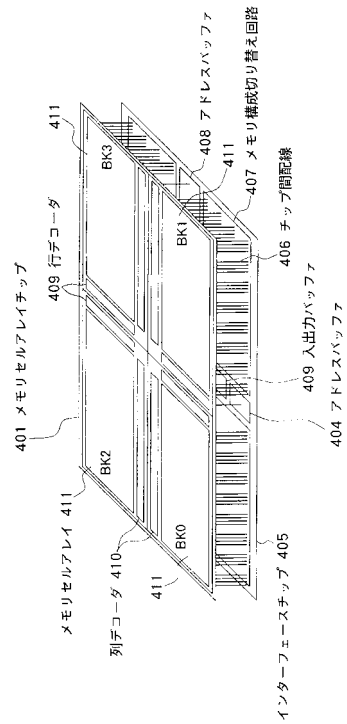
【図2】



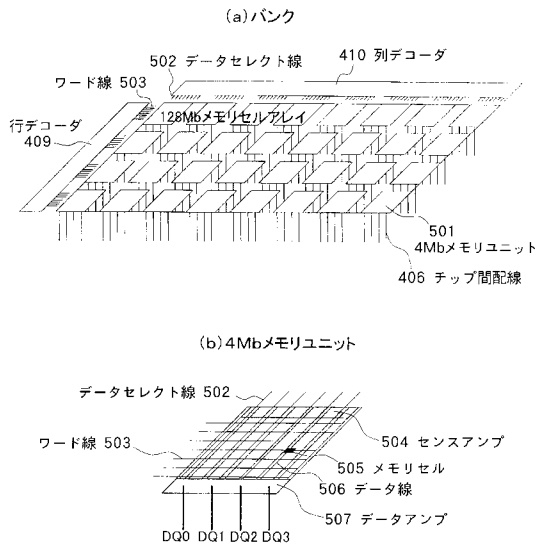
【図3】



【図4】



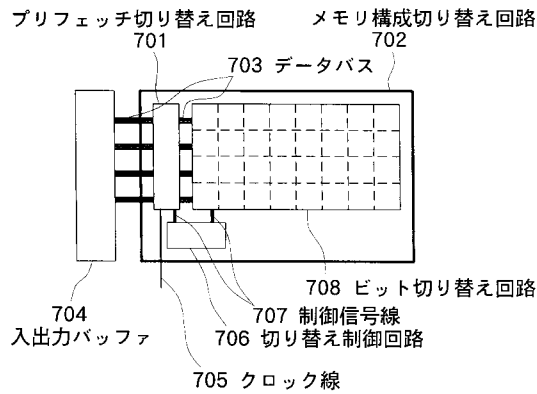
【 図 5 】



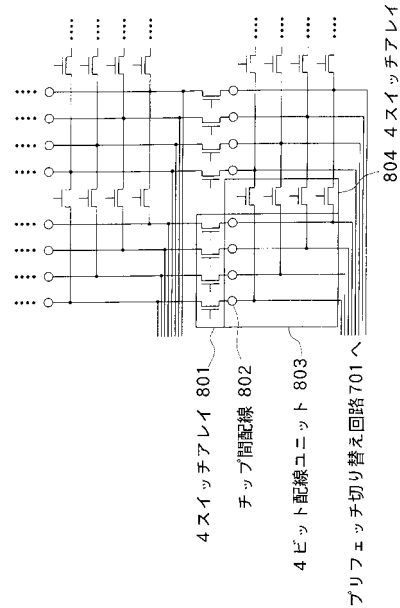
【 図 6 】



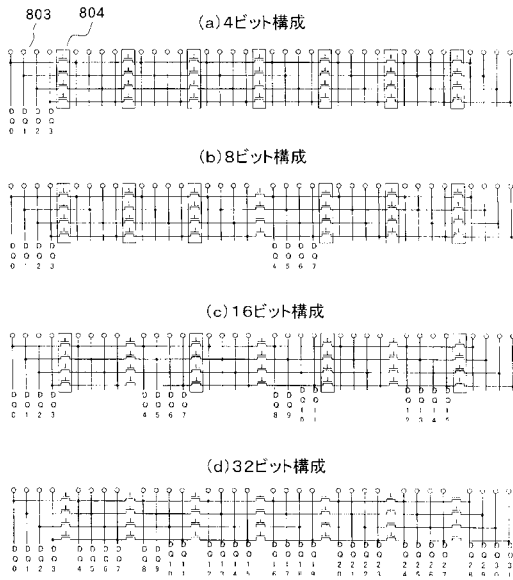
【 図 7 】



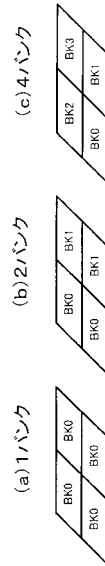
【 図 8 】



【図9】



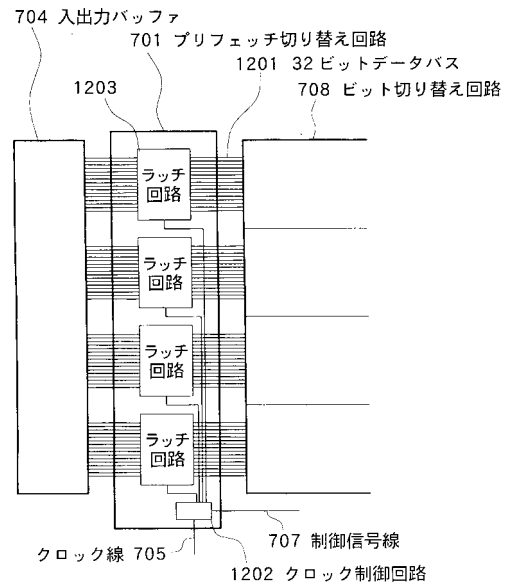
【図10】



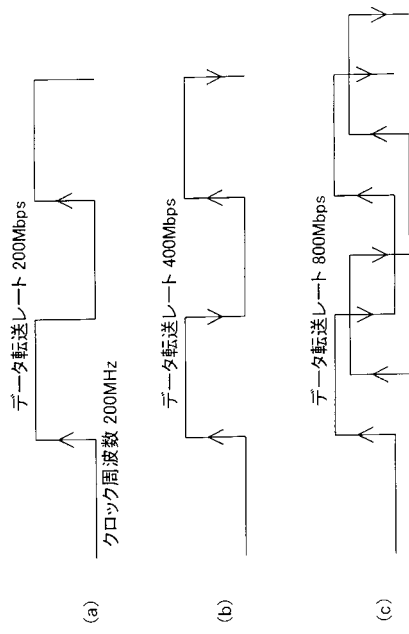
【図11】

	4ビット	8ビット	16ビット	32ビット	64ビット	128ビット	256ビット	512ビット
1/バンク	128M	64M	32M	16M	8M	4M	2M	1M
2/バンク	64M	32M	16M	8M	4M	2M	1M	
4/バンク	32M	16M	8M	4M	2M	1M		

【図12】



【図 13】



フロントページの続き

- (72)発明者 萩原 靖彦
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 深石 宗生
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 水野 正之
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 池田 博明
東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内
- (72)発明者 柴田 佳世子
東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内

審査官 園田 康弘

- (56)参考文献 特開平06-291250(JP,A)
特開平11-213668(JP,A)
特開2003-068972(JP,A)
特開2003-338200(JP,A)
特開2002-025250(JP,A)
特開平02-116084(JP,A)
特開平09-223389(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/401
G11C 11/4096
H01L 27/10