

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2000-269366(P2000-269366A)  
 【公開日】平成12年9月29日(2000.9.29)  
 【出願番号】特願平11-76061  
 【国際特許分類第7版】

H 0 1 L 21/8247

H 0 1 L 29/788

H 0 1 L 29/792

G 1 1 C 16/04

H 0 1 L 27/115

【F I】

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 2 2 E

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成16年11月1日(2004.11.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のNANDセルユニットを有し、各NANDセルユニットは、直列接続された複数のメモリセルからなるNANDセル列と、前記NANDセル列に接続されるセレクトゲートトランジスタとを備えた不揮発性半導体メモリにおいて、前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、ゲート電極を共有する直列接続されたメイントランジスタと少なくとも一つの寄生トランジスタにより等価的に表され、前記メイントランジスタは、前記ゲート電極の中央部に形成され、前記少なくとも一つの寄生トランジスタは、前記ゲート電極のソース側及びドレイン側のエッジ部の少なくとも一方に形成され、前記少なくとも一つの寄生トランジスタの閾値は、前記メイントランジスタの閾値よりも高いことを特徴とする不揮発性半導体メモリ。

【請求項2】

前記少なくとも一つの寄生トランジスタは、前記ゲート電極のソース側及びドレイン側のエッジ部の双方に形成されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】

前記ゲート電極のエッジ部とソース/ドレイン領域の間のスペースからなるオフセット領域が設けられ、前記少なくとも一つの寄生トランジスタは、前記オフセット領域に形成されることを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項4】

前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、前記ゲート電極の側壁部にスペースを有し、前記オフセット領域は、前記スペースの直下に設けられることを特徴とする請求項3記載の不揮発性半導体メモリ。

【請求項5】

前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、前記ゲート電極のエッジ部にバースピーク状の酸化膜を有し、前記オフセット領域は、前記バースピーク

状の酸化膜の直下に設けられることを特徴とする請求項 3 記載の不揮発性半導体メモリ。

【請求項 6】

前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、前記ゲート電極の側壁がオーバーハング形状を有し、前記オフセット領域は、前記ゲート電極の前記オーバーハング形状の部分の直下に設けられることを特徴とする請求項 3 記載の不揮発性半導体メモリ。

【請求項 7】

ワード線に書き込み電位又は転送電位が印加される書き込み動作時、前記複数のメモリセルのうち消去状態のメモリセルは、チャンネルが接地電位のときにオン状態、チャンネルが所定の正電位以上のときにオフ状態であることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 8】

前記書き込み動作時、選択ワード線に接続された書き込みを禁止するメモリセルのチャンネル電位は、前記書き込み電位及び前記転送電位によって昇圧され、かつ、前記チャンネルが前記所定の正電位になった後は前記書き込み電位によって最大値まで昇圧されることを特徴とする請求項 7 記載の不揮発性半導体メモリ。

【請求項 9】

前記書き込み動作時、選択ワード線が最もビット線側にあり、前記選択ワード線に接続された書き込みを禁止するメモリセルのソース線側に隣接するメモリセルが書き込み状態である場合、前記選択ワード線に接続された書き込みを禁止するメモリセルのチャンネル電位は、前記書き込み電位によって最大値まで昇圧されることを特徴とする請求項 7 記載の不揮発性半導体メモリ。

【請求項 10】

前記複数のメモリセルに対しては、前記選択ワード線に接続された書き込みを禁止するメモリセルのチャンネルを、少なくともそのメモリセルのゲート電極とチャンネルの間の容量カップリングにより上昇させる書き込み方式が適用されることを特徴とする請求項 7 又は 8 又は 9 記載の不揮発性半導体メモリ。

【請求項 11】

前記少なくとも一つの寄生トランジスタの基板バイアス効果は、前記メイントランジスタの基板バイアス効果よりも大きいことを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 12】

前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、前記メイントランジスタのみを備えるメモリセル又はセレクトゲートトランジスタに比べて、閾値が高く、かつ、基板バイアス効果が大きくなっていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 13】

前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、所定のチャンネル電位よりも高いチャンネル電位の範囲では、前記所定のチャンネル電位よりも低いチャンネル電位の範囲よりも、基板バイアス効果が大きくなっていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 14】

複数の NAND セルユニットを有し、各 NAND セルユニットは、直列接続された複数のメモリセルからなる NAND セル列と、前記 NAND セル列に接続されるセレクトゲートトランジスタとを備える不揮発性半導体メモリにおいて、前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、所定のチャンネル電位よりも高いチャンネル電位の範囲では、前記所定のチャンネル電位よりも低いチャンネル電位の範囲よりも、基板バイアス効果が大きくなっていることを特徴とする不揮発性半導体メモリ。

【請求項 15】

複数の NAND セルユニットを有し、各 NAND セルユニットは、直列接続された複数

のメモリセルからなるNANDセル列と、前記NANDセル列に接続されるセレクトゲートトランジスタとを備える不揮発性半導体メモリにおいて、前記複数のメモリセルの各々又は前記セレクトゲートトランジスタは、ゲート電極のエッジ部とソース/ドレイン領域の間のスペースからなるオフセット領域を有していることを特徴とする不揮発性半導体メモリ。

【請求項16】

直列接続された複数のメモリセルからなるNANDセル列と、前記NANDセル列の一端とビット線との間に接続される第1セレクトゲートトランジスタと、前記NANDセル列の他端とソース線との間に接続される第2セレクトゲートトランジスタとを具備し、

前記複数のメモリセルの各々は、メイントランジスタと、前記メイントランジスタを挟み込む複数の寄生トランジスタとから構成され、

前記メイントランジスタと前記複数の寄生トランジスタは、ゲート電極を共有し、前記複数の寄生トランジスタの閾値は、前記メイントランジスタの閾値よりも高いことを特徴とする不揮発性半導体メモリ。

【請求項17】

直列接続された複数のメモリセルからなるNANDセル列と、前記NANDセル列の一端とビット線との間に接続される第1セレクトゲートトランジスタと、前記NANDセル列の他端とソース線との間に接続される第2セレクトゲートトランジスタとを具備し、

前記複数のメモリセルの各々は、直列接続されたメイントランジスタと寄生トランジスタとから構成され、

前記メイントランジスタと前記寄生トランジスタは、ゲート電極を共有し、前記寄生トランジスタの閾値は、前記メイントランジスタの閾値よりも高いことを特徴とする不揮発性半導体メモリ。

【請求項18】

直列接続された複数のメモリセルからなるNANDセル列と、前記NANDセル列の一端とビット線との間に接続される第1セレクトゲートトランジスタと、前記NANDセル列の他端とソース線との間に接続される第2セレクトゲートトランジスタとを具備し、

前記第1及び第2セレクトゲートトランジスタの少なくとも1つは、メイントランジスタと、前記メイントランジスタを挟み込む複数の寄生トランジスタとから構成され、

前記メイントランジスタと前記複数の寄生トランジスタは、ゲート電極を共有し、前記複数の寄生トランジスタの閾値は、前記メイントランジスタの閾値よりも高いことを特徴とする不揮発性半導体メモリ。

【請求項19】

直列接続された複数のメモリセルからなるNANDセル列と、前記NANDセル列の一端とビット線との間に接続される第1セレクトゲートトランジスタと、前記NANDセル列の他端とソース線との間に接続される第2セレクトゲートトランジスタとを具備し、

前記第1及び第2セレクトゲートトランジスタの少なくとも1つは、直列接続されたメイントランジスタと寄生トランジスタとから構成され、

前記メイントランジスタと前記寄生トランジスタは、ゲート電極を共有し、前記寄生トランジスタの閾値は、前記メイントランジスタの閾値よりも高いことを特徴とする不揮発性半導体メモリ。

【請求項20】

直列接続された複数のメモリセルからなるNANDセル列と前記NANDセル列の一端又は両端に接続されるセレクトゲートトランジスタとを有する不揮発性半導体メモリの製造方法において、第1導電型の半導体基板上に前記複数のメモリセル及び前記セレクトゲートトランジスタのゲート電極を形成する工程と、前記複数のメモリセル又は前記セレクトゲートトランジスタのゲート電極をマスクにして前記半導体基板中に第1導電型の不純物をイオン注入した後、前記複数のメモリセル又は前記セレクトゲートトランジスタのゲート電極をマスクにして前記半導体基板中に第2導電型の不純物をイオン注入し、前記複数のメモリセル又は前記セレクトゲートトランジスタのソース/ドレイン領域を形成する

工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 2 1】

直列接続された複数のメモリセルからなる NAND セル列と前記 NAND セル列の一端又は両端に接続されるセレクトゲートトランジスタとを有する不揮発性半導体メモリの製造方法において、等方性エッチングにより前記半導体基板の上に側壁がオーバーハング形状の前記複数のメモリセル又は前記セレクトゲートトランジスタのゲート電極を形成する工程と、前記複数のメモリセル又は前記セレクトゲートトランジスタのゲート電極をマスクにして前記半導体基板中に第 2 導電型の不純物をイオン注入し、前記複数のメモリセル又は前記セレクトゲートトランジスタのソース/ドレイン領域を形成すると共に、前記ゲート電極の前記オーバーハング形状の部分に前記ゲート電極のエッジ部と前記ソース/ドレイン領域の間のスペースからなるオフセット領域を形成する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 2 2】

直列接続された複数のメモリセルからなる NAND セル列と前記 NAND セル列の一端又は両端に接続されるセレクトゲートトランジスタとを有する不揮発性半導体メモリの製造方法において、第 1 導電型の半導体基板の上に前記複数のメモリセル及び前記セレクトゲートトランジスタのゲート電極を形成する工程と、前記複数のメモリセル又は前記セレクトゲートトランジスタのゲート電極をマスクにして、前記半導体基板の表面に対して斜め方向から前記半導体基板中に第 2 導電型の不純物をイオン注入し、前記複数のメモリセル又は前記セレクトゲートトランジスタのソース/ドレイン領域を形成すると共に、前記ゲート電極のソース側又はドレイン側のエッジ部と前記ソース/ドレイン領域の間のスペースからなるオフセット領域を形成する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。