

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5855316号
(P5855316)

(45) 発行日 平成28年2月9日 (2016.2.9)

(24) 登録日 平成27年12月18日 (2015.12.18)

(51) Int. Cl.	F I
H O 4 B 5/02 (2006.01)	H O 4 B 5/02
H O 1 Q 9/28 (2006.01)	H O 1 Q 9/28
G O 6 K 19/077 (2006.01)	G O 6 K 19/077 2 8 0
G O 6 K 7/10 (2006.01)	G O 6 K 7/10 2 3 6

請求項の数 20 (全 17 頁)

(21) 出願番号 特願2015-512085 (P2015-512085)	(73) 特許権者 000130581 サトーホールディングス株式会社 東京都目黒区下目黒1丁目7番1号
(86) (22) 出願日 平成25年5月22日 (2013.5.22)	
(65) 公表番号 特表2015-524191 (P2015-524191A)	(72) 発明者 マッツ ヘッドバリュ 東京都港区麻布永坂町1-3
(43) 公表日 平成27年8月20日 (2015.8.20)	(72) 発明者 マルクス フランク スウェーデン王国 ストローヴァラ 4 3 9 6 5 ヤーゲレベゲン 1 1
(86) 国際出願番号 PCT/EP2013/060496	
(87) 国際公開番号 W02013/174861	
(87) 国際公開日 平成25年11月28日 (2013.11.28)	
審査請求日 平成26年11月17日 (2014.11.17)	審査官 前田 典之
(31) 優先権主張番号 12168855.0	
(32) 優先日 平成24年5月22日 (2012.5.22)	
(33) 優先権主張国 欧州特許庁 (EP)	(56) 参考文献 欧州特許出願公開第01755068 (EP, A2)

最終頁に続く

(54) 【発明の名称】 反応型近距離場 R F I D 通信のための適応的カブラ

(57) 【特許請求の範囲】

【請求項 1】

幾何学形状の平面金属トレースへ電磁力を結合するための多層電磁カブラ配列であって、

電磁力が結合される金属トレースの至近に配置される電磁カブラ配列の最表面を形成する最表面層と、

表面が前記最表面層によって覆われている誘電体層と、
交流電磁入力場信号を提供するための入力信号ソース層と、
位相変更素子の各々と隣接素子との間の位置を空間的に変更するために位相補償を行うようなサイズであるとともに互いに配置される前記位相変更素子により構成され、これにより、入力場信号を、最表面にわたって実質的に一定の位相を有する分布した電磁場へ変換する、前記位相変更素子の 1 次元または 2 次元の配列と、を備え、

前記位相変更素子の 1 次元または 2 次元の配列は、前記入力信号ソース層と前記誘電体層との間に設けられ、

前記平面金属トレースは、前記最表面と平行かつ近接して配置され、
前記位相変更素子のサイズは、前記電磁力の結合に用いられる電磁波の有効波長の 2 分の 1 以下である、
多層電磁カブラ配列。

【請求項 2】

前記入力信号ソース層は、ターゲット波長を有する導波入力信号を提供し、前記ターゲ

ット波長は、前記誘電体層の材料の均質な誘電体を伝播する波長であり、

前記位相変更素子の各々のサイズは、前記ターゲット波長の2分の1よりも著しく小さい、請求項1に記載の多層電磁カブラ配列。

【請求項3】

前記最表面層は、開口部および/または微細構造を有する金属材料を備える、請求項1または2に記載の多層電磁カブラ配列。

【請求項4】

前記微細構造および/または開口部間の寸法および距離の特徴サイズは、前記誘電体層における電磁場の導波長よりも実質的に小さい、請求項3に記載の多層電磁カブラ配列。

【請求項5】

前記位相変更素子の1次元または2次元の配列は、伝送線路ネットワークを備える、請求項1～4のいずれかに記載の多層電磁カブラ配列。

【請求項6】

前記伝送線路ネットワークは、複数の伝送線路層を備え、

前記伝送線路層の間、および前記最表面から最も遠く離れた伝送線路層と前記入力信号ソース層との間には、さらなる誘電体層が設けられる、請求項5に記載の多層電磁カブラ配列。

【請求項7】

前記位相変更素子の1次元または2次元の配列は、開口部を有する金属層を備え、前記金属層は、前記誘電体層と前記入力信号ソース層との間に配置される、請求項1～6のいずれかに記載の多層電磁カブラ配列。

【請求項8】

開口部を有する前記金属層と前記入力信号ソース層との間には、さらなる誘電体層が設けられる、請求項7に記載の多層電磁カブラ配列。

【請求項9】

位相変更素子の1次元または2次元の配列に対向する入力信号ソース層側の接地平面層として配置される、さらなる誘電体およびさらなる金属層を備え、したがって、接地平面層は、最表面層に対向する側に、多層電磁カブラ配列全体の最下層を形成する、請求項1～8のいずれかに記載の多層電磁カブラ配列。

【請求項10】

入力信号ソース層は、ストリップ伝送線路を備える、請求項1～9のいずれかに記載の多層電磁カブラ配列。

【請求項11】

入力信号は、50 の同軸ケーブルシステムによって提供される標準導波入力信号である、請求項1～10のいずれかに記載の多層電磁カブラ配列。

【請求項12】

前記位相変更素子の各々は、

既定の電気長を有する伝送線路セグメントと共に位相補償素子を形成し、かつ、

既定の電気長の伝送線路セグメントに対する位相補償を達成するための、集中または分布成分のネットワークを含む、請求項1～11のいずれかに記載の多層電磁カブラ配列。

【請求項13】

前記素子は、誘導成分および少なくとも1つの容量成分を備える、請求項12に記載の多層電磁カブラ配列。

【請求項14】

位相変更素子の誘導成分は、誘導ループとして分布形態で実現され、前記ループは、3層のプリント回路基板の片側に配置され、伝送線路セグメントは反対側に配置され、プリント回路基板の中間層は、接地平面として機能する、請求項13に記載の多層電磁カブラ配列。

【請求項15】

位相変更素子の誘導成分は、誘導ループとして分布形態で実現され、前記平面金属トレ

10

20

30

40

50

ースは、ＲＦＩＤインレイの一部であり、前記誘導ループは、前記ＲＦＩＤインレイに向けた反応型近距離場結合のための使用に適している、請求項１３または１４に記載の多層電磁カプラ配列。

【請求項１６】

前記平面金属トレースは、ＲＦＩＤインレイの一部であり、前記伝送線路セグメントは、前記ＲＦＩＤインレイに向けた反応型近距離場結合のための使用に適している、請求項１２～１４に記載の多層電磁カプラ配列。

【請求項１７】

前記平面金属トレースは、ＲＦＩＤインレイの一部であり、多層電磁カプラ配列は、電磁力を前記ＲＦＩＤインレイへ結合することで、前記ＲＦＩＤインレイを符号化することに適している、請求項１～１６に記載の多層電磁カプラ配列。

10

【請求項１８】

プリンタでの使用に適しており、符号化されるＲＦＩＤインレイは、媒体経路に沿ってプリンタ内に案内される媒体上に配置され、

多層電磁カプラ配列の形状は、最表面の全位置において、最表面とプリンタの媒体経路との間の一定の距離に達するように柔軟に適応され得る、請求項１５～１７のいずれかに記載の多層電磁カプラ配列。

【請求項１９】

請求項１５～１８のいずれかに記載の多層電磁カプラ配列を備える、ＲＦＩＤプリンタ／エンコーダ。

20

【請求項２０】

符号化情報をＲＦＩＤインレイへ転送するための電磁結合は、反応型近距離場で起こる、請求項１９に記載のＲＦＩＤプリンタ／エンコーダ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、電磁結合技術に関する。具体的には、本発明は、ＲＦＩＤインレイの符号化またはその他の近距離場符号化用途のためのプリンタでの使用に適した電磁カプラ配列に関する。

【背景技術】

30

【０００２】

無線周波数識別（ＲＦＩＤ）は、（ＲＦＩＤタグまたはＲＦＩＤインレイとして公知の）電子タグからデータを転送するために電波を使用する技術である。情報は、電子的にタグに保存される。情報の読み出しのために、ＲＦＩＤリーダは、タグを問い合わせるために符号化された無線信号を送信する。したがって、ＲＦＩＤタグはアンテナを含む。同じアンテナはまた、電磁結合によるＲＦＩＤタグの符号化に使用される。最も単純なケースでは、アンテナは電磁エネルギーが結合され得る平面金属トレースで表される。

【０００３】

アンテナを含むＲＦＩＤ装置は、通常、インレイと呼ばれる。特に、インレイは、トランスポンダに接続している柔軟な基板上で支持される柔軟な金属アンテナフィルムを含む、ＲＦＩＤ装置である。トランスポンダは、インレイに送信され、アンテナで受信される信号を解読し、また、信号をアンテナへ送信するための集積回路であり、該信号は、その後アンテナによって送信される。インレイアンテナは、一定のターゲット周波数で質問器と呼ばれることがあるトランシーバと通信するように同調（つまりサイズ調整）されてもよい。質問器は、一般的に、ＲＦＩＤインレイとの通信用のアンテナを含む。インレイは、能動的または受動的であってもよい。能動インレイは、バッテリーなどの自身の電源を含む一方で、受動インレイは、質問器などの外部ソースから電源を受ける。

40

【０００４】

近年、印刷装置は、印刷処理の間に、１枚の紙などの媒体上でＲＦＩＤインレイの変位を可能にし、同時に、所望の情報を有するＲＦＩＤの符号化を可能にすることで知られて

50

きた。符号化は、電磁結合によって行われ、好ましくは、反応型近距離場で行われる。このために、プリンタのキャビティに嵌合する電磁カプラ配列を有するRFIDプリンタ/エンコーダが設けられ、これにより、符号化情報を有する電磁力が、媒体内に位置するRFIDインレイに結合される一方で、媒体は媒体経路に沿ってプリンタ/エンコーダ内へ案内される。

【0005】

従来、原則としてプリンタキャビティに嵌合するのに適したRFIDタグ（インレイ）を反応型近距離場で符号化するために、2つのタイプの技術が使用されている。

【0006】

静電カプラ設計は、PCB（プリント回路基板）上の伝送線路回路などの硬質の電気RF（無線周波数）回路を使用している。回路は硬質であり、かつインレイの幾何学形状は一般的にフォームファクタの変動性が非常に高いため、カプラとインレイとの間のRF結合の挙動もまた、高い変動性を有するであろう。したがって、各インレイ型RFに対して、ウィンドウプロファイルを一意に識別することができる。このタイプのカプラの例示的な実施形態は、米国特許出願公開第2011/0090054号明細書に記述されている。この明細書に記載のカプラ配列は、ターゲット波長を有する入力信号を第1信号および第2信号に分割し、第2信号を反転させる（つまり、半波長伝送線路によって第2信号を180°だけ移相する）。第1および第2信号は、カプラ配列の2つの異なる導電性パッチに与えられる。

【0007】

あるいは、（セミアダプティブカプラとも呼ばれる）外部制御を伴う適応的カプラ設計は、公知技術である。この技術では、カプラ構造は配列などの複数の「結合セル」に分割される。各セルは、いくつかの外部回路およびソフトウェアによって個別に制御される。これは、最適結合を達成するべく、特定のインレイのフォームファクタに対するセルのみが起動される場合に、その幾何学形状にかかわらずインレイのタイプ毎に適合化が行われることを意味している。理想的なケースでは、どのセルを起動させるかの事前知識を有することで、インレイのフォームファクタにかかわらず最適結合を達成することができる。どのセルを起動する必要があるかについてのこの情報を得るために、インレイのプロファイルの知識が必要となる。したがって、未知のインレイの幾何学形状のスキャン処理が必要である。スキャンングによって得られた情報は、各インレイのタイプを1回だけスキャンすれば良いようにメモリに保存される。それにもかかわらず、新規インレイのタイプ毎に処理を繰り返さなくてはならない。したがって、前記タイプの適応的カプラは独立型コンポーネントとして動作不可能であるが、起動されるセルの外部制御に必要なスキャン処理のために、必須アルゴリズムを含むソフトウェアソリューションを伴わなくてはならず、全プリンタシステムに影響を与える可能性がある。このタイプのカプラの例は、米国特許第7,348,885号明細書および米国特許出願第2010/0285746号明細書に記述されている。

【0008】

上述から分かるように、上述の従来のカプラのタイプのいずれも、実際の符号化が行われる前に、特定の符号化されるインレイに結合配列を適用するべく校正が必要であるという欠点を有している。（静電カプラでは）最適結合のためのインレイの配置を知るか、あるいは、（外部制御を伴う適応的カプラでは）インレイのプロファイル構成を取得し保存しなくてはならない。

【0009】

静電カプラの場合、各インレイのタイプは独自の必要な配置を有しており、固定されたカプラを変更することができない。したがって、記載の静電設計は、所望の位置に達することができないような特定の用途に適していない。また、幾何学的関係のために、結合性能が符号化を管理するには弱すぎるというケースも起こり得る。

【0010】

外部制御される適応的カプラの場合、インレイのプロファイルを知るために機能的なス

10

20

30

40

50

キャニングが必要とされる。さらに、結合セル配列の解像度が十分に小さくない場合、符号化できないインレイのタイプは依然として存在することがあり、今後の任意のインレイのタイプに必要な解像度を判断することが困難である。任意のインレイのタイプのためにセル配列が如何に必要とされるかについての情報なしで、リアルタイムの「空き状態」で適応的カブラを使用することはできない。さらに、属するシステムから分離独立した独立型コンポーネントとして提供することはできないが、ソフトウェアと、さらには周辺のハードウェアと統合されなくてはならない。また、解像度は、全てのインレイのタイプを管理するには依然として粗すぎる可能性がある。

【先行技術文献】

【特許文献】

10

【0011】

【特許文献1】米国特許出願公開第2011/0090054号明細書

【特許文献2】米国特許第7,348,885号明細書

【特許文献3】米国特許出願第2010/0285746号明細書

【発明の概要】

【0012】

本発明は、改善された電磁カブラ配列を提供することを目的とし、該電磁カブラ配列は、上述の欠点を解消し、かつ校正または外部制御を要することなく、電磁力を任意の形状のインレイに有効に結合することに適している。

【0013】

20

これは、請求項1の特徴によって達成される。

【0014】

本発明の第1態様によれば、任意の幾何学形状の平面金属トレースへ電磁力を結合するための多層電磁カブラ配列が提供される。電磁カブラ配列は、電磁力が結合される金属トレースの至近に配置される電磁カブラ配列の最表面を形成する最表面層を備える。さらに、該配列は、AC（交流）電磁入力場信号を提供するための入力信号ソース層として、表面が最表面層によって覆われている誘電体層を備える。多層電磁カブラ配列はさらに、それぞれの位相変更素子と当該それぞれの位相変更素子と隣接する位相変更素子との間の空間的な位置の変更に起因する位相補償のために、大きさと相互配置とが決定された位相変換素子からなり、それによって、入力場信号を、最表面にわたって実質的に一定の位相を有する分布した電磁場へ変換する、位相変更素子の一次元または二次元の配列から成る。位相変更素子の1次元または2次元の配列は、入力信号ソース層と誘電体層との間に設けられる。

30

【0015】

本発明の特定のアプローチは、適用または特に事前の制御を要することなく、任意の形状を有するRFIDインレイのアンテナなどの平面金属トレースへの、電磁力の結合に柔軟に適用可能な、電磁カブラ配列を提供することである。したがって、本発明に係るカブラ配列は、位相変更素子（PAE）の配列を備え、該配列は、結合される金属トレースの近傍に位置する配列の最表面にわたって、一定の位相を提供するように配置される。本発明のカブラ配列は、媒体経路に沿って案内されるRFIDインレイを印刷し、かつ符号化する印刷/符号化装置に特に適しており、ここで、最表面層は媒体経路の近傍に配置される。本発明は、電磁カブラを含むプリンタ/エンコーダをさらに提供する。

40

【0016】

好ましくは、入力信号ソース層は、ターゲット波長を有する導波入力信号を提供するように配置され、該ターゲット波長は、誘電体層タイプの均質な誘電体材料における信号を伝播する波長である。位相変更素子の各々のサイズはターゲット波長の2分の1よりも著しく小さい。これにより、最表面をわたる実質的に一定の位相は、従来技術の静電カブラから公知の、位相反転の概念を実際に拡張する態様で達成され得る。

【0017】

好ましい一実施形態によれば、最表面層は、開口部および/または微細構造を有する金

50

属材料を備える。より好ましくは、微細構造および／または開口部間の寸法および距離の特徴サイズは、誘電体層における電磁場の導波長よりも実質的に小さい。これにより、微細な電磁氣的挙動の所望の効果をもたらすことができる。

【0018】

好ましい一実施形態によれば、位相変更素子の1次元または2次元の配列は、伝送線路ネットワーク（TRL層）を備える。伝送線路ネットワークを構成することで、より良好な分布場が、インレイと最表面との間の電磁結合のソースとして機能する。

【0019】

より好ましくは、伝送線路ネットワークは、複数の伝送線路ネットワーク層（TRL層）を備える。さらに、一方にある伝送線路層の間、および入力信号ソース層と至近の伝送線路層との間に、誘電体層が設けられる。TRL構造を設計し、適切なTRLおよび誘電体材料を選択することで、インレイの幾何学形状にかかわらず、最適な結合を達成することができる。

【0020】

他の好ましい実施形態によれば、位相変更素子の1次元または2次元の配列は、開口部を有する金属層を備える。金属層は、最表面層に続く誘電体層と、入力信号ソース層との間に配置される。さらに好ましい実施形態によれば、位相変更素子の配列は、伝送線路ネットワークおよび開口部を有する金属層の両方を備えてもよい。さらに好ましくは、入力信号ソース層と開口部を有する金属層との間には、さらなる誘電体層が設けられる。

【0021】

また、好ましくは、最表面層に対向する層構造側に、さらなる誘電体およびさらなる金属層を含む接地平面層が、入力信号ソース層の位相変更素子側に対向するように設けられる。このような最下層は、微細レベルで最表面にわたって分布した一定の位相場を有する所望の場分布の作成効率を向上させる。

【0022】

好ましくは、入力信号ソース層は、ストリップ伝送線路を備える。また、好ましくは、入力信号は、50 の同軸ケーブルシステムによって提供される標準導波入力信号である。

【0023】

好ましくは、位相変更素子の各々は、カプラ配列に含まれる、既定の電気長の個別の伝送線路セグメント（TRLセグメント）に対して位相補償を達成するための集中または分布成分のネットワークを含む。これによって、伝送線路セグメントおよび位相変更素子は、位相補償素子を共に構成する。したがって、位相補償素子は、既定の電気長および、前記TRLセグメントの電気長の位相補償を達成するための、集中または分布成分のネットワークを有するTRLセグメントを備える。

【0024】

より好ましくは、該素子は、誘導成分および少なくとも1つの容量成分を備え、さらに、より好ましくは、2つの容量成分と誘導成分とが存在する。さらに好ましくは、誘導成分は、誘導ループとして分布形態で実現される。これらの構造は、好ましくは、3層のプリント回路基板（PCB）の形態で実現される。この場合、3層のうちの間層は、接地平面として機能する。誘導成分のためのループは、中間（中央）層、片側に配置される。伝送線路セグメントは、中間層つまり、3つの層構造の下層または上層の反対側にそれぞれ配置される。3層PCB構造において、接地平面のエリアは、PCBエリア全体よりも小さくてもよい。

【0025】

好ましくは、平面金属トレースは、（RFIDインレイにアンテナ部分を形成する）RFIDインレイの一部であり、RFIDインレイは、電磁力のRFIDインレイへの結合によって符号化される。結合、特にRFIDインレイに向けた反応型近距離場の結合は、位相変更素子と共に位相補償素子を形成する伝送線路セグメントによって達成され得る。あるいは、位相変更素子の一部を形成する分布した誘導ループを、RFIDインレイに向

10

20

30

40

50

けた反応型近距離場の結合に使用することができる。

【0026】

より好ましくは、カブラ配列はプリンタに使用され、ここで、符号化されるRFIDインレイは、媒体経路に沿ってプリンタ内に案内される媒体上に配置される。多層電磁カブラ配列の形状は、好ましくは、最表面の全位置において、最表面とプリンタの媒体経路との間の一定の距離に達するように柔軟に適應され得る。

【0027】

本発明の特定の態様によれば、RFIDプリンタ/エンコーダは、第1態様に従う多層電磁カブラ配列を備える。好ましくは、符号化情報をRFIDインレイへ転送するための電磁結合は、反応型近距離場で起こる。これにより、多層電磁カブラ配列を、媒体経路に近接してプリンタキャビティに容易に嵌合することができる。

10

【0028】

本発明のさらなる特徴および利点については、従属請求項において述べる。

【0029】

本発明の追加的特徴および利点は、以下の、特に添付の図面に図示した説明から明らかになるであろう。

【図面の簡単な説明】

【0030】

【図1】本発明による単位セルレベルでの相互作用によって、多層カブラ配列とインレイの間の電磁結合を容易にする全体構造の図である。

20

【図2】(A)は、本発明の一実施形態に係る、符号化されるインレイと共に多層電磁カブラ配列を形成する様々な層の図である。(B)は、層構造のシーケンスを図示した側面図である。

【図3】本発明の一実施形態に係る使用される位相補償素子の一般的な回路図である。

【図4】本発明の一実施形態に係る電磁カブラ配列において使用される誘導ループカブラ部を含む、位相補償素子を実現するための一実施例の図である。

【図5】図4に図示されたような誘導ループカブラおよび従来の静電カブラの結合ゲインの、シミュレーション比較のグラフ表示である。

【発明を実施するための形態】

【0031】

30

本発明は、外部制御を伴う上述の静電カブラおよびセミアダプティブカブラの様々な概念を拡張し、さらに発展させる。一方、本発明は、配列を形成する複数の結合セル、いわゆる「単位セル」に分割されるカブラ構造を使用する。一方、各セルの個別の外部制御の必要性は、特別に設計された微細構造を採用することで回避される。本発明は、位相反転を伴う従来の静電カブラと同様の移相の概念を採用しているが、(少なくともターゲット波長の2分の1未満の)小規模構造に適用され、これにより、単位セル間で起こり、かつ最表面にわたって実質的に一定の位相を提供する移相を補償する。したがって、本発明によれば、電磁結合は単位セルレベル上の相互作用によって起こるが、それにもかかわらず、専用のソフトウェアおよび/またはハードウェアによる外部制御を必要とせずに、任意の形状のインレイ構造を符号化することができる。

40

【0032】

上記に要約した原理の一般的な図を、図1に示す。図1は、RFIDインレイなどの平面金属トレース1の最表面図を示しており、平面金属トレース1は、微細構造表面(最表面)2と平行かつ近接して配置される。最表面2の全域は、平面金属トレース1のエリアよりも大きいため、最表面2は非活性領域および活性領域から構成される。微細構造表面2の全域部分に対応する活性領域では、電磁結合の瞬間に平面金属トレースが配置される。活性および非活性領域の区別は、隣接する環境におけるインレイの単独の符号化を行うことができるように、表面の特定のサブ領域が起動または休止され得ることによる本発明の随意的特徴に影響を及ぼす。これは、外部静的信号によって、あるいは自動調整の態様で実現することができる。

50

【 0 0 3 3 】

結合は、単位セル 1 0 の小エリア領域における相互電磁作用によって行われる。単一の単位セル 1 0 は、図示の目的で図 1 に強調表示されている。

【 0 0 3 4 】

最表面 2 は、面法線に沿って媒体経路からある程度距離を置いた（その結果、媒体経路に沿って案内されるインレイから離れた）、符号化されるインレイの媒体経路に適合する適切な材料および／または微細構造で作製される。所望の柔軟性および結合効率のために、全カブラ構造は機械的に柔軟である。該カブラ構造は、媒体経路が湾曲している場合、最表面もまた湾曲し、かつ、最表面 2 の全ての位置において媒体経路に対する一定の距離が維持される態様で配置される。一般的にこの距離は、機械公差が許容する任意の距離であってよく、例示的な値は、サイズが 1 m m ~ 3 m m（ミリメートル）オーダーである。

10

【 0 0 3 5 】

本明細書に記載の最表面 2 の微細構造のサイズのオーダー（および、同時に、結合用単位セルのサイズを定義する、本明細書で以降に記載する下層の構造素子のサイズのオーダー）は、最表面 2 の下に位置する構造内部の電磁場の導波長（E M 場）によって与えられる。例えば、最表面に隣接する層が誘電率 $\epsilon_r = 4.7$ を有する誘電体材料 F R 4 の均質な媒体であった場合、微細構造の構造サイズは 9 0 0 M H z（メガヘルツ）で 7 7 m m 未満となり、半波長である。前記構造サイズは、位相でのゼロ交差を防ぐ。

【 0 0 3 6 】

しかし、実際、本発明の実施形態では、媒体の構造は最表面を含む複数の平行層で構成される。一般的に様々な材料で構成される層、および各層の境界は、開口部を有するある程度薄い金属表面であってよい。さらに、構造は、媒体経路方向およびその交差方向の両方のサイズが限られている。E M 伝播がこのような構造で支援される場合、同等の有効な誘電率 ϵ_{eff} が存在し、これは、実際の幾何学形状および具体的な誘電特性の知識でのみ特定することができる。微細構造のサイズ（単位セルのサイズ）は、有効波長の 2 分の 1 である $c / (2 f \sqrt{\epsilon_{eff}})$ を越えてはならず、ここで、 c は、真空中の光の速度であり、 f は周波数である。したがって、好ましくは、微細構造のサイズは、多層構造で採用される誘電体材料の均質な構造において、電磁場の半波長よりもはるかに小さいと判断される。

20

30

【 0 0 3 7 】

これと比較して、符号化されるインレイの一般的なサイズパラメータは、1 0 0 m m または 4 インチである。

【 0 0 3 8 】

波長と比較される小構造は、有効な微細電磁氣的挙動を引き起こすために使用される。単位セルの幾何学形状は、全周期構造の所望の微細な電磁氣的挙動を達成するように設計される。例えば、最表面層の構造は、波長と比較して小さい特定の 2 次元パターンの単位セルを周期的に配置することで実現され得る。あるいは、最表面の材料はまた、銅などの単一の材料であってよい。そこで、電磁特性は、この材料の構造によって付与される。また、最表面 2 は、部分的に単一の均質な薄板および隣接する周期構造で構成されることが可能であり、これにより、表面全体に周期構造および均質な部分を備える。

40

【 0 0 3 9 】

単位セルのパターン構造（位相変更素子）が 2 次元配列の形成に限り一般的に説明されてきたが、1 次元配列構造を採用する可能性は、同様に本発明の枠組み内にある。結合エリアの空間的拡張がかなり制限されるような、ラベルおよびタグ用プリンタなどのプリンタにおいて、R F I D 符号化のために本発明に係るカブラを採用する場合に、1 次元の実現は特に重要である。

【 0 0 4 0 】

最表面層 2 は、セラミック、テフロン（登録商標）、F R 4 などの誘電体材料の基板層の一方の位相に隣接している。また、前記基板のように、多層の誘電体材料が可能である

50

。前記層は、最表面 2 にわたって一定の位相を有する分布した電磁場を含む。したがって、この基板は、電界層として表される。本発明に係る構造の重要部分は、最表面層 2 に対向して基板の他方の表面に設けられる、位相変更素子の 1 次元または 2 次元の配列を備える層である。前記層の構造は、電界層に含まれる一定の位相 E M 場を生成するための基礎を形成し、米国特許出願第 2 0 1 1 / 0 0 9 0 0 5 4 号明細書で公知の従来技術の、位相反転の構想をさらに発展させる。

【 0 0 4 1 】

前記従来技術では、伝送線路回路は、各々が 2 分の 1 の分割信号の電力で供給される 2 つの 4 分の 1 波長マイクロストリップ線路で構成されており、一方は他方に対して 1 8 0 度移相され、結果的に電流は毎時刻に一方向に流れる。線路は、1 つの線路方向において強力な結合が達成されるような方向を向く。信号の移相型を有する導波長の 2 分の 1 よりも短い線路を、位相変更素子とみなすことができる。本発明によれば、共同譲渡された米国特許出願第 2 0 1 1 / 0 0 9 0 0 5 4 号明細書で知られる位相変更素子の発想は、以下のように拡張される。まず、各単一の素子のサイズは、上述の単位セルのサイズまで縮小され、結果的に、各素子はより小さい量だけ位相を変更する。次に、サイズ縮小の結果としてより高い空間的自由度を採用することで、層エリアにわたって位相変更素子の 1 次元または 2 次元の配列の分布が作成され、これにより、（位相変更素子を 2 つしか有さない）従来技術と比較して、素子の数を大幅に増加させる。各素子から隣接する素子までの、空間的位置変更のための位相補償は位相を一定に保ちながら起こるため、前記配列は、一定の位相場をもたらす。記載の構成のため、単位セルは互いに独立している。インレイが存在する場合、全ての単位セルの寄与の和は、所望の微細挙動をもたらす。そこで、微細構造およびインレイは、エネルギー転送システムを共に形成する。

【 0 0 4 2 】

時間的に交番する磁場が、金属物体上の電流を誘導する（電磁誘導の原理）ことは公知である。したがって、電界層の E M 場が最表面を貫通するような特性を最表面が有する場合、最表面の上部、至近かつ平行に位置する金属トレースは、このような誘導を経験する。位相は最表面内の任意の方向に沿って一定であるので、依然として平行かつ最表面の寸法内である限り、金属トレースを任意に配向してもよい。さらに、小素子の空間的解像度が十分に高い結果、金属トレースは実質的に任意の形状を有することができる。

【 0 0 4 3 】

位相変更素子の配列は様々な方法で実現され得る。2 つの特定の実施形態を一例として以下に説明する。当業者は、特定の例示的な実施形態に記載の素子について、複数の可能な変形および組み合わせを知っている。

【 0 0 4 4 】

第 1 実施形態はいわゆるストリップ線路技術に対応しており、ここで、伝送線路層を形成する金属ストリップ線路は、2 つの金属接地平面層に挟まれている。ストリップ線路および接地平面層は、誘電体基板層によって互いに隔離されている。

【 0 0 4 5 】

例えば、誘電体基板（電界層）の反対方向の表面は、開口部を有する接地層（接地板）である。以降の順序で、セラミック、テフロン（登録商標）、FR 4 などの適切な材料の追加の層または多層基板が設けられる。追加の基板の底側は、ストリップ線路技術における伝送線路ネットワークを構成する。追加の層または多層基板には、構造全体の最下層として金属接地平面が追加される。

【 0 0 4 6 】

第 2 実施形態は、いわゆるマイクロストリップ技術に対応する。マイクロストリップ技術では、接地平面が伝送線路層の片側のみに設けられている。電界層はまた、伝送線路ネットワークのための接地平面として機能する。

【 0 0 4 7 】

第 2 実施形態の一実施例では、最表面 2 および伝送線路ネットワークのための基板は同一である。追加の層または多層基板には、構造全体の最下層として接地平面が追加される

。

【 0 0 4 8 】

いずれの場合も、伝送線路ネットワークの構造は、電界層に含まれる一定の位相 E M 場の生成のための基本である。

【 0 0 4 9 】

本発明に係る多層電磁カブラの動作を以下に簡単に説明する。上述の通り、最表面層の任意の位置において、媒体経路までの距離、つまり、符号化されるインレイの案内される金属トレースまでの距離は一定に保たれる。幾何学形状にかかわらずインレイが表面の領域内に存在する場合、反応型近距離場結合モードがインレイと最表面との間に形成され、これにより、位相変更素子の 1 次元または 2 次元のエリアを有する T R L 層に供給される信号内のエネルギーの一部が、インレイのトランスポンダに転送される。これは、インレイ自身が結合の基本要素として機能するので、インレイの存在に先行して結合モードは存在しないことを意味する。結合の原理はインレイの幾何学形状とは独立している。というのも、インレイと最表面との間の相互作用は、微細構造レベルにあり、表面自身の材料および構造によって判断される、つまり、むしろ単位セルの表面エリアによって、ひいてはインレイ全体を考慮することによって発揮されるためである。しかし、カブラ構造の特定の幾何学配列は、結合に多大な影響を及ぼすことがある。

【 0 0 5 0 】

図 2 を参照して、本発明に係る多層電磁カブラ配列の層構造をさらに詳述する。図 2 の (A) は、(本発明に係る電磁カブラ構造の一部を形成しない) インレイを含む層、および本発明の特定の実施形態に従う電磁カブラ配列の複数の層のシーケンスを一例として示している。最上段は (図 1 にも示された) R F I D インレイなどの金属トレース 1 の平面を示している。図 2 の (A) の 2 番目および 3 番目の段は、最表面から参照番号が増加する順で続く、本発明の例示的な実施形態の層を示している。シーケンスは、インレイ 1 に隣接して配置される最表面層 2 から開始する。層 2 の最表面を通して、静磁場はインレイ 1 に結合され、これにより、板の 1 つであるインレイを有する平行平板コンデンサのフォームが有効に作成される。図 2 の (A) の層 2 ~ 層 7 の間には、上述の通り適切な材料の誘電体基板が配置される。これら中間誘電体基板は図示されていない。次に、以下の図 2 の (A) の層 3 および層 4 は、伝送線路ネットワークを形成する伝送線路層 (T R L) である。本発明の例示的な図において、ストリップの様々な空間的配向を有する 2 つのストリップ伝送線路層が示されているにもかかわらず、本発明はこのような状況に限定されるものではない。伝送線路ネットワークは、単一または複数の伝送線路層によって形成されてもよい。伝送線路層 3 および 4 は、表面エリア全体にわたって最小位相差を有する分布場を作成することを目的としている。層 3 および層 4 上のストリップは、分布場を作成するように全て一体的に構成された方法に従って、共振してもよく、および / または異なる長さの終端および位相変更要素であってもよい。これは、個別集中素子の追加が可能な、様々な幾何学形状を有する平面伝送線路セグメントの分布ネットワークによって達成される。(少なくともターゲット半波長よりも小さい) 十分に小さい成分を実行することで、十分に高い解像度が達成され、表面にわたって、分布した一定の位相場が微細レベルで有効に達成される。続く層 5 は、開口部を有する接地平面層を形成する。接地平面層 5 の開口部はまた、位相変更素子の 2 次元配列を形成するように配列に配置されてもよい。次に、接地平面層 5 と追加の接地平面層 7 との間に設けられるストリップ伝送線路層 6 を説明する。ストリップ伝送線路層 6 は、入力信号ソース層として役立ち、5 0 の標準的な同軸ケーブルシステムを含むマイクロストリップまたはストリップ線路技術で結合することで実現されてもよい。一方の層 5 が、電磁 R F (無線周波数) エネルギーの T R L 層 3 および 4 に向けた結合に役立つ開口部を有するような、2 つの接地平面層 5 および 7 の間の入力信号ソース層 6 の図示の配置は、ストリップ線路技術に対応している。

【 0 0 5 1 】

T R L 層は、インレイと最表面との間の電磁伝播のためのソースとして機能する、より良好な分布場を作成するように構成される。さらに、単位セルレベルで、最上層は、イン

レイが存在する場合に相互作用がＴＲＬ層とインレイとの間に微視的な意味でのエネルギー転送をもたらすように構成される。トランスポンダの感度は非常に高いので、ＴＲＬ層を、信号ソースに向けた良好な入力インピーダンス整合が保証されるように構成することができる。換言すれば、高感度のインレイトランスポンダを、インレイの幾何学形状にかかわらず良好な入力整合を有するＴＲＬ層を作成するために使用することができ、これにより、インレイとＴＲＬ層との間の結合は、インレイの形状およびサイズとは無関係となる。単位セルレベルでの結合用に設計された微細構造によって、効率的な結合は保証される。

【 0 0 5 2 】

図２の（Ｂ）は、層構造の側面図を示している。図面から分かるように、図１に従って、インレイ１は、電磁カプラ構造の層の全エリアを覆っていない。上述の通り、適切な型の基板材料（図示せず）は、構造の全ての層２～７の間に存在する。

【 0 0 5 3 】

なお、さらに、上述の層のシーケンスは単なる一例として示されている。特定の層のさらなる実施形態は変更または省略されてもよく、あるいは、追加の層が設けられてもよい。例えば、２つの伝送線路層３および４に代えて、単一の伝送線路層を設けてもよい。上述の「実施形態１」に対応するさらなる実施例は、個別の誘電体基板層（図示せず）を有する層２、５、６および７のみを備える電磁カプラ配列に対応し、層５では、開口部状の位相変更素子の２次元の配列が提供される。

【 0 0 5 4 】

以降、図３～５を参照して、本発明の一実施形態に係る電磁カプラ配列、特に、ＲＦＩＤ反応型近距離場カプラで採用される特定の位相変更素子の実現について説明する。簡略化のために、以下の説明は概して１次元配列について行う。上述したにもかかわらず、１次元配列は実用的な関連性があり、特に、限られた空間のみが利用できる用途に対して２次元のケースへの拡張が適用可能である。

【 0 0 5 5 】

この実施形態では、位相変更素子および隣接する伝送線路セグメント（ＴＲＬセグメント）は、共に位相補償素子を形成する。例示的な位相補償素子の一般的な回路図は、図３に示されている。

【 0 0 5 6 】

図３の左手側には、伝送線路セグメント（ＴＲＬセグメント）が示されている。ＴＲＬセグメントの電気長に対応する特性値 Z_c および θ_0 は、ＴＲＬセグメントの特徴である。 Z_c は、ＴＲＬセグメントの特性インピーダンスであり、 θ_0 は、与えられた電気信号の中心周波数に対応する位相角度の変化である。

【 0 0 5 7 】

図３の右手側には、インダクタ L を伴う２つのコンデンサ C_1 および C_2 の配列が概略的に示されている。成分値が数１に従って選択された場合、図３に示す回路を数学的に示すことができる。

【 0 0 5 8 】

【 数 １ 】

$$L = \frac{Z_c}{\omega_0 \sin \theta_0}, \quad C_1 = C_2 = \frac{\sin \theta_0}{\omega_0 Z_c (1 - \cos \theta_0)} \quad \dots(1)$$

【 0 0 5 9 】

位相補償および入力整合は、同時に達成され得る。位相補償とは、図３の右手側のＬＣ回路が、図３の左手側のＴＲＬセグメントの電気長を鑑みて、位相変更のための位相補償を行うことを意味する。したがって、一般的に言えば、ＴＲＬセグメントは、２つの隣接

10

20

30

40

50

する位相変更素子の間の空間的位置の差（位置の空間的変更）に対応し、図3の右手側のLC回路は、空間的変更のための位相補償を行う位相変更素子に対応している。

【0060】

入力整合とは、カプラ構造において、HF（高周波数）入力信号の高度の反射を回避することを意味しており、これにより、入力エネルギーの大部分を通すことができるような良好な結合効率を達成することができる。

【0061】

上述の数1の式では、およびはそれぞれ、TRLセグメントおよび周波数の位相角度であり、その下付き文字0は、与えられた電気信号の中心周波数および対応する位相角度を示している。所与の表示は非常に一般的であり、RFIDインレイに向けた反応型近距離場結合に使用される、任意の結合構造に相当する1次元とすることができる。以上を鑑みて、図3は、TRLセグメントおよび位相変更素子を備えた位相補償素子を示していると言える。

【0062】

本発明に係る電磁カプラ配列は、図3に示すような複数の回路部を含む。原則として、図3に示すどの成分も結合成分として使用できる。好ましくは、TRLセグメント（ Z_c および Y_c ）または誘導成分Lのいずれかが結合成分として使用される。TRLセグメントが結合素子である場合、Lおよび C_1 、 C_2 は、位相補償にのみ使用される離散または分布成分であってもよい。短いセグメント近似値が有効な短いセグメントの場合、 C_2 は無視される。 C_2 は長いセグメントにとってより重要になる（つまり、短いセグメント近似値がもはや有効ではないが、 $\pi/2$ の移相に応じて依然として短い）。

【0063】

あるいは、誘導成分Lは、結合素子として使用される。好ましい一実施形態によれば、誘導成分Lは、ループとしての分布形態で実現される。また、位相補償はLを通る電流に対して有効であり、したがって、ループは、RFIDインレイに向けた磁気反応型近距離場結合に適している。

【0064】

図4は、誘導成分Lがループとしての分布形態で実現され、結合のために採用される、構造の可能な実現化を示している。

【0065】

図4の左手側は、座標系のy軸に平行な矢印で示された動きの方向を伴うインレイ48と、4つの位相補償素子PCを有する1次元配列構造とを示している。

【0066】

左手側の図の詳細な拡大図は、図4の右手側の図に示されている。特定のスケール長の値、30mmおよび3mm（ミリメートル）は一例として示され、当業者は、本発明がこれら特定の値に限定されないことが分かる。

【0067】

図4は、TRLセグメント46を伴うPCB構造の片側に配置された集中型コンデンサ44、および反対側に配置されたインダクタ40の実際の分布を示している。インダクタ40は、位相補償成分および結合素子の両方として機能する。

【0068】

より具体的には、図4の右手側は、（層が左手側の図上のz軸に対応する方向に重ね合わせて配置される）3層のPCB構造を示している。誘導ループ40は、間に配置された接地層42の片側に分布し、TRLセグメント46およびコンデンサ44はその反対側に分布している。様々な層上のネットワークはビアを介して接続されている。

【0069】

TRLセグメント46のために部分的に機能するにとどまるように、接地平面42を開放することが可能であるのに対し、誘導ループ40は、接地したTRLセグメント46から離れて部分的にループを開放する。図から分かるように、接地平面42はPCBの幅を必ずしも完全に覆っていないが、その幾何学形状を変更して最適結合強度を達成してもよ

10

20

30

40

50

い。なお、開放ループおよび接地した特定の長さの T R L の両方は分布インダクタとして機能する。

【 0 0 7 0 】

カプラとして機能する図 4 に示す構造は、図 2 の (A) に示す T R L 層 3 および 4 の特定の実現を表している。

【 0 0 7 1 】

図 4 の左手側に示す直列構成が、上述の数 1 の式に対応して最適化されたパラメータを有する場合、このような構成は単一に近い転送を有しているが、これは、与えられた H F 電気入力を中心周波数の入出力インピーダンスとは無関係に、完璧な整合および電流転送が達成されることを意味する。したがって、ループにおける適切な電流の大きさを判断するための入出力ネットワークに適切な成分値は、線路の内部位相補償特性に影響を与えることなく独立して選択され得る。

【 0 0 7 2 】

より具体的には、位相補償素子が入力インピーダンス Z_0 を有するシステムに挿入される場合のインダクタ電流 I_L と入力電流 I_{in} との間の電流の等級比は、以下の数 2 の通りである。

【 0 0 7 3 】

【数 2】

$$\left| \frac{I_L}{I_{in}} \right| = \sqrt{(1 - \cos \theta_0)^2 + \frac{Z_0}{Z_c} \sin^2 \theta_0} \quad \dots (2)$$

【 0 0 7 4 】

上述した位相補償素子の一般的な特性は、中心周波数での入力から出力までの電圧および電流の単位転送である。これは、入力整合が、T R L セグメントのインピーダンスレベル Z_c にかかわらない負荷によって完全に判断されることを意味している。参照システムのインピーダンス Z_0 (例えば、50) は、カプラの入力に接続される外部システムの T R L インターフェースの特性インピーダンスである。システム参照インピーダンスに相当し、位相補償素子の出力で接続される負荷インピーダンスの場合、位相補償素子の入力で完璧な整合が達成される。しかし、これは中心周波数でのみ達成される。位相補償素子の特性は、システム参照インピーダンスから逸脱した周波数依存負荷インピーダンス値であるため、位相補償素子のインピーダンスレベル Z_c が所望の結合特性を満たすために固定される場合、特定の帯域幅要件を満たすべく有効であってもよい。そこで、カプラの入力での一般的な回路の整合が必要とされる。

【 0 0 7 5 】

図 5 は、従来の静電カプラのケースと比較した、図 4 に示すインレイと誘導ループカプラのループとの間の相互作用の強度のグラフ表示である。より具体的には、図 5 において、変換器ゲイン (G_t) は距離 (図 4 の y 軸) および自由空間環境での周波数の関数として描かれている。この数量はまた、ポートでの不整合を考慮している。横軸を表すパラメータ y_{inlay} は、カプラ構造上のインレイの動きの方向、つまり、図 4 の y 軸に対応している。従来のカプラおよび本発明に係る誘導ループカプラの両方について、850、900 および 950 MHz (メガヘルツ) の周波数に対する結合シミュレーションが行われる。この図面から概ね分かるように、誘導ループカプラは、さらに y 軸に沿ったほぼ一定の分布を有する概ね高いゲインに達している (一方で、本願の導入部分で説明したように、静電カプラは、インレイの幾何学形状および校正の知識の必要性につながる強いピークを示している)。

【 0 0 7 6 】

なお、さらに、インダクタを結合成分として採用する場合、相互作用が生まれることによって、L要素の値がRFIDインレイの一部と分布した誘導ループとの間の結合度に依存する。したがって、結合成分は、隣接する環境におけるインレイの単独の符号化を可能にするべく、カプラ表面の特定の領域を活性化または非活性化するための規制回路におけるセンサとして、原則として追加的に採用され得る。このような規制回路は、PINダイオード、RFスイッチなどのRF（無線周波数）装置によって、全カプラにおける主要信号経路を制御する。これは、結合構造からの漏洩電磁場の分布が、自主規制態様でさらに向上し得ることを意味している。

【0077】

上述した通り、図3～図5を参照して上記に詳述した位相補償素子は、1次元幾何学形状を有する結合構造を表している。これは、全カプラを構築するための素子の配列が一方方向にのみ拡張することを意味している。しかし、実施例を2次元の配列構造に拡張することができ、これは同様に、図3のPC素子が2ポートになることを意味している。

【0078】

本発明は、インレイの幾何学形状に対するカプラ配列の依存性および校正処理の両方を排除するという、基本的な利点を有している。同時に、ピッチにかかわらず連続媒体におけるインレイに向けた単独の通信が達成される。転じて、効率的な結合はまた、今日の無線承認処理において特に重要なパラメータである外部放射レベルを最小に保つ。本発明に係るカプラ配列は、むしろ物理的原理に、ひいてはソフトウェア制御およびアルゴリズムに依拠した独立要素である。したがって、本発明の電磁カプラ配列は、（プリンタ/エンコーダ装置などが）属する完全なシステムとは無関係であり、反応型近距離場でのインレイに向けた単独の通信が必要とされる任意の環境で 사용할ことができる。

【0079】

本発明の根底にある基本的原理は、任意の波動現象（伝播）が起こることなく（50のシステムにおける）標準導波入力信号を分布場へ変換し、これにより、純粋に時間的に交番する磁場による結合が示されることである。この場の最表面にわたる分布は、配向性および幾何学形状の独立結合をもたらし、ここで、金属トレース下の素子からの全ての寄与の統合は、トレースに接続されたある受信機またはトランシーバへの電力転送をもたらす。換言すれば、本発明が（従来、カプラ構造にわたる移相を引き起こす）結合構成の波長の依存性を排除した結果が、単位セル毎の静電カプラ挙動である。

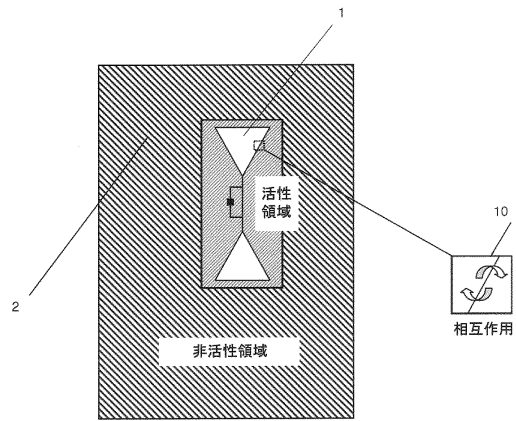
【0080】

インレイは長距離伝播のための（または少なくとも近距離場を放射するための）遠距離場同調装置であるため、本発明のさらなる1つの目的は、この特性を排除し、代わりに反応型近距離場におけるトランスポンダへのエネルギーおよび情報を結合することである。その結果、インレイは、もはや遠距離場放射装置としてみなされず、むしろ単一の伝達鎖における要素としてみなされる。これによって、RFID対応プリンタにおける厳格な要件である、符号化されるインレイに隣接する環境との放射およびRF分離問題による破壊的なキャピティの干渉が阻止される。

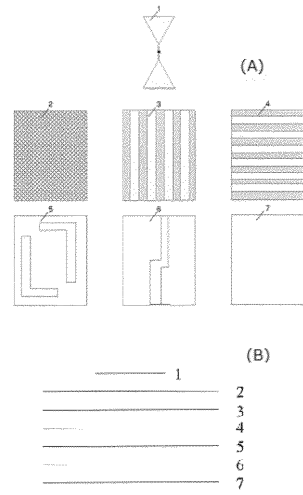
【0081】

要約すると、本発明は、外部制御アルゴリズムを使用せず、インレイの幾何学形状および/または向きとは無関係に、電磁力を平面金属トレース（インレイ）へ結合するための適応的近距離場電磁カプラに関する。本発明は、媒体に印刷されるRFID層の符号化機能を有する印刷装置に特に有利に適用できる。柔軟性を備えていることを鑑みて、本発明のカプラ配列を、異なる機械的設計の様々なプリンタで採用することができる。

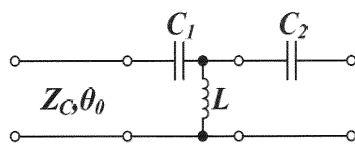
【図 1】



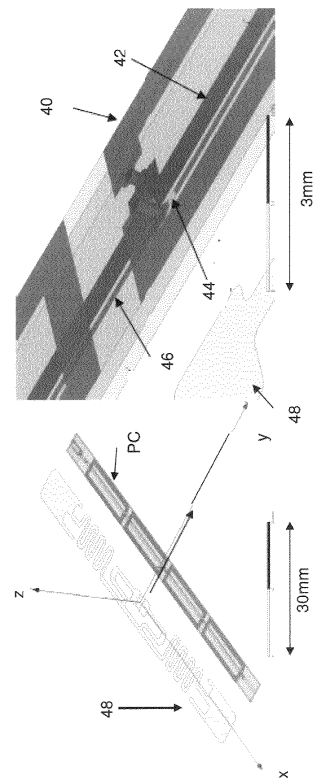
【図 2】

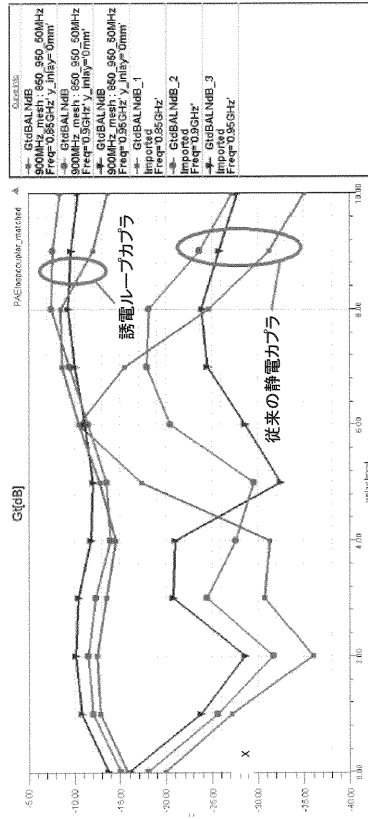


【図 3】



【図 4】





フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 B	5 / 0 2
G 0 6 K	7 / 1 0
G 0 6 K	1 9 / 0 7 7
H 0 1 Q	9 / 2 8