

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-165293

(P2014-165293A)

(43) 公開日 平成26年9月8日(2014.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 D	5 F 1 1 O
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 2 6 C	5 F 1 4 O
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 Z	
	HO 1 L 29/78 6 1 7 S	
	HO 1 L 29/78 6 2 7 E	

審査請求 未請求 請求項の数 12 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2013-34122 (P2013-34122)  
 (22) 出願日 平成25年2月25日 (2013.2.25)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区丸の内一丁目6番6号  
 (74) 代理人 100100310  
 弁理士 井上 学  
 (74) 代理人 100098660  
 弁理士 戸田 裕二  
 (74) 代理人 100091720  
 弁理士 岩崎 重美  
 (72) 発明者 三好 智之  
 東京都青梅市新町六丁目16番地の3 株  
 株式会社日立製作所マイクロデバイス事業部  
 内

最終頁に続く

(54) 【発明の名称】 Field-MOSFETおよびその製造方法

(57) 【要約】

【課題】

フィールド酸化膜をゲート絶縁膜として構成する Field MOSFETにおいて、酸化膜へのキャリアトラップを発端とするゲート電圧高スルーレートでの絶縁破壊電圧の低下現象及び、NBTI劣化現象を改善する。

【解決手段】

開示された Field-MOSFETは、半導体基板上に存在する半導体領域の表面部分に選択的に設けられたフィールド酸化膜と、前記フィールド酸化膜の近傍に設けられ、かつ、p型の給電領域を有するp型ドレイン領域と、前記フィールド酸化膜の近傍に設けられ、かつ、p型の給電領域を有するp型のソース領域と、フィールド酸化膜を介して、かつ、ウェル領域に対向するように設けられたゲート電極とを有し、前記ゲート電極下からソース領域に至るフィールド酸化膜の内部、特にシリコンとの界面付近に寄生的に存在するキャリアトラップが、イオンにより終端されている。

【選択図】 図9

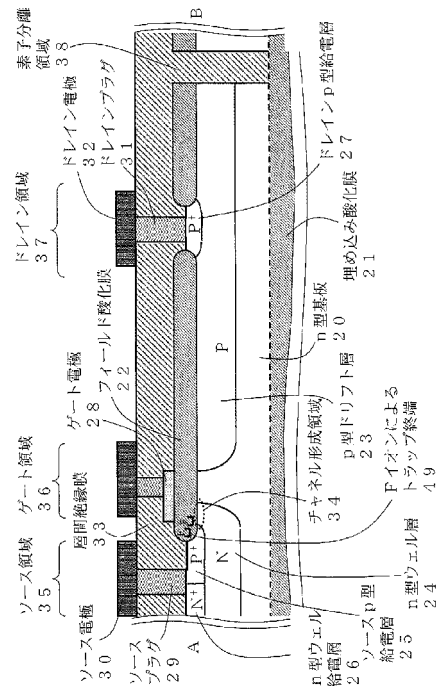


図9

## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
前記半導体基板上に存在する半導体領域の表面部分に選択的に設けられたフィールド酸化膜と、

前記フィールド酸化膜の近傍に設けられ、かつ、第一導電型の給電領域を有するドレイン領域と、

前記フィールド酸化膜の近傍に設けられ、かつ、第一導電型の給電領域を有するソース領域と、

前記フィールド酸化膜の下に、かつ、前記ソース領域を囲むように設けられた、第二導電型のウェル領域と、

前記第二導電型のウェル領域に対向するように、かつ、その間に前記フィールド酸化膜を介して設けられたゲート電極とを有し、

この素子断面において、前記ゲート電極下からソース領域に至るフィールド酸化膜の内部に寄生的に存在するキャリアトラップの一部が、フッ素原子または水素原子の少なくとも一方により終端されていることを特徴とする MOSFET。

## 【請求項 2】

前記原子の少なくとも一部は、フッ素であることを特徴とする請求項 1 記載の MOSFET。

## 【請求項 3】

前記寄生的に存在するキャリアトラップにおける原子終端は、イオン化したフッ素を打ち込む工程を経て得られることを特徴とする請求項 1 記載の MOSFET。

## 【請求項 4】

前記寄生的に存在するキャリアトラップが終端される箇所は、この素子断面において、前記ソース領域近傍のフィールド酸化膜のラウンド部における酸化膜 シリコン膜の界面付近が主であることを特徴とする請求項 1 記載の MOSFET。

## 【請求項 5】

前記寄生的に存在するキャリアトラップが終端される箇所は、この素子の平面レイアウト上、ソース領域を囲むゲート電極の長手方向端部を含む領域であることを特徴とする請求項 1 記載の MOSFET。

## 【請求項 6】

前記半導体基板は SOI 基板であることを特徴とする請求項 1 記載の MOSFET。

## 【請求項 7】

半導体基板上に存在する半導体領域の表面部分にフィールド酸化膜を選択的に形成する工程と、

前記フィールド酸化膜の近傍に、第一導電型の給電領域を有するドレイン領域を形成する工程と、

前記フィールド酸化膜の近傍に、第一導電型の給電領域を有するソース領域を形成する工程と、

前記フィールド酸化膜の下に、前記ソース領域を囲う第二導電型のウェル領域を形成する工程と、

前記フィールド酸化膜を介して、第二導電型のウェル領域に対向するように設けられたゲート電極を形成する工程と、

この素子断面において、前記ゲート電極下からソース領域に至るフィールド酸化膜の内部にイオンを打ち込む工程を含むことを特徴とする MOSFET の製造方法。

## 【請求項 8】

前記イオンにはフッ素イオンを含むことを特徴とする請求項 7 記載の MOSFET の製造方法。

## 【請求項 9】

前記イオン打ち込み工程を、ウェル形成のための不純物打ち込み工程直後に実施し、前

10

20

30

40

50

記ウェル用の不純物打ち込みに使用したフォトマスクをそのまま用いて前記イオン打ち込みを行う工程を含むことを特徴とする請求項7記載のMOSFETの製造方法。

【請求項10】

前記イオン打ち込みにより終端される原子の濃度は、ソース領域近傍のフィールド酸化膜形状ラウンド部における酸化膜シリコンの界面付近が最も濃くなることを特徴とする請求項7記載のMOSFETの製造方法。

【請求項11】

前記寄生的に存在するキャリアトラップを終端するイオン打ち込み工程は、低圧用のトランジスタ形成用のゲート絶縁膜形成工程後に適用することを特徴とする請求項7記載のMOSFETの製造方法。

10

【請求項12】

前記イオン打ち込みは、前記ゲート電極下からソース領域に至るフィールド酸化膜の内部に寄生的に存在するキャリアトラップの少なくとも一部を終端する目的で行うことを特徴とする請求項7記載のMOSFETの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はField-MOSFETおよびその製造方法に関し、特に、高電圧駆動用の厚ゲート絶縁膜を有する高耐圧MOSFETの素子構造とその製造方法に関する。

【背景技術】

20

【0002】

高耐圧のスイッチング動作回路を構成する素子として、高耐圧LDMOSFET(Laterally Diffused MOSFET)が挙げられる。中でも、高電圧駆動するゲート構造を有するMOSFETは、Field-MOSFETと呼ばれ、アプリケーション回路の一つである、レベルシフト回路、出力ドライバ回路をシンプルかつ低面積に実現するのに適している。

【0003】

図1に一般的なLDMOSFETを用いて形成したレベルシフト回路1、出力ドライバ回路2から成る従来回路を、図2にField-MOSFETを用いた形成した本発明が適用可能な回路を示す。

30

【0004】

従来回路においては、出力ドライバ回路2を構成するLDMOSFET4のゲート絶縁膜の耐圧(7V程度が一般的)保護のため、クランプダイオード7を適用し、また容量6を付加しその充放電にて出力ドライバ回路2のLDMOSFET4をON/OFFし、高電圧のパルス波形14を出力するのが基本原理である。

【0005】

一方、本発明が適用可能な回路においては、出力ドライバ回路2に、高電圧駆動、かつ高いゲート絶縁膜耐圧を有するField-MOSFET16を、またレベルシフト回路1に、pチャネル型Field-MOSFET15を適用することで、ゲートにレベルシフトの高電圧出力信号19が直接印加でき、回路全体を構成する素子種が従来回路に対し、少なくシンプルである。

40

【0006】

また、大面積占める容量素子が削除できる観点から、面積縮小効果も大きい。以上より、Field-MOSFETの重要性が示された。

【0007】

高電圧駆動のField-MOSFETを実現する上でゲート絶縁膜耐圧の確保は必要不可欠である。

【0008】

図3にField-MOSFETの断面構造を示す。

【0009】

50

ゲート絶縁膜として、フィールド酸化膜 22 (LOCOS (Local - Oxidation of Silicon)) を適用する特徴を有し、高電圧による MOSFET 駆動時、この酸化膜に高電圧、高電界が印加される原理である。

【0010】

従って、ゲート絶縁膜には高耐圧が要求され、ターゲットアプリケーション電源電圧を数 100V とした場合、必要膜厚は数 100nm となる。

【0011】

半導体領域内の不純物プロファイルに関しては、図示した P チャネル型に対して以下説明する。

【0012】

ゲート電極 28 下まで拡散させた n 型ウェル層 24 が MOSFET 動作時にチャネル形成される領域 (チャネル形成領域 34) であり、この反転領域 34 とドリフト領域 23 を通してソース・ドレイン間に電流が流れる。

【0013】

n 型ウェル層は MOSFET 閾値電圧が 10 ~ 20V 程度となる様にインプラ、拡散プロセスを調整している。ソース p 型給電層 25 と n 型ウェル給電層 26 をソースプラグ 29 で配線層に引き上げて、本領域をソース領域 35 と定義する。ドレイン p 型給電層 27 をプラグ 31 で配線層に引き上げ、本領域をドレイン領域 37 と定義する。

【先行技術文献】

【特許文献】

【0014】

【特許文献 1】日本特許第 3523151 号公報

【非特許文献】

【0015】

【非特許文献 1】Power Semiconductor Devices and ICs (ISPSD), 2011 IEEE 23rd International Symposium on, pp. 40 - 43

【非特許文献 2】Electron Devices, IEEE Transactions on, 60 - 1, pp. 1 - 6

【発明の概要】

【発明が解決しようとする課題】

【0016】

本発明者らは、Field - MOSFET のゲート絶縁膜耐圧を実測にて評価し、耐圧がゲート電圧スルーレートに依存することを発見した。

【0017】

図 4 は、その実測結果である。この図から明らかなように、DC 電圧印加条件において、ゲート絶縁膜耐圧 (ここで、耐圧とは絶縁破壊電圧を意味する。) は本来、400V であるが、スルーレート上昇 (スルータイム減少) に伴い、この耐圧値は低下することがわかった。

【0018】

ここで、印加した電圧の波形は図 5 の通りである。

【0019】

また評価した Field - MOS は p チャネル型であり、実動作を模擬してゲートソース間に負の高電圧を数 1000 回印加するコンピュータプログラムを適用しシミュレーションした。

【0020】

ここで、スルータイム 39 をパラメータとし、絶縁破壊が発生する最小の電圧を耐圧と定義した。

【0021】

耐圧がスルーレート上昇に伴って低下する現象原因は次の通りである。

10

20

30

40

50

## 【0022】

まずフィールド酸化膜22の内部、特に、ソースp型給電層25、n型ウェル層24との界面付近には、図6に示すように、寄生的に、酸素空位45による、未結合のまま残存した形態(ダングリングボンド)有する結合状態が存在する。

## 【0023】

ここで、ゲート、ソース間に負電圧が印加される側で電流の増加が見られ(図7(a)の符号46-2を参照のこと。)、シリコン側から流れ出たホールが、48に示す様にホールトラップされると推測される。

## 【0024】

スルーレートを上昇させた電圧波形をこのLDMOSFETデバイスに印加した場合、酸化膜容量を充電する電荷の移動量は大きくなり、即ち、トラップに捕まるホール量は増大し、その電流は大きくなる。このトラップ電荷量、電流の増加によって、局所的な電界強度が増加、絶縁破壊発生確率が上昇する。従って絶縁破壊耐圧が低下する。

## 【0025】

非特許文献1や非特許文献2は、Field-MOSのドレイン・ソース間耐圧、オン抵抗を中心に技術を開示している一方、ゲート絶縁膜耐圧に関する開示はない。

## 【0026】

本発明の目的は、厚さ数100nmオーダーのゲート絶縁膜を有するField MOSFETの、酸化膜内部に寄生的に存在するキャリアトラップをフッ素イオンにより終端させ、高スルーレートにおけるゲート絶縁膜破壊電圧を改善し、また同時に、キャリアトラップ起因の閾値電圧変動も改善させることができる半導体装置(より具体的には、高耐圧MOSFET。)およびその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0027】

本発明のField-MOSFETは、  
半導体基板と、

半導体基板上に存在する半導体領域の表面部分に選択的に設けられたフィールド酸化膜と、前記フィールド酸化膜の近傍に設けられ、かつ、第一導電型の給電領域を有するドレイン領域と、前記フィールド酸化膜の近傍に設けられ、かつ、第一導電型の給電領域を有するソース領域と、前記フィールド酸化膜の下に、前記ソース領域を囲うように設けられた、第二導電型のウェル領域と、

前記フィールド酸化膜を介して、かつ、第二導電型のウェル領域に対向するように設けられたゲート電極を有し、この素子断面において、前記ゲート電極下からソース領域に至るフィールド酸化膜の内部に寄生的に存在するキャリアトラップの一部が、フッ素原子または水素原子の少なくとも一方により終端されており望ましくは、前記原子の少なくとも一部は、フッ素であり、前記寄生的に存在するキャリアトラップにおける原子終端は、イオン化したフッ素を打ち込む工程を経て得られることを特徴とする。

## 【0028】

また、前記寄生的に存在するキャリアトラップが終端される箇所は、この素子断面において、前記ソース領域近傍のフィールド酸化膜のラウンド部における酸化膜シリコン膜の界面付近が主であることを特徴とする。

## 【0029】

また、本発明の製造方法に関しては、半導体基板上に存在する半導体領域の表面部分に選択的に設けられたフィールド酸化膜を形成する工程と、フィールド酸化膜に対し、寄生的に存在するキャリアトラップを終端するイオンを打ち込む工程を含む。

## 【0030】

望ましくは、寄生的に存在するキャリアトラップを終端するイオンがフッ素イオンを含み、また、キャリアトラップを終端する為のイオン打ち込み工程は、ウェル用の不純物打ち込みに用いるフォトリソマスクと同一のフォトリソマスクにて、ウェル用の不純物打ち込み直後に実施することを特徴とする。

10

20

30

40

50

## 【発明の効果】

## 【0031】

本発明によれば、スルーレート増大に伴い低下するゲート絶縁膜耐圧の低下を抑制し、かつ、閾値電圧の経時劣化を抑制することが可能である。

## 【0032】

これにより、高耐圧で安定なField-MOSFETが実現でき、高品質なアプリケーション回路を提供できる。またLD MOSにて構成した従来回路に対し、小面積なレベルシフト回路、出力ドライバ回路を提供できる。

## 【図面の簡単な説明】

## 【0033】

【図1】LD MOSFETから構成される従来回路を示す図である。

【図2】本発明のField-MOSFETを有する回路を示す図である。

【図3】pチャネル型Field-MOSFETの断面構造を示す図である。

【図4】従来のField-MOSFETのゲート絶縁膜耐圧、ゲート電圧スルーレート依存性実測結果を示す図である。

【図5】ゲート絶縁膜耐圧評価において印加した電圧波形を模した図である。

【図6】LD MOSFETの酸化膜内部における酸素空位の存在を示した模式図である。

【図7(a)】従来のField-MOSFETのゲートリーク特性評価結果を示す図である。

【図7(b)】デバイスに電流が流れて、フィールド酸化膜の一部にホールがトラップされる様子を示す図である。

【図8】本発明の第1の実施例に係る高耐圧Field-MOSFETの素子構造を示す平面図である。

【図9】本発明の第1の実施例に係る高耐圧Field-MOSFETの素子構造を示す断面図である。

【図10】本発明の第1の実施例に係る高耐圧Field-MOSFETのゲート酸化膜周辺の拡大図である。

【図11(a)】本発明の第1の実施例に係る高耐圧Field-MOSFETのゲート酸化膜周辺の断面TEM写真と元素分析測定位置を示す。

【図11(b)】図11(a)に示す各測定位置におけるフッ素イオンの占有率の表である。

【図11(c)】図11(a)の測定位置14における元素スペクトルを示す図である。

【図12】フッ素原子を終端した素子のゲートリーク電流評価結果を示す図である。

【図13】本発明の第1の実施例に係る高耐圧Field-MOSFETのゲート絶縁膜耐圧のゲート電圧スルーレート依存性実測結果を示す図である。

【図14】本発明の第1の実施例に係る高耐圧Field-MOSFETの閾値電圧の経時変動量の実測結果を示す図である。

【図15(a)】本発明の第2の実施例に係る高耐圧Field-MOSFETの製造方法を示すプロセスフロー図である。

【図15(b)】この図は、図15(a)に続くフロー図である。

【図16】スルータイム30nsの条件における、絶縁破壊耐圧とフッ素イオン打ち込み加速エネルギーの相関実測結果を示す図である。

【図17(a)】本発明の第3の実施例に係る高耐圧Field-MOSFETと類似工程で形成される低圧MOSFETの製造方法を示すフロー図である。

【図17(b)】この図は図17(a)に続く、フロー図である。

## 【発明を実施するための形態】

## 【0034】

以下の説明の導電型は一例であり、それぞれの実施例におけるn型、p型それぞれを逆極性としても同様の効果が期待できる。

## 【実施例1】

10

20

30

40

50

## 【0035】

図8は本発明の第1の実施例に係る高耐圧Field-MOSFETの素子構造を示す平面図、図9は本発明の第1の実施例に係る高耐圧Field-MOSFETの素子構造を示す断面図(図8のA-B部位の断面図である。)である。

## 【0036】

n型半導体基板20の表面上にフィールド酸化膜22が選択的に形成し、薄い濃度のp型ドリフト層23がインプラ・拡散により形成される。ゲート電極28はフィールド酸化膜22上にパターンニングされる。ゲート領域36下には、n型ウェル層24が不純物インプラ、拡散によって形成され、表面近傍がチャンネル34になる。

## 【0037】

更に、n型ウェル層24のn型給電層36、ソースp型給電層25、ドレインp型給電層27が不純物インプラ、拡散により形成されている。

## 【0038】

更に、n型ウェル給電層26とソースp型給電層25を電氣的に接続したソースプラグ29を通してソース電極30が形成され、ドレインp型給電層27に電氣的に接続したドレインプラグ31を通してドレイン電極32を形成することで、本発明のポイント1を適用したField-MOSFETが形成される。

## 【0039】

ここで、ゲート絶縁膜内部に寄生的に存在していたダングリングボンドの一部は、図10に示す共有結合関係の様に、フッ素原子50にて終端49されている。

## 【0040】

またここで、終端する原子の少なくとも一部がフッ素原子50ではなく、水素原子であっても同様の効果を有する。つまり、終端する原子はフッ素および/または水素である。図9では、符号49によって、フッ素Fを表示しているが、水素の表示は省略してある。

## 【0041】

図11に元素分析実測結果を示す。(図11(a)は、断面TEM写真と元素分析測定位置を示し、図11(b)は、各測定位置におけるフッ素イオンの占有率を示し、図11(c)は、測定位置14における元素スペクトルを示す。)

フィールド酸化膜22内部にてフッ素が検出され、フッ素インプラによって終端されていることが確認できる。

## 【0042】

また、図12にフッ素原子終端を施した素子のゲートリーク電流を示すが、未処理の素子に対しゲートリーク電流が低下しており、ホールがトラップされる数、確率が減少している点を示す。

## 【0043】

図13は、ゲート絶縁膜耐圧のゲート電圧スルーレート依存性を実測にて確認した結果である。評価方法、印加電圧波形に関しては、図5にて前述した通りである。フッ素原子終端化によって、高スルーレートによる耐圧低下が抑制される点を確認できる。

## 【0044】

図14は、Field-MOSFETの閾値電圧の経時変動量の実測結果である。ここで、ストレス条件は、 $V_{gs} = -300V$ 、 $V_{ds} = 0V$ 、 $T_a = 400K$ である。閾値電圧評価条件は、 $V_{ds} = 10V$ 、 $T_a = 300K$ である。本信頼度試験、現象は、ゲートを駆動させ続けることで、酸化膜にキャリアがトラップされ、チャンネル形成閾値電圧が変動する、所謂NBTI(Negative bias temperature instability)現象であるが、フッ素原子終端によって、トラップされるキャリア(ホール)が減少する効果が見えたものである。

## 【0045】

以上より、本実施例によれば、寄生トラップ存在部位がフッ素原子により終端されることによって、ゲート絶縁膜耐圧が向上し、NBTI変動が改善される。

## 【実施例2】

10

20

30

40

50

## 【0046】

図15(a)および(b)は、本発明の第2の実施例に係る高耐圧Field-MOSFETの製造方法を示すプロセスフロー図である。

## 【0047】

まず、(a)n型基板表面上にフィールド酸化膜を選択的に形成し、(b)薄い濃度のp型ドリフト層をインプラ・拡散により形成する。

## 【0048】

次に、(c)ゲート電極をパターニングして形成することにより、ゲート領域を形し、ゲート領域に対し、n型ウェル層を形成する不純物をマスクを用いたリソグラフィプロセスを通してイオン打ち込みする。

## 【0049】

ここで、(d)ウェル層イオン打ち込み後に、同一マスクにて、フッ素イオンを打ち込む。

## 【0050】

これにより、ゲート絶縁膜として寄与するフィールド酸化膜とソース領域にかけてのフィールド酸化膜歪曲部に渡って、フッ素原子が終端される。

## 【0051】

続いて、(e)適当な熱負荷をかけて、ウェル層を形成させた後、(f)ソース、ドレインの給電層とウェルの給電層を形成する。

## 【0052】

最後に、(g)n型ウェル給電層とソースp型給電層に電氣的に接続したソースプラグを通してソース電極を形成し、ドレインp型給電層に電氣的に接続したドレインプラグを通してドレイン電極を形成することで、本発明を適用したp型チャンネルLDMOSFETが形成される。

## 【0053】

図16は、数100nmのLOCOSにて形成したField-MOSFETに対し、スルータイム30nsの条件における、耐圧とフッ素イオン打ち込みの加速エネルギーの相関を実測にて確認した結果である。

## 【0054】

ここで、打ち込むイオンドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ とした。加速エネルギー30keV以上の条件にて、イオンを打ち込まない場合に比べて、イオン打ち込みした場合には、素子の耐圧が向上していることが、図16からわかる。

## 【0055】

膜厚が数100nmのLOCOSに対して、フッ素イオンの加速エネルギー30keV~数100keVは、フィールド酸化膜形状ラウンド部における酸化膜シリコンの界面付近が主にターゲットされる条件である。

## 【0056】

つまりは、LOCOSラウンド部の内部、酸化膜シリコンの界面付近にトラップが多く、そこに高加速エネルギーにてフッ素イオンが打ち込まれることで、トラップが終端化し、耐圧が改善したことがわかる。

## 【実施例3】

## 【0057】

図17(a)および図17(b)は、本発明の第3の実施例に係る高耐圧Field-MOSFETと類似した製造工程で形成される低圧MOSFETの製造方法を示すフロー図である。

## 【0058】

まず、(a)n型基板表面上にフィールド酸化膜を選択的に形成する。

## 【0059】

次に、(b)低圧MOSFET用ゲート絶縁膜を形成した後、ゲート電極をパターニングして形成することにより、ゲート領域を形成する。

10

20

30

40

50

## 【 0 0 6 0 】

次に、(c) Field-MOS用のn型ウェルインプラを低圧MOSFETにも打ち込まれる様にマスクし、ウェル不純物と(d)フッ素イオンを打ち込む。

## 【 0 0 6 1 】

その後、(e)熱負荷をかけた後、(f)低圧MOSFETの閾値電圧調整様に、浅く不純物を打ち込む。

## 【 0 0 6 2 】

最後に、(g)n型ウェル給電層とソースp型給電層に(h)電氣的に接続したソースプラグを通してソース電極を形成し、ドレインp型給電層に電氣的に接続したドレインプラグを通してドレイン電極を形成することで、本発明を適用した低圧MOSFETが形成される。

10

## 【 0 0 6 3 】

ここで、低圧MOSFETに関しても、Field-MOSFETに施すフッ素イオンが同時に打ち込まれ、低圧用ゲート絶縁膜に関しても同時にフッ素原子による終端が施される。これにより低圧MOSFETに関しても、顕在化するNBTI変動が改善する。

## 【 符号の説明 】

## 【 0 0 6 4 】

- 1 レベルシフト回路
- 2 出力ドライバ回路
- 3 Pチャネル型MOSFET
- 4 Nチャネル型LDMOSFET
- 5 ダイオード
- 6 容量
- 7 クランプダイオード
- 8 Nチャネル型MOSFET
- 9 電源端子
- 10 高圧(HV)電源端子
- 11 入力端子
- 12 出力端子
- 13 出力ドライバ回路への入力波形例
- 14 出力波形例
- 15 Pチャネル型Field-MOSFET
- 16 Nチャネル型Field-MOSFET
- 17 Nチャネル型LDMOSFET
- 18 高圧(HV2)電源端子
- 19 出力ドライバ回路への入力波形例
- 20 n型基板
- 21 埋め込み酸化膜
- 22 フィールド酸化膜
- 23 p型ドリフト層
- 24 n型ウェル層
- 25 ソースp型給電層
- 26 n型ウェル給電層
- 27 ドレインp型給電層
- 28 ゲート電極
- 29 ソースプラグ
- 30 ソース電極
- 31 ドレインプラグ
- 32 ドレイン電極
- 33 層間絶縁膜

20

30

40

50

3 4	チャンネル形成領域	
3 5	ソース領域	
3 6	ゲート領域	
3 7	ドレイン領域	
3 8	素子分離領域	
3 9	スルータイム	
4 0	スルーレート	
4 1	酸素空位によるホールトラップ	
4 2	酸素原子	
4 3	シリコン原子	10
4 4	共有結合	
4 5	酸素空位	
4 6	トラップされるホール	
4 6 - 2	電流増加領域	
4 7	電流が流れている際の断面模式図	
4 8	ホールの流れ	
4 9	フッ素イオンによるトラップ終端	
5 0	フッ素原子	
5 0 - 2	フッ素原子起因のスペクトル	
5 1	レジスト	20
5 2	n型ウェル層形成用不純物の打ち込み	
5 3	フッ素イオンの打ち込み	
5 4	低圧MOSゲート酸化膜	
5 5	低圧MOSFETチャンネル用不純物の打ち込み	
5 6	低圧MOSFETプロセスフロー	
5 7	Field-MOSFETプロセスフロー	20
	n型基板	

【 図 1 】

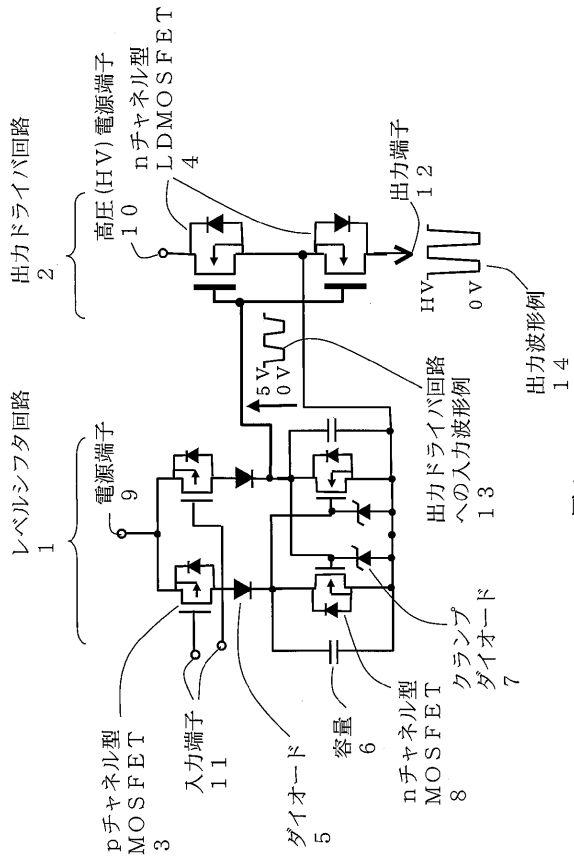


図 1

【 図 2 】

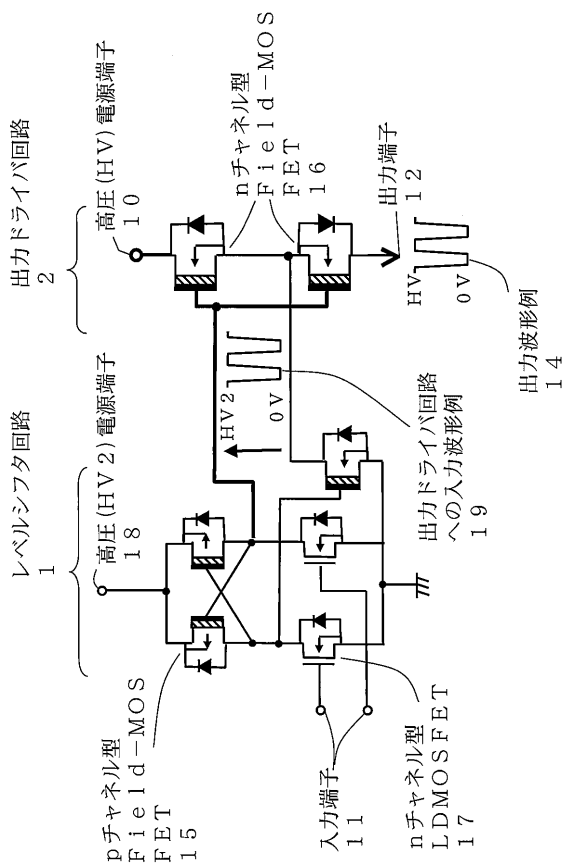


図 2

【 図 3 】

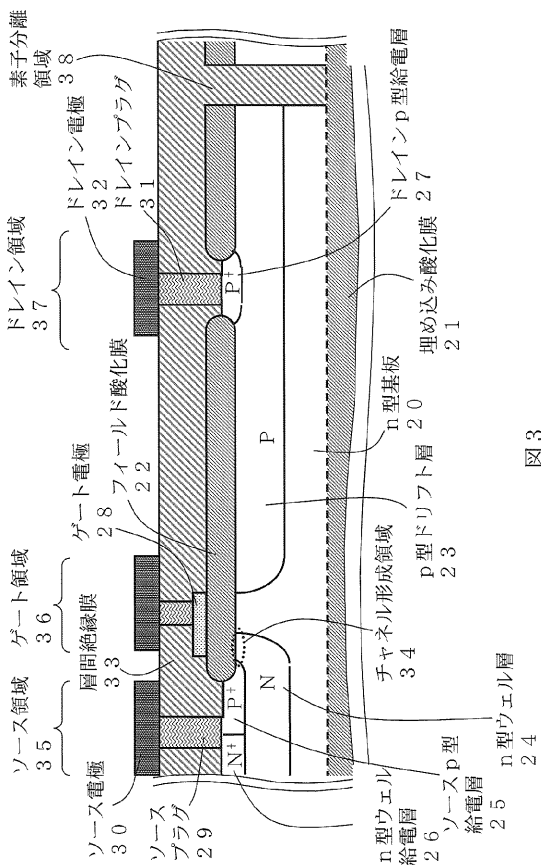


図 3

【 図 4 】

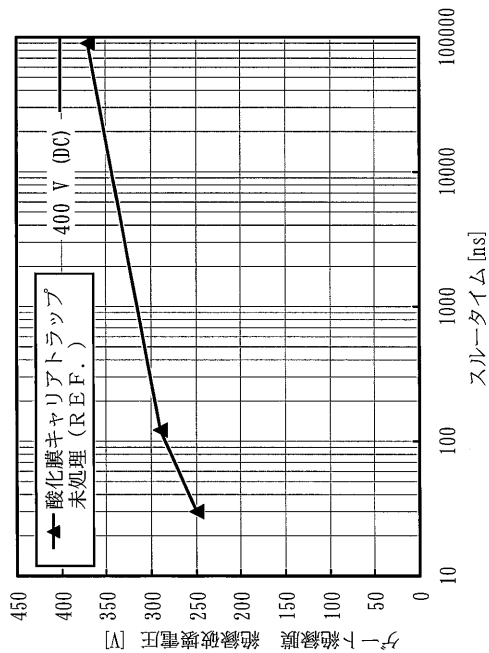
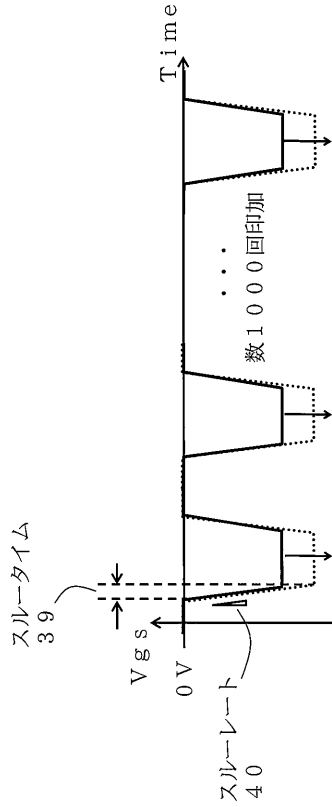


図 4

【 図 5 】



【 図 6 】

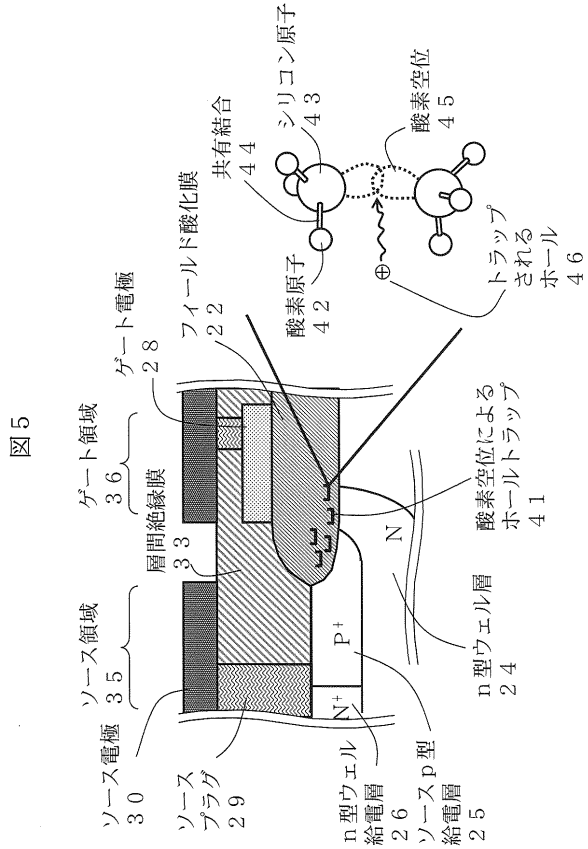


図 5

図 6

【 図 7 ( a ) 】

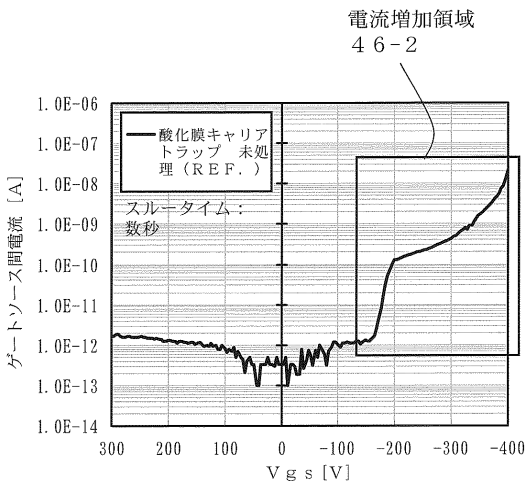


図 7 ( a )

【 図 7 ( b ) 】

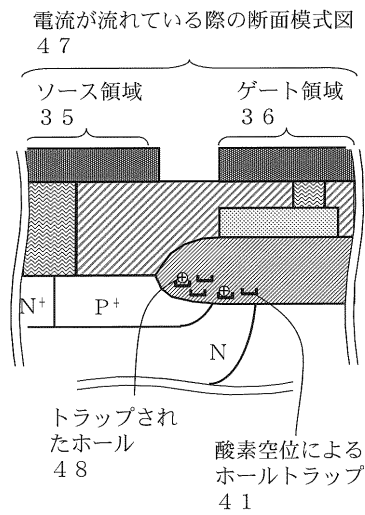


図 7 ( b )

【 図 8 】

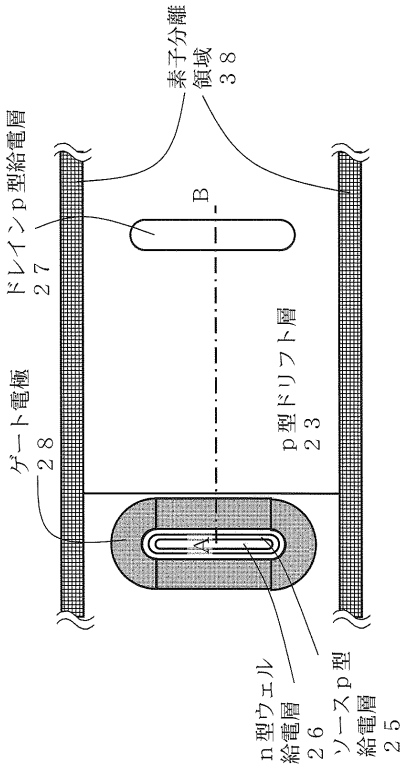


図 8

【 図 9 】

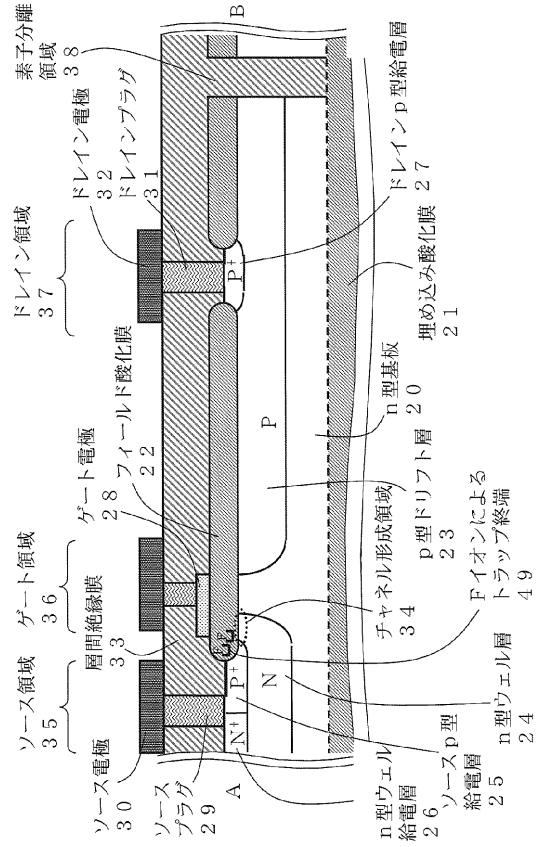


図 9

【 図 10 】

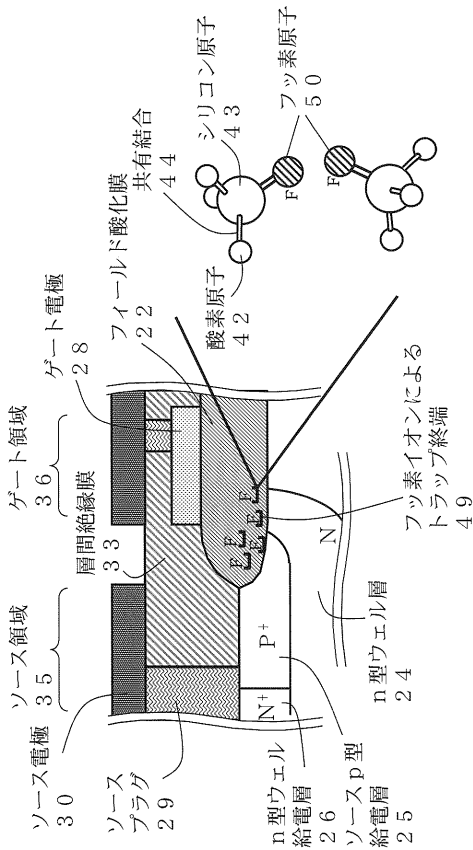


図 10

【 図 11 ( a ) 】

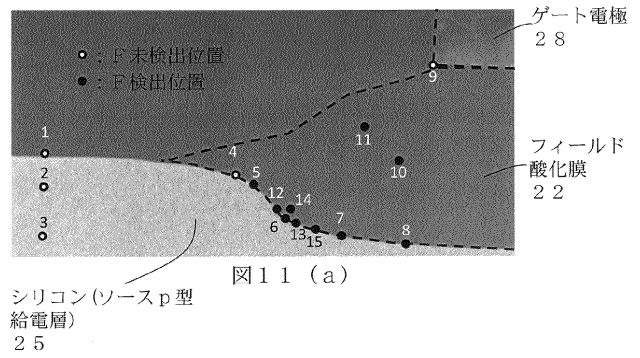


図 11 ( a )

【 図 1 1 ( b ) 】

測定位置	F占有率 (Atom%)
1	0
2	0
3	0
4	0
5	0.02
6	1.14
7	0.14
8	0.02
9	0
10	0.06
11	0.06
12	0
13	0.18
14	2.81
15	0.12

図 1 1 ( b )

【 図 1 1 ( c ) 】

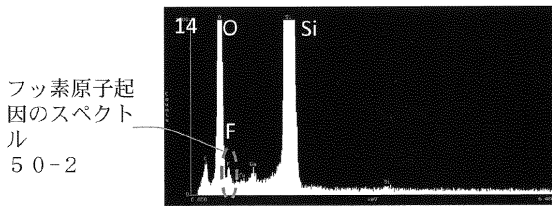


図 1 1 ( c )

【 図 1 3 】

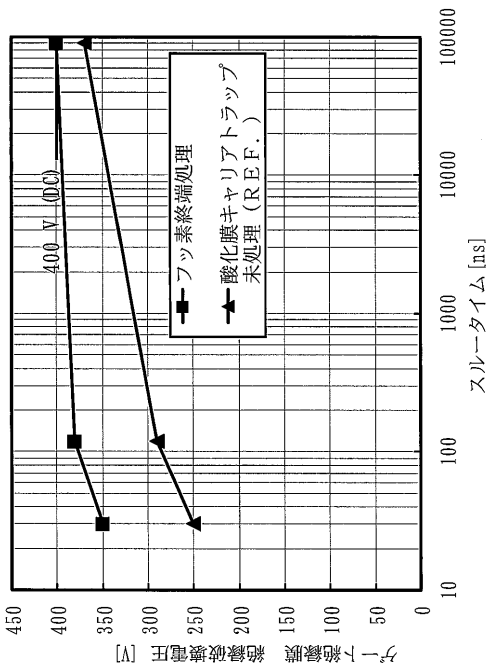


図 1 3

【 図 1 2 】

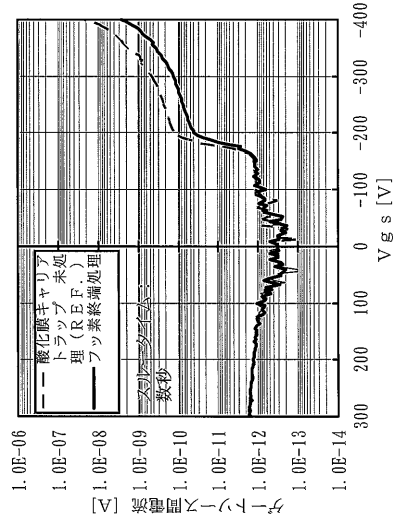


図 1 2

【 図 1 4 】

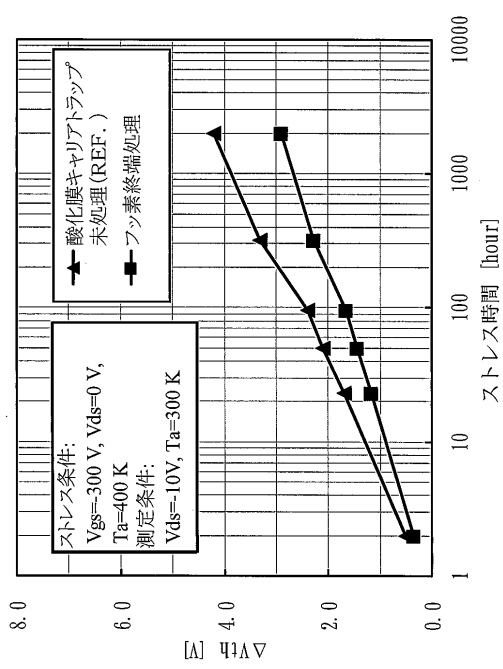


図 1 4

【図15(a)】

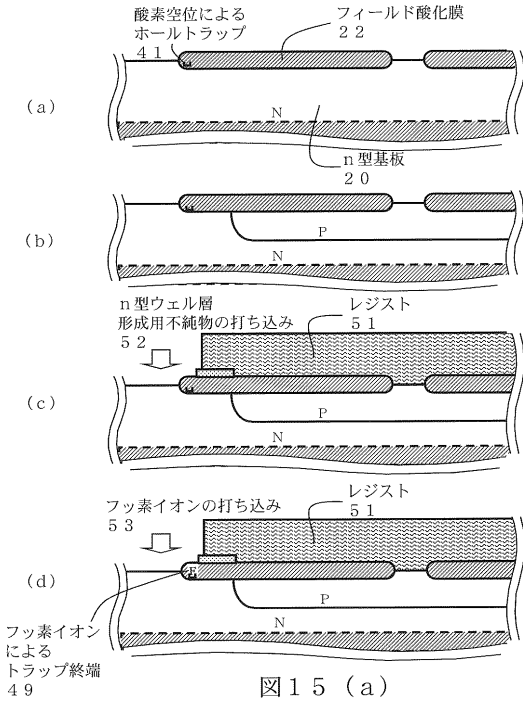


図15(a)

【図15(b)】

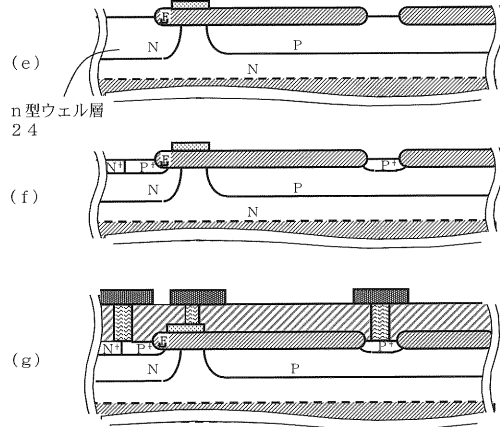


図15(b)

【図16】

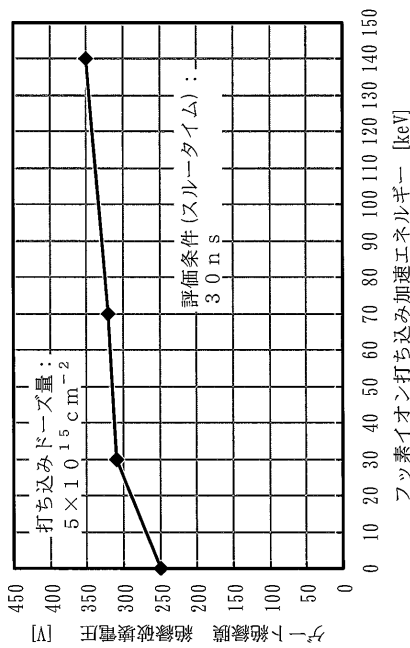


図16

【図17(a)】

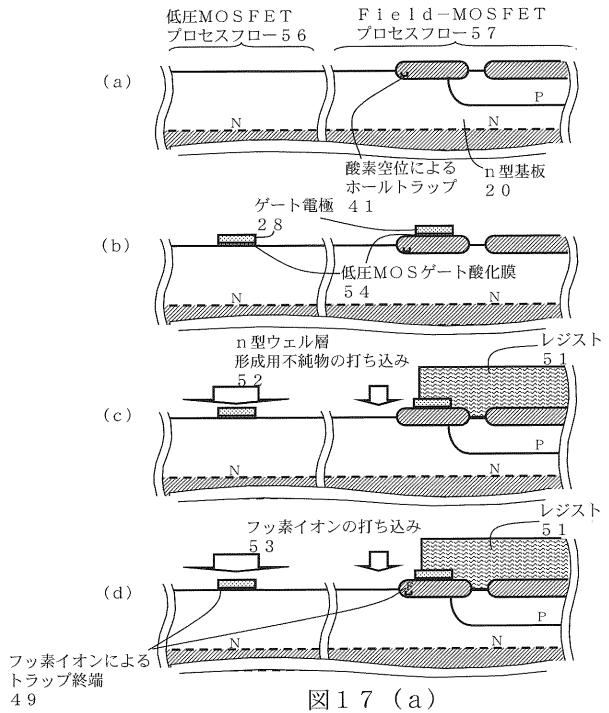


図17(a)

【 図 1 7 ( b ) 】

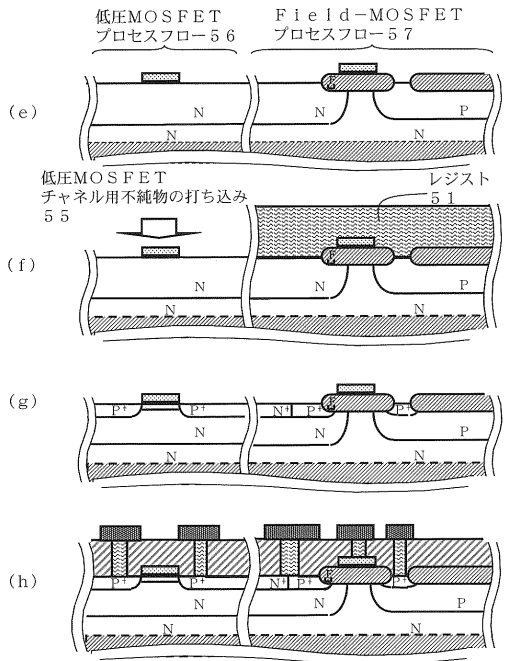


図 1 7 ( b )

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 29/78 3 0 1 G

(72)発明者 大島 隆文  
東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

(72)発明者 富成 達也  
東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

(72)発明者 林 昌宏  
東京都青梅市新町六丁目1番地の3 株式会社日立製作所マイクロデバイス事業部内

Fターム(参考) 5F110 AA08 AA12 AA14 AA19 CC02 DD05 FF02 FF07 FF23 FF36  
GG02 GG32 GG33 GG34 GG52 HJ13 HJ22 HM12 HM15 HM17  
NN66 QQ11 QQ21  
5F140 AA06 AA19 AA25 AB01 AC01 AC21 AC36 BA01 BC02 BC06  
BC10 BD17 BD19 BE07 BE15 BF01 BF60 BG43 BH30 BH41  
BH45 BH47 BJ27 CB01 CB08 CF05