(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 3/037

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0193056
(24) 등록일자 1999년02월01일

(21) 출원번호 10-1990-0003963
(22) 출원일자 1990년03월23일
(65) 공개번호 특1990-0014970
(43) 공개일자 1990년10월25일

(30) 우선권주장 332,290 1989년03월31일 미국(US)
(73) 특허권자 에스지에스-톰슨 마이크로일렉트로닉스, 인코포레이티드 아치 케이. 말론
미국 텍사스 75006-5039 카롤톤 일렉트로닉스 드라이브 1310
(72) 발명자 데이비드 챠알스 맥클루어
미합중국 텍사스 75007 캐롤톤 202 맥아더드라이브 1120
마아크 알란 리싱거
미합중국 텍사스 75007 캐롤톤 레전시 3118
(74) 대리인 김영길, 이화익

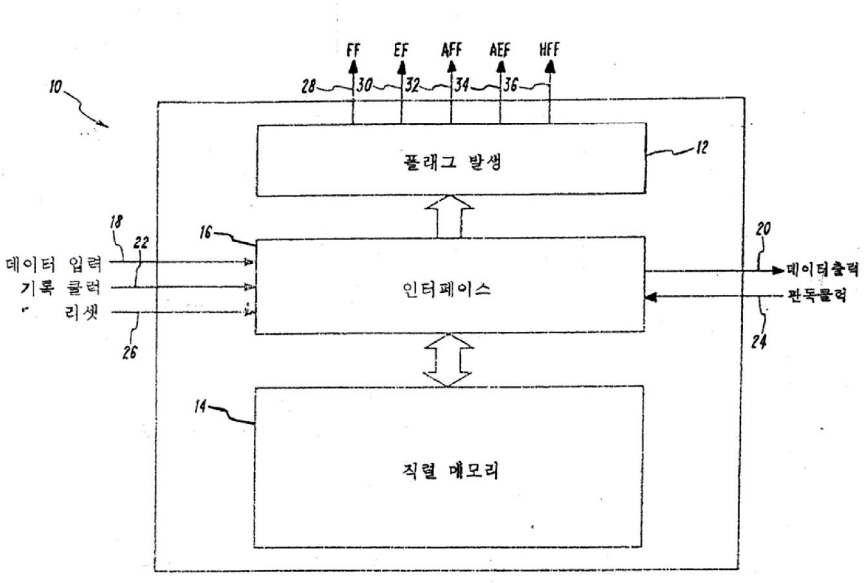
심사관 : 정순원

(54) 동기회로

요약

바람직한 실시예의 동기회로는 클럭신호의 상승에지에서 상태를 변화시키는 제1출력과 클럭신호의 하강에지에서 상태를 변화시키는 제2출력을 갖는 T 플립플롭이다. T 플립플롭은 T입력이 제1출력과 결합되는 배타적 OR게이트 입력을 갖는다. 배타적 OR게이트의 출력은 클럭신호가 제1논리 상태일 때 내부노드에 결합된다. 내부노드는 클럭신호가 제1논리 상태일 때 내부노드에 결합된다. 내부노드는 클럭신호가 제2논리상태일 때 제1출력에 결합되고, 클럭신호가 제1논리상태일 때 내부노드에서 격리된다. 제1출력신호는 클럭신호가 제1논리상태일 때 제2출력단자에 결합되고, 클럭신호가 제2논리상태일 때 제2출력단자에서 격리된다.

대표도



명세서

[발명의 명칭]

동기회로

[도면의 간단한 설명]

제1도는 플래그 발생회로를 포함하는 FIFO 메모리의 블록도.

제2도는 제1도에 도시된 FIFO 메모리의 플래그 발생회로 블록도.

제3도는 제2도에 도시된 카운터블록의 논리도.

제4도는 제3도에 도시된 T 플립플롭의 논리도이고 본 발명에 따른 동기회로.

제5도는 제2도에 도시된 감산기 블록의 감산기회로 논리도.

제6도는 제2도에 도시된 블록의 비교기회로도.

제7도는 제2도에 도시된 비교기 블록과 감산기 블록도.

제8도는 제2도에 도시된 데그리치 회로와 래치의 논리도.

제9도는 제2도와 제8도에서 발생하는 일정한 신호의 타이밍도.

* 도면의 주요부분에 대한 부호의 설명

18 : 데이터 입력단자　　20 : 데이터 출력단자

22 : 기록클럭단자　　24 : 판독클럭단자

26 : 리셋단자

[발명의 상세한 설명]

본 발명은 클럭 회로소자에 관한 것으로서 특히 동기회로에 관한 것이다.

전자회로에서 발생되는 신호는 클럭신호와 종종 동기가 되어야 한다. 예를들면, 선입선출(FIFO)메모리 장치의 플래그발생 회로소자에 있어서 카운터는 기록 클럭펄스와 판독 클럭펄스의 수를 계산하기 위해 사용되어 진다. 이러한 카운터는 어떤 경우에 있어서는 클럭펄스의 상승에지와 동기가 되는 제1셋의 출력을 가져야 하고, 클럭펄스의 하강에지와 동기가 되는 제2셋의 출력을 가져야 된다.

이러한 2개 셋의 출력을 발생하기 위해 과거에 사용된 방법은 2개의 분리 카운터를 사용하는 것이었다. 그러나 2개 셋의 출력을 발생할 수 있는 단일 카운터 회로를 구비하는 것이 바람직한 것으로 평가된다.

그러므로 본 발명의 목적은 클럭펄스의 상승에지에 동기되는 제1출력과 클럭펄스의 하강에지에 동기되는 제2출력을 제공할 수 있는 동기 회로를 제공하는 것이다.

입력단자에서 클럭신호와 동기되어 제1 및 제2출력단자로 데이터를 전송하는 T 플립플롭이 본 발며의 실시예에서 표시된다. T 플립플롭은 클럭 신호가 제1논리 상태에 있을 때 입력단자를 내부 노드에 결합하고 클럭 신호가 제2논리 상태에 있을 때 입력단자를 내부노드에서 격리하는 제1 회로 소자를 포함한다. T 플립플롭은 또한 클럭신호가 제2논리 상태에 있을 때 내부노드를 제1출력 단자에 결합하고 클럭신호가 제1논리 상태에 있을 때 내부노드를 제1출력단자에서 격리하는 제2회로 소자를 포함한다. T 플립플롭은 또 클럭 신호가 제1논리 상태에 있을 때 제1출력단자를 제2출력단자에 결합하고, 클럭신호가 제2논리 상태에 있을 때 제1출력단자를 제2출력단자에서 격리하는 제 3회로 소자를 포함한다.

본 발명의 실시예의 또 다른 관점에 있어서, 장치는 T 입력신호에 접속되는 제1 입력과, 제1출력단자에 접속되는 제2입력과, T 플립플롭 회로를 형성하기 위해 장치의 입력단자에 접속되는 배타적 OR 게이트의 출력을 가지는 배타적 OR 게이트를 더 포함한다.

[실시예]

본 발명의 바람직한 실시예에 따른 2개 동기 클럭 신호간의 시간 지연을 나타내는 출력신호를 제공하는 회로 소자는 FIFO 메모리에서의 플래그 발생회로로 구체화되며, 기록 카운터와 판독 카운터인 2개의 카운터와, 감산기와, 비교기, 그리고 데그리치 회로(deglitch circuit)를 포함한다. 플래그 발생회로는 기록 클럭신호와 판독 클럭신호의 수를 계산하고, 차이 신호를 형성하기 위해 이들 2개 계산을 감산하는 작동을 한다.

그후, 이 차이 신호는 비교기에서 소정의 수에 비교되고, 비필터 플래그 신호(unfiltered flag signal)가 이 비교의 결과를 표시한다. 데그리치 회로는 수신된 기록클럭 또는 판독클럭의 결과가 카운터, 감산기 그리고 비교기를 통하여 전파가 될 때까지 기록클럭 또는 판독클럭 어느 하나의 적당한 에지(edge)가 수신될 때마다 출력신호를 래치하고 그 출력 신호를 유지한다. 이 브랭킹 시간 후에 비필터 플래그 신호의 출력은 플래그 출력신호로 변화된다.

도면을 참조하면, 제1도는 FIFO(10)의 상태 플래그를 발생하는 회로소자(12)를 포함하는 FIFO메모리(10)의 블록도이다. FIFO(10)도 역시 FIFO(10)의 각종 블록간의 인터페이스 회로소자를 제공하는 논리 회로소자(16)와 직렬 메모리 어레이(14)를 포함한다.

제1도에 표시된 것과 같이 FIFO(10)는 데이터 입력단자(18), 데이터 출력단자(20), 기록클럭 단자(22), 판독클럭 단자(24), 그리고 리셋 단자(26)를 포함하는 복수의 외부단자를 가진다. FIFO(10)는 또한 단자(28)상에 풀 플래그(full flag)신호(FF), 그리고 단자(30)상에 공백(empty) 플래그신호(EF), 단자(32)상에 올머스트 풀(almost full) 플래그 신호(AFF), 단자(34)상에 올머스트 공백(almost empty) 플래그 신호(AEF), 그리고 단자(36)상에 할프 풀(half full) 플래그 신호(HFF)를 포함하는 복수의 상태 플래그 신호를 가진다.

FIFO(10)는 직렬 메모리 어레이(14)에서 제1 메모리 셀에 기록 포인터와 판독 포인터를 리셋하는 단자(26)상의 리셋 신호에 의해 우선 리셋되는 거승로 작동한다. 이점에 있어 단자(30)상의 공백 플래그 신호는 FIFO(10)가 공백이라는 것을 표시하고, 단자(34)상의 올머스트 공백 플래그 신호도 역시 FIFO(10)가 거의 공백 상태인 것을 표시하며, 이 바람직한 실시예에서는 그들의 마지막 작동으로서 기록

된 기록 포인터와 판독 포인터 사이에는 8 메모리셀 이하가 있다는 것을 뜻한다.

단자(22)상의 제1기록 클럭신호의 수신 후 단자(30)상의 공백 플래그 신호는 공백 FIFO(10)를 표시하는 것을 멈춘다. 그러나 단자(34)상의 올머스트 공백 신호는 거의 공백 상태임을 계속 표시한다. 판독 클럭 신호의 수보다 기록클럭 신호가 8 더 크면 단자(34)상의 올머스트 공백 플래그신호는 거의 공백 상태임을 표시하는 것을 멈춘다. FIFO가 할프 풀(half full)이 될 때 단자(36)상의 할프 풀 플래그 신호는 할프 풀 상태를 표시하고, 판독 포인터와 기록 포인터간의 메모리셀의 수가 최대 메모리 공간보다 8 더 작으면 단자(34)상의 올머스트 풀 플래그 신호는 거의 풀 상태임을 표시하고 단자(36)상의 할프 풀 플래그 신호는 할프 풀 상태임을 계속 표시한다.

최종 작동으로서 모든 메모리셀들이 기록되도록 기록 포인터가 판독 포인터와 같은 셀을 지적할 때 단자(28)상의 풀 플래그 신호는 FIFO(10)가 데이터의 풀 상태라는 것을 표시하고, 단자(34)상의 올머스트 풀 플래그 신호는 역시 거의 풀 상태임을 표시하며, 단자(36)상의 할프 풀 플래그 신호도 역시 할프 풀 상태임을 표시한다.

제2도는 플래그 발생 회로소자(12)의 블록도이다. 플래그 발생 회로소자(12)는 기록 카운터블록(40)과 판독 카운터블록(42)을 포함한다. 판독 카운터 블록(42)은 선(44)상에 RC로 표시된 판독클럭과 선(46)상에 RCB로서 표시된 판독클럭바 신호를 수신한다.

판독카운터(42)는 역시 선(48)상에 RR로서 표시된 리셋 신호를 수신한다. 동일하게 기록 카운터(42)는 선(50)상에 WC로서 표시된 기록 클럭 신호와, 선(52)상에 WCB로서 표시된 기록클럭바 신호와, 선(54)상에 WR로서 표시된 기록리셋 신호를 수신한다.

판독 카운터 블록(42)과 기록 카운터 블록(40) 둘다는 클럭펄스의 상승에지에서 변화하는 제1셋인 RQ 및 WQ와 클럭펄스의 하강에지에서 변화하는 제2셋인 RQN 및 WQN의 2개 셋의 Q 출력을 제공한다. 그래서 제2도에 표시된 것과 같이 기록 카운터 블록(40)은 클럭펄스의 상승에지에서 변화하는 기록 카운터(40)의 출력을 포함하는 WQ버스(56)를 가진다.

WQ버스(56) 제1 감산기 블록(58)에 입력된다. 기록 카운터 블록(40)의 제2출력버스는 기록클럭의 하강에지에서 변화하는 기록 카운터(40)의 출력을 제공하는 WQN버스(64)이다. WQN버스(64)는 제2감산기 블록(62))에 입력된다.

같은 방법으로 판독 카운터 블록(42)은 감산기 블록(62)에 입력되는 RQ 출력버스(60)와 감산기 블록(58)에 입력되는 RQN출력버스(66)를 가진다.

감산기 블록(58)은 WQ 버스(56)에서 RQN버스(66)의 값을 감산하고, 버스(68)에 차이 출력을 제공한다. 버스(68)는 할프 풀 비교기 블록(70), 올머스트 풀 비교기 블록(72), 풀 비교기블록(74)의 3개 비교기블록에 입력된다.

할프 풀 비교기 블록(70)에는 설명의 목적으로 PHF로서 표시된 프로그램값 버스 입력(76)이 도시되어 있다. 동일하게 올머스트 풀 비교기 블록(72)은 PAF로서 표시된 프로그램값 버스 입력(78)을 가지며, 풀 비교기 블록(74)은 PF로 표시된 프로그램값 버스 입력(80)을 가진다.

바람직한 실시예에 있어서 프로그램값(PHF, PAF, PF)은 FIFO 메모리(10) 집적회로의 금속화층에 부호화된다. 할프 풀 비교기 블록(70)의 출력은 래치(84)의 D 입력에 접속되는 선(82)상에 위치된다. 래치(84)의 출력은 단자(36)상에 할프 풀 플래그 신호를 형성한다. 올머스트 풀 비교기 블록(72)의 출력은 또 다른 래치회로(88)의 D 입력에 접속되는 선(86)상에 위치되고, 래치회로(88)의 출력은 단자(32)상에 올머스트 풀 플래그 신호를 형성한다.

풀 비교기 블록(74)의 출력은 래치회로(92)의 D입력에 접속되는 선(90)상에 위치하고 래치회로(92)의 출력은 단자(28)상에 풀 플래그 신호를 형성한다.

래치(84, 88, 92)의 클럭 입력은 선(93)상에 함께 데그리치 회로(94)의 출력에 접속된다. 데그리치 회로(94)는 선(50)에서 기록 클럭 신호를 입력할 때 선(46)의 판독 클럭바신호와 선(54)의 기록리셋 및 선(48)의 판독리셋의 2개의 리셋신호를 갖는다.

감산기 블록(62)은 WQN버스(64)상의 계산에서 RQ버스(60)상의 계산을 감산하고 버스(96)에 차이 신호를 제공한다. 버스(96)는 올머스트 공백 비교기 블록(98)과 공백 비교기 블록(100)의 입력에 접속된다. 올머스트 공백 비교기 블록(98)은 설명의 목적으로 PAE라는 라벨이 붙은 데이터 버스(102)로서 표시되는 프로그램값인 제2입력을 가진다. 동일하게 공백 비교기 블록(100)은 PE로 표시된 데이터 버스(104)상에 프로그램값인 제2입력을 가진다.

바람직한 실시예에 있어서 프로그램값(PAE, PE)은 FIFO메모리(10) 집적 회로의 금속화층으로 부호화된다. 올머스트 공백 비교기 블록(98)의 출력은 래치(108)의 D입력으로 선(106)상에 접속되고 래치(108)의 출력은 단자(34)상에 올머스트 공백 플래그 신호를 형성하도록 인버터(109)에 의해 반전된다.

공백 비교기 블록(100)의 출력은 래치(111)의 D입력에 접속되는 선(110)상에 위치되고 래치(111)의 출력은 단자(30)상에 공백 플래그 신호를 형성하도록 인버터(112)에 의해 반전된다. 래치(108, 111)의 클럭 입력은 선(113)상에 함께 제2데그리치 회로(114)의 출력에 접속된다. 이 데그리치 회로(114)는 선(44)에서 판독 클럭신호를 입력할 때 선(52)의 기록 클럭바 신호와 선(54)의 기록 리셋 및 선(48)의 판독 리셋인 2개의 리셋 신호를 갖는다.

제2도에 표시된 플래그 발생회로(12) 작동에 있어서 이러한 카운터가 선(54, 48)에서 각 리셋지령에 의해 리셋된 후, 기록 클럭펄스와 판독 클럭펄스의 수를 각각 계산하기 위해 기록 카운터 블록(40)과 판독 카운터 블록(42)을 이용한다. 바람직한 실시예에 있어서, FIFO 메모리(10)는 기록 포인터 또는 판독 포인터의 위치를 지정하기 위해 11데이터 비트를 요구하는 2048 기억셀을 구비한다.

카운터 블록(40, 42), 감산기 블록(58, 62), 그리고 비교기 블록(70, 72, 74, 98, 100)은 12비트 폭이고, 제12비트는 풀 FIFO 상태에서 공백 FIFO 상태를 구별하기 위해 사용된다. 일반적인 작동에 있어서는 기록 카운터(40)와 판독 카운터(42) 둘다는 동시에 리셋되나 당업자에 의해 이해되는 것과 같이, 기록 카운터(40) 또는 판독 카운터(42)는 정보를 어떤 메모리셀에 재기록 하거나 또는 정보를 어떤 메모리셀에서 판독하기를 요구할 때 여러번 분리하여 리셋된다.

감산기 블록(58)은 각각 출력단자(36, 32, 28)로 할프 풀 플래그, 올머스트 풀 플래그, 풀 플래그를 발생하는데 사용된다. 감산기 블록(58)은 기록 카운터 블록(40)으로부터 WQ버스(56)로 12비트 계산 데이터를 수신하고 그 데이터는 기록 클럭 신호의 상승에지에서 변화하며, 판독 카운터 블록(42)으로부터 RQN 버스(66)로 12비트 계산 데이터를 수신하고 그 계산은 판독 클럭신호의 하강에지에서 변화한다. 이러한 고유 클럭에지는 판독 및 기록 제어 회로소자와 결합하여 플래그 발생 회로소자가 동시에 기록되거나 판독되는 동일한 메모리셀이 발생하지 않도록 이 바람직한 실시예에서 사용된다.

감산기 블록(58)은 버스(56)상의 기록 계산에서 버스(66)상의 판독 계산을 감산하고 버스(68)에 그 차이를 제공한다. 할프 풀 비교기 블록(70), 올머스트 풀 비교기 블록(72), 그리고 풀 비교기 블록(74)은 버스(68)의 이 차이를 소정수의 셋 특히 버스(76)의 소정의 할프 풀 프로그램값, 버스(78)의 소정의 올머스트 풀 프로그램값 그리고 버스(80)의 소정의 풀 프로그램값과 비교한다. 비교기 블록(70, 72, 74)은 버스(68)상의 수가 버스(76, 78, 80)상의 프로그램값 이하 일 때 그들의 출력에 논리 1 레벨을 제공한다.

같은 방법으로 감산기 블록(62)은 버스(96)에 차이를 형성하기 위해, 데이터가 판독 클럭의 상승에지에서 변화하는 RQ버스(60)상의 12비트 계산 데이터를, 기록 클럭의 하강에지에서 변화하는 WQN 버스(64)상의 12비트 계산 데이터에서 감산한다. 버스(96)상의 수는 올머스트 공백 비교기 블록(98)에서 버스(102)상의 PAE 프로그램값과 비교되고, 공백비교기 블록(100)에서 버스(104)상의 PE 프로그램값과 비교된다.

비교기 블록(98,100)은 비교기 블록(70, 72, 74)과 같은 방법으로 작동한다. 즉 차이는 각 비교기 블록(98, 100)의 출력에서의 프로그램값 이하일 때 논리 1 레벨이 된다. 비교기 블록(98. 100)의 출력은 래치(108, 111)를 통하여 처리된 후 인버터(109, 112)를 통하여 단자(34)상에 올머스트 공백 플래그 신호 및 단자(30)상에 공백 플래그 신호를 각각 형성한다.

바람직한 실시예에서 프로그램값은 다음과 같다.

[표 1]

프로그램값 버스	프로그램값
PE	1
PAE	8
PHF	1025
PAF	2041
PF	2048

이러한 프로그램값에 의해 출력단자(28-36)상의 플래그 신호는 다음 논리 레벨을 가진다.

[표 2]

버스 68 또는 96상의 차이	BF(30)	AEF(34)	HFF(36)	AFF(32)	FF(28)
0	1	1	0	0	0
1	0	1	0	0	0
2-7	0	1	0	0	0
8	0	0	0	0	0
9-1024	0	0	0	0	0
1025	0	0	1	0	0
1026-2040	0	0	1	0	0
2041	0	0	1	1	0
2042-2047	0	0	1	1	0
2048	0	0	1	1	1

아래서 상세히 설명되는 데그리치회로(94, 114)는 의사신호가 이러한 출력상에 나타나는 시간동안 비교기블록(70, 72, 74, 98, 100)의 출력에서 출력 플래그 신호(28, 30, 32, 34, 36)를 분리 또는 격리하도록 작동한다. 특히 데그리치회로(94)는 기록 클럭펄스의 상승에지이나 판독 클럭펄스의 하강에지는 검출할 때, 1쇼트 펄스(shot pulse)를 래치(84, 88, 92)의 클럭 입력에 제공한다.

1쇼트 펄스의 폭은 기록 카운터 블록(40)과 판독 카운터 블록(42), 감산기 블록(58), 그리고 비교기 블록(70, 72, 74)을 통한 지연을 보상하기에 충분하다.

데그리치 회로(114)는 판독 클럭펄스의 상승에지이나 기록 클럭펄스의 하강에지를 검출할 때, 1쇼트 펄스를 래치(108, 111)에 제공함으로서 같은 방법으로 작동한다. 래치회로(84, 88, 92, 108, 111)는 데그리치 회로(94, 114)에서의 출력신호가 논리 0 레벨에 있는 시간 동안 계속적으로 그들의 입력에서 출력으로 데이터를 보내고, 각 데그리치 회로에서의 출력신호가 논리 1 레벨 시간 동안 즉, 1쇼트 펄스가 현존할 때, 입력으로부터 출력을 격리한다.

제3도는 기록 카운터 블록(40)과 판독 카운터 블록(42)의 논리도이다.

카운터 블록(40, 42)은 분석의 목적으로 6개 섹션으로 분할되는 12스테이지 카운터이고, 제1섹션(120)은 3개의 스테이지로 구성되며, 소자번호 122, 124, 126, 128로서 표시된 제2, 제3, 제4, 및 제5 섹션은 동일하고 각각은 2개의 스테이지를 포함하고 최종 섹션(130)은 단일 스테이지를 포함한다.

제3도에 표시된 것과 같이 카운터 블록(40, 42)의 각 스테이지는 T 플립플롭(132)을 사용하고, 스테이지는 선행하는 T 플립플롭의 Q출력의 모두가 논리 1 레벨일 때, T 플립플롭(132)들 각각의 T입력이 논리 0 레벨에 오도록 상호 연결된다. 카운터 블록(40, 42)은 스테이지간의 연결에 2개 및 3개 입력 NAND 게이트만을 사용하는 이점이 있다.

카운터 블록(40, 42)에서 사용되는 T 플립플롭(132)의 논리도는 제4도에 표시된다. T 플립플롭(132)의 Q와 QN출력은 T 입력이 논리 0 레벨이면 클럭펄스의 수신후 토글(toggle)하고, T입력이 논리 1 레벨이면 토글하지 않는다. 유리하게, 바람직한 실시예에서는 클럭 또는 C입력이 상승하고 클럭바 또는 CB입력이 하강 할 때인 클럭펄스의 상승에지에서 Q출력이 토글하고, 한편 실시예에서는 C입력이 하강하고 CB입력이 상승 할 때인 클럭펄스의 하강에지에서 QN출력은 변화한다.

제4도에서 표시된 것과 같이 T입력은 배타적 NOR 게이트(134)에서 T 플립플롭(132)의 Q출력과 결합된다. 배타적 NOR 게이트(134)의 출력은 D 플립플롭(135)의 D 입력에 접속되며, 상기 D 플립플롭(135)은 제1전송 게이트(136)와, 그 뒤에 연결된 2개의 역방향(back to back) 인버터(138, 140)와 그 뒤에 연결된 제2전송 게이트(142)와, 그 뒤에 연결된 또 다른 한쌍의 역방향 인버터(144, 146)로 구성된다. 그 후 인버터(144)의 출력은 T 플립플롭(132)의 Q출력을 형성한다. 배타적 NOR 게이트(134)와 D 플립플롭(135)은 종래의 방법으로 작동한다.

2개의 역방향 인버터(150, 152)에 의해 접속되는 또 다른 전송 게이트(148)를 포함하는 래치 스테이지(147)는 D 플립플롭(135)의 출력에 접속된다. 바람직한 실시예에서의 피드백 인버터(140, 146, 152)는 다른 회로소자에 의해 인입되는 출력을 가지는 저전력 인버터이지만, 이 충돌은 적당한 클럭신호에 의해 인에이블 되는 인버터(140, 146, 152)를 구비하여 피할 수가 있다. 인버터(150)에서의 출력은 QN출력을 형성하도록 인버터(154)에 의해 반전된다. 실시예에 있어서 제4도에 C와 CB로서 표시된 클럭과 클럭바 입력은 기록 카운터(40)를 위해 선(50, 52)과 판독 카운터(42)를 위해 선(44, 46)상에 제공된다. 바람직한 실시예에 있어서 클럭바 신호, CB는 제4도에 표시되는 인버터(154)에서 클럭 신호, C를 반전하는 것에 의해 형성될 수가 있다.

제4도에 표시된 것과 같이, 클럭입력이 논리 1 레벨이고 클럭바 입력이 논리 0 레벨일 때 전송 게이트(142)가 도전성이므로, Q출력은 클럭신호의 상승에지에서 변화한다. 그러나 대조적으로, 전송게이트(148)는 클럭 입력이 논리 0 레벨이고 클럭바 입력이 논리 1 레벨 일 때, 도전성이므로 QN출력은 클럭신호의 하강에지에서 변화한다.

선(156)상의 리셋 입력이 논리 1 레벨일 때는, Q와 QN출력 둘다를 논리 0 레벨로 변화시킨다(클럭입력이 논리 1 레벨로 상승하고, 리셋 입력이 논리 1 레벨인 시간 동안 클럭바 입력이 논리 0 레벨이 되도록 제공).

감산기 블록(58, 62)의 각 스테이지를 형성하는 감산기 회로(160)의 논리도는 제5도에 표시된다. 감산기 회로(160)는 W 입력에서 R 입력을 감산하고, 이 결과를 B로서 표시된 차용단자에 결합하여, 차이출력(D), 차이출력의 반전(DB), 및 차용 출력신호(B)를 제공한다.

R와 W입력은 배타적 OR 게이트(162)에 결합되고, 상기 게이트(162)의 출력은 전송 게이트(164)가 이전 스테이지로부터의 차용입력(B)을 차용출력 및 다음 스테이지로 전달하거나 다음 스테이지로부터의 차용입력(B)과 격리하도록 제어한다. 고임피던스 구동회로(166)는 전송게이트(164)가 비도전성일 때 B신호를 구동하고, 전송 게이트(164)가 도전성일 때 고임피던스 상태를 제공하도록 R입력과 W입력의 반전을 수신한다.

이리하여 R와 W입력이같은 논리 레벨일 때 전송게이트(164)는 도전성이 되어, B이 차용출력(B)으로 전송되고, 고임피던스 구동회로(166)의 출력은 고임피던스 상태가 된다. R와 W가 같은 논리 레벨이 아닐 때, 전송게이트(164)는 비도전성이 되며, 고임피던스 구동회로(166)의 출력은, R가 논리 1 레벨이고 W가 논리 레벨이면 논리 1 레벨이 되고, 반대로 W가 논리 1 레벨이고 R가 논리 0 레벨이면 논리 0 레벨이 된다.

배타적 OR 게이트(162)의 출력은 전송 게이트(168, 170)중의 하나를 통하여 통과되고, D출력과 DB출력을 형성하도록 차용입력(B) 신호에 의해 제어된다.

제6도는 비교기 블록(70, 72, 74, 98, 100)중의 1 스테이지를 형성하는 비교기 회로(172)의 논리도이다.

비교기 회로(172)는 2개의 전송게이트(174, 176)로 구성된다. 2개의 입력(G, P)중의 하나는 2개의 전송게이트(174, 176)의 도전상태에 의존하는 출력(G)에 전송된다. 전송게이트(174, 176)의 도전성은 2개의 추가 입력신호(X, XB)에 의해 제어된다. X가 논리 0 레벨이고 XB가 논리 1 레벨일 때, G입력은 Gi출력으로 전달되고, P입력은 G출력에서 격리된다. 반대로 X 입력이 논리 1 레벨이고 XB 입력이 논리 0 레벨일 때, P입력은 G출력으로 전달되고, G입력은 G출력에서 격리된다.

제7도에서 감산기 블록(58)과 올머스트 풀 비교기블록(72)은 더 상세하게 표시된다.

감산기 블록(58)은 12개의 감산기 회로(160)로 구성된다. 각 감산기 회로(160)는 WQ버스(56)상의 대응 데이터선에서 W입력과 RQN 데이터 버스(66)상의 대응 데이터선에서 R입력을 가진다.

제7도에 있어서, 차이의 최하위 비트를 발생하는 감산기 회로(160)는 도면의 왼편에 소자번호 180으로 표시되며, 다음 최하위 비트는 다음 감산기 회로(182)에 의해 발생되고, 그 후에는 소자번호 184, 186, 188, 190, 192 및 감산기 블록(58)의 최상위 비트의 감산기 회로(160)를 표시하는 소자번호 194로서 표시된 다음 상위 비트의 감산기 회로들이 연결된다.

차용체인은 접지에 접속되는 감산기 회로(180)의 차용입력을 가지며, 제7도를 통하여 수평으로 이동하고, 차용출력은 감산기 회로(182)의 차용입력에 접속된다. 감산기 회로(182)의 차용출력은 인버터(196)의 입력에 접속되고, 그 출력은 감산기 회로(184)의 차용입력에 접속된다. 같은 방법으로, 인버터는 체인에서 모든 다른 감산기회로(160)와 다음의 감산기회로(160)간의 차용체인에 접속된다.

인버터(196)는 차용입력이 전송게이트만을 통하여 감산기 회로(160)에서 차용출력에 전송되기 때문에 필요하고, 따라서 인버터(196)는 감산기 블록(58)을 통하여 차용신호를 증폭하기 위해 사용된다.

인버터(196)의 효과는 감산기 블록(58)에서 2개 감산기 회로(160)의 모든 다른 셋에 반전되는 차용신호를 발생하는 것이다. 제7도에 있어서 감산기 회로(184, 186, 192, 194)는 차용체인을 반전한다. 차용체인을 반전하는 감산기 회로(160)는 감산기블록(58)의 음성논리 부분으로서 여기에 적용된다.

다른 감산기 회로(160), 예를들면 제7도에 표시된 반전된 차용체인을 가지지 않은 감산기회로(180, 182, 188, 190)는 감산기 블록(58)의 양성 논리 부분으로서 여기에 적용된다. 음성논리 부분의 효과는 아래서 설명하는 방법으로 보상된다.

버스(68)의 감산기 블록(58)의 출력은 제2도를 참조하여 상기 설명한 바와 같이 3개 비교기회로(70, 72, 74)의 입력에 접속된다. 올머스트 풀 비교기 블록(72)의 논리도는 제7도에 표시된다. 비교블록(72)은 12개의 비교기 회로(172)를 포함한다. 최하위 비트를 비교하는 비교기 회로(172)는 소자 200으로 제7도에서 왼족에 표시된다. 다음 계속되는 유효 비트를 위한 비교기 회로(172)는 비교기 회로(202, 204, 206, 208, 210, 212)이고, 비교기 회로(214)는 비교 블록(72)에서 최상위 비트를 비교한다.

비교기 회로(200)는 접지에 접속되는 제7도에 G로서 표시된 G입력을 가진다. G으로 표시된 G출력은 비교기 회로(202)의 G입력에 접속된다.

G로서 표시된 비교기 회로(202)의 G출력은 인버터(216)의 입력에 접속되고, 그 출력은 G로서 표시된 비교기 회로(204)의 G입력에 접속된다.

같은 방법으로 인버터(216)는 모든 다른 비교기회로(172)와 그 다음 계속되는 회로간의 신호통로를 증폭하고 반전하기 위해, 비교기 체인에서 모든 제2 비교기 회로(172)의 G출력과 다음 비교기 회로(172)의 G입력 사이에 접속된다. 인버터(196)와 같이 인버터(216)는 비교기 회로(172)가 증폭 없이 전송게이트만으로 구성되기 때문에 비교기 회로(172)들간의 신호를 증폭하기 위해 작동한다.

인버터(216)의 효과는 2개의 비교기 회로(172)의 모든 다른 셋에서 반전되는 비교기 블록(72)을 통하여 비교신호(G)를 생성하는 것이다. 따라서, 제7도에서 비교기 회로(204, 206, 212, 214)는 반전된 비교신호(G)를 갖는다.

반전된 비교신호(G)를 갖는 비교기 회로(172)는 비교기 블록(72)의 음성 논리부분으로서 여기에 적용된다.

다른 비교기 회로(172), 예를 들면 반전된 비교신호(G)를 가지지 않는 제7도에 표시된 비교기 회로(200, 202, 208, 210)는 비교기 블록(72)의 양성 논리부분으로서 여기에 적용된다. 감산기 블록(58)의 음성 및 양성논리 부분의 비트부분은 비교 블록(72)의 음성과 양성 논리부분의 비트부분에 대응한다. 비교기 블록(72)의 음성 논리부분의 효과는 이하 설명되는 방법으로 보상된다. 최종 인버터(218)는 선(86)상에 출력 신호를 형성하기 위해 비교기 회로(214)의 G로서 표시된 G출력에 접속된다.

제7도의 저면에는 오른쪽에 최상위 비트와 왼쪽에 최하위 비트를 갖는 올머스트 풀 플래그를 위한 프로그램값의 개별 비트가 있다. 올머스트 풀 레지스터(72)의 프로그램값은 2진 포맷에서 최상위 비트와, 제2와, 제3 하위 비트가 2진 1인 잔존 비트를 갖는 2진 0인 것을 뜻하는 2,041이다.

개별 감산기 회로(160)와 개별 비교기 회로(172)간의 접속을 위한 알고리즘은 특정 비트의 프로그램값이 2진 0이면, 감산기회로(160)에서 비교기 회로(172)의 X입력까지 D출력을 접속하고, 감산기 회로(160)에서 비교기 회로(172)의 XB입력까지 DB출력을 접속하며, 프로그램값이 2진 1이면, 비교기 회로(172)의 XB입력에 감산기회로(160)의 D출력을 접속하고, 비교기(172)의 X입력 감산기 회로(160)의 DB출력을 접속하는 것이다.

이러한 접속은 프로그램값의 프로그래밍을 촉진하도록 금속층에서의 바람직한 실시예에서 유리하게 만들어진다.

비교기 회로(172)에 P입력의 접속을 위한 알고리즘은 프로그램값이 논리 1이고 비교기 회로(172)가 비교기블록(72)의 양성 논리 부분에 있으면, P에 VCC를 접속하는 것이고, 프로그램값이 0이면 P입력을 접지

하는 것이다.

비교기 회로(172)가 비교기 블록(72)의 음성 논리 부분에 있으면, P입력은 프로그램값이 2진 1이면 접지에 접속되고, 프로그램값이 2진 0이면 VCC에 접속된다. 이러한 방법으로 감산기 블록(58)과 비교기 블록(72)의 음성 논리 부분의 효과는 보상된다.

제7도에 표시된 것과 같이 비교기 블록(720)과 감산기 블록(58)의 작동은 선(86)에 GOUT 신호가 출력됨으로서 이해될 수가 있다. 선(86)상의 GOUT 신호는 프로그램값이 감산기 블록(58)에서의 차이보다 더 크면, 논리 1 레벨이 된다. 프로그램값이 상기 차이와 동일하거나 또는 그 이하이면, 선(86)상의 GOUT는 논리 0 레벨이 된다.

FIFO 메모리(10)의 리셋을 즉시 따르는 경우를 고려하면, 이 상태하에서 감산기 블록(58)의 출력은 논리 0 레벨, 즉 감산기 회로(160)의 D이 논리 0 레벨이 되고 DB출력이 논리 1 레벨이 된다. 선(86)상의 GOUT 신호에서 돌아와 비교기 회로(214)의 출력은 비교기가 G입력에서 G출력까지 통과하므로 비교기회로(214)의 G입력과 같게 된다. 이전 스테이지에서의 G출력은 비교기 회로(212)와 동일하게 배치되는 비교기에 의해 제공된다.

X과 XB입력을 제공하는 감산기 회로(160)에서 비교기까지의 차이입력은 비트 10의 프로그램값이 논리 1이기 때문에 상호교환(감산기 회로 110에서의 출력을 반전하는 것에 의해)되므로, 제2상위 비트의 비교기(172)에서의 G출력은 프로그램값이 논리 1이고 비교기가 음성논리 부분에서 작동하기 때문에 접지가 되는 P입력과 같게 된다. 따라서 이 비교기의 출력(G)은 논리 0 레벨이고, 비교기 회로에 의해 인버터(218)의 입력으로 전달되어 GOUT선(86)상에 논리 1 레벨을 배치하도록 반전된다.

GOUT선(86)은 프로그램값 이하인 감산기 블록(58)에서의 모든 차이를 위한 논리 1 레벨을 남긴다. 이러한 값들 각각에 대해 비교기 회로(202, 204, 214)와는 다른 적어도 하나의 비교기 회로(172)는 논리 1 레벨이 되는 선(86)상의 GOUT 신호를 발생하는 G출력에 접속되는 P입력을 가진다.

감산기 블록(58)에서의 차이가 프로그램값과 같을 때 각 비교기 회로(172)는 G입력이 G출력에 통과되도록 그들의 X와 XB입력상에 신호를 가지며, 비교기 회로(200)의 G입력에 접속되는 접지는 선(86)상에 논리 0 신호를 두기 위해 인버터(216, 218)에 의해 반전한 후, 비교기 체인을 통하여 통과된다. 인버터(216)의 수는 인버터(218)를 더하여 짝수를 형성하고, 이리하여 비교기 회로(172)에서의 접지 입력은 선(86)상에 논리 0을 형성한다.

감산기 블록(58)에서의 차이가 프로그램값 보다 1 더 클 때, 비교기 회로(202)는 G출력으로 P입력의 접지 입력을 배치하고, 비교기 회로(200)의 상태는 무시된다. 이리하여 선(86)상의 GOUT 신호는 논리 0에 머무른다.

감산기 블록(58)에서의 모든 다른 더 큰 차이값에 대해, 어느 한 비교기 회로(202, 204, 214)는 G출력에 P입력을 배치하고 선(86)상의 GOUT 신호는 논리 0 레벨이 된다.

제8도에 있어서는 데그리치 회로(94)와 래치회로(88)의 논리도가 표시된다. 데그리치 회로(114)와 래치회로(84, 92, 108, 111)는 제8도에 표시된 데그리치 회로(94) 및 래치회로(88)와 같은 회로도를 가진다. 선(50)상의 WC 클럭 신호는 브랭킹회로(220)의 입력에 접속된다. 브랭킹회로(220)의 선(50)상의 클럭입력은 제1인버터(224)의 입력에 접속되고, 제1인버터(224)의 출력은 제2인버터(226)의 입력에 접속된다.

인버터(226)의 출력은 비교기 블록(228)에서 제1비교기회로(172)의 G-1입력에 접속된다. 비교기 블록(228)은 접지에 접속되는 비교기 회로(172)의 X입력과 VCC에 접속되는 XB입력을 갖는 비교기 블록(70, 72, 74, 98, 100)과 같은 회로소자이다. 비교기 블록(228)의 출력은 1쇼트(230)의 입력에 접속되고, 선(231)상의 출력은 2개의 NAND 게이트의 교차 연결 배열에 의해 형성되는 RS 플립플롭(232)의 제1입력에 접속된다. 선(50)상의 클럭입력은 또한 제2 1쇼트(234)의 입력에 접속되고, 선(235)상의 출력은 RS 래치(232)의 제2입력에 접속된다.

선(233)상의 RS 래치(232)의 출력은 NOR 게이트(236)의 제1입력에 접속되고, NOR 게이트(236)의 출력은 제2도에 표시한 것과 같이 선(93)상에 데그리치 회로(94)의 출력을 형성한다. 선(93)상의 이 출력은 래치(88)의 클럭입력에 접속된다.

래치(88)에의 D입력은 제7도에 표시된 GOUT선(86)인 제8도에서의 GNI으로 표시된 선(86)상에 있다.

선(48)상의 리셋 신호(WR)는 기록 리셋 작동 동안 접지로 RS 래치(232)의 선(233)상의 출력을 접속하도록 작동하는 n채널 트랜지스터(246)의 게이트에 접속된다.

NOR게이트(236)에의 제2입력은 제2블랭킹회로(220')의 출력에 의해 구동된다. 블랭킹 회로(220')는 블랭킹 회로(220)와 같은 회로이고, 선(46)상의 RCB신호가 클럭 입력에 접속되고 선(54)상의 RR신호는 리셋 입력에 접속된다.

래치(88)의 클럭입력은 인버터(247)의 입력과 전송게이트(248)의 n-채널게이트에 접속된다. 인버터(247)의 출력은 전송게이트(248)의 p-채널 게이트에 접속된다. 제8도에서 선(86)상의 GIN 신호인 래치(88)의 D입력은 전송게이트(248)를 통하여 인버터(250)의 입력으로 전송되고 인버터(250)의 출력은 선(32)상에 올머스트 풀 플래그 신호, AFF를 형성한다.

또 다른 인버터(252)는 래치(88)의 래치부분을 형성하기 위해, 인버터(250)의 입력에 접속되는 출력과, 인버터(250)의 출력에 접속되는 입력을 가진다.

비록 간소화를 위해 NOR 게이트(236)의 출력에서 래치회로(88)의 클럭 입력까지의 선(93)상의 단일클럭 신호가 제2도와 제8도에 표시되었지만, 바람직한 실시예에 있어서 인버터(247)는 데그리치 회로(94)의 부분이고, NOR 게이트(236)와 인버터(247)의 출력으로 구성되는 2개의 클럭선이 래치(88)에 각각 송달된다.

제8도에 표시된 데그리치 회로(94)의 작동은 제9도를 참조하여 설명된다. FIFO 메모리(10)가 판독클럭 또는 기록클럭을 수신하지 않는 동안, NOR 게이트(236)의 출력은 논리 1 레벨이고, 전송 게이트(248)는 도전성이며, 선(86)상의 GIN 신호는 인버터(250)를 통하여 단자(32)상의 AFF 신호 출력으로 전달된다. 선(50)상의 기록 클럭 신호의 상승에지를 수신할 때, 1쇼트(234)는 제9도에 표시된 것과 같이 선(235)상의 출력에 펄스를 발생한다.

선(235)상의 이 출력 펄스는 제9도에 표시된 논리 1 레벨에 선(233)상에 RS 래치(232)출력을 셋한다. 노드(233)에서의 이 논리 1 레벨은 전송게이트(248)가 비도전성이 되게하고 그래서 GIN선(86)상의 어떤 변화도 전송게이트(248)가 또다시 인에이블 될 때까지, AFF 신호의 이전 상태를 보전하는 인버터(250, 252)에 의해 무시된다. 선(50)상의 기록 클럭의 상승에지는 기록 카운터블록(40)을 통한 지연을 보상하는 인버터(224, 226)를 통하여 통과된다. 만약 기록카운터 블록(40)을 통한 지연의 보상이 요구되면, 추가 한쌍의 인버터가 인버터(224, 226)와 직렬로 설정된다.

인버터(226)에서의 출력은 감산기 블록(58)과 비교기블록(70, 72, 74)을 통한 지연을 정합하기 위해 비교기 체인(228)을 통하여 공급된다. 유리하게 감산기 블록(58)과 비교기 블록(70, 72, 74) 둘다를 통한 데이터 흐름은 제7도의 왼쪽에서 오른쪽으로 평행으로 이동하고, 그러므로 지연은 누적되는 것이 아니고 오히려 연속적이다.

비교기 블록(228)에서 출력의 상승에지는 제9도에 표시된 것과 같이 RS 래치(232)를 리셋하는 출력노드(231)에서 펄스를 발생하는 1쇼트(230)를 시동한다. 이리하여 RS 래치(232)가 리셋되는 시간에, 전송 게이트(248)가 데그리치 회로(220')의 작동에 의해 동시에 디스에이블 되지 않으면, 전송게이트(248)는 또다시 인에이블된다.

블랭킹회로(220')의 작동은 블랭킹 회로(220)의 방금 설명된 작동과 같다.

제9도에는 비트들 중의 하나인, 예를 들면 기록 카운터(40)에서의 WQ출력인 버스(56)로부터의 비트 0이 표시된다. 제9도에 표시된 것과 같이, 버스(56)상의 데이터 비트는 기록 클럭 펄스의 상승에지에서 변화한다.

대조적으로 판독 카운터(42)에서의 RQN출력인 버스(66)상의 비트중의 하나, 예를 들면 비트 0은 제9도에 표시한 것과 같이 판독 클럭바 신호의 하강에지에서 변화한다. 1쇼트(230', 234')(1쇼트 230, 234와 같은)는 판독클럭바 신호의 상승에지인 그들의 입력에서 하강에지 펄스를 무시하고, 이리하여 RS 래치(232')의 상태는 판독클럭바 신호의 하강에지가 검출될 때까지 변화하지 않는다.

판독 클럭바 신호의 하강에지의 이 상승에지에 1쇼트(234')가 전송게이트(248)를 비도전성으로 만들기 위해, RS 래치(232')를 셋하고, 그 후, 블랭킹회로(220)가 동시에 도전성이 되는 것으로부터 전송게이트(248)를 지키지 않는 것을 가정하면, 판독 클럭바 신호의 지연된 하강에지는 전송게이트(248)를 다시 도전성으로 하기 위해 RS 래치(232')를 리셋시키는 1쇼트(230')를 시동한다. 선(231')상의 1쇼트(230')와 선(235')상의 1쇼트(234')에서의 출력과 선(233')상의 RS 래치(232')에서의 출력은 제9도에 표시된다.

위에서 설명한 플래그 발생회로(12)는 2개의 비동기 클럭 신호들간의 시간 지연의 출력 신호 표시를 제공한다. 이 표시는 2개의 비동기 포인터와 프리셋 값간의 상대적인 차이를 비교하는 것에 의해 제공된다. 이 회로소자는 동일한 기본 회로소자를 사용하는 다중 상태 플래그의 발생을 허용한다. 또, 1셋의 카운터만으로서 각종 플래그를 수용하는 것이 필요하다.

또한, 비교기 블록(70, 72, 74, 98, 100)을 통한 전파 지연과 함께 감산기 블록(58, 62)을 통한 전파 지연과 2개 블록의 직렬 작동에 대향하는 이러한 블록을 통한 평행 작동의 정합은 빠른 클럭 사이클 회수를 허용한다.

감산기 블록(58, 62)에서 차용 체인을 위한 신호로가 비교기 블록(70, 72, 74, 98, 100)을 위한 신호로에 정합되기 때문에 전파 지연이 정합된다. 이러한 신호로는 전송게이트와 인버터의 동일수로 구성된다.

또한, 상기 회로소자에 의해 발생되는 플래그는, 플래그의 발생이 판독 펄스 또는 기록펄스가 어느 종래 기술 회로에서 행하여진 후, 2개 카운터의 상태의 샘플링과 같은 순시 사건이 아니고, 카운터의 전류 상태에 의거한 계속적인 신호에 의존하기 때문에, 대폭적인 조정이 가능하다.

또한, 프로그램값이 이러한 프로그램값의 용이한 수정을 허용하는 금속-1 또는 금속-2에서 용이하게 프로그램된다.

또 다른 이점으로서, T 플립플롭(132)은 회로소자의 최소량으로 Q와 QN신호 둘다를 제공하고, 그것에 의해 클럭펄스의 상승에지와 하강에지에서 변화하는 데이터를 제공한다.

(57) 청구의 범위

청구항 1

T 입력단자와 클럭입력과 제1 및 제2출력단자를 갖는 T 플립플롭에 있어서, 제1출력단자에 결합된 제1입력과, 상기 T 입력단자에 결합된 제2입력을 가진 배타적 NOR 게이트와, 클럭 신화가 제1논리 상태일 때는 상기 배타적 NOR 게이트의 출력 단자를 내부 노드에 결합시키고, 클럭 신호가 제2논리 상태일 때는 상기 배타적 NOR 게이트의 출력단자를 내부 노드로부터 격리시키는 제1 회로소자와, 클럭 신호가 제2논리 상태일 때는 내부 노드를 T 플립플롭의 제1출력단자에 결합시키고, 클럭 신호가 제1논리 상태일 때는 내부 노드를 T 플립플롭의 제1출력단자로부터 격리시킴으로써, 상기 클럭신호가 제1논리 상태에서 제2논리 상태로 바뀔 때, T 플립플롭의 제1출력단자의 상태를 변화시키는 제2회로소자와, 클럭 신호가 상기 제1논리 상태일 때는 제1출력단자를 제2출력단자에 결합시키고, 클럭 신호가 상기 제2논리 상태일 때는 제1출력단자를 제2출력단자로부터 격리시킴으로써, 상기 클럭신호가 제2논리상태에서 제1논리상태로 바

꿜 때 T 플립플롭의 제2출력의 상태를 변화시키는 제3 회로 소자를 구비하는 것을 특징으로 하는 T 플립플롭.

청구항 2

T 입력단자와, 클럭 입력단자와, 제1 및 제2출력단자를 각각 가지며, 배타적 NOR 게이트와, 상기 T 입력단자에 접속된 제1 입력과, 상기 제1출력단자에 결합된 제2입력과, 클럭 신호가 상기 제1논리 상태일 때는 사이 배타적 NOR 게이트의 출력을 내부 노드에 결합시키고, 클럭 시호가 제2논리 상태일때는 상기 배타적 NOR 게이트의 출력을 상기 내부 노드로부터 격리시키는 제1전송 회로 소자와, 상기 클럭 신호가 상기 제2논리 상태일 때는 내부 노드를 제1출력단자에 결합시키고, 상기 클럭 신호가 상기 제1논리 상태일 때는 내부 노드를 제1출력단자로부터 격리시키는 제2 전송회로소자와, 상기 클럭신호가 상기 제1논리 상태일 때는 제1출력단자를 제2출력단자에 결합시키고, 상기 클럭 신호가 상기 제2논리 상태일 때는 제1출력단자를 제2출력단자로부터 격리시키는 제3 전송 회로 소자를 더 포함하는 N 복수개의 T 플립플롭과, 상기 T 플립플롭의 제1 및 제2출력은 상기 클럭 입력단자에 인가된 클럭 신호와 동기된 소정의 시퀀스대로 토글되고, 상기 T 플립플롭들의 제1출력단자는 상기 클럭 신호의 상승에지와 동기되어 상태를 변화하고, 상기 T 플립플롭들의 제2출력단자는 상기 클럭 신호의 하강에지와 동기되어 상태를 변화하도록 상기 N 복수개의 T 플립플롭들을 서로 연결하는 상호접속 수단을 구비하는 것을 특징으로 하는 N 비트 카운터.

청구항 3

클럭 신호와 동기되어 T 플립플롭의 입력에서 제1 및 제2출력으로 데이터를 전송하는 방법에 있어서, 배타적 NOR 게이트에 대한 입력으로서 T 플립플롭의 상기 제1출력 단자와 T 플립플롭의 상기 입력단자를 결합하는 단계와, 상기 클럭 신호가 제1논리 상태일 때는 상기 배타적 NOR 게이트의 출력을 내부 노드에 결합시키고, 상기 클럭 신호가 제2논리 상태일 때는 상기 게이트의 출력단자를 상기 내부 노드로부터 격리시키는 단계와, 상기 클럭 신호가 제2논리 상태일 때는 상기 내부 노드를 제1출력단자에 결합시키고, 상기 클럭 신호가 제1논리 상태일 때는 상기 내부 노드를 제1출력단자로부터 격리시킴으로써, 상기 클럭 신호가 제1논리 상태에서 제2논리 상태로 바뀔 때, T 플립플롭의 제1출력이 갱신되도록 하는 단계와, 상기 클럭 신화가 제1논리 상태일 때는 T 플립플롭의 제1출력을 T 플립플롭의 제2출력에 결합시키고, 상기 클럭 신호가 제2논리 상태일 때는 제1출력단자를 제2출력단자로부터 격리시킴으로써 상기 클럭신호가 제2논리 상태에서 제1논리 상태로 바뀔 때, T 플립플롭의 제2출력이 갱신되도록 하는 단계를 포함하는 것을 특징으로 하는 데이터 전송 방법.

청구항 4

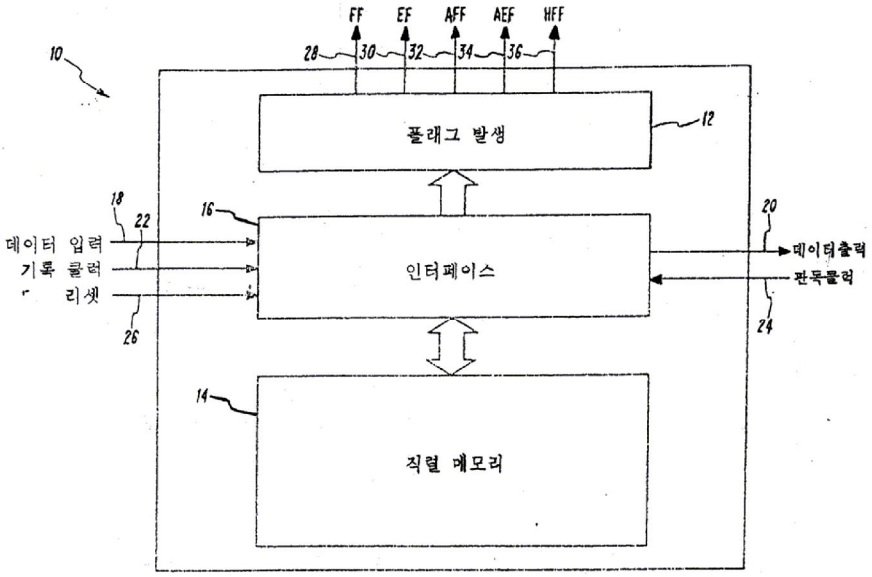
제1항에 있어서 상기 제1 회로 소자는 제1 래치와, 클럭 입력과, 배타적 NOR 게이트의 출력과, 제1 래치의 입력에 접속되어서 클럭 입력이 상기 제1논리 상태일 때에만 배타적 NOR 게이트의 출력을 제1 래치 입력에 접속시키는 제1 게이트를 구비하고, 상기 제2회로 소자는 상기 제1출력에 접속된 출력을 가지는 제2 래치와, 상기 제1 래치의 출력과 상기 제2 래치의 입력에 접속되어서 클럭 입력이 제2논리 상태일 때에만 제1 래치의 출력을 제2 래치의 입력에 접속시키는 제2 게이트를 구비하며, 상기 제3 회로 소자는 상기 제2출력에 접속된 출력을 가지는 제3 래치와 상기 제1출력과 제3 래치의 입력에 접속되어서 클럭 입력이 제1논리 상태일 때에만 제1출력을 제3 래치 입력에 접속시키는 제3 게이트를 구비하는 것을 특징으로 하는 T 플립플롭.

청구항 5

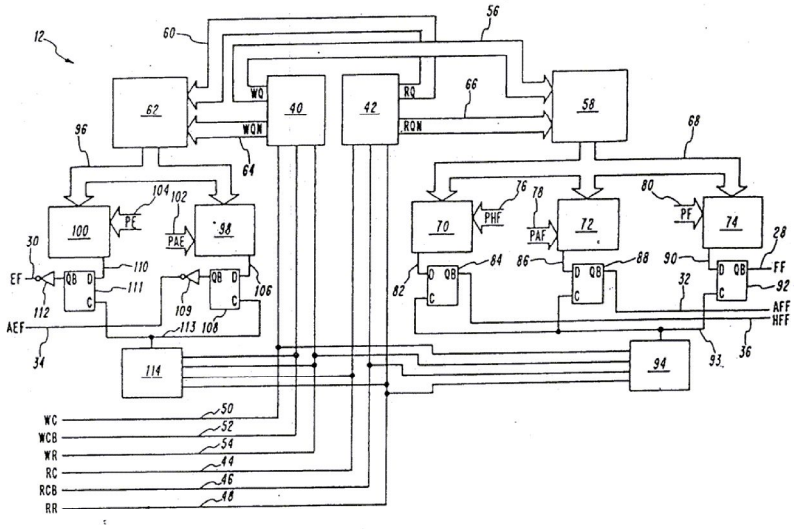
제4항에 있어서 상기 래치들 각각은 래치 입력에 접속된 입력과 래치 출력에 접속된 출력을 갖는 제1 인버터와, 래치 출력에 접속된 입력과 래치 입력에 접속된 출력을 갖는 제2 인버터를 구비하고, 상기 제3 래치는 상기 래치 출력과 제2출력사이에 접속된 제3 인버터를 더 구비하는 것을 특징으로 하는 T 플립플롭.

도면

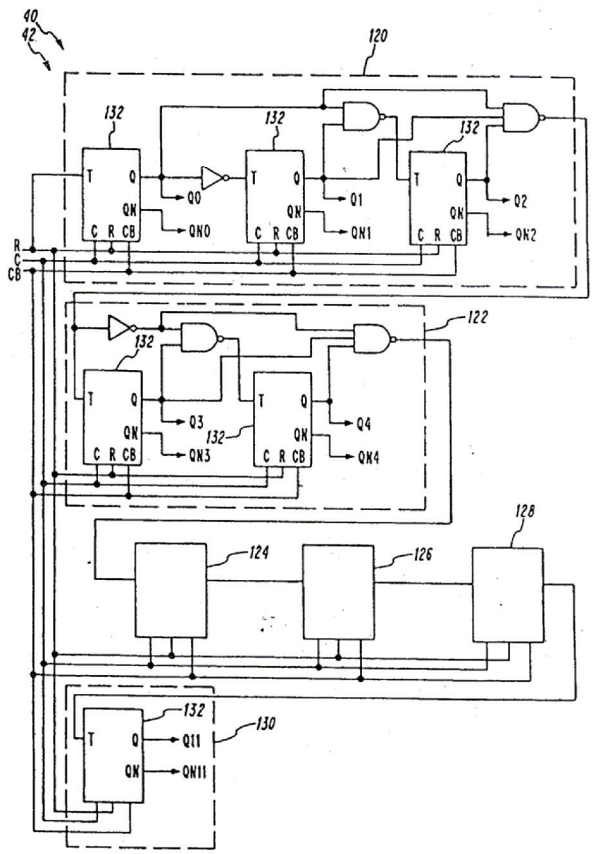
도면1


FF
EF
AFF
AEF
HFF
플래그 발생
인터페이스
직렬 메모리
데이터 입력
기록 클럭
리셋
데이터출력
판독클럭

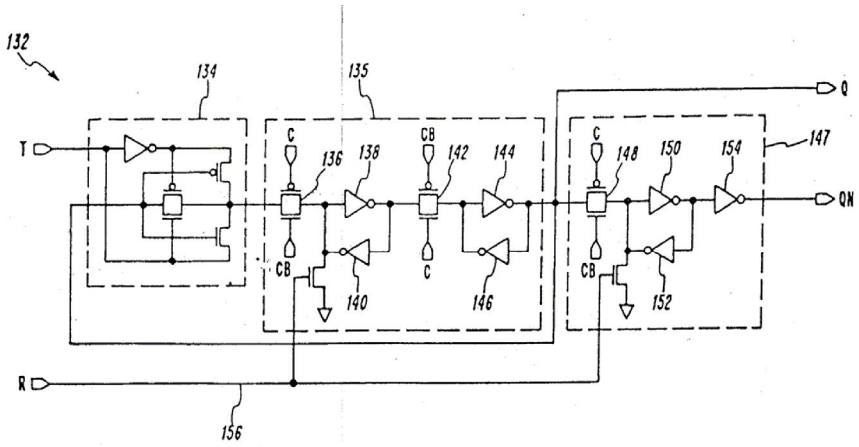
도면2


WQ
WQN
RQ
RQN
PF
PAE
PHF
PAF
EF
AEF
FF
AFF
HFF
WC
WCB
WR
RC
RCB
RR

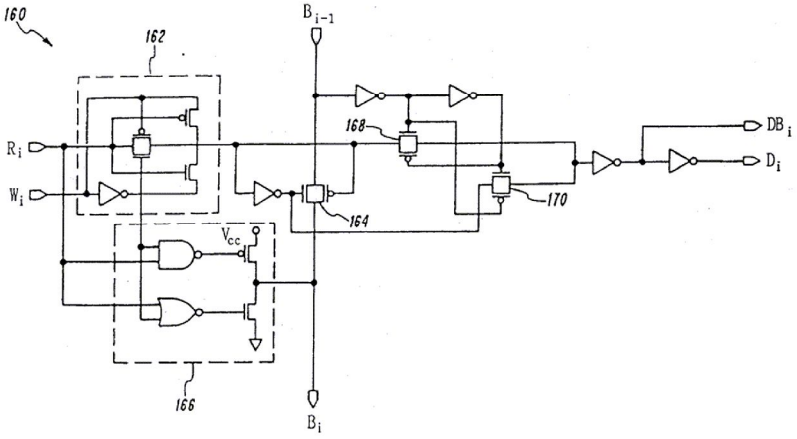
도면3


40
42
120
132
T
Q
QN
C R CB
Q0
QN0
Q1
QN1
Q2
QN2
R
C
CB
122
Q3
QN3
Q4
QN4
128
124
126
130
Q11
QN11

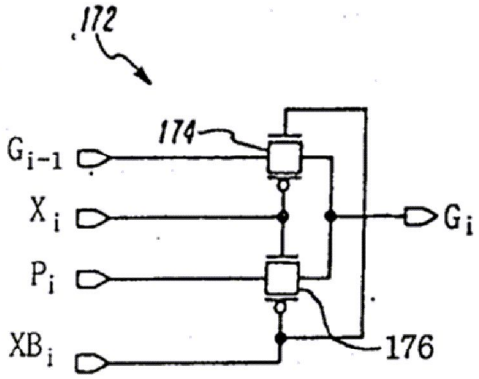
도면4


132
134
135
T
C
CB
136
138
140
142
144
146
148
150
152
154
147
Q
QN
R
156

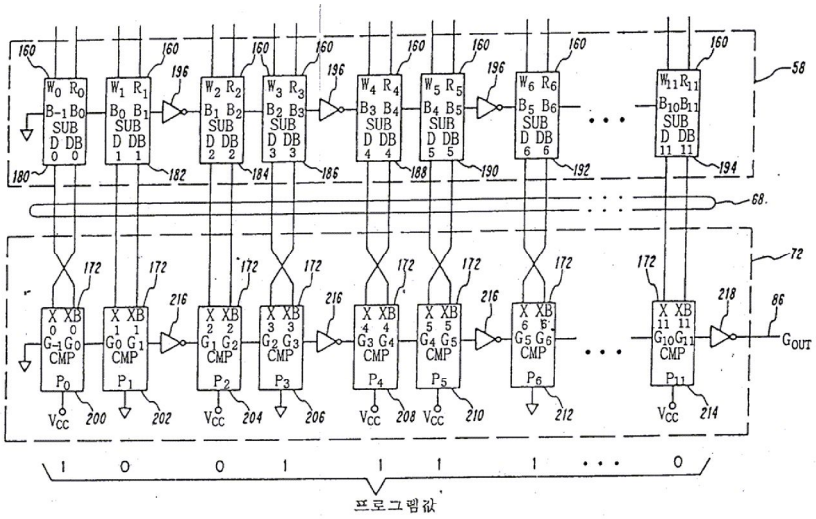
도면5


160
162
B_{i-1}
R_i
W_i
168
DB_i
D_i
164
170
V_{cc}
166
B_i

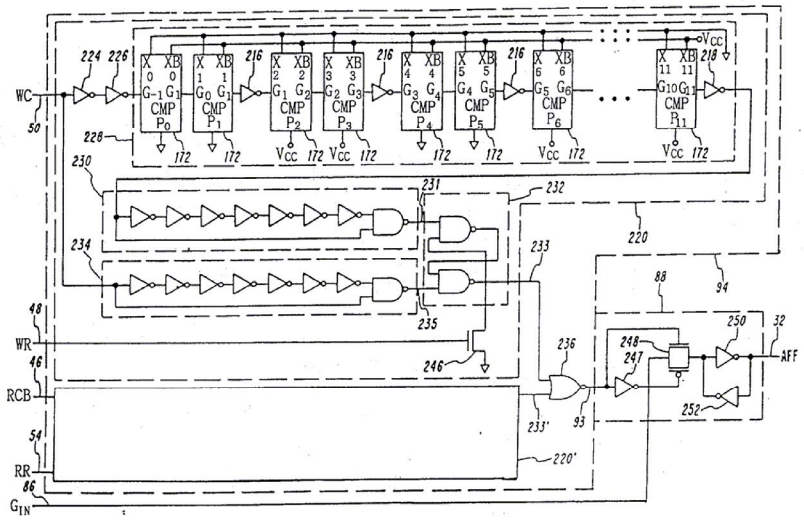
도면6


172
174
G_{i-1}
X_i
P_i
XB_i
G_i
176

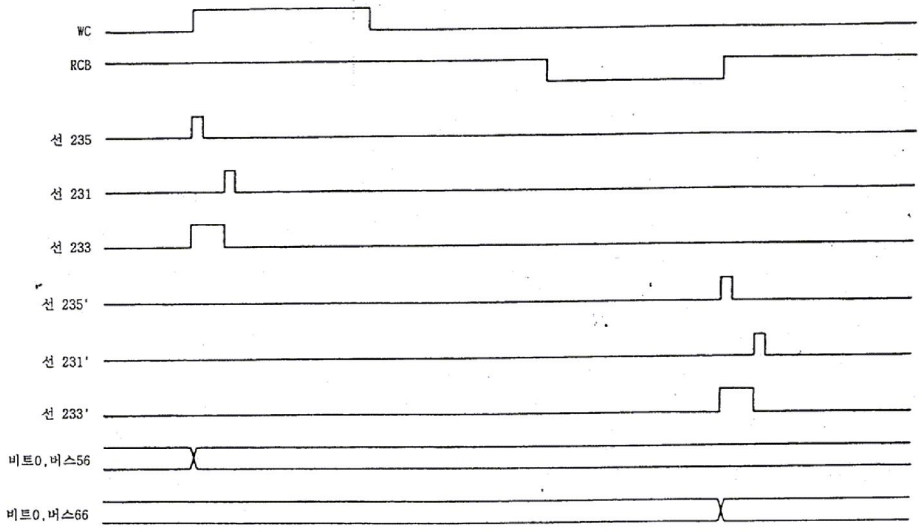
도면7


160
196
58
180
182
184
186
188
190
192
194
68
72
172
216
218
86
G_{OUT}
V_{CC}
200
202
204
206
208
210
212
214
1 0 0 1 1 1 1 ... 0
프로그램값

도면8


WC
50
224
226
228
230
231
232
233
234
235
220
88
94
48
WR
46
RCB
54
RR
86
GIN
246
236
248
247
250
32
AFF
252
233'
93
220'
CMP
Vcc
172

도면9


WC
RCB
선 235
선 231
선 233
선 235'
선 231'
선 233'
비트0,버스56
비트0,버스66