



(10) **DE 10 2017 204 743 B4** 2021.06.24

(12) **Patentschrift**

(21) Aktenzeichen: **10 2017 204 743.7**  
(22) Anmeldetag: **21.03.2017**  
(43) Offenlegungstag: **28.09.2017**  
(45) Veröffentlichungstag  
der Patenterteilung: **24.06.2021**

(51) Int Cl.: **H03F 3/45 (2006.01)**  
**H03F 3/181 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**15/078,199**                      **23.03.2016**      **US**

(73) Patentinhaber:  
**Infineon Technologies AG, 85579 Neubiberg, DE**

(74) Vertreter:  
**Schoppe, Zimmermann, Stöckeler, Zinkler,  
Schenk & Partner mbB Patentanwälte, 81373  
München, DE**

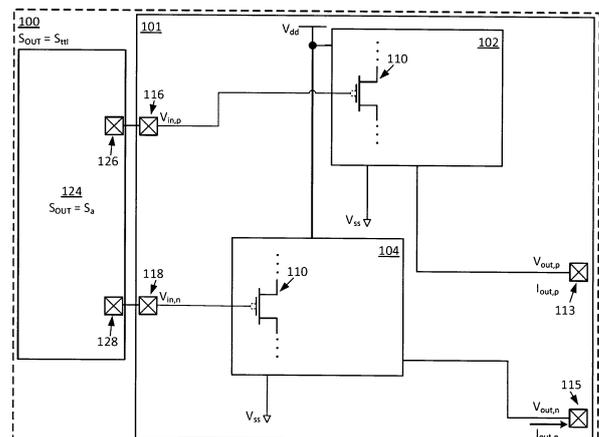
(72) Erfinder:  
**Gaggl, Richard, Pörschach, AT; Muehlbacher,  
Benno, St. Magdalen, AT; Valli, Luca, Villach, AT**

(56) Ermittelter Stand der Technik:

<b>DE</b>	<b>10 2014 109 908</b>	<b>A1</b>
<b>US</b>	<b>2005 / 0 057 304</b>	<b>A1</b>

(54) Bezeichnung: **System und Verfahren für Signalverstärkung unter Verwendung eines Widerstandsnetzwerks**

(57) Hauptanspruch: Verstärkungsrichtung, umfassend:  
ein Widerstandsnetzwerk, gekoppelt zwischen einem ersten Ausgang der Verstärkungsrichtung und einem zweiten Ausgang der Verstärkungsrichtung,  
einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten der Verstärkungsrichtung, und einem ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem ersten Knoten;  
einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten der Verstärkungsrichtung, und einem ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem zweiten Knoten;  
einen kapazitiven Sensor, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten;  
einen ersten Umkehrverstärker, umfassend einen Eingang, gekoppelt an einen zweiten Lastweganschluss des ersten Transistors, und einen Ausgang, gekoppelt an einen ersten Ausgangsknoten der Verstärkungsrichtung; und  
einen zweiten Umkehrverstärker, umfassend einen Eingang, gekoppelt an einen zweiten Lastweganschluss des zweiten Transistors, und einen Ausgang, gekoppelt an einen zweiten Ausgangsknoten der Verstärkungsrichtung  
gekennzeichnet dadurch, dass:  
der erste Umkehrverstärker umfasst:  
eine dritte Stromquelle;  
einen dritten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Lastweganschluss des ersten Transistors, und einem zweiten Lastweganschluss, gekoppelt an die dritte Stromquelle; und  
einen vierten Transistor mit einem ...



**Beschreibung**

## TECHNISCHES GEBIET

**[0001]** Die vorliegende Erfindung betrifft allgemein ein System und Verfahren für Signalverstärkung und in besonderen Ausführungsformen ein System und Verfahren für Signalverstärkung unter Verwendung eines Widerstandsnetzwerks.

## HINTERGRUND

**[0002]** Kleinmaßstäbliche Sensoren werden in einer großen Vielfalt von Anwendungen verwendet, von denen einige Beispiele Mikrofonsysteme, Systeme zur Blutdrucküberwachung und Beschleunigungsmessersysteme für z. B. Airbag-Auslösung enthalten. Um zu gestatten, dass die Verwendung von Sensoren sich noch weiter ausbreitet, verringert sich kontinuierlich die Größe von Endprodukten, die Signale von diesen Sensoren auslesen.

**[0003]** Zum Unterstützen der reduzierten Größe dieser Endprodukte können Sensoren zudem unter Verwendung von mikroelektromechanischen Systemen (MEMS) implementiert werden. Zum Beispiel können Mobiltelefonprodukte, die ständig kompakter werden, insbesondere in der Dicke, Implementierung von MEMS-Mikrofonen verwenden.

**[0004]** Zum weiteren Reduzieren der Endproduktgröße schrumpfen des Weiteren die MEMS-Sensoren selbst fortlaufend. Einhergehend mit der Verkleinerung der Packungsgröße von MEMS-Sensoren kann die Empfindlichkeit dieser Sensoren jedoch auch abnehmen.

**[0005]** US2005/0057304 A1 bezieht sich auf einen Verstärker und zeigt einen Low Noise Amplifier mit einfachem Eingang und differenziellem Ausgang. Ein erster Verstärker **A1** treibt einen nicht invertierenden Ausgang LOP und ein ähnlicher Verstärker **A2** treibt den invertierenden Ausgang LON. Ein Rückkopplungswiderstand **R2** ist mit LOP und dem Emitter eines Transistors QA verbunden. Ähnlicherweise ist ein Widerstand **R3** mit dem LON Ausgang und dem Emitter eines Transistors QB verbunden.

**[0006]** DE102014109908 A1 zeigt eine mikroelektromechanisches System (MEMS) mit einer ersten Platte, einer zweiten Platte oberhalb der ersten Platte und einer beweglichen Platte dazwischen. Eine zweite bewegliche Platte ist zwischen der ersten beweglichen Platte und der zweiten Platte angeordnet.

## KURZFASSUNG

**[0007]** Ausführungsformen sind in den unabhängigen Ansprüchen definiert. Weitere beispielhafte Ausführungsformen sind in den abhängigen Ansprüchen angegeben.

**[0008]** Gemäß einer ersten beispielhaften Ausführungsform der vorliegenden Erfindung wird eine Verstärkungsanordnung bereitgestellt. Die Verstärkungsanordnung enthält ein Widerstandsnetzwerk, gekoppelt zwischen einem ersten Ausgang der Verstärkungsanordnung und einem zweiten Ausgang der Verstärkungsanordnung. Die Verstärkungsanordnung enthält außerdem einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten der Verstärkungsanordnung. Die Verstärkungsanordnung enthält außerdem einen ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem ersten Knoten. Die Verstärkungsanordnung enthält außerdem einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten der Verstärkungsanordnung, und einen ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem zweiten Knoten. Die Verstärkungsanordnung enthält außerdem einen kapazitiven Sensor, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten. Die Verstärkungsanordnung enthält außerdem einen ersten Umkehrverstärker, der einen an einen zweiten Lastweganschluss des ersten Transistors gekoppelten Eingang und einen an einen ersten Ausgangsknoten der Verstärkungsanordnung gekoppelten Ausgang enthält. Die Verstärkungsanordnung enthält außerdem einen zweiten Umkehrverstärker, der einen an einen zweiten Lastweganschluss des zweiten Transistors gekoppelten Eingang enthält. Der zweite Umkehrverstärker enthält außerdem einen an einen zweiten Ausgangsknoten der Verstärkungsanordnung gekoppelten Ausgang.

**[0009]** Gemäß einer zweiten beispielhaften Ausführungsform der vorliegenden Erfindung wird ein Verfahren für Signalverstärkung bereitgestellt. Das Verfahren enthält Empfangen, durch einen ersten Steueranschluss eines ersten Transistors, eines ersten Eingangssignals von einem kapazitiven Sensor. Das Verfahren ent-

hält außerdem Empfangen, durch einen ersten Steueranschluss eines zweiten Transistors, eines zweiten Eingangssignals von dem kapazitiven Sensor. Das Verfahren enthält außerdem Produzieren eines ersten Ausgangssignals zum Enthalten von Verstärken eines ersten Signals an einem ersten Lastweganschluss des ersten Transistors unter Verwendung eines ersten Umkehrverstärkers, der einen an ein Widerstandsnetzwerk gekoppelten Ausgang aufweist. Das Verfahren enthält außerdem Produzieren eines zweiten Ausgangssignals zum Enthalten von Verstärken eines zweiten Signals an einem ersten Lastweganschluss des zweiten Transistors unter Verwendung eines zweiten Umkehrverstärkers, der einen an das Widerstandsnetzwerk gekoppelten Ausgang aufweist. Das Verfahren enthält außerdem Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß einem im Voraus bestimmten Anteil.

**[0010]** Gemäß einer dritten beispielhaften Ausführungsform der vorliegenden Erfindung wird ein Verstärkersystem bereitgestellt. Das Verstärkersystem enthält einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten, einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten. In dieser Implementierung enthält das Verstärkersystem außerdem einen ersten Umkehrverstärker. Der erste Umkehrverstärker enthält einen dritten Transistor mit einem ersten Lastweganschluss, gekoppelt an den ersten Lastweganschluss des ersten Transistors. Das Verstärkersystem enthält außerdem einen ersten Ausgangsknoten, gekoppelt an einen Ausgang des ersten Umkehrverstärkers. Das Verstärkersystem enthält außerdem einen zweiten Umkehrverstärker, der einen vierten Transistor mit einem ersten Lastweganschluss enthält, gekoppelt an den ersten Lastweganschluss des zweiten Transistors. Das Verstärkersystem enthält außerdem einen zweiten Ausgangsknoten, gekoppelt an einen Ausgang des zweiten Umkehrverstärkers. Das Verstärkersystem enthält außerdem ein schaltbares Widerstandsnetzwerk, gekoppelt zwischen dem Ausgang des ersten Umkehrverstärkers und dem Ausgang des zweiten Umkehrverstärkers. Das schaltbare Widerstandsnetzwerk ist an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors auswählbar gekoppelt.

#### Figurenliste

**[0011]** Für ein vollständigeres Verständnis der vorliegenden Erfindung und ihrer Vorteile wird jetzt Bezug genommen auf die folgende Beschreibung in Verbindung mit den beigefügten Zeichnungen, von denen:

**Fig. 1** ein Blockdiagramm zeigt, das ein Signalzwischenspeicherungssystem darstellt, das Stromrückkopplung verwendet, eine konfigurierbare Spannungsverstärkung für eine Differenzialeingabevorrichtung gemäß einer einer Anzahl von Ausführungsformen bereitzustellen;

**Fig. 2** ein Blockdiagramm zeigt, das das Kleinsignalmodell einer kapazitiven Sensorschaltung darstellt, die als eine Eingangsvorrichtung des Signalzwischenspeicherungssystems von **Fig. 1** gemäß einer einer Anzahl von Ausführungsformen verwendet werden kann;

**Fig. 3** ein Blockdiagramm zeigt, das eine Verstärkerschaltung darstellt, die Stromrückkopplung verwendet und die Sensorschaltung von **Fig. 2** in einer Konstantladung-Konfiguration gemäß einer einer Anzahl von Ausführungsformen hält;

**Fig. 4** ein Blockdiagramm zeigt, das eine Verstärkerschaltung darstellt, die als die Verstärkerschaltung von **Fig. 3** gemäß Ausführungsformen der vorliegenden Erfindung verwendet werden kann;

**Fig. 5A** ein Blockdiagramm zeigt, das eine beispielhafte Verstärkerschaltung mit einer Differenzialverstärkerstufe darstellt, die verwendet werden kann, die Sensorschaltung von **Fig. 2** in einer Konstantladung-Konfiguration zu halten;

**Fig. 5B** ein Blockdiagramm zeigt, das die Differenzialverstärkerstufe von **Fig. 5A** detaillierter darstellt;

**Fig. 6** ein Blockdiagramm zeigt, das eine andere beispielhafte Verstärkerschaltung darstellt, die verwendet werden kann, die Sensorschaltung von **Fig. 2** in einer Konstantspannung-Konfiguration zu halten;

**Fig. 7** ein Blockdiagramm zeigt, das eine konfigurierbare unsymmetrische Verstärkerschaltung darstellt, die in der Verstärkerschaltung von **Fig. 4** gemäß einer einer Anzahl von Ausführungsformen verwendet werden kann;

**Fig. 8** ein Blockdiagramm zeigt, das eine Ausführungsform der unsymmetrischen Verstärkerschaltung von **Fig. 7** darstellt, die einen Body-Effekt des Transistors zum Konfigurieren der Spannungsverstärkung gemäß einer einer Anzahl von Ausführungsformen verwendet;

**Fig. 9A** ein Blockdiagramm zeigt, das eine äquivalente Kleinsignalschaltung für eine unsymmetrische Schaltung der Verstärkerschaltung von **Fig. 8** gemäß einer einer Anzahl von Ausführungsformen darstellt;

**Fig. 9B** ein Blockdiagramm zeigt, das eine äquivalente Kleinsignalschaltung für die unsymmetrische Verstärkerschaltung von **Fig. 8** gemäß einer einer Anzahl von Ausführungsformen darstellt;

**Fig. 10** einen Graphen zeigt, der eine Ausgangsstufe der Klasse AB einer Ausführungsform darstellt, die in den unsymmetrischen Verstärkerschaltungen der **Fig. 4**, **Fig. 7** und **Fig. 8** gemäß einer einer Anzahl von Ausführungsformen verwendet werden kann;

**Fig. 11** ein Ablaufdiagramm zeigt, das ein Verfahren zum Konfigurieren der Spannungsverstärkung eines Verstärkers gemäß einer einer Anzahl von Ausführungsformen darstellt; und

**Fig. 12** ein Ablaufdiagramm zeigt, das ein Verfahren für Signalverstärkung gemäß einer einer Anzahl von Ausführungsformen darstellt.

**[0012]** Korrespondierende Bezugszeichen und Symbole in den verschiedenen Figuren verweisen im Allgemeinen auf korrespondierende Teile, außer wenn anders angegeben. Die Figuren wurden gezeichnet, um die relevanten Aspekte der Ausführungsformen deutlich zu veranschaulichen, und sind nicht notwendigerweise maßstabsgerecht gezeichnet.

#### AUSFÜHRLICHE BESCHREIBUNG DER VERANSCHAULICHENDEN AUSFÜHRUNGSFORMEN

**[0013]** Nachstehend werden die Herstellung und Verwendung von Ausführungsformen dieser Offenbarung ausführlich diskutiert. Es sollte jedoch beachtet werden, dass die hierin offenbarten Konzepte in einer großen Vielfalt von spezifischen Kontexten verkörpert werden können und dass die hierin diskutierten spezifischen Ausführungsformen lediglich veranschaulichend sind und nicht dazu dienen, den Schutzzumfang der Ansprüche zu beschränken. Ferner versteht es sich, dass verschiedene Veränderungen, Ersetzungen und Abwandlungen hierin vorgenommen werden können, ohne das Wesen und den Schutzzumfang dieser Offenbarung, wie sie durch die beigefügten Ansprüche definiert ist, zu verlassen.

**[0014]** Die vorliegende Erfindung wird in Bezug auf bevorzugte Ausführungsformen in einem spezifischen Kontext, einem System und Verfahren für Signalverstärkung für einen kapazitiven Mikrofonsensor, beschrieben werden. Weitere Ausführungsformen können verwendet werden, eine Vielfalt von Wechselstromgekoppelten oder Gleichstrom-gekoppelten Signaltypen unter Verwendung von konfigurierbarer Verstärkung oder Dämpfung durch eine Stufe mit hoher Eingangsimpedanz auszulesen.

**[0015]** In verschiedenen Ausführungsformen wird eine Verstärkerschaltung mit einem Differenzialeingang mit einer Stromrückkopplung erweitert, um eine konfigurierbare Spannungsverstärkung aufzuweisen. Die Spannungsverstärkung dieses Differenzialverstärkers kann entweder eine Verstärkung mit positivem Dezibel (dB) von mehr als null dB oder eine Verstärkung mit negativem dB von weniger als null dB (d. h. eine Dämpfung) sein.

**[0016]** In verschiedenen Ausführungsformen weist die Verstärkerschaltung einen Pseudo-Differenzialausgang auf, bereitgestellt durch ein Paar von unsymmetrischen Verstärkerschaltungen, die jede einen Eingangstransistor und eine Umkehrstufenstufe enthalten. Die Spannungsverstärkung jeder unsymmetrischen Schaltung wird durch Stromrückkopplung gesteuert, bereitgestellt durch ein resistives Rückkopplungsnetzwerk, gekoppelt an beide unsymmetrischen Verstärkerschaltungen. In einigen Ausführungsformen kann die Spannungsverstärkung der Verstärkerschaltung durch selektives Koppeln der Source-Anschlüsse der Eingangstransistoren an verschiedene Knoten des resistiven Rückkopplungsnetzwerks angepasst werden. Die Verstärkung kann durch selektives Koppeln der Body-Anschlüsse der Eingangstransistoren an die verschiedenen Knoten des resistiven Rückkopplungsnetzwerks ferner angepasst werden, um zum Beispiel selektive Dämpfung bereitzustellen. In einigen Ausführungsformen kann die Verstärkerschaltung verwendet werden, den Ausgang eines kapazitiven Sensors mit einem Differenzial- oder Pseudo-Differenzialausgang wie ein Ausgang eines MEMS-Mikrofons mit zwei Rückplatten zu verstärken.

**[0017]** **Fig. 1** zeigt ein Signalzwischenspeicherungssystem **100** der Ausführungsform, das eine Zwischenspeicherschaltung **101** enthält, die ein Paar von Differenzialeingangssignalen an Knoten mit hohen Eingangsimpedanzen empfängt. Die Zwischenspeicherschaltung **101** enthält Hochimpedanzstufen **102** und **104**, die hohe Eingangsimpedanzen aufweisen und die das Ausgangssignal von einer Eingangsvorrichtung **124**, die in dem Signalzwischenspeicherungssystem **100** enthalten ist, auslesen. Die Zwischenspeicherschaltung **101** enthält außerdem Eingangsanschlüsse **116** und **118**. Der Eingangsanschluss **116** ist mit dem Gate eines Eingangs-

transistors **110** der Hochimpedanzstufe **102** verbunden und stellt ein erstes Differenzialverstärker-Eingangssignal mit einer Spannung  $V_{in,p}$  bereit. Der Eingangsanschluss **118** ist gleichermaßen mit dem Gate eines Eingangstransistors **110** der Hochimpedanzstufe **104** verbunden und stellt ein zweites Differenzialverstärker-Eingangssignal mit einer Spannung  $V_{in,n}$  bereit, die die negative von  $V_{in,p}$  ist. Die Eingangstransistoren **110** können zum Beispiel als n-Kanal- oder p-Kanal-Metalloxidhalbleiter-Feldeffekttransistoren (MOSFETs) implementiert sein. Die Zwischenspeicherschaltung **101** enthält außerdem Ausgangsanschlüsse **113** und **115** für jede dieser Hochimpedanzstufen **102** bzw. **104**. Der Ausgangsanschluss **113** stellt ein erstes zwischengespeichertes Ausgangssignal mit einer Spannung  $V_{out,p}$  und einem Strom  $I_{out,p}$  bereit und der Ausgangsanschluss **115** stellt ein zweites zwischengespeichertes Ausgangssignal mit einer Spannung  $V_{out,n}$  und einem Strom  $I_{out,n}$  bereit. Jede der Hochimpedanzstufen **102** und **104** ist außerdem zwischen einem Paar von Zuführungsspannungen verbunden, die in der Ausführungsform von **Fig. 1** als Speisespannungen  $V_{dd}$  und  $V_{ss}$  dargestellt sind.

**[0018]** Die Eingangsanschlüsse **116** und **118** sind außerdem mit Differenzial-Ausgangsanschlüssen **126** und **128** der Eingangsvorrichtung **124** verbunden. In einer Ausführungsform ist die Zwischenspeicherschaltung **101** auf einer integrierten Schaltung (IC) implementiert, die zum Beispiel eine anwendungsspezifisch IC (ASIC) sein kann. In einer derartigen IC-Ausführungsform können die Eingangsanschlüsse **116** und **118** und die Ausgangsanschlüsse **113** und **115** z. B. Kontaktinseln der IC sein. Die Eingangsvorrichtung **124** ist zwischen der Zwischenspeicherschaltung **101** und einer festen Vorspannung  $V_{FB}$  verbunden. In einigen Ausführungsformen ist die Eingangsvorrichtung **124** ein Sensor wie zum Beispiel ein Mikrofon. In einigen Ausführungsformen ist die Eingangsvorrichtung **124** ein MEMS-basierter Sensor. In einigen Ausführungsformen enthält die Eingangsvorrichtung **124** einen oder mehrere kapazitive Sensoren. In anderen Ausführungsformen ist die Zwischenspeicherschaltung **101** über Gleichstromkopplung an die Signalquelle der Eingangsvorrichtung **124** gekoppelt.

**[0019]** Erneut Bezug nehmend auf **Fig. 1**, weist die Eingangsvorrichtung **124** eine Ausgangsempfindlichkeit  $S_{OUT} = S_a$  auf. Wenn die Hochimpedanzstufen **102** und **104** jeweils unter Verwendung einer einfachen Source-Folger- oder Super-Source-Folgerstufe implementiert würden, die keine Spannungsverstärkung aufweist, könnte das Ausgangsspannungsrauschen  $V_{n,out}$  der Zwischenspeicherschaltung **101** als mit dem eingangsbezogenen Spannungsrauschen  $V_{n,in}$  jeder der Hochimpedanzstufen **102** und **104** variierend gemäß Gleichung 1 angenähert werden:

$$V_{n\_out}^2 \approx 2 * (V_{n\_in})^2 \quad (\text{Gl. 1})$$

**[0020]** Um jedoch eine Zielausgangsempfindlichkeit  $S_{HI}$  für das Signalzwischenspeicherungssystem **100** zu erreichen, die größer ist als  $S_a$ , müssten die Hochimpedanzstufen **102** und **104** eine Spannungsverstärkung mit positivem dB bereitstellen.

**[0021]** **Fig. 2** zeigt das Kleinsignalmodell **224** einer Sensorschaltung der Ausführungsform, die als die Eingangsvorrichtung **124** von **Fig. 1** verwendet werden kann. Die Modellschaltung **224** enthält ein erstes Signal **204** und ein zweites Signal **206**, die jede durch einen jeweiligen Spannungssignalgenerator, verbunden mit einer festen Vorspannung  $V_{FB}$ , erzeugt werden und die zusammen ein Differenzialpaar von Signalen erzeugen, die den Anschlüssen **126** bzw. **128** bereitgestellt werden. In anderen Ausführungsformen können andere Spannungssignalgeneratoren, die keine Sensoren sind, verwendet werden.

**[0022]** Erneut Bezug nehmend auf **Fig. 2**, sind die Anschlüsse **126** und **128** jeweils gekoppelt, Signale **204** und **206** von einem Ausgangskondensator **230** mit einer Kapazität  $C_0$ , die die Kapazität jedes Sensors im Ruhezustand ist, zu empfangen und sind jeweils durch einen parasitären Kondensator **232** mit einer Kapazität  $C_p$  an  $V_{FB}$  gekoppelt. In einer Ausführungsform modelliert die Modellschaltung **224** einen kapazitiven Sensor wie ein Mikrofon, der eine bessere Leistung bereitstellt, wenn er in einer Konstantladung-Konfiguration vorgespannt ist, indem er mit Knoten hoher Impedanz verbunden ist. In einer Ausführungsform werden die Signale **204** und **206** durch eine Kapazitätsvariation einer bewegbaren Membran und zwei festen Platten einer MEMS-Vorrichtung mit zwei Rückplatten erzeugt. In einigen derartigen Ausführungsformen kann eine Konstantladung-Konfiguration durch Verbinden der Anschlüsse **126** und **128** mit Knoten hoher Impedanz aufrechterhalten werden.

**[0023]** **Fig. 3** zeigt ein Verstärkungssystem **300** der Ausführungsform, das als das Signalzwischenspeicherungssystem **100** von **Fig. 1** verwendet werden kann und das die Zwischenspeicherschaltung **101** als eine Verstärkerschaltung **301** implementiert, die imstande ist, eine Spannungsverstärkung mit entweder einem positiven dB oder einem negativen dB bereitzustellen. Die Verstärkerschaltung **301** implementiert die Hochimpedanzstufen **102** und **104** als unsymmetrische Verstärkerschaltungen **302** und **304** und verwendet Stromrückkopplung, um dem Differenzialsignal von der Sensorschaltung **224** die Spannungsverstärkung bereitzustellen.

In anderen Ausführungsformen kann jede Schaltung mit Differenzialkomponenten, die als eine mit einer parasitären Kapazität parallel verbundene variable Kapazität modelliert werden können, als die Eingangsvorrichtung zu der Verstärkerschaltung **301** verwendet werden.

**[0024]** Erneut Bezug nehmend auf **Fig. 3**, stellt die unsymmetrische Schaltung **302** am Ausgangsanschluss **113** ein erstes Pseudo-Differenzialverstärker-Ausgangssignal mit einer Spannung  $V_{out,p}$  und einem Strom  $I_{out,p}$  bereit. Am Ausgangsanschluss **115** stellt die unsymmetrische Schaltung **304** ein zweites Pseudo-Differenzialverstärker-Ausgangssignal mit einer Spannung  $V_{out,n}$  und einem Strom  $I_{out,n}$  bereit.

**[0025]** Jede der unsymmetrischen Schaltungen **302** bzw. **304** enthält einen Eingangstransistor **310**, der ein p-Kanal-Transistor wie zum Beispiel ein p-Kanal-Metalloxidhalbleiter- bzw. PMOS-Transistor ist. Jede der unsymmetrischen Schaltungen **302** bzw. **304** enthält außerdem eine Stromquelle **342**, verbunden mit dem Drain von Transistor **310**, um ihn mit einem Strom  $I_s$  vorzuspannen, und eine Umkehrausgangsstufe **305**, ebenfalls verbunden mit dem Drain von Transistor **310**, die einen Strom  $I_1$  von dem Drain von Transistor **310** empfängt.

**[0026]** Die Umkehrausgangsstufen **305** sind Umkehrverstärker, die jeweils entweder eine Spannungsverstärkung von  $-A$  von der Eingangsspannung zu der Ausgangsspannung oder eine Transwiderstand-Verstärkung von  $-A$  von dem Eingangsstrom  $I_1$  zu der Ausgangsspannung bereitstellen. Sie können in verschiedenen Ausführungsformen als Ausgangsstufen der Klasse A, als Ausgangsstufen der Klasse AB oder als ein beliebiger anderer Typ von Umkehrstufe, die im Fachgebiet bekannt ist, implementiert werden. In einer Ausführungsform wird ein niederohmiger Eingangsknoten wie z. B. die Source eines Transistors als der Eingangsknoten für die Umkehrausgangsstufe **305** verwendet. In anderen Ausführungsformen wird ein Eingang hoher Impedanz wie z. B. das Gate eines Transistors als der Eingangsknoten für die Umkehrausgangsstufe **305** verwendet.

**[0027]** Erneut Bezug nehmend auf **Fig. 3**, ist der Eingangsanschluss **116** mit dem Gate des Transistors **310** der unsymmetrischen Schaltung **302** verbunden und stellt ein erstes Differenzialverstärker-Eingangssignal mit einer Spannung  $V_{in,p}$  bereit. Der Eingangsanschluss **118** ist gleichermaßen mit dem Gate des Transistors **310** der unsymmetrischen Schaltung **304** verbunden und stellt ein zweites Differenzialverstärker-Eingangssignal mit einer Spannung  $V_{in,n}$  bereit, die die negative von  $V_{in,p}$  ist. Zum Bereitstellen von Gate-Vorspannung und zum Gestatten von Signalausschlag an den Gates jedes der Eingangstransistoren **310** sind diese Gates außerdem über eine jeweilige hochohmige Widerstandsstufe **322** mit der Spannung  $V_{REF}$  verbunden. Die hochohmigen

Widerstandsstufen **322** haben jeweils einen Widerstand  $R_n$ , derart ausgewählt, dass  $\frac{1}{2\pi R_n C_0} < f_{min}$  gilt, wobei  $f_{min}$  die niedrigste Frequenz der Signalbandbreite ist.

**[0028]** Ein jeweiliges Widerstandsnetzwerk **308** ist in jeder der unsymmetrischen Schaltungen **302** und **304** enthalten. In einer Ausführungsform sind die Widerstandsnetzwerke **308** unter Verwendung von z. B. Potentiometern, geschalteten Netzwerken von Widerständen oder anderen variablen Widerständen implementiert, um eine konfigurierbare Spannungsverstärkung oder -dämpfung bereitzustellen. Eine derartige konfigurierbare Ausführungsform gestattet Anpassung der aufgeteilten Spannungen, die entweder der Source oder dem Body jedes Transistors **310** bereitgestellt werden. In anderen Ausführungsformen sind die Widerstandsnetzwerke **308** als Spannungsteiler implementiert, zusammengestellt aus mehreren in Reihe verbundenen festen Widerständen.

**[0029]** Erneut Bezug nehmend auf **Fig. 3**, sind die zwei Widerstandsnetzwerke **308** der Verstärkerschaltung **301** an einem gemeinsamen Knoten miteinander verbunden, um ein einzelnes Widerstandsnetzwerk zu bilden, und die zwei unsymmetrischen Schaltungen **302** und **304** sind dadurch miteinander verbunden. In der unsymmetrischen Schaltung **302** ist das Widerstandsnetzwerk **308** zwischen diesem gemeinsamen Knoten und dem Ausgang der Umkehrausgangsstufe **305**, der außerdem mit dem Ausgangsanschluss **113** der Verstärkungsschaltung **301** verbunden ist, verbunden. Gleichermaßen ist in der unsymmetrischen Schaltung **304** das Widerstandsnetzwerk **308** zwischen diesem gemeinsamen Knoten und dem Ausgang der Umkehrausgangsstufe **305**, der außerdem mit dem Ausgangsanschluss **115** der Verstärkungsschaltung **301** verbunden ist, verbunden. Der gemeinsame Knoten, der die jeweiligen Widerstandsnetzwerke **308** der unsymmetrischen Schaltungen **302** und **304** verbindet, ist außerdem mit einer Stromquelle **340** verbunden, die jedem der Widerstandsnetzwerke **308** einen Strom  $I_{mid}$  bereitstellt, so dass er als Vorspannungsstrom für den Transistor **310** verwendet werden kann.

**[0030]** In jedem der unsymmetrischen Schaltungen **302** bzw. **304** ist das Widerstandsnetzwerk **308** außerdem mit der Source von Transistor **310** verbunden, so dass in einigen Ausführungsformen der Source von Tran-

sistor **310** eine aufgeteilte Spannung relativ zu der Spannung über dem gesamten Widerstandsnetzwerk **308** bereitgestellt wird. Zusätzlich ist in jedem der unsymmetrischen Schaltungen **302** bzw. **304** das Widerstandsnetzwerk **308** außerdem mit dem Body von Transistor **310** verbunden, so dass in einigen Ausführungsformen dem Body von Transistor **310** eine aufgeteilte Spannung relativ zu der Spannung über dem gesamten Widerstandsnetzwerk **308** bereitgestellt wird. Diese Widerstandsnetzwerke **308** stellen demgemäß Rückkopplungswege bereit, die der Verstärkerschaltung **301** gestatten, eine Spannungsverstärkung mit einem positiven dB oder eine Spannungsverstärkung mit einem negativen dB, d. h. eine Dämpfung, bereitzustellen.

**[0031]** Die Verstärkerschaltung **301**, die pseudo-differenzial ist, stellt ein Paar von Ausgangssignalen an den Ausgangsanschlüssen **113** und **115** bereit. Wenn ein Gleichtaktsignal an den Eingangsanschlüssen **116** und **118** der Verstärkerschaltung **301** angelegt wird, erscheint es an den Ausgangsanschlüssen **113** und **115** mit einer Spannungsverstärkung von 0 dB. Da der Multiplikator A einen großen Wert aufweist, erfasst die negative Rückkopplung der unsymmetrischen Schaltungen **302** und **304**  $I_1$  und zwingt es, fast null zu sein; aus diesem Grund kann sie als eine Stromrückkopplung bezeichnet werden. Durch Konfigurieren der Verstärkerschaltung **301** für Spannungsverstärkung mit positivem dB kann das Verstärkungssystem **300** eine Zielausgangsempfindlichkeit  $S_{\text{th}}$  erreichen, selbst wenn die Ausgangsempfindlichkeit  $S_a$  der Sensorvorrichtung **224** kleiner als  $S_{\text{th}}$  ist. In einer Ausführungsform kann die Spannungsverstärkung mit positivem dB der Verstärkerschaltung **301** erhöht werden, um eine reduzierte Empfindlichkeit  $S_a$  zu kompensieren, die durch eine Reduktion des Gegen Volumens der Sensorschaltung **224** verursacht wird.

**[0032]** Fig. 4 zeigt unsymmetrische Verstärkerschaltungen **402** und **404** der Ausführungsform, die als die unsymmetrischen Schaltungen **302** und **304** von Fig. 3 verwendet werden können. Ein jeweiliger Rückkopplungswiderstand **408** ist in jeder der unsymmetrischen Schaltungen **402** und **404** enthalten und weist einen Widerstand  $R_2$  auf. Ein anderer Widerstand **407** ist in beiden Schaltungen **402** und **404** enthalten und weist einen Widerstand  $R_1$  auf. Er ist zwischen der Source von Transistor **310** und dem gemeinsamen Knoten zwischen den 2 Verstärkern verbunden. Der Ausgangsanschluss **113** ist mit dem Rückkopplungswiderstand **408** der unsymmetrischen Schaltung **402** verbunden und der Ausgangsanschluss **115** ist gleichermaßen mit dem Rückkopplungswiderstand **408** der unsymmetrischen Schaltung **404** verbunden. In einigen Ausführungsformen ist außerdem eine jeweilige Stromquelle zwischen  $V_{\text{ss}}$  und jedem der Ausgangsanschlüsse **113** und **115** verbunden, um Stromabführung bereitzustellen.

**[0033]** Erneut Bezug nehmend auf Fig. 4, koppelt in jeder der Schaltungen **402** und **404** ein Widerstandsnetzwerk, gebildet durch die Widerstände **407** und **408**, das Ausgangssignal zurück an einen Source-Anschluss von Transistor **310**, der auch mit dem Body-Anschluss von Transistor **310** verbunden ist. Das Signal, das rückgekoppelt wird, wird gemäß einem im Voraus bestimmten Anteil des Ausgangssignals skaliert, wobei ein Umkehrwert dieses Anteils den Wert  $1 + R_2/R_1$  aufweist. Die Widerstände  $R_1$  und  $R_2$  gestatten demgemäß der Verstärkerschaltung **301** (in Fig. 3 dargestellt), eine Spannungsverstärkung von dem Differenzialeingang  $V_{\text{in,p}} - V_{\text{in,n}}$  zu dem Differenzialausgang  $V_{\text{out,p}} - V_{\text{out,n}}$  gleich  $1 + R_2/R_1$  bereitzustellen, die von 0 dB zu höheren positiven Werten variiert werden kann. In einigen Ausführungsformen gestattet Konfigurieren der unsymmetrischen Schaltungen **402** und **404** für Spannungsverstärkung mit positivem dB dem Verstärkungssystem **300** (in Fig. 3 dargestellt), eine Zielausgangsempfindlichkeit  $S_{\text{th}}$  zu erreichen, selbst wenn die Ausgangsempfindlichkeit  $S_a$  der Sensorvorrichtung **224** kleiner als  $S_{\text{th}}$  ist.

**[0034]** Erneut Bezug nehmend auf Fig. 4, enthält jede der unsymmetrischen Schaltungen **402** und **404** einen Stromvorspannungstransistor **412**, der als eine Konstantstromquelle für den Eingangstransistor **310** fungiert. Jede der unsymmetrischen Schaltungen **402** und **404** enthält eine Ausgangsstufe **455** der Klasse A, die einen Kaskodentransistor **406**, eine Konstantstromquelle, bereitgestellt durch den Stromvorspannungstransistor **403**, und einen Ausgangstransistor **405** enthält. In der Ausführungsform von Fig. 4 sind die Stromvorspannungstransistoren **412** und die Kaskodentransistoren **406** als n-Kanal-Metalloxidhalbleiter- bzw. NMOS-Transistoren implementiert, während die Stromvorspannungstransistoren **403** und die Ausgangstransistoren **405** als PMOS-Transistoren implementiert sind.

**[0035]** Erneut Bezug nehmend auf Fig. 4, hat jeder der Stromvorspannungstransistoren **412** ebenfalls seine jeweilige Source mit einer Speisespannung  $V_{\text{ss}}$  verbunden.

**[0036]** Jeder der Stromvorspannungstransistoren **403** bzw. der Ausgangstransistoren **405** hat seine Source mit der Speisespannung  $V_{\text{dd}}$  verbunden und seinen Body mit seiner Source verschaltet. In einer Ausführungsform ist die Zuführungsspannung  $V_{\text{dd}}$  außerdem die maximale Ausgangsspannung der unsymmetrischen Schaltungen **402** oder **404**.

**[0037]** In jeder der unsymmetrischen Schaltungen **402** bzw. **404** hat der Eingangstransistor **310** seinen Drain mit dem Drain des Stromvorspannungstransistors **412** und mit der Source des Kaskodentransistors **406** verbunden. In jeder der unsymmetrischen Schaltungen **402** bzw. **404** ist der Drain des Kaskodentransistors **406** mit dem Drain des Stromvorspannungstransistors **403** und mit dem Gate des Ausgangstransistors **405** verbunden. Der Drain des Ausgangstransistors **405** der unsymmetrischen Schaltung **402** ist mit sowohl dem Ausgangsanschluss **113** als auch dem Rückkopplungswiderstand **408** der unsymmetrischen Schaltung **402** verbunden. Der Drain des Ausgangstransistors **405** der unsymmetrischen Schaltung **404** ist mit sowohl dem Ausgangsanschluss **115** als auch dem Rückkopplungswiderstand **408** der unsymmetrischen Schaltung **404** verbunden.

**[0038]** In jeder der unsymmetrischen Schaltungen **402** bzw. **404** ist der Rückkopplungswiderstand **408** verbunden, um negative Rückkopplung von dem Ausgang der Verstärkerstufe zu der Source des Eingangstransistors **310**, die außerdem mit einem Widerstand **407** mit einem Widerstand von  $R_1$  verbunden ist, bereitzustellen. Die Widerstände **407** der unsymmetrischen Schaltungen **402** und **404** sind miteinander verbunden, so dass die Source des Eingangstransistors **310** der unsymmetrischen Schaltung **402** mit dem Eingangstransistor **310** der unsymmetrischen Schaltung **404** über die beiden Widerstände **407** dazwischen verbunden ist. In jeder der unsymmetrischen Schaltungen **402** bzw. **404** verhindert die negative Rückkopplung, die um den Eingangstransistor **310** aufgebaut wird, dass sein Strom variiert, so dass die Spannung des Gates und der Source des Eingangstransistors **310** sich um den gleichen Betrag verändern, wenn ein Signal an das Gate angelegt wird.

**[0039]** In jeder der unsymmetrischen Schaltungen **402** und **404** fließt ein Strom  $I_1$  durch die Kaskodentransistoren **406** und die negative Rückkopplung erfasst  $I_1$  und zwingt es, aufgrund des großen Verstärkungsmultiplikators  $A$  der unsymmetrischen Schaltungen **402** und **404** fast null zu sein. Weil  $I_1$  ungefähr gleich null ist, wenn ein Differenzialsignal an die Eingänge der unsymmetrischen Schaltungen **402** und **404** angelegt wird, wird die Differenz  $V_{out,p} - V_{out,n}$  zwischen der positiven und negativen Ausgangsspannung der Gleichung 2 entsprechen:

$$V_{out,p} - V_{out,n} = (V_{in,p} - V_{in,n}) \cdot \left(1 + \frac{R_2}{R_1}\right) \quad (\text{Gl. 2})$$

**[0040]** Demgemäß stellen die unsymmetrischen Schaltungen **402** und **404** durch Verwendung eines Verhältnisses der Widerstände  $R_2$  und  $R_1$  eine präzise Spannungsverstärkung bereit. Wenn die Widerstände  $R_1$  und  $R_2$  ausgewählt werden, klein zu sein, tragen sie wenig Rauschen zu den Ausgängen  $V_{out,p}$  und  $V_{out,n}$  bei. In der Ausführungsform von **Fig. 4** werden Ausgangsstufen **455** der Klasse A verwendet, aber in anderen Ausführungsformen können Ausgangsstufen der Klasse AB verwendet werden, so dass der Ausgang jeder der unsymmetrischen Schaltungen **402** und **404** imstande ist, einen Strom gleich  $V_{dd}/(2R_1 + 2R_2)$  abzuführen und zuzuführen.

**[0041]** Die Widerstände **407** und **408** werden den Verstärkerleistungsverbrauch während hoher Signalausschläge erhöhen, aber in vielen Anwendungen einschließlich z. B. der normalen Verwendung eines Mobiltelefon-Mikrofons werden derartige Speisung-zu-Speisung-Signale nicht oft erreicht. Da die Widerstände **407** und **408** nicht mit Masse verbunden sind, beeinflussen sie zudem den Gleichstrom-Leistungsverbrauch nicht.

**[0042]** Erneut Bezug nehmend auf **Fig. 4**, würde, wenn der Vorspannungsstrom des Eingangstransistors **310** allein durch den Ausgangstransistor **405** bereitgestellt würde, dieser Strom, der durch den Widerstand **408** fließt, einen Spannungsabfall am Widerstand **408** erzeugen und demgemäß eine gleiche Reduktion des Ausschlags der Ausgangsspannung bewirken. Um diesen Verlust des Ausschlags der Ausgangsspannung zu verhindern, stellt die Stromquelle **340** mindestens einen Anteil des Vorspannungsstroms des Eingangstransistors **310** bereit. Der durch die Stromquelle **340** bereitgestellte Strom  $I_{mid}$  kann einen relativ höheren Rauschpegel aufweisen, da dieses Gleichtakrauschen in den Pseudo-Differenzialausgängen  $V_{out,p}$  und  $V_{out,n}$  aufgehoben wird. In einigen Ausführungsformen können die unsymmetrischen Schaltungen **402** und **404** selbst dann einen Speisung-zu-Speisung-Ausgangsausschlag bereitstellen, wenn ihre Spannungsverstärkung nahe bei 0 dB liegt.

**[0043]** **Fig. 5A** zeigt eine beispielhafte Verstärkerschaltung **501**, die als die Zwischenspeicherschaltung **101** von **Fig. 1** verwendet werden kann, um eine Spannungsverstärkung bereitzustellen, während eine Sensorvorrichtung **224** in einer Konstantladung-Konfiguration gehalten wird. Die Verstärkerschaltung **501** enthält die unsymmetrischen Verstärkerschaltungen **502** und **504**, von denen jede jeweils einen Differenzialverstärker **506**, einen ersten Kondensator **530**, einen zweiten Kondensator **532** und einen Widerstand **522** mit einem Widerstand  $R_h$  enthält.

[0044] In der Verstärkerschaltung **501** werden die Kondensatoren **530** und **532** als Verstärkungselemente verwendet und daher ist es erforderlich, sie mit Knoten, die hohe Eingangsimpedanzen aufweisen, zu verbinden. In jeder der unsymmetrischen Schaltungen **502** bzw. **504** ist der erste Kondensator **532** zwischen dem negativen Eingang des Differenzialverstärkers **506** und dem Ausgang des Differenzialverstärkers **506** verbunden und der erste Kondensator **530** ist zwischen dem negativen Eingang und der Spannung  $V_{ss}$  verbunden. Die Widerstände **522** jeder der unsymmetrischen Schaltungen **502** und **504** sind parallel mit dem zweiten Kondensator **532** verbunden.

[0045] Der positive Eingang des Differenzialverstärkers **506** der unsymmetrischen Schaltung **502** ist mit dem Eingangsanschluss **116** verbunden und der Ausgang dieses Differenzialverstärkers ist mit dem Ausgangsanschluss **113** verbunden. Gleichermaßen ist der positive Eingang des Differenzialverstärkers **506** der unsymmetrischen Schaltung **504** mit dem Eingangsanschluss **118** verbunden und ist der Ausgang dieses Differenzialverstärkers mit dem Ausgangsanschluss **115** verbunden.

[0046] Wie in **Fig. 5B** dargestellt, enthält jeder Differenzialverstärker **506** der Verstärkerschaltung **501** zwei Eingangstransistoren **110** - einen für jeden seiner positiven und negativen Differenzialeingänge. Relativ zu den unsymmetrischen Schaltungen **302** und **304** von **Fig. 3** verwendet die Verstärkerschaltung **501** von **Fig. 5A** daher zweimal so viele Eingangstransistoren in den unsymmetrischen Schaltungen **502** und **504**, was nicht nur in einer Reduktion des Signal-Rausch-Abstands resultiert, sondern auch eine Erhöhung des gesamten Leistungsverbrauchs bewirkt, da ein Vorspannungsstrom erforderlich ist, um das thermische Rauschen für jeden derartigen Transistor zu reduzieren.

[0047] **Fig. 6** zeigt eine andere beispielhafte Verstärkerschaltung **601**, die als die Zwischenspeicherschaltung **101** von **Fig. 1** verwendet werden kann, die aber konfiguriert ist, eine Sensorschaltung **224** in einer Konstantspannung-Konfiguration anstelle einer Konstantladung-Konfiguration zu halten. Die Verstärkerschaltung **601** enthält eine Differenzialverstärkerstufe **606**, die als eine virtuelle Masse für die Sensorschaltung **224** fungiert, da sie das Paar von Differenzialeingangssignalen an den Eingangsanschlüssen **116** und **118** empfängt und den Ausgangsanschlüssen **113** und **115** ein Paar von Differenzialausgangssignalen bereitstellt. Die Verstärkerschaltung **601** hält eine Konstantspannung über der Sensorschaltung **224** bei.

[0048] Erneut Bezug nehmend auf **Fig. 6**, sind ein Widerstand **622A** mit einem Widerstand  $R_n$  und ein Kondensator **634A** mit einer Kapazität  $C_f$  parallel zwischen dem negativen Ausgang und dem positiven Eingang der Differenzialverstärkerstufe **606** verbunden. Zusätzlich sind ein Widerstand **622B** mit einem Widerstand  $R_n$  und ein Kondensator **634B** mit einer Kapazität  $C_f$  ebenfalls parallel zwischen dem positiven Ausgang und dem negativen Eingang der Differenzialverstärkerstufe **606** verbunden.

[0049] Das Ausgangsspannungsrauschen  $V_{n,out}$  der Verstärkerschaltung **601** könnte als mit dem eingangsbezogenen Spannungsrauschen  $V_{n,in}$  jedes der Differenzialeingänge der Differenzialverstärkerstufe **606** gemäß Gleichung 3 variierend angenähert werden, wobei  $C_p$  ebenfalls die parasitäre Kapazität der Eingangsvorrichtungen des Verstärkers enthält:

$$V_{n,out}^2 \approx 2 * \left( V_{n,in} \left( 1 + \frac{C_0 + C_p}{C_f} \right) \right)^2 \quad (\text{Gl. 3})$$

[0050] Beim Vergleich der Gleichungen 1 und 3 ist das Ausgangsspannungsrauschen  $V_{n,out}$  der Verstärkerschaltung **601** um einen Faktor von ungefähr  $\left( \left( 1 + \frac{C_0 + C_p}{C_f} \right) \right)^2$  größer relativ zu Implementierungen der Zwischenspeicherschaltung **101** unter Verwendung einer einfachen Source-Folger- oder einer Super-Source-Folger-Stufe, die keine Spannungsverstärkung aufweist. Wenn  $C_p \ll C_0$  ist und eine Verstärkung von 0 dB gewünscht wird, resultiert dies in einen Verlust des Signal-Rausch-Abstands von ungefähr 6 dB, wenn die Verstärkerschaltung **601** als Zwischenspeicherschaltung **101** verwendet wird.

[0051] **Fig. 7** zeigt eine unsymmetrische Verstärkerschaltung **702** der Ausführungsform, die als die unsymmetrische Schaltung **302** oder die unsymmetrische Schaltung **304** von **Fig. 3** verwendet werden kann, um eine konfigurierbare Spannungsverstärkung mit positivem dB oder negativem dB bereitzustellen. Die unsymmetrische Schaltung **702** empfängt ein Eingangssignal mit einer Spannung  $V_{in,half}$  und stellt ein Ausgangssignal mit einer Spannung  $V_{out,half}$  bereit.

**[0052]** Die Spannungsverstärkung zwischen  $V_{in, half}$  und  $V_{out, half}$  wird durch ein Widerstandsnetzwerk **750** bestimmt, das in der unsymmetrischen Schaltung **702** enthalten ist, die eine aus den Widerständen **719**, **720**, **722** und **724** zusammengestellte Widerstandsfolge enthält und außerdem die Schalter **704**, **706**, **708**, **710**, **711**, **712**, **713**, **714** und **716** enthält. Die Widerstände **719**, **720**, **722** und **724**, die jeweilige Widerstände von  $R_a$ ,  $R_b$ ,  $R_c$  und  $R_d$  aufweisen, sind in Reihe zwischen dem Ausgang der Ausgangsstufe **455** der Klasse A und der Stromquelle **340** verbunden. Die Schalter **713**, **714** und **716** sind mit der Source von Transistor **310** und den jeweiligen Knoten zwischen den Widerständen **719**, **720**, **722** und **724** verbunden und der Schalter **712** ist zwischen der Source von Transistor **310** und dem Ausgang der Ausgangsstufe **455** der Klasse A verbunden. Die Schalter **708**, **710** und **711** sind mit dem Body von Transistor **310** und den jeweiligen Knoten zwischen den Widerständen **719**, **720**, **722** und **724** verbunden und der Schalter **706** ist zwischen der Source von Transistor **310** und dem Body von Transistor **310** verbunden. Der Schalter **704** ist zwischen dem Body von Transistor **310** und  $V_{dd}$  verbunden und kann zum Koppeln des Bodys an  $V_{dd}$  verwendet werden. Ein Degenerationswiderstand **718** mit einem Widerstand  $R_s$  ist in der unsymmetrischen Schaltung **702** zwischen der Source von Transistor **412** und  $V_{SS}$  enthalten. In einer Ausführungsform ist der Widerstand  $R_s$  mit der Spannungsverstärkung der unsymmetrischen Schaltung **702** abgleichbar. In anderen Ausführungsformen kann der Transistor **412** weggelassen werden und kann der Degenerationswiderstand **718** direkt an den Drain von Transistor **310** gekoppelt werden. Derartige Ausführungsformen können zum Beispiel für Implementierungen geeignet sein, in denen die Ausgangsstufe **455** durch eine verschiedene Ausgangsstufe mit einer höheren Eingangsimpedanz (z. B. das Gate eines Transistors) ersetzt wird.

**[0053]** Erneut Bezug nehmend auf **Fig. 7**, kann die durch die unsymmetrische Schaltung **702** unterstützte Spannungsverstärkung durch Kurzschließen einer Kombination der Schalter **712**, **713**, **714** und **716** und der Schalter **704**, **706**, **708**, **710** und **711** unter Verwendung von zum Beispiel statischen Konfigurationsbits abgeglichen werden. In einer Ausführungsform ist der Body von Transistor **310** mittels des Schalters **706** mit seiner Source kurzgeschlossen und die Source von Transistor **310** ist mit einem Abgreifpunkt der Widerstandsfolge durch Kurzschließen eines der Schalter **712**, **713**, **714** oder **716** dauerhaft kurzgeschlossen; in einigen derartigen Ausführungsformen kann der Widerstand  $R_s$  auch auf null gesetzt werden, was in einer Schaltung äquivalent zu einer der unsymmetrischen Schaltungen **402** und **404** von **Fig. 4** resultiert, in denen der Widerstand  $R_2$  der Widerstand zwischen dem Ausgang der Ausgangsstufe **455** der Klasse A und dem Abgreifpunkt des geschalteten Widerstandsnetzwerks **750** ist und der Widerstand  $R_1$  der Widerstand zwischen dem Abgreifpunkt und dem Ausgang  $V_{out, half}$  der unsymmetrischen Schaltung **702** ist. Wenn die Schalter **706** und **712** kurzgeschlossen sind, ist die unsymmetrische Schaltung **702** ein Super-Source-Folger. Wenn der Schalter **712** und einer der Schalter **708**, **710** oder **711** der unsymmetrischen Schaltung **702** kurzgeschlossen ist, um den Body von Transistor **310** mit einem Abgreifpunkt der Widerstandsfolge zu verbinden, resultiert die in **Fig. 8** dargestellte unsymmetrische Schaltung **802**, in der der Widerstand  $R_2$  der Widerstand zwischen dem Ausgang der Ausgangsstufe **455** der Klasse A und dem Abgreifpunkt des geschalteten Widerstandsnetzwerks **750** ist und der Widerstand  $R_1$  der Widerstand zwischen dem Abgreifpunkt und dem Ausgang der unsymmetrischen Schaltung **702** ist.

**[0054]** Die Komponenten, die zum Ausgangsrauschen der unsymmetrischen Schaltung **702** beitragen, enthalten die Transistoren **310**, **403** und den Widerstand **718**. In Ausführungsformen der unsymmetrischen Schaltung **702**, in denen die Widerstände  $R_1$  und  $R_2$  durch Abgreifen des geschalteten Widerstandsnetzwerks **750** bestimmt werden (wie vorstehend beschrieben), tragen diese Widerstände  $R_1$  und  $R_2$  außerdem zum thermischen Ausgangsrauschen  $V_{n, out}$  gemäß Gleichung 4 bei, in der  $g_{m, 310}$  und  $g_{m, 403}$  die jeweiligen Transkonduktanzen der Transistoren **310** und **403** sind:

$$V_{n, out}^2 = 4kTR_2 \left( 1 + \frac{R_2}{R_1} \right) + 4kT \frac{2}{3} \frac{1}{g_{m, 310}} \left( 1 + \frac{R_2}{R_1} \right) + 4kT \frac{1}{R_s} \left[ \frac{1}{g_{m, 310}} \left( 1 + \frac{R_2}{R_1} + R_2 \right)^2 + 4kT \frac{2}{3} g_{m, 403} \left[ \frac{1}{g_{m, 310}} \left( 1 + \frac{R_2}{R_1} \right) + R_2 \right]^2 \right] \quad (\text{Gl. 4})$$

**[0055]** In einigen derartigen Ausführungsformen kann, obwohl das Ausgangsrauschen  $V_{n, out}$  der unsymme-

trischen Schaltung **702** von dem Wert von  $1 + \frac{R_2}{R_1}$  abhängig ist, der Wert von  $R_1 + R_2$  innerhalb von im Voraus bestimmten Grenzen gehalten werden, selbst wenn die Spannungsverstärkung angepasst wird, so dass die Stabilität und der Stromverbrauch der unsymmetrischen Schaltung **702** sich von einer Spannungsverstärkung-Konfiguration zu einer anderen nicht verändern. Der Degenerationswiderstand **718** gibt im Aufbau der unsym-

metrischen Schaltung **702** einen Freiheitsgrad zum Beibehalten von niedrigem Rauschen bei Konfigurationen mit mehreren Verstärkungen. Der Widerstand  $R_s$  kann in einigen Ausführungsformen angepasst werden, um das Rauschen für Konfigurationen der unsymmetrischen Schaltung **702** mit relativ hoher Verstärkung zu reduzieren, in denen der Eingangsausschlag niedriger ist als der Ausgangsausschlag, so dass ein höheres  $R_s$  ohne Beeinträchtigung der Linearität verwendet werden kann.

**[0056]** In anderen Ausführungsformen der unsymmetrischen Schaltung **702**, in denen die Widerstände  $R_1$  und  $R_2$  unter Verwendung des geschalteten Widerstandsnetzwerks **750** bestimmt werden, wird das eingangsbezogene Rauschen  $V_{n,in}$  der unsymmetrischen Schaltung **702** innerhalb von im Voraus bestimmten Grenzen

für verschiedene Werte von  $1 + \frac{R_2}{R_1}$  beibehalten. Das eingangsbezogene Rauschen  $V_{n,in}$  kann aus Gleichung 4 durch Dividieren von  $V_{n,out}$  durch die Spannungsverstärkung der unsymmetrischen Schaltung **702** bestimmt

werden. Zum Beispiel entspricht, wenn  $1 + \frac{R_2}{R_1}$  die Spannungsverstärkung der unsymmetrischen Schaltung **702** ist (wie es der Fall für die unsymmetrischen Verstärkerschaltungen **402** oder **404** von **Fig. 4** ist),  $V_{n,in}$  da-

her der Gleichung 5, die zeigt, dass ein kleinerer Wert von  $R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2}$  in niedrigerem eingangsbezogenem Rauschen  $V_{n,in}$  resultiert:

$$V_{n,in}^2 = 4kT \left\{ \frac{R_1 R_2}{R_1 + R_2} + \frac{2}{3} \frac{1}{g_{m,310}} + \left[ \frac{1}{g_{m,310}} \left( \frac{1}{g_{m,310}} \frac{1}{R_s} \right) + \frac{1}{R_s} \left( \frac{R_1 R_2}{R_1 + R_2} \right)^2 + \frac{2}{R_1 + R_2} \left( \frac{1}{g_{m,310}} \frac{1}{R_s} \right) \right] + g_{m,403} \left[ \frac{1}{g_{m,310}^2} + \left( \frac{R_1 R_2}{R_1 + R_2} \right)^2 + \frac{2}{g_{m,310}} \frac{R_1 R_2}{R_1 + R_2} \right] \right\} \quad (\text{Gl. 5})$$

**[0057]** In derartigen Ausführungsformen kann, da die Widerstände  $R_1$  und  $R_2$  zum Rauschen beitragen, ihr Wert gewählt werden, relativ zu  $g_{m,310}$  klein zu sein.

**[0058]** **Fig. 8** zeigt die unsymmetrische Verstärkerschaltung **802**, die resultiert, wenn der Schalter **712** und einer der Schalter **708**, **710** oder **711** der unsymmetrischen Schaltung **702** (gezeigt in **Fig. 7**) kurzgeschlossen werden. Bezug nehmend auf **Fig. 8**, unterscheidet sich die unsymmetrische Schaltung **802** von den unsymmetrischen Schaltungen **402** oder **404** von **Fig. 4** nur dahingehend, dass die Source von Transistor **310** nicht länger mit seinem Body kurzgeschlossen ist, sondern stattdessen mit dem Ausgang der unsymmetrischen Schaltung **802** verbunden ist. Der Body von Transistor **310** empfängt jetzt ein niedrigeres Signal als seine Source, so dass der Eingangstransistor **310** der unsymmetrischen Schaltung **802** einen programmierbaren Body-Effekt aufzeigt, der in Verbindung mit **Fig. 9B** weiter zu beschreiben ist. In einer Ausführungsform ist, da der Body von Transistor **310** mit einem Signal, das kleiner als die Source ist, angesteuert wird, der Source-Body-pn-Übergang von Transistor **310** eingeschränkt, mehr als ein im Voraus bestimmter maximaler Wert  $V_d$  (z. B. 0,4 V) vorgespant zu werden, durch Einhalten der Beschränkung von Gleichung 6:

$$V_{dd} < \left[ V_d + \frac{I_{mid}}{2} R_2 \right] \cdot 2 \frac{R_1 + R_2}{R_2} \quad (\text{Gl. 6})$$

**[0059]** Selbst wenn der Source-Body-pn-Übergang von Transistor **310** vorwärts vorgespant wird, ist der Strom durch Transistor **310** immer noch durch die resistive Last beschränkt und wird niemals den durch Gleichung 7 gegebenen Wert  $I_{max}$  übersteigen:

$$I_{max} = \frac{V_{dd} - V_d}{2 * R_1 + R_2} \quad (\text{Gl. 7})$$

**[0060]** **Fig. 9A** zeigt eine äquivalente Schaltung **900A** für den Transistor **310**, wie in der unsymmetrischen Schaltung **402** oder **404** von **Fig. 4** implementiert, während **Fig. 9B** eine äquivalente Schaltung **900B** für den

Transistor **310** zeigt, wie in der unsymmetrischen Schaltung **802** von **Fig. 8** implementiert. In sowohl Schaltung **900A** als auch Schaltung **900B** haben die Transkonduktanzen  $g_m$  und  $g_{mb}$  positive Werte und da die Rückkopplung den Strom von Transistor **310** zwingt, ungefähr konstant zu bleiben, fließen die Ströme  $g_m v_{sg}$  und  $g_{mb} v_{sb}$  in kein Element.

**[0061]** In Schaltung **900A** ist die Source des Transistors mit seinem Body kurzgeschlossen, d. h. die Source-Spannung  $v_s$  ist gleich der Body-Spannung  $v_b$ . Daher ist in der Schaltung **900A** kein Body-Effekt vorhanden und ist die Source-Spannung  $v_s$  gleich der Gate-Spannung  $v_g$  und der Eingangsspannung  $v_{in, half}$ .

**[0062]** In Schaltung **900B** von **Fig. 9B** ist die Source mit einem Zwischenspeicher **905** verbunden. Der Zwischenspeicher **905** repräsentiert die durch die Ausgangsstufe **455** der Klasse A bereitgestellte Ansteuerungsfähigkeit, wie in der unsymmetrischen Schaltung **802** von **Fig. 8** implementiert. Dieser Zwischenspeicher **905** steuert einen Spannungsteiler an, gebildet durch die Widerstände **407** und **408**. Der Widerstand **407** ist am

Transistor-Body mit dem Widerstand **408** verbunden, so dass die Body-Spannung  $v_b$  ein Bruchteil  $\frac{1}{G}$  der Source-Spannung  $v_s$  ist, gemäß Gleichung 8:

$$v_b = \frac{v_s}{G} = v_s \frac{R_1}{R_1 + R_2} \quad (\text{Gl. 8})$$

**[0063]** Erneut Bezug nehmend auf **Fig. 9B**, ist die Ausgangsspannung  $v_{out, half}$  gleich der Source-Spannung  $v_s$ . Die Source-Spannung  $v_s$  von **Fig. 9B** kann gemäß Gleichung 9 bestimmt werden, die zeigt, dass, wenn die Spannungsverstärkung  $G$  größer als 1 ist, dann  $v_s$  kleiner als  $v_{in}$  ist:

$$v_s = v_{in} \frac{g_m}{g_{mb} \frac{G-1}{G} + g_m} \quad (\text{Gl. 9})$$

**[0064]** **Fig. 10** zeigt eine Ausgangsstufe **1055** der Klasse AB der Ausführungsform, die die Ausgangsstufe **455** der Klasse A in einer der **Fig. 4**, **Fig. 7** oder **Fig. 8** ersetzen kann. Der einzige Unterschied zwischen der Ausgangsstufe **1055** der Klasse AB und der Ausgangsstufe **455** der Klasse A ist, dass die Ausgangsstufe der Klasse AB eine Strom abführende Schaltung **1057** enthält. Die Aufnahme der Strom abführenden Schaltung **1057** gestattet der Ausgangsstufe **1155** der Klasse AB, Verstärker-Verstärkungswiderstände anzusteuern, ohne einen hohen Ruhestrom zu benötigen.

**[0065]** **Fig. 11** zeigt ein Verfahren **1100** der Ausführungsform zum Konfigurieren der Spannungsverstärkung einer Verstärkerschaltung. Das Verfahren beginnt in Schritt **1102**. In Schritt **1104** wird ein gewünschtes Spannungsverstärkungsniveau für eine Verstärkerschaltung basierend auf einer Eingangsvorrichtung-Empfindlichkeit  $S_a$  und einer Zielsystem-Ausgangsempfindlichkeit  $S_{th}$  berechnet. In Schritt **1106** wird ein Paar übereinstimmender Widerstände gemäß der gewünschten Spannungsverstärkung ausgewählt. In Schritt **1108** wird jede eines Pairs von unsymmetrischen Verstärkerschaltungen konfiguriert, um die übereinstimmenden Widerstände an Verbindungspunkten eines konfigurierbaren Widerstandsnetzwerks, das in der unsymmetrischen Schaltung enthalten ist, bereitzustellen. In einer Ausführungsform ist das konfigurierbare Widerstandsnetzwerk mit einem Ausgang einer Umkehrverstärkerstufe, mit dem Body eines Eingangstransistors und mit der Source des Eingangstransistors verbunden. In Schritt **1110** wird ein Degenerationswiderstand zum Reduzieren des Rauschens der Verstärkerschaltung gemäß der gewünschten Spannungsverstärkung angepasst. Das Verfahren endet in Schritt **1112**.

**[0066]** **Fig. 12** zeigt ein Verfahren **1200** der Ausführungsform für Signalverstärkung. Das Verfahren beginnt in Schritt **1202**. In Schritt **1204** wird für jeden Eingangstransistor eines Pairs von unsymmetrischen Verstärkerschaltungen ein Eingangssignal an einem ersten Steueranschluss des Eingangstransistors empfangen. In Schritt **1206** wird für jeden Eingangstransistor ein Transistorsignal an einem Transistor-Lastweganschluss gemäß dem Eingangssignal erzeugt und wird Rückkopplung an einem zweiten Steueranschluss des Eingangstransistors empfangen. In Schritt **1208** erzeugen Umkehrverstärker, enthalten in jeder unsymmetrischen Schaltung, gemäß den in Schritt **1206** erzeugten Transistorsignalen ein erstes Ausgangssignal und ein zweites Ausgangssignal. Diese Ausgangssignale werden jeweils an ersten und zweiten Knoten eines Widerstandsnetzwerks erzeugt. In Schritt **1210** erzeugen Widerstände des Widerstandsnetzwerks ein Paar skaliertes Signale mit einer Spannung, die ein jeweiliger Anteil der ersten Ausgangssignalspannung und der zweiten Ausgangs-

signalspannung ist. In Schritt **1212** wird jedes des Paares skaliertes Signale als ein Rückkopplungssignal dem zweiten Steueranschluss jedes des Paares von Eingangstransistoren bereitgestellt. Das Verfahren endet in Schritt **1214**.

**[0067]** Veranschaulichende Ausführungsformen der vorliegenden Erfindung haben den Vorteil, nicht nur Spannungsverstärkung mit positivem dB, sondern auch Dämpfung bereitzustellen. In einigen Ausführungsformen kann ein MEMS-Mikrofon mit einem Differenzialausgang in einer Konstantladung-Konfiguration gehalten werden, um die Mikrofonempfindlichkeit zu verbessern. In einigen Ausführungsformen minimiert ein Pseudo-Differenzialverstärker, verbunden mit einer Sensorschaltung, die Anzahl von verwendeten Eingangsvorrichtungen, während er die Transferfunktion des Rauschens der Eingangsvorrichtung gleich der Transferfunktion des Eingangssignals hält. In einigen Ausführungsformen zeigt ein Verstärker mit Differenzialeingängen einen niedrigen Leistungsverbrauch, Speisung-zu-Speisung-Ausgangssignalausschlag, eine niedrige Verzerrung und niedriges Rauschen, ist für Betrieb mit Niederspannungsversorgungen geeignet und stellt Eingänge hoher Impedanz und ein programmierbares Widerstandsnetzwerk bereit, um Spannungsverstärkung mit sowohl positivem dB als auch negativem dB zu unterstützen.

**[0068]** Die folgenden zusätzlichen beispielhaften Ausführungsformen der vorliegenden Erfindung werden außerdem bereitgestellt. Gemäß einer ersten beispielhaften Ausführungsform der vorliegenden Erfindung wird eine Verstärkungsvorrichtung bereitgestellt. Die Verstärkungsvorrichtung enthält ein Widerstandsnetzwerk, gekoppelt zwischen einem ersten Ausgang der Verstärkungsvorrichtung und einem zweiten Ausgang der Verstärkungsvorrichtung. Die Verstärkungsvorrichtung enthält außerdem einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten der Verstärkungsvorrichtung. Die Verstärkungsvorrichtung enthält außerdem einen ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem ersten Knoten. Die Verstärkungsvorrichtung enthält außerdem einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten der Verstärkungsvorrichtung, und einen ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem zweiten Knoten. Die Verstärkungsvorrichtung enthält außerdem einen kapazitiven Sensor, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten. Die Verstärkungsvorrichtung enthält außerdem einen ersten Umkehrverstärker, der einen an einen zweiten Lastweganschluss des ersten Transistors gekoppelten Eingang und einen an einen ersten Ausgangsknoten der Verstärkungsvorrichtung gekoppelten Ausgang enthält. Die Verstärkungsvorrichtung enthält außerdem einen zweiten Umkehrverstärker, der einen an einen zweiten Lastweganschluss des zweiten Transistors gekoppelten Eingang enthält. Der zweite Umkehrverstärker enthält außerdem einen an einen zweiten Ausgangsknoten der Verstärkungsvorrichtung gekoppelten Ausgang.

**[0069]** Außerdem kann die vorstehende erste beispielhafte Ausführungsform implementiert werden, eines oder mehrere der folgenden zusätzlichen Merkmale zu enthalten. Die Verstärkungsvorrichtung kann auch implementiert werden, ferner mindestens eines einer ersten Stromquelle oder eines ersten Degenerationswiderstands, der an den zweiten Lastweganschluss des ersten Transistors und an eine erste Referenzspannung gekoppelt ist, zu enthalten. In dieser Implementierung enthält die Verstärkungsvorrichtung außerdem mindestens eines einer zweiten Stromquelle oder eines zweiten Degenerationswiderstands, der an den zweiten Lastweganschluss des zweiten Transistors und an die erste Referenzspannung gekoppelt ist.

**[0070]** Die Verstärkungsvorrichtung kann auch derart implementiert sein, dass der erste Umkehrverstärker eine dritte Stromquelle und einen dritten Transistor enthält. In dieser Implementierung weist der dritte Transistor einen ersten Lastweganschluss auf, gekoppelt an den zweiten Lastweganschluss des ersten Transistors. Der dritte Transistor enthält außerdem einen zweiten Lastweganschluss, gekoppelt an die dritte Stromquelle. Der erste Umkehrverstärker enthält außerdem einen vierten Transistor mit einem ersten Lastweganschluss, gekoppelt an den ersten Ausgangsknoten. Der vierte Transistor weist außerdem einen Steueranschluss auf, gekoppelt an den zweiten Lastweganschluss des dritten Transistors. Der zweite Umkehrverstärker enthält eine vierte Stromquelle und einen fünften Transistor. Der fünfte Transistor weist einen ersten Lastweganschluss auf, gekoppelt an den zweiten Lastweganschluss des zweiten Transistors. Der fünfte Transistor weist außerdem einen zweiten Lastweganschluss auf, gekoppelt an die vierte Stromquelle. Der zweite Umkehrverstärker enthält außerdem einen sechsten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Ausgangsknoten. Der sechste Transistor enthält außerdem einen Steueranschluss, gekoppelt an den zweiten Lastweganschluss des fünften Transistors.

**[0071]** Die Verstärkungsvorrichtung kann auch derart implementiert sein, dass jede/r des ersten Transistors, des zweiten Transistors, des vierten Transistors, des sechsten Transistors, der dritten Stromquelle und der vierten Stromquelle einen Metalloxidhalbleiter-Feldeffekttransistor (MOSFET) enthält, der einen ersten Kanaltyp aufweist. In dieser Implementierung enthält jede/r des dritten Transistors, des fünften Transistors, der ers-

ten Stromquelle und der zweiten Stromquelle einen MOSFET, der einen zweiten Kanaltyp aufweist. Jeder des ersten Kanaltyps und des zweiten Kanaltyps sind entgegengesetzte Kanaltypen, ausgewählt aus entweder einem p-Kanaltyp oder einem n-Kanaltyp.

**[0072]** Die Verstärkungsvorrichtung kann auch derart implementiert sein, dass sie ferner einen ersten Vorspannungswiderstand enthält, gekoppelt zwischen dem ersten Eingangsknoten und einer Referenzspannung. In dieser Implementierung enthält die Verstärkungsvorrichtung außerdem einen zweiten Vorspannungswiderstand, gekoppelt zwischen dem zweiten Eingangsknoten und einer zweiten Referenzspannung.

**[0073]** Die Verstärkungsvorrichtung kann außerdem derart implementiert sein, dass der erste Lastweganschluss des ersten Transistors an den ersten Ausgangsknoten der Verstärkungsvorrichtung gekoppelt ist. In dieser Implementierung ist der erste Lastweganschluss des zweiten Transistors an den zweiten Ausgangsknoten der Verstärkungsvorrichtung gekoppelt.

**[0074]** Die Verstärkungsvorrichtung kann außerdem derart implementiert sein, dass ein zweiter Steueranschluss des ersten Transistors an eine/n einer zweiten Referenzspannung oder eines dritten Knotens des Widerstandsnetzwerks gekoppelt ist. In dieser Implementierung ist ein zweiter Steueranschluss des zweiten Transistors an eine/n der zweiten Referenzspannung oder eines vierten Knotens des Widerstandsnetzwerks gekoppelt.

**[0075]** Die Verstärkungsvorrichtung kann auch derart implementiert sein, dass das Widerstandsnetzwerk ferner einen ersten Widerstand enthält, gekoppelt zwischen einem zweiten Steueranschluss des ersten Transistors und einem dritten Knoten des Widerstandsnetzwerks. In dieser Implementierung enthält das Widerstandsnetzwerk außerdem einen zweiten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des ersten Transistors und dem Ausgang des ersten Umkehrverstärkers. Das Widerstandsnetzwerk enthält außerdem einen dritten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des zweiten Transistors und dem dritten Knoten des Widerstandsnetzwerks. Das Widerstandsnetzwerk enthält außerdem einen vierten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des zweiten Transistors und dem Ausgang des zweiten Umkehrverstärkers. In dieser Implementierung entspricht eine Spannungsverstärkung der Verstärkungsvorrichtung einem Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand. Ein Verhältnis des vierten Widerstands dividiert durch den dritten Widerstand ist das gleiche wie das Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand.

**[0076]** Die Verstärkungsvorrichtung kann außerdem derart implementiert sein, dass der erste Lastweganschluss des ersten Transistors mit dem Ausgang des ersten Umkehrverstärkers direkt verbunden ist. In dieser Implementierung ist der erste Lastweganschluss des zweiten Transistors mit dem Ausgang des zweiten Umkehrverstärkers direkt verbunden.

**[0077]** Die Verstärkungsvorrichtung kann außerdem derart implementiert sein, dass sie ferner ein erstes Schaltnetzwerk enthält, gekoppelt an das Widerstandsnetzwerk. In dieser Implementierung enthält die Verstärkungsvorrichtung außerdem ein zweites Schaltnetzwerk, gekoppelt an das Widerstandsnetzwerk. Der erste Widerstand und der zweite Widerstand sind jeweils durch Konfigurieren des ersten Schaltnetzwerks gemäß einer Spannungsverstärkungseinstellung auswählbar. Der dritte Widerstand und der vierte Widerstand sind jeweils durch Konfigurieren des zweiten Schaltnetzwerks gemäß der Spannungsverstärkungseinstellung auswählbar.

**[0078]** Die Verstärkungsvorrichtung kann außerdem derart implementiert sein, dass der erste Lastweganschluss des ersten Transistors an den an den zweiten Steueranschluss des ersten Transistors gekoppelt ist. In dieser Implementierung ist der erste Lastweganschluss des zweiten Transistors an den zweiten Steueranschluss des zweiten Transistors gekoppelt. Der zweite Steueranschluss des ersten Transistors ist ein Body-Anschluss und der zweite Steueranschluss des zweiten Transistors ist ein Body-Anschluss.

**[0079]** Gemäß einer zweiten beispielhaften Ausführungsform der vorliegenden Erfindung wird ein Verfahren für Signalverstärkung bereitgestellt. Das Verfahren enthält Empfangen, durch einen ersten Steueranschluss eines ersten Transistors, eines ersten Eingangssignals von einem kapazitiven Sensor. Das Verfahren enthält außerdem Empfangen, durch einen ersten Steueranschluss eines zweiten Transistors, eines zweiten Eingangssignals von dem kapazitiven Sensor. Das Verfahren enthält außerdem Produzieren eines ersten Ausgangssignals zum Enthalten von Verstärken eines ersten Signals an einem ersten Lastweganschluss des ersten Transistors unter Verwendung eines ersten Umkehrverstärkers, der einen an ein Widerstandsnetzwerk gekoppelten Ausgang aufweist. Das Verfahren enthält außerdem Produzieren eines zweiten Ausgangssignals

zum Enthalten von Verstärken eines zweiten Signals an einem ersten Lastweganschluss des zweiten Transistors unter Verwendung eines zweiten Umkehrverstärkers, der einen an das Widerstandsnetzwerk gekoppelten Ausgang aufweist. Das Verfahren enthält außerdem Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß einem im Voraus bestimmten Anteil.

**[0080]** Außerdem kann die vorstehende zweite beispielhafte Ausführungsform implementiert werden, eines oder mehrere der folgenden zusätzlichen Merkmale zu enthalten. Das Verfahren kann außerdem implementiert sein, ferner Anpassen des im Voraus bestimmten Anteils zu enthalten. In dieser Implementierung enthält Anpassen des im Voraus bestimmten Anteils, zu verändern, wie der zweite Lastweganschluss des ersten Transistors und der zweite Lastweganschluss des zweiten Transistors an das Widerstandsnetzwerk gekoppelt sind.

**[0081]** Das Verfahren kann außerdem implementiert sein, ferner Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Steueranschluss des ersten Transistors und an einen zweiten Steueranschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß dem im Voraus bestimmten Anteil zu enthalten. In dieser Implementierung ist eine Spannungsdifferenz zwischen dem ersten Ausgangssignal und dem zweiten Ausgangssignal mit einer Spannungsdifferenz zwischen dem ersten Eingangssignal und dem zweiten Eingangssignal und mit einem Umkehrwert des im Voraus bestimmten Anteils in Übereinstimmung.

**[0082]** Das Verfahren kann außerdem implementiert sein, ferner Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Steueranschluss des ersten Transistors und an einen zweiten Steueranschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß einem zweiten im Voraus bestimmten Anteil zu enthalten. In dieser Implementierung enthält das Verfahren außerdem Anpassen des zweiten im Voraus bestimmten Anteils, was enthält, zu verändern, wie der zweite Steueranschluss des ersten Transistors und der zweite Steueranschluss des zweiten Transistors an das Widerstandsnetzwerk gekoppelt sind.

**[0083]** Das Verfahren kann auch derart implementiert sein, dass das Produzieren des ersten Ausgangssignals ferner enthält, an einem Lastweganschluss eines dritten Transistors, der in dem ersten Umkehrverstärker vorhanden ist, das erste Signal von dem ersten Lastweganschluss des ersten Transistors zu empfangen. In dieser Implementierung enthält das Produzieren des zweiten Ausgangssignals ferner, an einem Lastweganschluss eines vierten Transistors, der in dem zweiten Umkehrverstärker vorhanden ist, das zweite Signal von dem ersten Lastweganschluss des zweiten Transistors zu empfangen. Das Widerstandsnetzwerk enthält eine Vielzahl von in Reihe verbundenen Widerständen, gekoppelt zwischen dem Ausgang des ersten Umkehrverstärkers an einem ersten Knoten und dem Ausgang des zweiten Umkehrverstärkers an einem zweiten Knoten. Ein zweiter Steueranschluss des ersten Transistors ist an einen dritten Knoten des Widerstandsnetzwerks zwischen dem ersten Knoten und dem zweiten Knoten auswählbar gekoppelt und ein zweiter Steueranschluss des zweiten Widerstands ist an einen vierten Knoten des Widerstandsnetzwerks zwischen dem dritten Knoten und dem zweiten Knoten auswählbar gekoppelt.

**[0084]** Das Verfahren kann außerdem derart implementiert sein, dass jeder des ersten Transistors und des zweiten Transistors einen MOSFET enthält. In dieser Implementierung ist der zweite Steueranschluss des ersten Transistors ein Body-Anschluss und ist der zweite Steueranschluss des zweiten Transistors ein Body-Anschluss. Das Verfahren kann außerdem derart implementiert sein, dass der im Voraus bestimmte Anteil 1 ist.

**[0085]** Gemäß einer dritten beispielhaften Ausführungsform der vorliegenden Erfindung wird ein Verstärkersystem bereitgestellt. Das Verstärkersystem enthält einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten, einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten. In dieser Implementierung enthält das Verstärkersystem außerdem einen ersten Umkehrverstärker. Der erste Umkehrverstärker enthält einen dritten Transistor mit einem ersten Lastweganschluss, gekoppelt an den ersten Lastweganschluss des ersten Transistors. Das Verstärkersystem enthält außerdem einen ersten Ausgangsknoten, gekoppelt an einen Ausgang des ersten Umkehrverstärkers. Das Verstärkersystem enthält außerdem einen zweiten Umkehrverstärker, der einen vierten Transistor mit einem ersten Lastweganschluss enthält, gekoppelt an den ersten Lastweganschluss des zweiten Transistors. Das Verstärkersystem enthält außerdem einen zweiten Ausgangsknoten, gekoppelt an einen Ausgang des zweiten Umkehrverstärkers. Das Verstärkersystem enthält außerdem ein schaltbares Widerstandsnetzwerk, gekoppelt zwischen dem Ausgang des ersten Umkehrverstärkers und dem Ausgang des zweiten Umkehrverstärkers.

Das schaltbare Widerstandsnetzwerk ist an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors auswählbar gekoppelt.

**[0086]** Außerdem kann die vorstehende erste beispielhafte Ausführungsform implementiert werden, eines oder mehrere der folgenden zusätzlichen Merkmale zu enthalten. Das Verstärkersystem kann außerdem derart implementiert sein, ferner einen kapazitiven Sensor zu enthalten, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten. In dieser Implementierung enthält der kapazitive Sensor eine Vorrichtung eines mikroelektromechanischen Systems (MEMS) mit zwei Rückplatten, die an den ersten Eingangsknoten und an den zweiten Eingangsknoten kapazitiv gekoppelt ist. Das Verstärkersystem kann außerdem derart implementiert sein, dass die MEMS-Vorrichtung mit zwei Rückplatten ein Mikrofon ist.

**[0087]** Das Verstärkersystem kann außerdem derart implementiert sein, ferner eine erste Stromquelle zu enthalten, gekoppelt an den ersten Lastweganschluss des ersten Transistors, und eine zweite Stromquelle, gekoppelt an den ersten Lastweganschluss des zweiten Transistors. In dieser Implementierung enthält der erste Umkehrverstärker eine dritte Stromquelle, gekoppelt an einen zweiten Lastweganschluss des dritten Transistors. Der erste Umkehrverstärker enthält außerdem einen fünften Transistor. Der fünfte Transistor weist einen ersten Lastweganschluss auf, gekoppelt an den ersten Ausgangsknoten, und weist außerdem einen Steueranschluss auf, gekoppelt an den zweiten Lastweganschluss des dritten Transistors. Der zweite Umkehrverstärker enthält eine vierte Stromquelle, gekoppelt an einen zweiten Lastweganschluss des vierten Transistors. Der zweite Umkehrverstärker enthält außerdem einen sechsten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Ausgangsknoten. Der sechste Transistor weist außerdem einen Steueranschluss auf, gekoppelt an den zweiten Lastweganschluss des vierten Transistors.

**[0088]** Das Verstärkersystem kann außerdem implementiert sein, ferner eine fünfte Stromquelle zu enthalten, gekoppelt an einen dritten Knoten des schaltbaren Widerstandsnetzwerks. In dieser Implementierung enthält das Verstärkersystem außerdem einen ersten Vorspannungswiderstand und einen zweiten Vorspannungswiderstand. Der erste Vorspannungswiderstand ist zwischen einer Referenzspannung und dem Steueranschluss des ersten Transistors gekoppelt und der zweite Vorspannungswiderstand ist zwischen der Referenzspannung und dem Steueranschluss des zweiten Transistors gekoppelt.

**[0089]** Das Verstärkersystem kann außerdem derart implementiert sein, dass der zweite Lastweganschluss des ersten Transistors mit dem zweiten Ausgangsknoten direkt verbunden ist. In dieser Implementierung ist der zweite Lastweganschluss des zweiten Transistors mit dem zweiten Ausgangsknoten direkt verbunden.

**[0090]** Das Verstärkersystem kann außerdem derart implementiert sein, dass ein zweiter Steueranschluss des ersten Transistors an einen vierten Knoten des schaltbaren Widerstandsnetzwerks gekoppelt ist. In dieser Implementierung ist ein zweiter Steueranschluss des zweiten Transistors an einen fünften Knoten des schaltbaren Widerstandsnetzwerks gekoppelt.

**[0091]** Das Verstärkersystem kann auch derart implementiert sein, dass das schaltbare Widerstandsnetzwerk ferner einen ersten Widerstand enthält, gekoppelt zwischen einem zweiten Steueranschluss des ersten Transistors und einem dritten Knoten des schaltbaren Widerstandsnetzwerks. In dieser Implementierung enthält das schaltbare Widerstandsnetzwerk außerdem einen zweiten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des ersten Transistors und dem Ausgang des ersten Umkehrverstärkers. Das schaltbare Widerstandsnetzwerk enthält außerdem einen dritten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des zweiten Transistors und dem dritten Knoten des schaltbaren Widerstandsnetzwerks. Das schaltbare Widerstandsnetzwerk enthält außerdem einen vierten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des zweiten Transistors und dem Ausgang des zweiten Umkehrverstärkers.

**[0092]** Das Verstärkersystem kann außerdem implementiert sein, ferner eine Spannungsverstärkung zu enthalten, wobei der zweite Lastweganschluss des ersten Transistors an den zweiten Steueranschluss des ersten Transistors gekoppelt ist und der zweite Lastweganschluss des zweiten Transistors an den zweiten Steueranschluss des zweiten Transistors gekoppelt ist. In dieser Implementierung entspricht die Spannungsverstärkung einem Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand. Ein Verhältnis des vierten Widerstands dividiert durch den dritten Widerstand ist das gleiche wie das Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand.

**[0093]** Das Verstärkersystem kann außerdem implementiert sein, ferner ein erstes Schaltnetzwerk zu enthalten, gekoppelt an das schaltbare Widerstandsnetzwerk, und ein zweites Schaltnetzwerk, gekoppelt an das schaltbare Widerstandsnetzwerk. In dieser Implementierung sind der erste Widerstand und der zweite Wi-

derstand jeder durch Konfigurieren des ersten Schaltnetzwerks gemäß einer Spannungsverstärkungseinstellung auswählbar. Der dritte Widerstand und der vierte Widerstand sind jeder durch Konfigurieren des zweiten Schaltnetzwerks gemäß der Spannungsverstärkungseinstellung auswählbar.

**[0094]** Das Verstärkersystem kann auch derart implementiert sein, dass jede/r des ersten Transistors, des zweiten Transistors, des vierten Transistors, des sechsten Transistors, der dritten Stromquelle und der vierten Stromquelle einen MOSFET enthält, der einen ersten Kanaltyp aufweist. In dieser Implementierung enthält jede/r des ersten Transistors, des vierten Transistors, der ersten Stromquelle und der zweiten Stromquelle einen MOSFET, der einen zweiten Kanaltyp aufweist, und jeder des ersten Kanaltyps und des zweiten Kanaltyps enthalten entgegengesetzte Kanaltypen, ausgewählt aus entweder einem p-Kanaltyp oder einem n-Kanaltyp. Der zweite Steueranschluss des ersten Transistors ist ein Body-Anschluss und der zweite Steueranschluss des zweiten Transistors ist ein Body-Anschluss.

**[0095]** Während diese Erfindung unter Bezugnahme auf die veranschaulichenden Ausführungsformen beschrieben wurde, soll diese Beschreibung nicht in einem einschränkenden Sinn verstanden werden. Verschiedene Abwandlungen und Kombinationen der veranschaulichenden Ausführungsformen sowie anderer Ausführungsformen der Erfindung werden Fachleuten im Fachgebiet nach Bezugnahme auf die Beschreibung offensichtlich sein. Es wird daher beabsichtigt, dass die angefügten Ansprüche jegliche derartige Abwandlungen oder Ausführungsformen einschließen.

### Patentansprüche

#### 1. Verstärkungsvorrichtung, umfassend:

ein Widerstandsnetzwerk, gekoppelt zwischen einem ersten Ausgang der Verstärkungsvorrichtung und einem zweiten Ausgang der Verstärkungsvorrichtung,  
 einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten der Verstärkungsvorrichtung, und einem ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem ersten Knoten;  
 einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten der Verstärkungsvorrichtung, und einem ersten Lastweganschluss, gekoppelt an das Widerstandsnetzwerk an einem zweiten Knoten;  
 einen kapazitiven Sensor, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten;  
 einen ersten Umkehrverstärker, umfassend einen Eingang, gekoppelt an einen zweiten Lastweganschluss des ersten Transistors, und einen Ausgang, gekoppelt an einen ersten Ausgangsknoten der Verstärkungsvorrichtung; und  
 einen zweiten Umkehrverstärker, umfassend einen Eingang, gekoppelt an einen zweiten Lastweganschluss des zweiten Transistors, und einen Ausgang, gekoppelt an einen zweiten Ausgangsknoten der Verstärkungsvorrichtung  
 gekennzeichnet dadurch, dass:  
 der erste Umkehrverstärker umfasst:  
 eine dritte Stromquelle;  
 einen dritten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Lastweganschluss des ersten Transistors, und einem zweiten Lastweganschluss, gekoppelt an die dritte Stromquelle; und  
 einen vierten Transistor mit einem ersten Lastweganschluss,  
 gekoppelt an den ersten Ausgangsknoten, und einem Steueranschluss, gekoppelt an den zweiten Lastweganschluss des dritten Transistors; und  
 der zweite Umkehrverstärker umfasst:  
 eine vierte Stromquelle;  
 einen fünften Transistor mit einem ersten Lastweganschluss,  
 gekoppelt an den zweiten Lastweganschluss des zweiten Transistors,  
 und einem zweiten Lastweganschluss, gekoppelt an die vierte Stromquelle; und  
 einen sechsten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Ausgangsknoten, und einem Steueranschluss, gekoppelt an den zweiten Lastweganschluss des fünften Transistors.

#### 2. Verstärkungsvorrichtung nach Anspruch 1, ferner umfassend:

mindestens eines einer ersten Stromquelle oder eines ersten Degenerationswiderstands, gekoppelt an den zweiten Lastweganschluss des ersten Transistors und an eine erste Referenzspannung; und

mindestens eines einer zweiten Stromquelle oder eines zweiten Degenerationswiderstands, gekoppelt an den zweiten Lastweganschluss des zweiten Transistors und an die erste Referenzspannung.

3. Verstärkungsvorrichtung nach Anspruch 1, wobei:

jede/r des ersten Transistors, des zweiten Transistors, des vierten Transistors, des sechsten Transistors, der dritten Stromquelle und der vierten Stromquelle einen Metalloxidhalbleiter-Feldeffekttransistor (MOSFET) umfasst, der einen ersten Kanaltyp aufweist,

jede/r des dritten Transistors, des fünften Transistors, der ersten Stromquelle und der zweiten Stromquelle einen MOSFET umfasst, der einen zweiten Kanaltyp aufweist; und

jeder des ersten Kanaltyps und des zweiten Kanaltyps entgegengesetzte Kanaltypen umfasst, ausgewählt aus einem p-Kanaltyp oder einem n-Kanaltyp.

4. Verstärkungsvorrichtung nach einem der Ansprüche 2 bis 3, ferner umfassend:

einen ersten Vorspannungswiderstand, gekoppelt zwischen dem ersten Eingangsknoten und einer Referenzspannung; und

einen zweiten Vorspannungswiderstand, gekoppelt zwischen dem zweiten Eingangsknoten und einer zweiten Referenzspannung.

5. Verstärkungsvorrichtung nach einem der Ansprüche 2 bis 4, wobei:

der erste Lastweganschluss des ersten Transistors an den ersten Ausgangsknoten der Verstärkungsvorrichtung gekoppelt ist; und

der erste Lastweganschluss des zweiten Transistors an den zweiten Ausgangsknoten der Verstärkungsvorrichtung gekoppelt ist.

6. Verstärkungsvorrichtung nach einem der Ansprüche 2 bis 5, wobei:

ein zweiter Steueranschluss des ersten Transistors an eine/n einer zweiten Referenzspannung oder eines dritten Knotens des Widerstandsnetzwerks gekoppelt ist; und

ein zweiter Steueranschluss des zweiten Transistors an eine/n der zweiten Referenzspannung oder eines vierten Knotens des Widerstandsnetzwerks gekoppelt ist.

7. Verstärkungsvorrichtung nach einem der Ansprüche 2 bis 6, wobei das Widerstandsnetzwerk ferner Folgendes umfasst:

einen ersten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des ersten Transistors und einem dritten Knoten des Widerstandsnetzwerks;

einen zweiten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des ersten Transistors und dem Ausgang des ersten Umkehrverstärkers;

einen dritten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des zweiten Transistors und dem dritten Knoten des Widerstandsnetzwerks; und

einen vierten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des zweiten Transistors und dem Ausgang des zweiten Umkehrverstärkers; und wobei:

eine Spannungsverstärkung der Verstärkungsvorrichtung einem Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand entspricht und

ein Verhältnis des vierten Widerstands dividiert durch den dritten Widerstand das gleiche ist wie das Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand.

8. Verstärkungsvorrichtung nach Anspruch 7, wobei:

der erste Lastweganschluss des ersten Transistors mit dem Ausgang des ersten Umkehrverstärkers direkt verbunden ist; und

der erste Lastweganschluss des zweiten Transistors mit dem Ausgang des zweiten Umkehrverstärkers direkt verbunden ist.

9. Verstärkungsvorrichtung nach einem der Ansprüche 7 oder 8, ferner umfassend:

ein erstes Schaltnetzwerk, gekoppelt an das Widerstandsnetzwerk; und

ein zweites Schaltnetzwerk, gekoppelt an das Widerstandsnetzwerk, wobei

der erste Widerstand und der zweite Widerstand jeweils durch Konfigurieren des ersten Schaltnetzwerks gemäß einer Spannungsverstärkungseinstellung auswählbar sind und

der dritte Widerstand und der vierte Widerstand jeweils durch Konfigurieren des zweiten Schaltnetzwerks gemäß der Spannungsverstärkungseinstellung auswählbar sind.

10. Verstärkungsvorrichtung nach einem der Ansprüche 7 bis 9, wobei:

der erste Lastweganschluss des ersten Transistors an den zweiten Steueranschluss des ersten Transistors gekoppelt ist;  
 der erste Lastweganschluss des zweiten Transistors an den zweiten Steueranschluss des zweiten Transistors gekoppelt ist;  
 der zweite Steueranschluss des ersten Transistors ein Body-Anschluss ist; und  
 der zweite Steueranschluss des zweiten Transistors ein Body-Anschluss ist.

11. Verfahren für Signalverstärkung, umfassend:

Empfangen, durch einen ersten Steueranschluss eines ersten Transistors, eines ersten Eingangssignals von einem kapazitiven Sensor;  
 Empfangen, durch einen ersten Steueranschluss eines zweiten Transistors, eines zweiten Eingangssignals von dem kapazitiven Sensor;  
 Produzieren eines ersten Ausgangssignals, wobei Produzieren des ersten Ausgangssignals umfasst, ein erstes Signal an einem ersten Lastweganschluss des ersten Transistors unter Verwendung eines ersten Umkehrverstärkers, der einen an ein Widerstandsnetzwerk gekoppelten Ausgang aufweist, zu verstärken;  
 Produzieren eines zweiten Ausgangssignals, wobei Produzieren des zweiten Ausgangssignals umfasst, ein zweites Signal an einem ersten Lastweganschluss des zweiten Transistors unter Verwendung eines zweiten Umkehrverstärkers, der einen an das Widerstandsnetzwerk gekoppelten Ausgang aufweist, zu verstärken; und  
 Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß einem im Voraus bestimmten Anteil, gekennzeichnet dadurch, dass  
 das Produzieren des ersten Ausgangssignals ferner umfasst, an einem Lastweganschluss eines dritten Transistors, der in dem ersten Umkehrverstärker vorhanden ist, das erste Signal von dem ersten Lastweganschluss des ersten Transistors zu empfangen;  
 das Produzieren des zweiten Ausgangssignals ferner umfasst, an einem Lastweganschluss eines vierten Transistors, der in dem zweiten Umkehrverstärker vorhanden ist, das zweite Signal von dem ersten Lastweganschluss des zweiten Transistors zu empfangen;  
 das Widerstandsnetzwerk eine Vielzahl von in Reihe verbundenen Widerständen umfasst, gekoppelt zwischen dem Ausgang des ersten Umkehrverstärkers an einem ersten Knoten und dem Ausgang des zweiten Umkehrverstärkers an einem zweiten Knoten;  
 ein zweiter Steueranschluss des ersten Transistors an einen dritten Knoten des Widerstandsnetzwerks zwischen dem ersten Knoten und dem zweiten Knoten auswählbar gekoppelt ist; und  
 ein zweiter Steueranschluss des zweiten Transistors an einen vierten Knoten des Widerstandsnetzwerks zwischen dem dritten Knoten und dem zweiten Knoten auswählbar gekoppelt ist.

12. Verfahren nach Anspruch 11, ferner umfassend:

Anpassen des im Voraus bestimmten Anteils, wobei Anpassen des im Voraus bestimmten Anteils umfasst, zu verändern, wie der zweite Lastweganschluss des ersten Transistors und der zweite Lastweganschluss des zweiten Transistors an das Widerstandsnetzwerk gekoppelt sind.

13. Verfahren nach einem der Ansprüche 11 oder 12, ferner umfassend:

Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Steueranschluss des ersten Transistors und an einen zweiten Steueranschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß dem im Voraus bestimmten Anteil, wobei eine Spannungsdifferenz zwischen dem ersten Ausgangssignal und dem zweiten Ausgangssignal mit einer Spannungsdifferenz zwischen dem ersten Eingangssignal und dem zweiten Eingangssignal und mit einem Umkehrwert des im Voraus bestimmten Anteils in Übereinstimmung ist.

14. Verfahren nach einem der Ansprüche 11 bis 13, ferner umfassend:

Rückkoppeln des ersten Ausgangssignals und des zweiten Ausgangssignals an einen zweiten Steueranschluss des ersten Transistors und an einen zweiten Steueranschluss des zweiten Transistors über das Widerstandsnetzwerk gemäß einem zweiten im Voraus bestimmten Anteil; und  
 Anpassen des zweiten im Voraus bestimmten Anteils, wobei Anpassen des zweiten im Voraus bestimmten Anteils umfasst, zu verändern, wie der zweite Steueranschluss des ersten Transistors und der zweite Steueranschluss des zweiten Transistors an das Widerstandsnetzwerk gekoppelt sind.

15. Verfahren nach Anspruch 11, wobei:

jeder des ersten Transistors und des zweiten Transistors einen Metalloxidhalbleiter-Feldeffekttransistor (MOS-FET) umfasst;

der zweite Steueranschluss des ersten Transistors ein Body-Anschluss ist; und  
der zweite Steueranschluss des zweiten Transistors ein Body-Anschluss ist.

16. Verfahren nach einem der Ansprüche 11 bis 15, wobei:  
der im Voraus bestimmte Anteil 1 ist.

17. Verstärkersystem, umfassend:  
einen ersten Transistor mit einem Steueranschluss, gekoppelt an einen ersten Eingangsknoten;  
einen zweiten Transistor mit einem Steueranschluss, gekoppelt an einen zweiten Eingangsknoten;  
einen ersten Umkehrverstärker, umfassend einen dritten Transistor mit einem ersten Lastweganschluss, gekoppelt an den ersten Lastweganschluss des ersten Transistors;  
einen ersten Ausgangsknoten, gekoppelt an einen Ausgang des ersten Umkehrverstärkers;  
einen zweiten Umkehrverstärker, umfassend einen vierten Transistor mit einem ersten Lastweganschluss, gekoppelt an den ersten Lastweganschluss des zweiten Transistors;  
einen zweiten Ausgangsknoten, gekoppelt an einen Ausgang des zweiten Umkehrverstärkers; und  
ein schaltbares Widerstandsnetzwerk, gekoppelt zwischen dem Ausgang des ersten Umkehrverstärkers und dem Ausgang des zweiten Umkehrverstärkers, wobei das schaltbare Widerstandsnetzwerk an einen zweiten Lastweganschluss des ersten Transistors und an einen zweiten Lastweganschluss des zweiten Transistors auswählbar gekoppelt ist,

**gekennzeichnet durch**

eine erste Stromquelle, gekoppelt an den ersten Lastweganschluss des ersten Transistors; und  
eine zweite Stromquelle, gekoppelt an den ersten Lastweganschluss des zweiten Transistors; wobei:  
der erste Umkehrverstärker Folgendes umfasst:  
eine dritte Stromquelle, gekoppelt an einen zweiten Lastweganschluss des dritten Transistors; und  
einen fünften Transistor mit einem ersten Lastweganschluss,  
gekoppelt an den ersten Ausgangsknoten, und einem Steueranschluss, gekoppelt an den zweiten Lastweganschluss des dritten Transistors; und  
der zweite Umkehrverstärker Folgendes umfasst:  
eine vierte Stromquelle, gekoppelt an einen zweiten Lastweganschluss des vierten Transistors; und  
einen sechsten Transistor mit einem ersten Lastweganschluss, gekoppelt an den zweiten Ausgangsknoten, und einem Steueranschluss, gekoppelt an den zweiten Lastweganschluss des vierten Transistors.

18. Verstärkersystem nach Anspruch 17, ferner umfassend:  
einen kapazitiven Sensor, gekoppelt an den ersten Eingangsknoten und an den zweiten Eingangsknoten, wobei  
der kapazitive Sensor eine Vorrichtung eines mikroelektromechanischen Systems (MEMS) mit zwei Rückplatten umfasst, die an den ersten Eingangsknoten und an den zweiten Eingangsknoten kapazitiv gekoppelt ist.

19. Verstärkersystem nach Anspruch 18, wobei die MEMS-Vorrichtung mit zwei Rückplatten ein Mikrofon umfasst.

20. Verstärkersystem nach Anspruch 17, ferner umfassend:  
eine fünfte Stromquelle, gekoppelt an einen dritten Knoten des schaltbaren Widerstandsnetzwerks,  
einen ersten Vorspannungswiderstand, gekoppelt zwischen einer Referenzspannung und dem Steueranschluss des ersten Transistors; und  
einen zweiten Vorspannungswiderstand, gekoppelt zwischen der Referenzspannung und dem Steueranschluss des zweiten Transistors.

21. Verstärkersystem nach einem der Ansprüche 17 oder 20, wobei:  
der zweite Lastweganschluss des ersten Transistors mit dem zweiten Ausgangsknoten direkt verbunden ist; und  
der zweite Lastweganschluss des zweiten Transistors mit dem zweiten Ausgangsknoten direkt verbunden ist.

22. Verstärkersystem nach Anspruch 21, wobei:  
ein zweiter Steueranschluss des ersten Transistors an einen vierten Knoten des schaltbaren Widerstandsnetzwerks gekoppelt ist; und  
ein zweiter Steueranschluss des zweiten Transistors an einen fünften Knoten des schaltbaren Widerstandsnetzwerks gekoppelt ist.

23. Verstärkersystem nach einem der Ansprüche 17 bis 22, wobei das schaltbare Widerstandsnetzwerk ferner Folgendes umfasst:

einen ersten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des ersten Transistors und einem dritten Knoten des schaltbaren Widerstandsnetzwerks;  
einen zweiten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des ersten Transistors und dem Ausgang des ersten Umkehrverstärkers;  
einen dritten Widerstand, gekoppelt zwischen einem zweiten Steueranschluss des zweiten Transistors und dem dritten Knoten des schaltbaren Widerstandsnetzwerks; und  
einen vierten Widerstand, gekoppelt zwischen dem zweiten Steueranschluss des zweiten Transistors und dem Ausgang des zweiten Umkehrverstärkers.

24. Verstärkersystem nach Anspruch 23, ferner umfassend eine Spannungsverstärkung, wobei:  
der zweite Lastweganschluss des ersten Transistors an den zweiten Steueranschluss des ersten Transistors gekoppelt ist;  
der zweite Lastweganschluss des zweiten Transistors an den zweiten Steueranschluss des zweiten Transistors gekoppelt ist;  
die Spannungsverstärkung einem Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand entspricht; und  
ein Verhältnis des vierten Widerstands dividiert durch den dritten Widerstand das gleiche ist wie das Verhältnis des zweiten Widerstands dividiert durch den ersten Widerstand.

25. Verstärkersystem nach einem der Ansprüche 23 oder 24, ferner umfassend:  
ein erstes Schaltnetzwerk, gekoppelt an das schaltbare Widerstandsnetzwerk; und  
ein zweites Schaltnetzwerk, gekoppelt an das schaltbare Widerstandsnetzwerk, wobei  
der erste Widerstand und der zweite Widerstand jeweils durch Konfigurieren des ersten Schaltnetzwerks gemäß einer Spannungsverstärkungseinstellung auswählbar sind und  
der dritte Widerstand und der vierte Widerstand jeweils durch Konfigurieren des zweiten Schaltnetzwerks gemäß der Spannungsverstärkungseinstellung auswählbar sind.

26. Verstärkersystem nach Anspruch 25, wobei:  
jede/r des ersten Transistors, des zweiten Transistors, des fünften Transistors, des sechsten Transistors, der dritten Stromquelle und der vierten Stromquelle einen Metalloxidhalbleiter-Feldeffekttransistor (MOSFET) umfasst, der einen ersten Kanaltyp aufweist;  
jede/r des dritten Transistors, des vierten Transistors, der ersten Stromquelle und der zweiten Stromquelle einen MOSFET umfasst, der einen zweiten Kanaltyp aufweist;  
jeder des ersten Kanaltyps und des zweiten Kanaltyps entgegengesetzte Kanaltypen umfasst, ausgewählt aus einem p-Kanaltyp oder einem n-Kanaltyp;  
der zweite Steueranschluss des ersten Transistors ein Body-Anschluss ist; und  
der zweite Steueranschluss des zweiten Transistors ein Body-Anschluss ist.

Es folgen 13 Seiten Zeichnungen

Anhängende Zeichnungen

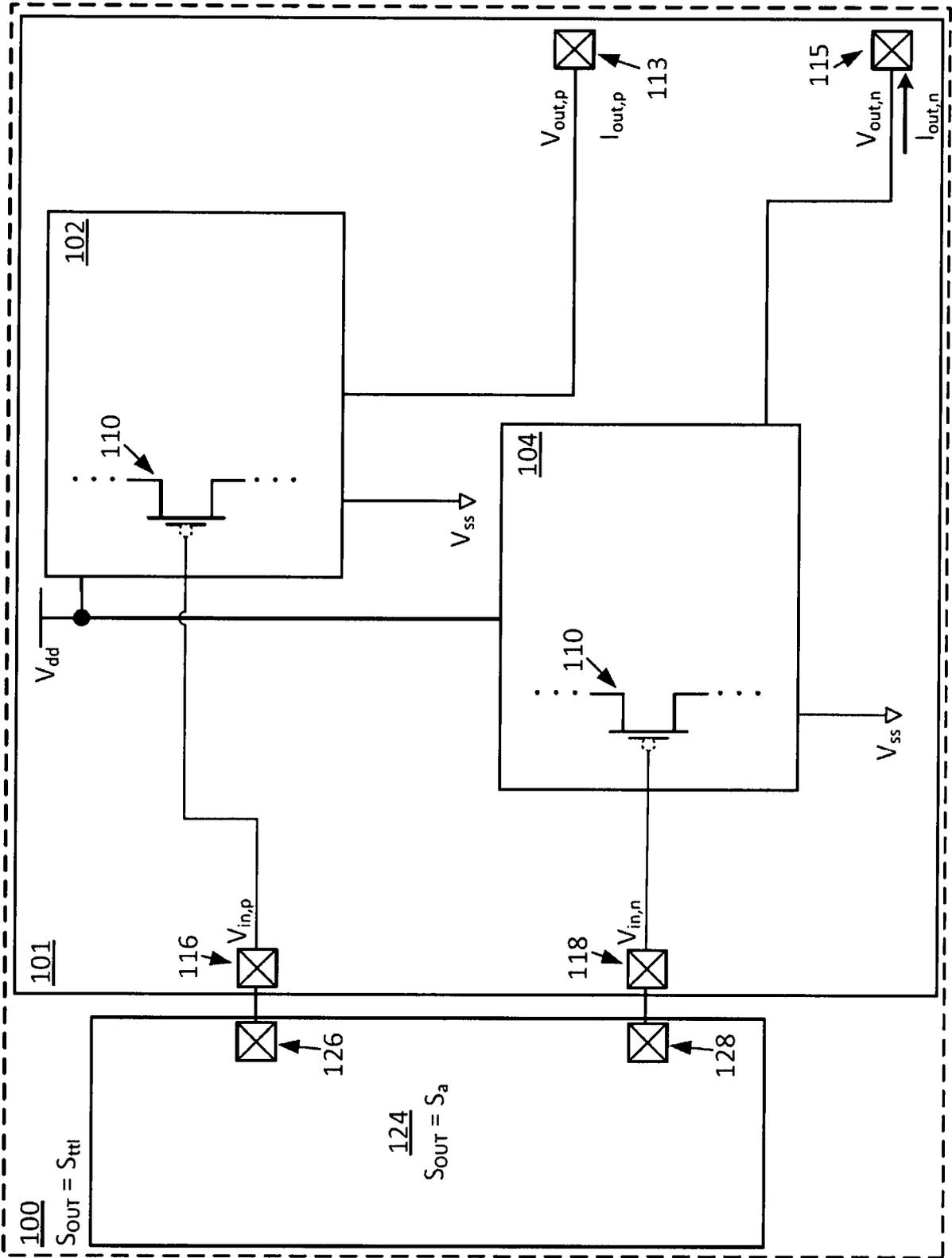


FIG 1

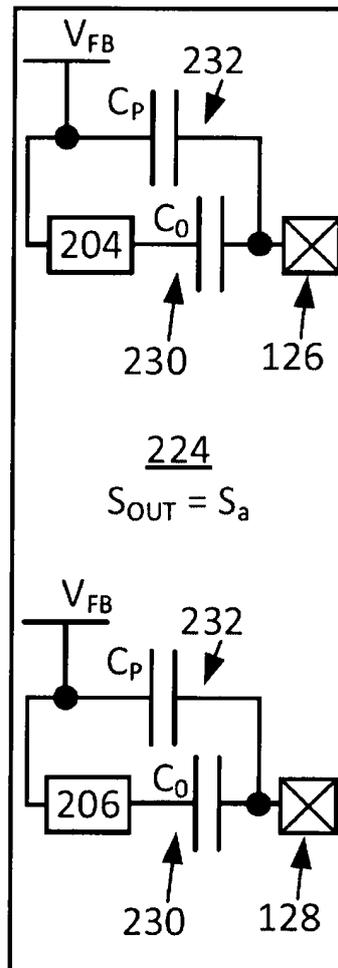


FIG 2

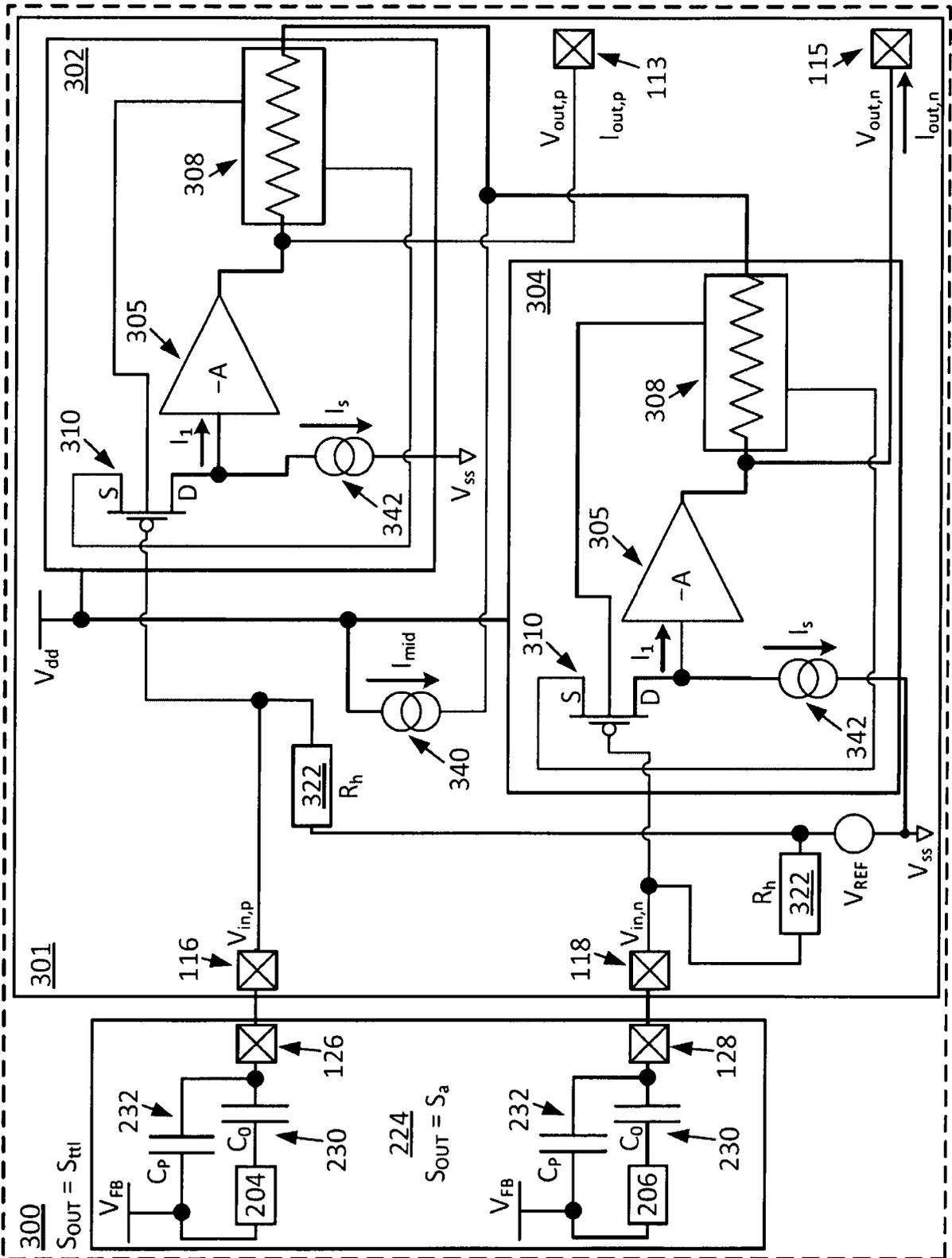


FIG 3



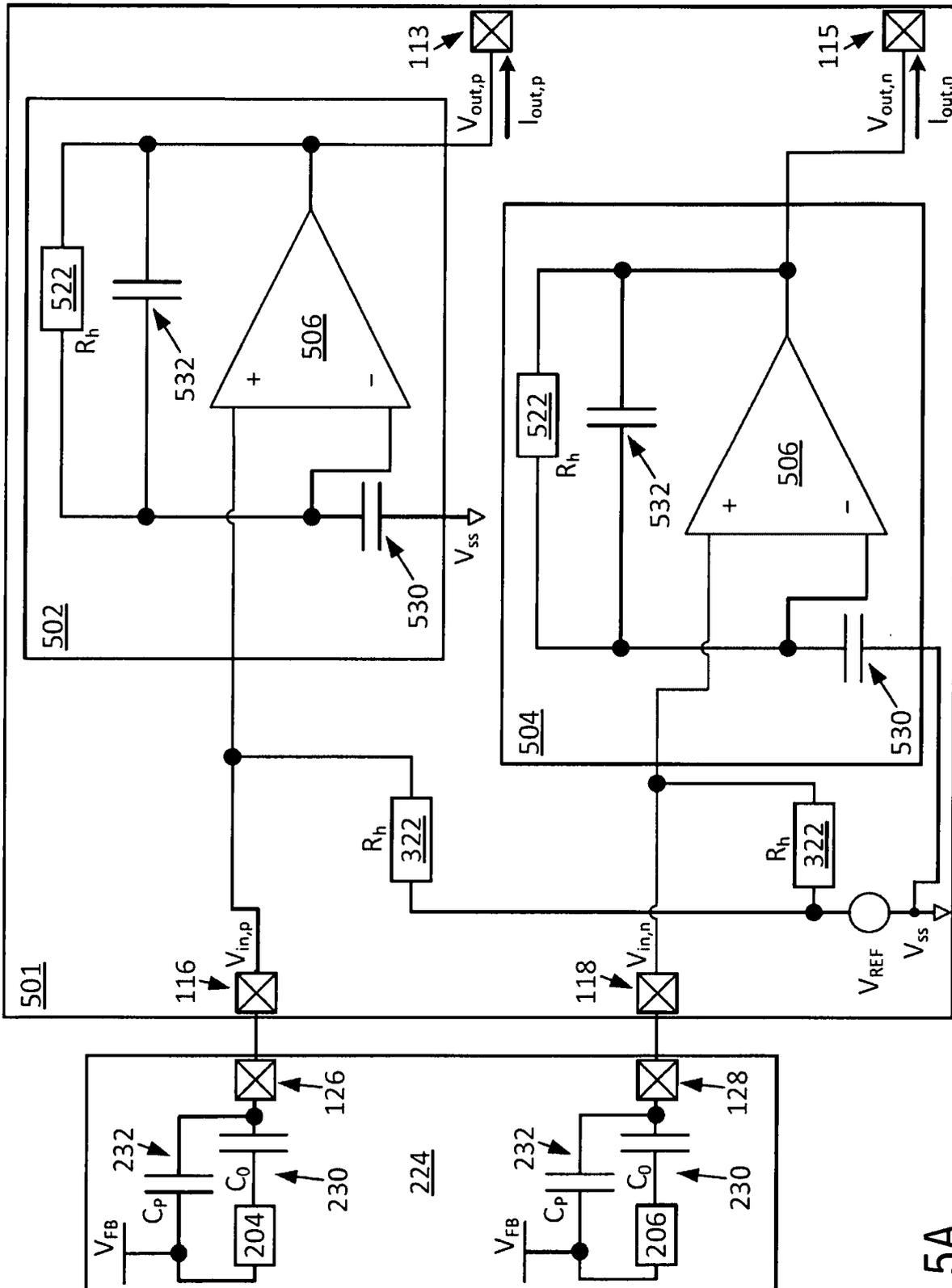


FIG 5A

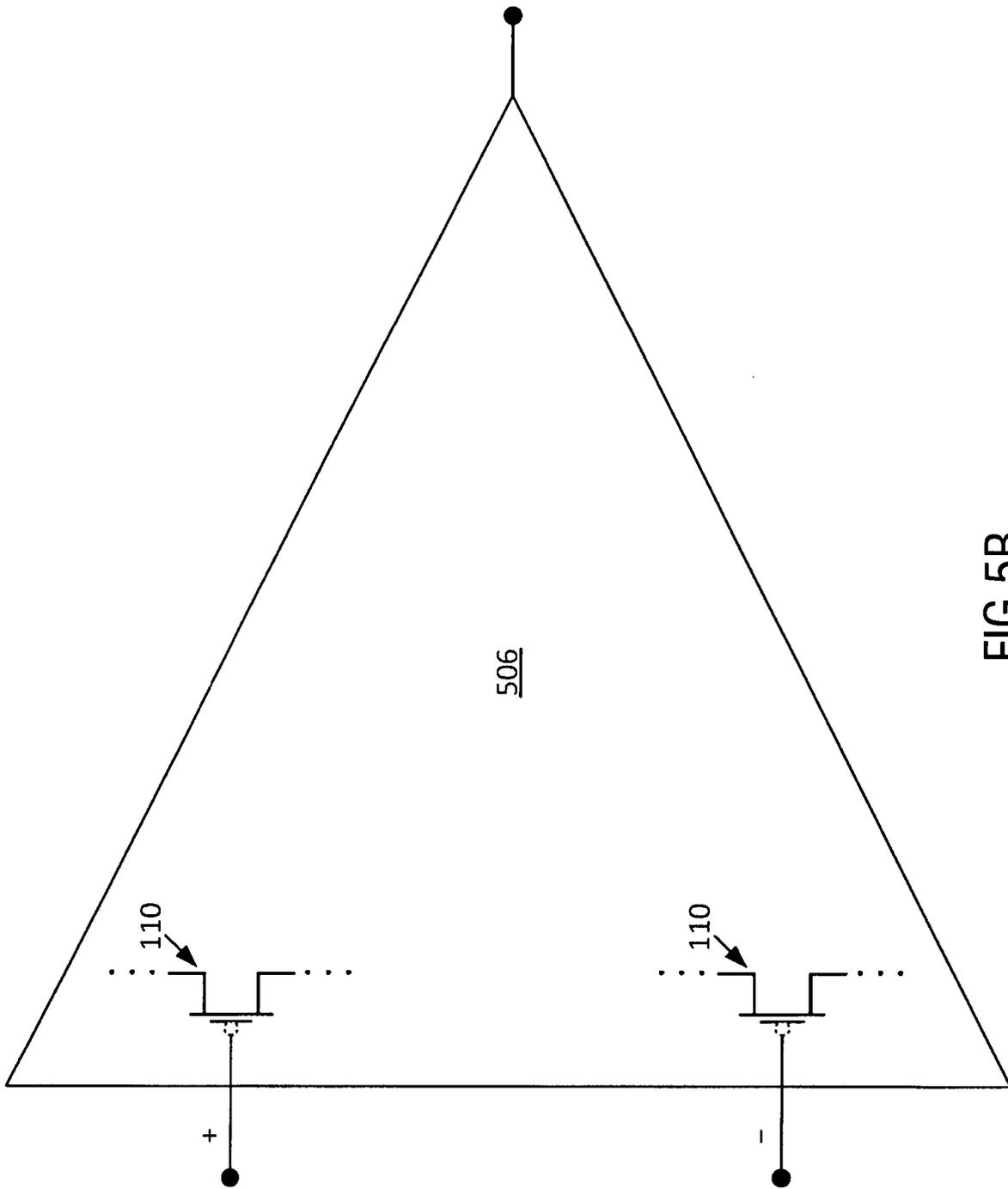


FIG 5B

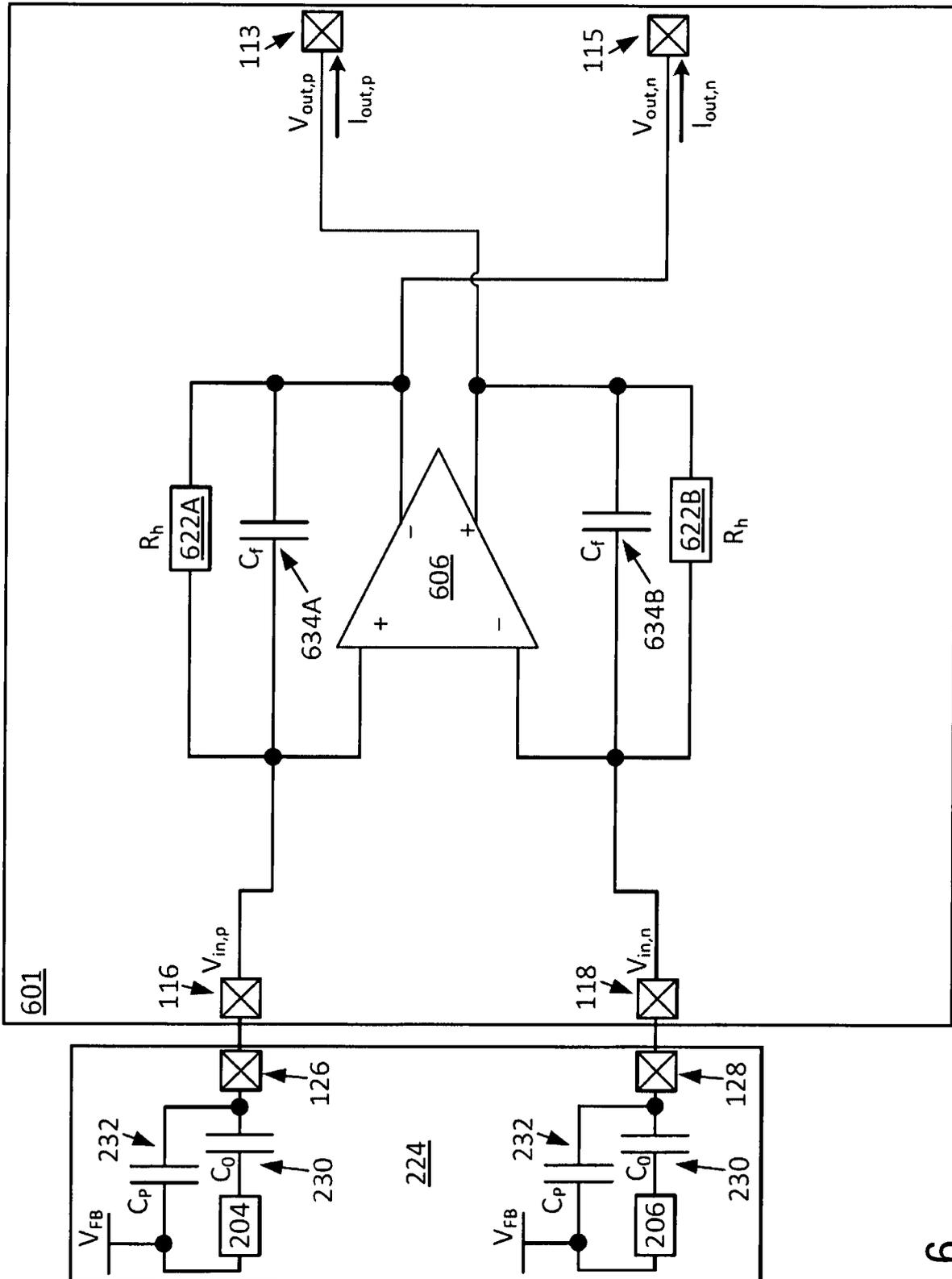


FIG 6

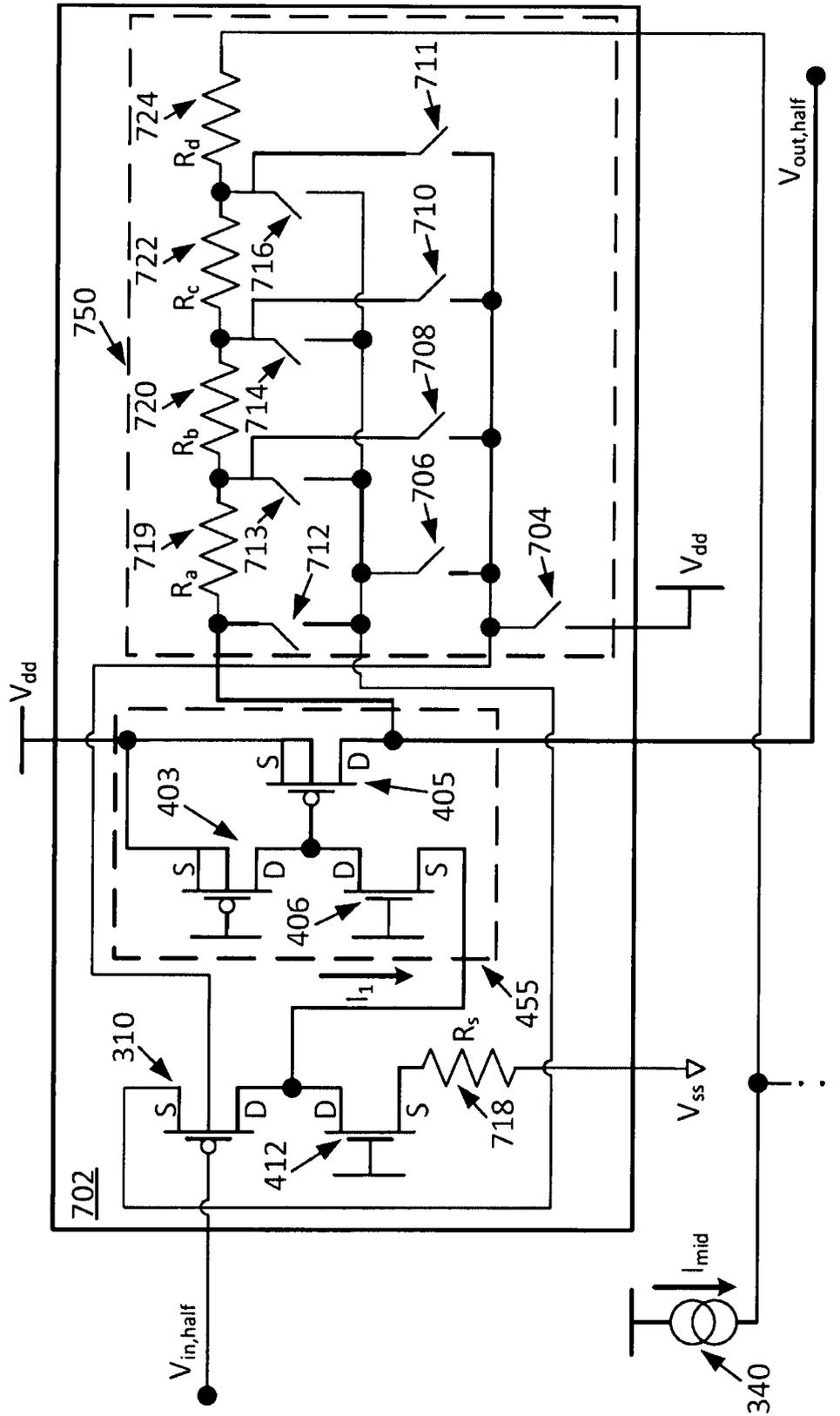


FIG 7

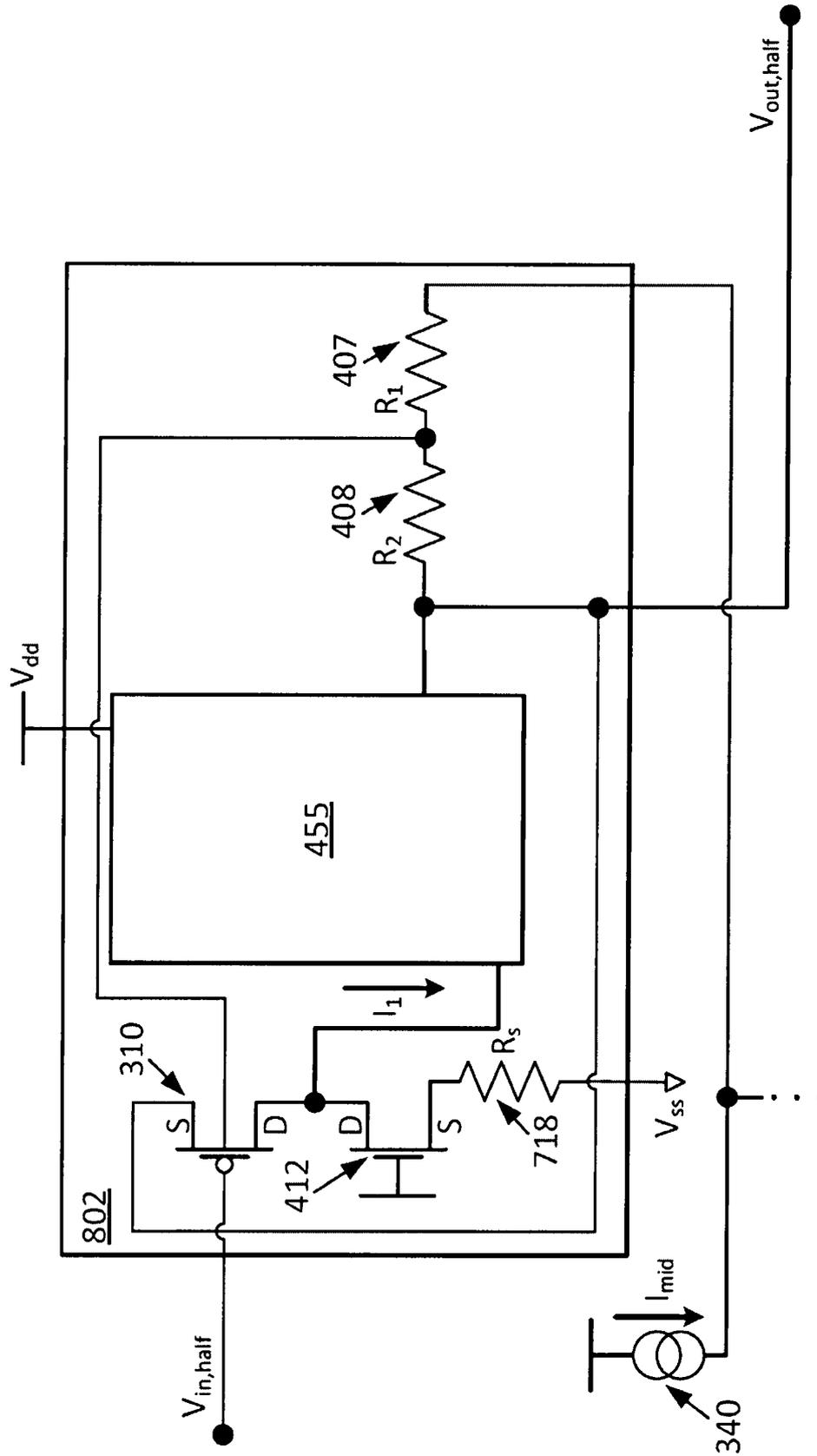


FIG 8

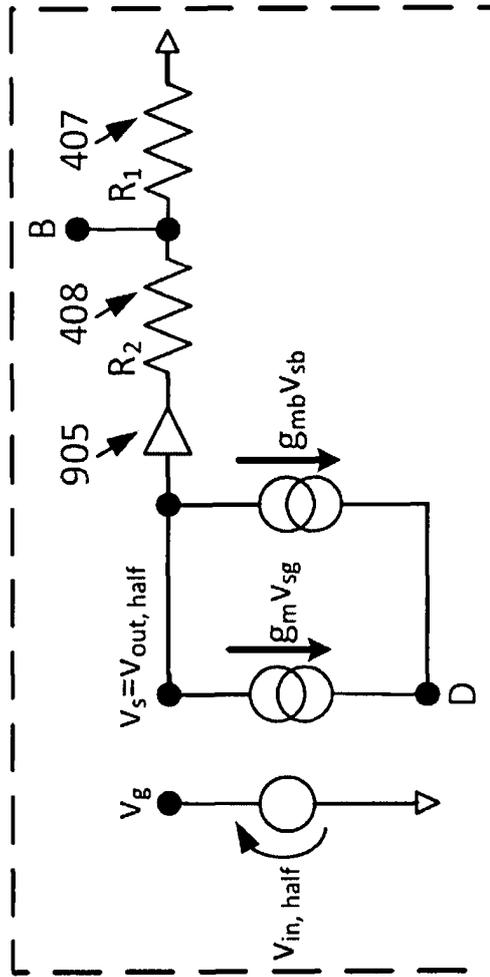


FIG 9B

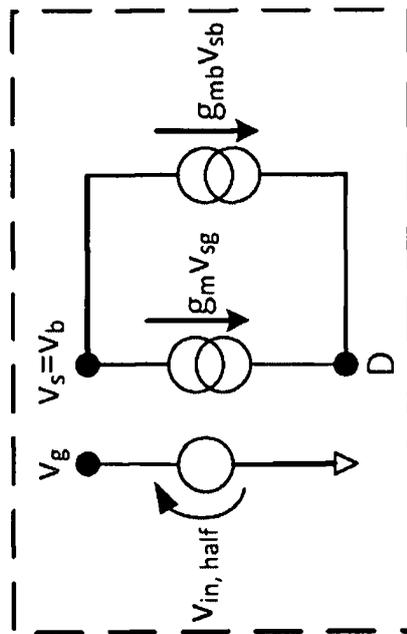


FIG 9A

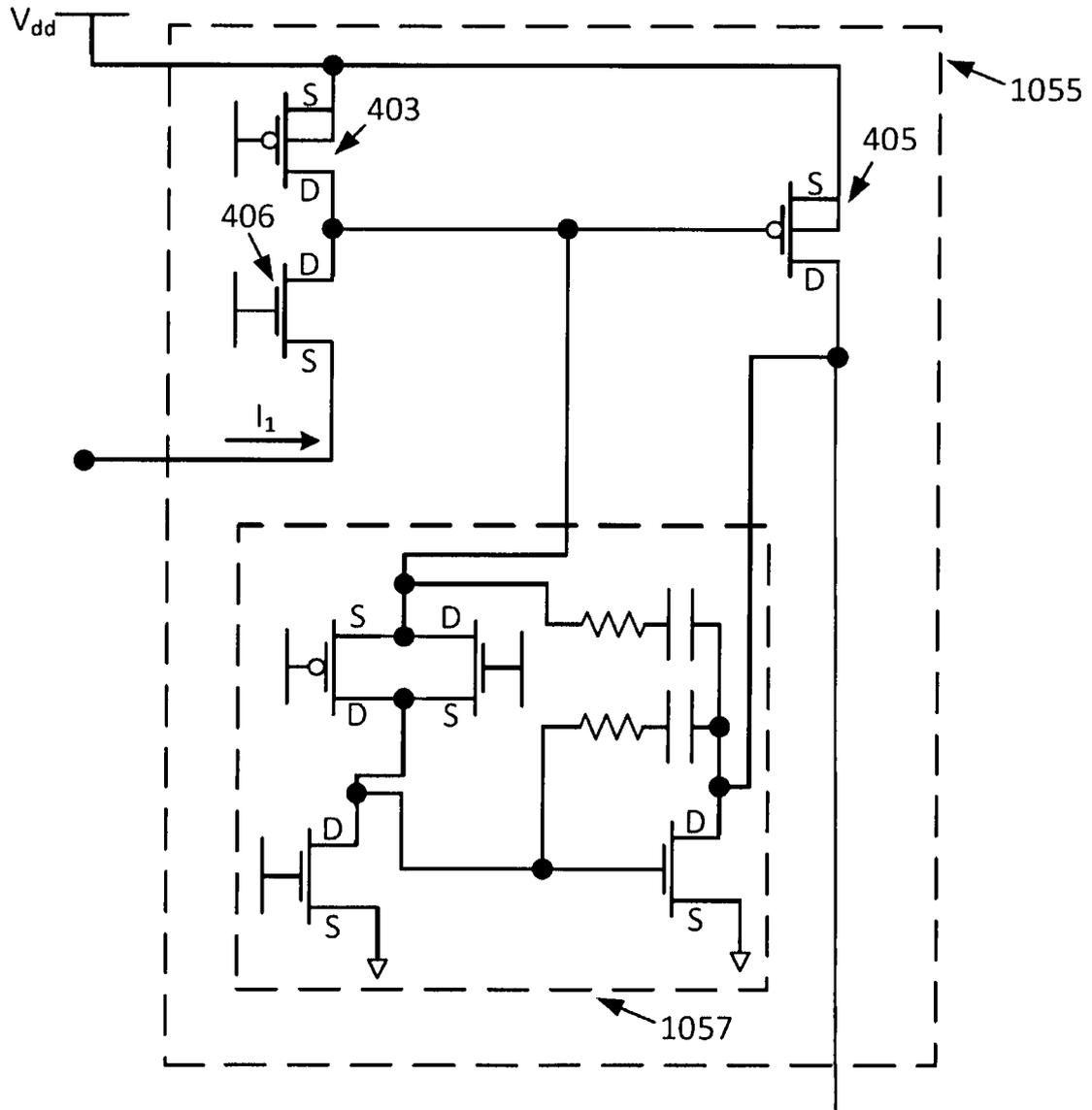


FIG 10

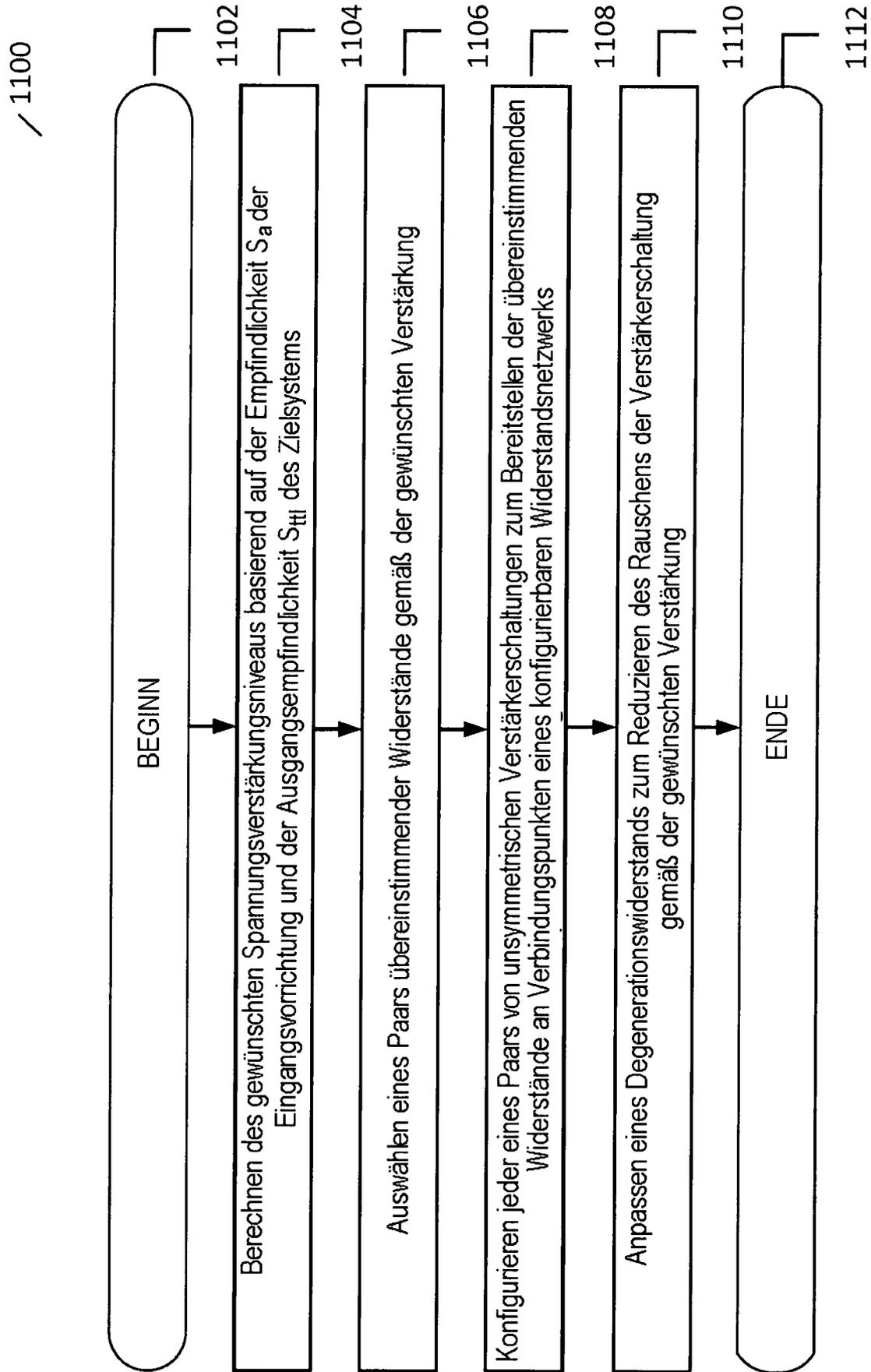


FIG 11

/ 1200

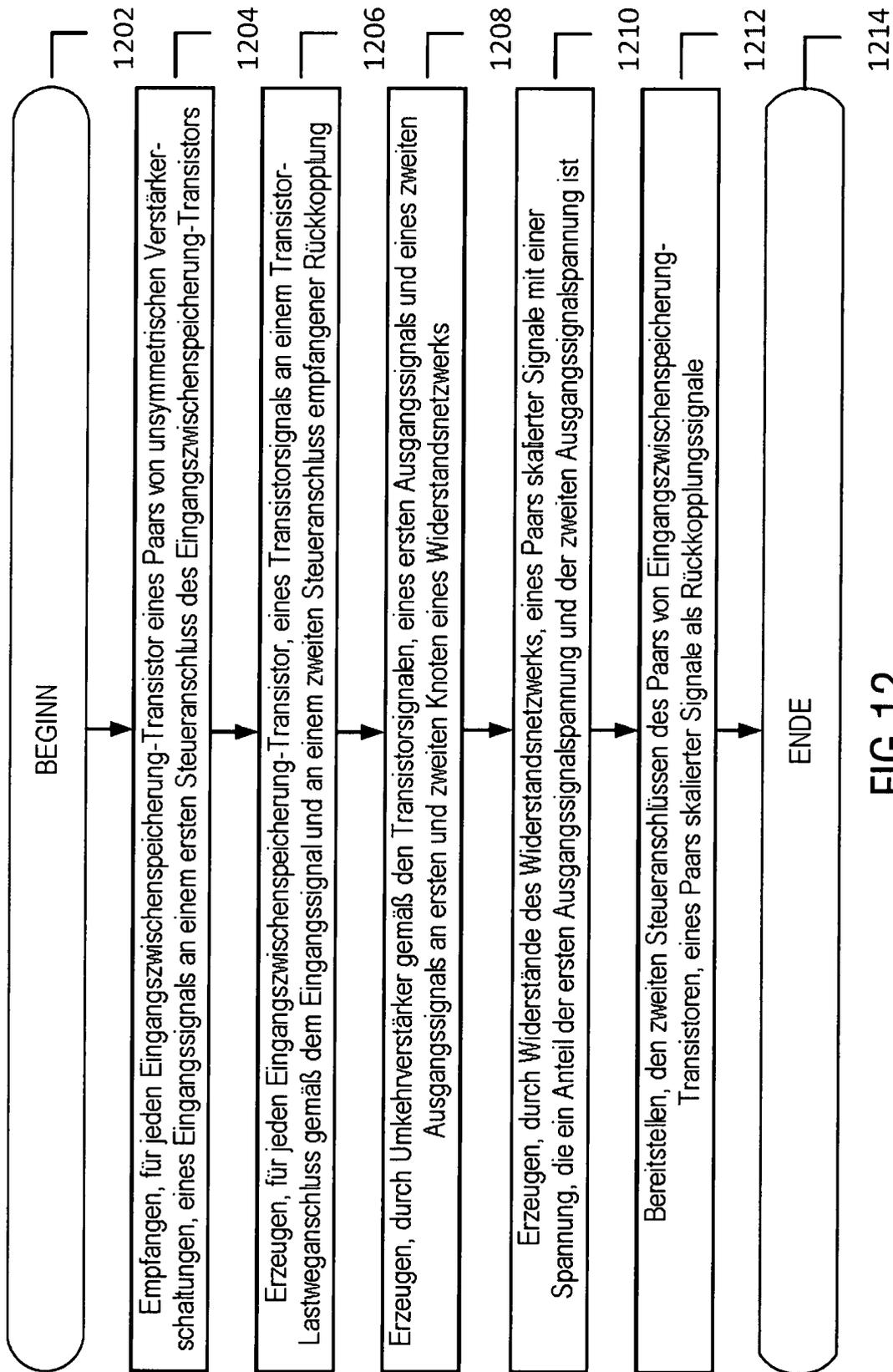


FIG 12