

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 8 月 25 日 (2005.8.25)

【公開番号】特開 2003-15764 (P2003-15764A)

【公開日】平成 15 年 1 月 17 日 (2003.1.17)

【出願番号】特願 2001-202552 (P2001-202552)

【国際特許分類第 7 版】

G 0 6 F 1/10

G 0 6 F 1/12

G 1 1 C 11/407

H 0 3 K 5/00

H 0 3 L 7/00

【F I】

G 0 6 F 1/04 3 3 0 A

H 0 3 L 7/00 D

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

G 0 6 F 1/04 3 4 0 A

H 0 3 K 5/00 V

【手続補正書】

【提出日】平成 17 年 2 月 23 日 (2005.2.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 クロックを第 2 クロックに同期させる同期動作を行うクロック同期回路において、複数段の前進遅延ユニットから構成され、前進パルスを用いて前記同期動作に必要な遅延時間をモニタする前進パルス用遅延線と、複数段の状態保持ユニットから構成され、前記遅延時間を前記複数段の状態保持ユニットのセット/リセット状態により保持する状態保持部と、複数段の後退遅延ユニットから構成され、後退パルスを用いて前記遅延時間をコピーする後退パルス用遅延線とを具備し、前記複数段の状態保持ユニットの各々は、リセット期間において後段の状態保持ユニットがリセット状態であることを条件にリセットされることを特徴とするクロック同期回路。

【請求項 2】

前記複数段の状態保持ユニットの各々は、前記リセット期間において前々段の後退遅延ユニットに前記後退パルスが入力されていることを条件にリセットされることを特徴とする請求項 1 記載のクロック同期回路。

【請求項 3】

前記リセット期間の長さは、前記前進パルスが伝搬する前記前進遅延ユニットの段数の変動量に基づいて決定されることを特徴とする請求項 1 記載のクロック同期回路。

【請求項 4】

前記前進パルスが入力される前進遅延ユニットに対応する状態保持ユニットは、前記リセット期間前にセット状態となっていることを特徴とする請求項 1 記載のクロック同期回路。

【請求項 5】

請求項 1 記載のクロック同期回路において、

周期 τ を有する前記第 2 クロックを受け、遅延時間 T_{rc} を有するレシーバと、前記レシーバから出力されるクロックを受け、遅延時間 $T_{rc} + T_{dr}$ を有するディレイモニタと、前記第 2 クロックに基づいて前記リセット期間を決定する制御パルス生成回路と、前記後退パルス用遅延線から出力されるクロックを受け、遅延時間 T_{dr} を有するドライバとを具備し、

前記遅延時間は、 $\tau - (T_{rc} + T_{dr})$ であり、前記第 1 クロックは、前記ドライバから出力されることを特徴とするクロック同期回路。

【請求項 6】

請求項 1 又は 5 記載のクロック同期回路を搭載したクロック同期型メモリ。

【請求項 7】

請求項 1 又は 5 記載のクロック同期回路を搭載したメモリと、前記メモリに前記第 2 クロックを供給する CPU と、前記メモリと前記 CPU とを接続するバスとを具備することを特徴とするメモリシステム。

【請求項 8】

前記メモリは、ダブルデータレートタイプ DRAM、シンクロナス DRAM 又はダブルデータレートファーストサイクル RAM であることを特徴とする請求項 7 記載のメモリシステム。