

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和7年3月7日(2025.3.7)

【公開番号】特開2024-67126(P2024-67126A)

【公開日】令和6年5月17日(2024.5.17)

【年通号数】公開公報(特許)2024-090

【出願番号】特願2022-176958(P2022-176958)

【国際特許分類】

A 6 3 F 7/02 (2006.01)

10

【F I】

A 6 3 F 7/02 3 2 6 Z

【手続補正書】

【提出日】令和7年2月27日(2025.2.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

中央処理装置、リードメモリ、リードライトメモリ、及びC R C回路を含んだマイクロプロセッサを実装して遊技の進行を制御する遊技制御手段を備え、

前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク0、及びバンク1を有し、

前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第1記憶手段と、遊技の進行に直接関与しないプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第2記憶手段で構成され、

前記リードライトメモリは、前記第1記憶手段のプログラムが読み書きする作業領域、及び前記第1記憶手段のプログラムが使用するスタックエリアで構成された第3記憶手段と、前記第2記憶手段のプログラムが読み書きする作業領域、及び前記第2記憶手段のプログラムが使用するスタックエリアで構成された第4記憶手段で構成され、

前記第1記憶手段と前記第2記憶手段、及び前記第3記憶手段と前記第4記憶手段との間に未使用領域が存在し、

前記第1記憶手段と前記第2記憶手段との間の未使用領域は、前記第1記憶手段のデータ領域の終端と前記第2記憶手段のプログラム領域の先端の間であり、

前記第3記憶手段と前記第4記憶手段との間の未使用領域は、前記第3記憶手段のスタックエリアの終端と前記第4記憶手段の作業領域の先端の間であり、

前記中央処理装置は、前記第1記憶手段に記憶されたプログラムから前記第2記憶手段に記憶されたプログラムを呼び出す場合に特定コール命令で呼び出し、

前記特定コール命令で呼び出されたプログラムから前記第1記憶手段に記憶されたプログラムに戻る場合、特定リターン命令で戻り、

前記遊技制御手段は、

電源電圧の低下を検出すると前記C R C回路を使用して前記リードライトメモリの特定アドレス範囲内の演算を行い、演算結果を前記リードライトメモリの前記特定アドレス範囲以外の演算結果格納領域に記憶する電源断絶手段を有し、

前記電源断絶手段は、

電源をオフにするまで待機する待機処理を実行し、

30

40

50

前記リードライトメモリの特定アドレス範囲内の演算を行った後でかつ前記待機処理の前に、前記リードライトメモリへのアクセスを禁止するよう設定し、
前記電源断絶手段は、前記特定コール命令を実行して所定のサブルーチンを呼び出すことを特徴とする遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

10

本発明の第1の実施態様に係る発明は、下記の構成を有する。

中央処理装置（例えば、メインCPU2101）、リードメモリ（例えば、メインROM2102）、リードライトメモリ（例えば、メインRAM2103）、及びCRC回路（例えば、CRC回路2017c）を含んだマイクロプロセッサ（例えば、マイクロプロセッサ2100）を実装して遊技の進行を制御する遊技制御手段を備え、

前記中央処理装置は、メインレジスタ、及びサブレジスタを含むバンク0、及びバンク1を有し、

前記リードメモリは、遊技の進行に直接関与するプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第1記憶手段（例えば、使用領域内ROMエリア2202a）と、遊技の進行に直接関与しないプログラムが記憶されたプログラム領域、及びデータが記憶されたデータ領域とで構成された第2記憶手段（例えば、使用領域外ROMエリア2202b）で構成され、

前記リードライトメモリは、前記第1記憶手段のプログラムが読み書きする作業領域、及び前記第1記憶手段のプログラムが使用するスタックエリアで構成された第3記憶手段（例えば、使用領域内RAMエリア2203a）と、前記第2記憶手段のプログラムが読み書きする作業領域、及び前記第2記憶手段のプログラムが使用するスタックエリアで構成された第4記憶手段（例えば、使用領域外RAMエリア2203b）で構成され、

前記第1記憶手段と前記第2記憶手段、及び前記第3記憶手段と前記第4記憶手段との間に未使用領域が存在し（例えば、図168（B）、図168（C）に示す未使用領域）、

前記第1記憶手段と前記第2記憶手段との間の未使用領域は、前記第1記憶手段のデータ領域の終端と前記第2記憶手段のプログラム領域の先端の間であり、

前記第3記憶手段と前記第4記憶手段との間の未使用領域は、前記第3記憶手段のスタックエリアの終端と前記第4記憶手段の作業領域の先端の間であり、

前記中央処理装置は、前記第1記憶手段に記憶されたプログラムから前記第2記憶手段に記憶されたプログラムを呼び出す場合に特定コール命令（例えば、「CALL EX」）で呼び出し、

前記特定コール命令で呼び出されたプログラムから前記第1記憶手段に記憶されたプログラムに戻る場合、特定リターン命令（例えば、「RETEX」）で戻り、

前記遊技制御手段は、

電源電圧の低下を検出すると前記CRC回路を使用して前記リードライトメモリの特定アドレス範囲内の演算を行い、演算結果を前記リードライトメモリの前記特定アドレス範囲以外の演算結果格納領域に記憶する電源断絶手段（例えば、図190に示す電断割込み処理を実行するメインCPU2101）を有し、

前記電源断絶手段は、

電源をオフにするまで待機する待機処理を実行し、

前記リードライトメモリの特定アドレス範囲内の演算を行った後でかつ前記待機処理の前に、前記リードライトメモリへのアクセスを禁止するよう設定し、

前記電源断絶手段は、前記特定コール命令を実行して所定のサブルーチン（例えば、図191に示すようなCRC生成処理（使用領域外））を呼び出すことを特徴とする遊技機（例えば、パチスロ機2001）。

20

30

40

50