

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 9 月 12 日 (12.09.2008)

PCT

(10) 国際公開番号
WO 2008/108264 A1

(51) 国際特許分類:

H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
G11C 11/15 (2006.01) H01L 29/82 (2006.01)
H01L 27/10 (2006.01) H01L 43/08 (2006.01)

目 6 番 2 号 Tokyo (JP). グランディス インコーポレイ
テッド (GRANDIS, INC.) [US/US]; 95035 カリフォル
ニア州ミルピタス キャディラック コート 1 1 2 3
California (US).

(21) 国際出願番号: PCT/JP2008/053496

(22) 国際出願日: 2008 年 2 月 28 日 (28.02.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2007-052952 2007 年 3 月 2 日 (02.03.2007) JP(71) 出願人 (米国を除く全ての指定国について): 株式会
社ルネサステクノロジ (RENESAS TECHNOLOGY
CORP.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁

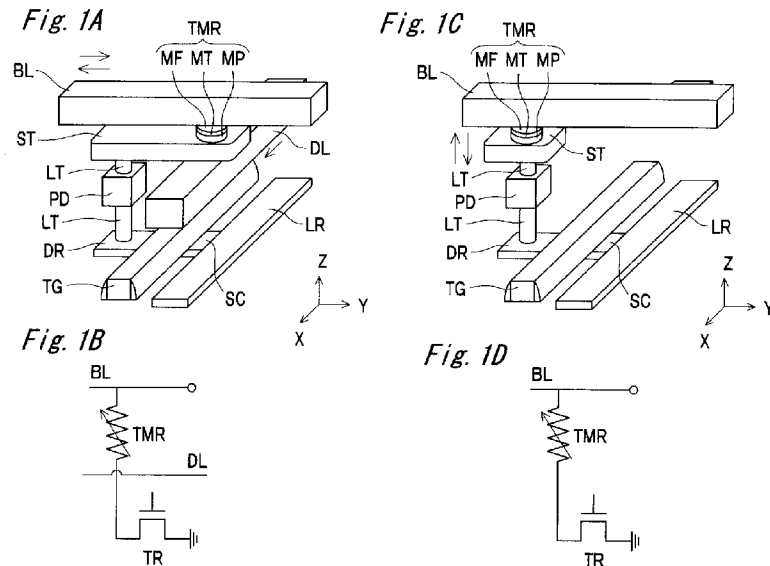
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 古賀 剛 (KOGA,
Tsuyoshi) [JP/JP]; 〒1000004 東京都千代田区大手町二
丁目 6 番 2 号 株式会社ルネサステクノロジ内 Tokyo
(JP). 上野 修一 (UENO, Shuichi) [JP/JP]; 〒1000004 東
京都千代田区大手町二丁目 6 番 2 号 株式会社ルネ
サステクノロジ内 Tokyo (JP). 日高 秀人 (HIDAKA,
Hideto) [JP/JP]; 〒1000004 東京都千代田区大手町
二丁目 6 番 2 号 株式会社ルネサステクノロジ内
Tokyo (JP). 河越 知也 (KAWAGOE, Tomoya) [JP/JP];
〒1000004 東京都千代田区大手町二丁目 6 番 2 号 株
式会社ルネサステクノロジ内 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD, AND MAGNETIC MEMORY ELEMENT

(54) 発明の名称: 半導体装置およびその製造方法ならびに磁気メモリ素子



(57) Abstract: A semiconductor device comprises a standard MRAM having a magnetic tunnel junction TMR including a free layer MF whose magnetization direction is controlled by the magnetic field generated by the current flowing near the TMR and an STT-MRAM having a TMR including a free layer MF whose magnetization direction is controlled by the spin injection current supplied to the TMR. The standard MRAM and the STT-MRAM are mounted on the same substrate. With this constitution, the individual characteristics of different types of magnetic memory elements are effectively utilized, and magnetic memory elements having various element characteristics are realized.

(57) 要約: 半導体装置は、フリー層MFを含む磁気トンネル接合TMRを有し、TMRの近傍に流れる電流が発生する磁場によって、フリー層MFの磁化方向が制御される標準MRAMと、フリー層MFを含むTMRを有し、TMRに供給されるスピン注入電流により、フリー層MFの磁化方向が制御されるSTT-MRAMとを備え、標準MRAMおよびST

[続葉有]

WO 2008/108264 A1



(74) 代理人: 田中 光雄, 外(TANAKA, Mitsuo et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号
IMPビル 青山特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,

SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置およびその製造方法ならびに磁気メモリ素子
技術分野

[0001] 本発明は、種類の異なる磁気メモリ素子を同一基板上に搭載した半導体装置およびその製造方法に関する。また本発明は、スピントルク注入を用いた磁気メモリ素子に関する。

背景技術

[0002] 磁気メモリ素子は、MRAM(Magnetic Random Access Memory)とも称され、基本的な構造として、磁性膜からなるピン(pin)層およびフリー(free)層の間に極めて薄いトンネル絶縁層が介在した磁気トンネル接合構造を備える。こうした磁気トンネル接合構造は、一般に、TMR(Tunneling Magnetoresistance)またはMTJ(Magnetic Tunnel Junction)と称される。

[0003] ピン層での磁化方向は、一定の方向に固定される。一方、フリー層での磁化方向は、外部から制御可能である。ピン層の磁化方向とフリー層磁化方向が、同じ方向に向いた平行状態である場合、磁気メモリ素子の積層方向に流れる電流の抵抗値が低くなる。逆に、ピン層の磁化方向とフリー層磁化方向が、反対方向に向いた反平行状態である場合、磁気メモリ素子の積層方向に流れる電流の抵抗値が高くなる。従って、磁化方向の平行状態または反平行状態をデジタル値の「0」または「1」に関連付けて、抵抗値の変化を読み取ることによって、従来のRAMと同様にメモリ素子として動作させることができる。

[0004] こうした磁気メモリ素子は、アドレスアクセスタイムおよびサイクルタイムがダイナミックRAMより格段に高速で、スタティックRAMと同程度に高速な読み書きが可能であり、フラッシュメモリより格段に低い消費電力で動作し、高集積度の不揮発性メモリを実現できることから、将来のメモリ素子として有望視されている。

[0005] 磁気メモリ素子は、フリー層の磁化方向を制御する機構の相違に応じて、幾つかの種類に分類される。磁気トンネル接合構造の接合面をXY面とし、接合面に垂直な方向をZ方向として、X方向に沿った第1ラインおよびY方向に沿った第2ラインを磁気ト

ンネル接合構造の近傍に配置し、第1ラインおよび第2ラインの電流の向きを独立に制御することによって、フリー層の磁化方向を制御することができる。こうした機構を持つ磁気メモリ素子を、ここでは標準MRAMと称する。

[0006] 一方、磁気トンネル接合構造の積層方向に流す電流の向きを変えることによって、フリー層の磁化方向を制御することができる。即ち、ピン層側から電流を流すと、ピン層の磁化方向と同じスピン方向を持つ電子のみがフリー層に注入され、異なるスピン方向を持つ電子はピン層により反射されてしまい、フリー層に到達しない。その結果、フリー層の磁化方向はピン層の磁化方向と一致するようになる。一方、フリー層側から電流を流すと、ピン層の磁化方向と同じスピン方向を持つ電子はピン層を透過してしまい、異なるスピン方向を持つ電子はピン層により反射されて、フリー層に注入される。その結果、フリー層の磁化方向はピン層の磁化方向と異なるようになる。こうした機構を持つ磁気メモリ素子を、ここではSTT(Spin Transfer Torque: スピントルク注入)－MRAMと称する。

[0007] 特許文献1:米国特許第5695864A号明細書

特許文献2:米国特許第6714444B2号明細書

特許文献3:特表2005－535125号公報

特許文献4:特開2005－116923号公報

特許文献5:特開2005－150482号公報

特許文献6:特開2000－90676号公報

特許文献7:特開2004－158519号公報

発明の開示

発明が解決しようとする課題

[0008] 上述した標準MRAMおよびSTT－MRAMは、書き込み動作の原理が異なることから、特性や性能の点での幾つかの相違がある。

[0009] まず、素子構造に関して、標準MRAMは、2本の電流ラインを磁気トンネル接合に接近させて配置する必要がある。一方、STT－MRAMは、書き込みラインと読み出しラインを共用するため、標準MRAMのような2本の電流ラインは省略でき、素子の小型化に有利である。

- [0010] 次に、スケーリングに関して、磁気メモリ素子の集積度が高くなり、磁気トンネル接合のセルサイズが小さくなると、標準MRAMの場合は、磁化反転に必要な書き込み電流が反比例で増加する傾向がある。STT-MRAMの場合は、セルサイズが小さくなるほど、書き込み電流が減少する傾向がある。
- [0011] 次に、読み出し電流の制御に関して、STT-MRAMは、書き込みラインと読み出しラインを共用しており、書き込み時は大きな電流が流れ、読み出し時は小さな電流が流れる。両者の電流を区別するために、書き込み電流と読み出し電流の間のマージンをある程度確保する必要がある。そのため、読み出し電流の大きさが、マージンの下限より低く制限されることから、アクセスタイムが比較的長くなる傾向がある。標準MRAMの場合、読み出し電流の大きさに制限はなく、読み出し電流を大きくすることによって、アクセスタイムの高速化を図ることができる。
- [0012] このように標準MRAMは、高速アクセスが可能であるが、集積度が高くなるほど書き込み電流が増加するという特性を有する。一方、STT-MRAMは、集積度が高くなるほど書き込み電流を減少させることができるが、アクセスタイムの短縮化は困難であるという特性を有する。
- [0013] 本発明の目的は、種類の異なる磁気メモリ素子の個々の特性を有効に活用できる半導体装置およびその製造方法を提供することである。
- [0014] また本発明の目的は、素子特性の多様化を図ることができる磁気メモリ素子を提供することである。

課題を解決するための手段

- [0015] 本発明の一実施例によれば、上述のような標準MRAMおよびSTT-MRAMを同一基板上に搭載した半導体装置が提供される。
- [0016] 標準MRAMの磁気トンネル接合構造は、STT-MRAMの磁気トンネル接合構造と同じであってもよく、相違していてもよい。
- [0017] また、MRAMの配置は、標準MRAMおよびSTT-MRAMが相互にあるいは外部から磁気的な影響を受けないように、ある程度以上の距離を確保することが好ましい。

発明の効果

[0018] この実施例によれば、標準MRAMは、高速アクセスが可能であることから、スタティックRAMとの置換えに好都合であり、一方、STT-MRAMは、高集積化が可能であることから、ダイナミックRAMやフラッシュメモリとの置換えに好都合である。従って、標準MRAMおよびSTT-MRAMを同一基板上に搭載することによって、両者の特性を有効に活用することができ、例えば、マイクロプロセッサの周辺回路として混載した場合、データ転送の高速化、データ記憶の大容量化および不揮発化、消費電力の低減化が図られる。

図面の簡単な説明

[0019] [図1]図1Aは、標準MRAMの一例を示す部分斜視図、図1Bは、標準MRAMの等価回路図、図1Cは、STT-MRAMの一例を示す部分斜視図、図1Dは、STT-MRAMの等価回路図である。

[図2]図2A～図2Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図3]図3A～図3Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図4]図4A～図4Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図5]図5A～図5Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図6]図6A～図6Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図7]図7A～図7Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図8]図8A～図8Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図9]図9A～図9Dは、本発明に係る半導体装置の製造工程の一例を示す説明図である。

[図10]図10A～図10Dは、本発明に係る半導体装置の製造工程の他の例を示す説

明図である。

[図11]図11A～図11Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図12]図12A～図12Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図13]図13A～図13Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図14]図14A～図14Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図15]図15A～図15Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図16]図16A～図16Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図である。

[図17]図17Aは、本発明に係る半導体装置のチップレイアウトの一例を示す平面図、図17Bは、本発明に係る半導体装置のチップレイアウトの他の一例を示す平面図である。

[図18]図18A～図18Cは、矩形断面を持つ導体の周辺に発生する磁界分布を示すグラフである。

[図19]図19A～図19Cは、STT-MRAMの磁気トンネル接合TMRの各種例を示す構成図である。

[図20]図20は、シングルピン構造の層構成の一例を示す構成図である。

[図21]図21Aと図21Bは、磁気トンネル接合TMRの平面形状の他の例を示す平面図である。

符号の説明

- [0020] 10 基板、 11 素子分離領域、 20, 30 層間絶縁膜、 31 配線、
40 層間絶縁膜、 41 金属層、 42 TMR層間膜、
51, 52, 53パッシベーション膜、 60 層間絶縁膜、 61 金属層、
62 TMR層間膜、 71, 72 パッシベーション膜、

96 パッド、 97 パワーライン、 BL ビットライン、
DL デジタルライン、 MP ピン層、 MT トンネル絶縁層、
MF フリー層、 ST ストラップ、 TMR 磁気トンネル接合、
TR トランジスタ

発明を実施するための最良の形態

[0021] 実施の形態1.

図1Aは、標準MRAMの一例を示す部分斜視図であり、図1Bは、標準MRAMの等価回路図である。図1Cは、STT-MRAMの一例を示す部分斜視図であり、図1Dは、STT-MRAMの等価回路図である。

[0022] まず、図1Aを参照して、磁気トンネル接合TMRは、典型的には、磁性膜からなるピン層MPと、極めて薄いトンネル絶縁層MTと、磁性膜からなるフリー層MFとがこの順で積層されて構成される。磁気トンネル接合TMRは、楕円などの異方性を持つ平面形状を有し、その長手方向が磁化容易軸となる。ここで、磁気トンネル接合TMRの接合面をXY面とし、接合面に垂直な方向をZ方向とする。

[0023] ビットラインBLは、磁気トンネル接合TMRの上方近傍を通過するようにY方向に沿って配置され、フリー層MFと電気接続されている。なおフリー層MFとビットラインBLは、Taなどの上部電極(不図示)を介して接続してもよい。デジタルラインDLは、磁気トンネル接合TMRの下方近傍を通過するようにX方向に沿って配置される。ストラップST(下部電極)は、デジタルラインDLを迂回するように、磁気トンネル接合TMRのピン層MPから-Y方向に引き出された配線である。

[0024] 磁気トンネル接合TMRの下方には、ドレイン領域DR、ゲート電極TGおよびソース領域SCを含むトランジスタTRが配置される。ドレイン領域DRとストラップSTとは、パッドPD、層間配線LTなど、Z方向の配線によって電気接続される。ソース領域SCは、X方向に延びる読み出しラインLRと電気接続される。ゲート電極TGも、X方向に延びている。

[0025] 次に、標準MRAMの動作について説明する。まず書き込み動作の場合、ビットラインBLに電流がY方向に流れて、デジタルラインDLに電流がX方向に流れると、両者の電流による合成磁界が磁気トンネル接合TMRに印加され、フリー層MFの磁化

方向は合成磁界の方向に揃うようになる。続いて、電流がゼロになると、フリー層MFの磁化方向は、平面形状の長手方向に沿った第1方向に一致するようになる。

[0026] 一方、ビットラインBLに電流が-Y方向に流れて、ディジットラインDLに電流がX方向に流れた場合、上述の合成磁界に垂直な方向に合成磁界が発生し、フリー層MFの磁化方向は、この合成磁界の方向に揃うようになる。続いて、電流がゼロになると、フリー層MFの磁化方向は、上述の第1方向とは反対の第2方向に一致するようになる。

[0027] こうしてディジットラインDLの通電とともに、ビットラインBLでの電流の向きを制御することによって、フリー層MFの磁化方向が第1方向または第2方向に制御可能になり、「0」または「1」の2値状態を記憶することができる。その後、通電オフの状態であってもフリー層MFの磁化方向は保持される。

[0028] 次に読み出し動作の場合、ディジットラインDLは関与せず、電流を、ビットラインBL→磁気トンネル接合TMR→ストラップST→パッドPD・層間配線LT→トランジスタTR→読み出しラインLRの経路で供給して、磁気トンネル接合TMRの抵抗値の変化をセンスアンプ(不図示)を用いて検出する。フリー層MFの磁化方向がピン層MPの磁化方向と平行であれば、抵抗値は低くなり、反平行であれば抵抗値は高くなる。従って、フリー層MFの2値状態は、抵抗値の大小に反映されて、外部に読み出される。

[0029] こうしたMRAMをマトリクス状に多数配列することによって、大容量の不揮発性メモリを実現できる。この場合、ビットラインBL、ディジットラインDL、読み出しラインLRを共用するため、トランジスタTRを介在させることにより、ゲート電極TGおよびビットラインBLによるマトリクス走査を実現する。

[0030] 次に、STT-MRAMについて説明する。図1Cを参照して、磁気トンネル接合TMRは、典型的には、磁性膜からなるピン層MPと、極めて薄いトンネル絶縁層MTと、磁性膜からなるフリー層MFとがこの順で積層されて構成される。磁気トンネル接合TMRは、楕円などの異方性を持つ平面形状を有し、その長手方向が磁化容易軸となる。ここで、磁気トンネル接合TMRの接合面をXY面とし、接合面に垂直な方向をZ方向とする。

- [0031] ビットラインBLは、磁気トンネル接合TMRの上方近傍を通過するようにY方向に沿って配置され、フリー層MFと電気接続されている。なおフリー層MFとビットラインBLは、Taなどの上部電極(不図示)を介して接続してもよい。
- [0032] 磁気トンネル接合TMRの下方には、ドレイン領域DR、ゲート電極TGおよびソース領域SCを含むトランジスタTRが配置される。ドレイン領域DRとピン層MPとは、ストラップST(下部電極)、パッドPD、層間配線LTなど、Z方向の配線によって電気接続される。ソース領域SCは、X方向に延びる読み出しラインLRと電気接続される。ゲート電極TGも、X方向に延びている。
- [0033] 次に、STT-MRAMの動作について説明する。まず書き込み動作の場合、電流を、読み出しラインLR→トランジスタTR→パッドPD・層間配線LT→ピン層MP→フリー層MF→ビットラインBLの経路で供給すると、ピン層MPの磁化方向と同じスピンド方向を持つ電子のみがフリー層MFに注入され、異なるスピンド方向を持つ電子はピン層MPにより反射されてしまい、フリー層MFに到達しない。その結果、フリー層MFの磁化方向はピン層MPの磁化方向と一致するようになる。
- [0034] 一方、電流を、ビットラインBL→フリー層MF→ピン層MP→パッドPD・層間配線LT→トランジスタTR→読み出しラインLRの経路で供給すると、ピン層MPの磁化方向と同じスピンド方向を持つ電子はピン層MPを透過してしまい、異なるスピンド方向を持つ電子はピン層MPにより反射されて、フリー層MFに注入される。その結果、フリー層MFの磁化方向はピン層MPの磁化方向と異なるようになる。
- [0035] こうしてビットラインBLでの電流の向きを制御することによって、フリー層MFの磁化方向が制御可能になり、「0」または「1」の2値状態を記憶することができる。その後、通電オフの状態であってもフリー層MFの磁化方向は保持される。
- [0036] STT-MRAMの読み出し動作については、標準MRAMと同様である。
- [0037] 本発明では、こうした標準MRAMとSTT-MRAMとを同一基板に搭載することによって、両者の特性を有効に活用した高性能の半導体装置を実現する。
- [0038] 図2A～図9Dは、本発明に係る半導体装置の製造工程の一例を示す説明図であり、図2A～図9Aは標準MRAMの部分平面図、図2B～図9Bはその部分断面図である。図2C～図9CはSTT-MRAMの部分平面図、図2D～図9Dはその部分断

面図である。本実施形態では、標準MRAMおよびSTT-MRAMを同じ製造プロセスを用いて同一基板上に形成する方法について説明する。

- [0039] まず、図2A～図2Dを参照して、シリコン等の半導体基板10の表面に、イオン注入によって不純物拡散層(半導体層)からなるドレイン領域DRおよびソース領域SCを形成し、さらにシリコン酸(窒)化膜またはhigh-k膜などからなるゲート絶縁膜を介してポリシリコンまたは金属などの導電膜からなるゲート電極TGを設けることによって、MOS-FET等のトランジスタTRを形成する。STT-MRAMでは、2つのトランジスタTRがソース領域SCを共有している。ドレイン領域DRおよびソース領域SCには金属(Ni,Co)シリサイド膜などの電極層が設けられる。特に、ソース領域SCの電極層は、紙面垂直方向に延びる読み出しラインLRとして機能する。隣接するトランジスタTRの間には、電気絶縁性の素子分離領域11を形成する。
- [0040] 次に、図3A～図3Dを参照して、基板10の上に、酸化物や窒化膜などの層間絶縁膜20を形成した後、CMP(Chemical Mechanical Polishing)などで表面を平坦にする。次に、標準MRAMではドレイン領域DRに対応する箇所に、STT-MRAMではドレイン領域DRおよびソース領域SCに対応する箇所にコンタクトホールをそれぞれ形成する。コンタクトホールの内面には、TaやTiまたはそれらの酸化物膜や窒化膜などを積層したバリアメタル層を介在させてもよい。
- [0041] 各コンタクトホールに、W(タングステン)、Cu、Taなどの金属を埋め込んだ後、CMPなどで表面を平坦化することにより、コンタクトホール内のみに金属が残留して、プラグ状の層間配線LT、21がそれぞれ形成される。
- [0042] 次に、図4A～図4Dを参照して、層間絶縁膜20の上に、酸化物や窒化膜などの層間絶縁膜30を形成した後、ダマシン(damascene)技術を用いて、開口部の形成、Cuなどの成膜、CMPによる平坦化を行って、ディジットラインDL、パッドPD、配線31を層間絶縁膜30に埋め込む。ディジットラインDLは、標準MRAMにのみ設けられる。STT-MRAMでの配線31は、紙面垂直方向に延びており、読み出しラインLRのバイパス経路として機能する。
- [0043] ここでは、1層構成のCu配線層を設けた例を示したが、層間絶縁膜の形成とダマシン技術を繰り返し適用することによって、多層のCu配線層を設けても構わない。

- [0044] 次に、図5A～図5Dを参照して、層間絶縁膜30の上に、酸化物や窒化膜などの層間絶縁膜40を形成し、CMPを施した後、パッドPDに対応する箇所にコンタクトホールを形成し、W(タングステン)、Cu、Taなどの金属などを埋め込んで、CMPなどで平坦化すると、層間配線LTが形成される。上述と同様に、コンタクトホールの内面にはバリアメタル層を介在させてもよい。
- [0045] 次に、図6A～図6Dを参照して、層間絶縁膜40の上に、ストラップST(下部電極)用の金属層41を全面に形成した後、TMRのピン層MP、トンネル絶縁層MT、フリー層MFを順次、全面に形成する。続いて、TMR用のマスクMKを用いて、写真製版、異方性エッチングを行うことにより、TMRのパターニングを行う。
- [0046] 図6Aと図6Bに示すように、各TMRは楕円の平面形状を有するが、上述したスケールリング特性により、STT-MRAMのTMRは、標準MRAMのTMRと比べてより小型に形成できるため、1ビット当りの面積を小さくできる。つまり、STT-MRAMのTMRは、標準MRAMのTMRより長径および短径の長さ(寸法)が小さい。
- [0047] 本実施形態では、標準MRAMのTMRとSTT-MRAMのTMRを同じプロセスで同時に作成しているため、両者は同じ層構成を有することになる。
- [0048] 次に、図7A～図7Dを参照して、ストラップST用のマスク(不図示)を用いて、写真製版、異方性エッチングを行うことにより、ストラップSTのパターニングを行う。ここでは、TMR、ストラップSTの順にパターニングを行う例を示したが、ストラップST、TMRの順にパターニングを行っても構わない。
- [0049] 次に、図8A～図8Dを参照して、TMR間の凹みに、酸化物や窒化膜などのTMR層間膜42を形成した後、CMPなどでTMR層間膜42を研磨して、表面を平坦にする。このとき、TMR上部のTMR層間膜42を除去して、TMR上部(上部電極(不図示))を露出させることにより、その上部にビアホールを開口する必要がなく、セルサイズを小さくできると共に、プロセスを簡易にすることができる。もちろん標準的なプロセスとして、TMR上にビアホールを開口してもよい。
- [0050] 次に、図9A～図9Dを参照して、TMR層間膜42の上に、CuなどのビットラインBLをTMRと電気接続するように形成する。ここでは、1層構成の配線層を設けた例を示したが、周辺回路などの配線のために、多層の配線層を設けても構わない。続いて、

こうした配線層の上に、SiNやSiOなどのパッシベーション膜51, 52, 53を形成する。次に、ボンディングパッドやダイシングラインなど形成するために、写真製版、ドライエッチングなどを用いて、パッシベーション膜51, 52, 53に開口を設ける。この後、ポリイミドなどの保護膜を成膜してもよい。

[0051] こうして同じ製造プロセスを用いて、同じ層構成を持つ標準MRAMおよびSTT-MRAMを同一基板上に形成することによって、TMR自体は同じ層構成を有するが、動作原理の異なるMRAMを同時に製造することができ、その結果、全体の製造コストを低減できる。例えば、マイクロプロセッサの周辺回路として混載した場合、標準MRAMは、キャッシュメモリやプログラムメモリとして使用されているSRAMとの置換えが可能になる。また、STT-MRAMは、メインメモリやデータメモリとして使用されているDRAMやNOR型フラッシュメモリとの置換えが可能になる。従って、データ転送の高速化、データ記憶の大容量化および不揮発化、消費電力の低減化が図られる。

[0052] 実施の形態2.

図10A～図16Dは、本発明に係る半導体装置の製造工程の他の例を示す説明図であり、図10A～図16Aは標準MRAMの部分平面図、図10B～図16Bはその部分断面図である。図10C～図16CはSTT-MRAMの部分平面図、図10D～図16Dはその部分断面図である。本実施形態では、標準MRAMおよびSTT-MRAMを異なる製造プロセスを用いて同一基板上に個別に形成する方法について説明する。

[0053] 本実施形態において、基板10にトランジスタTRを形成し、層間絶縁膜20の内部に層間配線LT, 21を形成し、層間絶縁膜30の内部にディジットラインDL、パッドPD、配線31を形成し、層間絶縁膜40の内部に層間配線LTを形成し、その上にストラップST用の金属層41を形成する各工程は、図2A～図5Dと同じであり説明を省略する。

[0054] ここでは、図10A～図10Dに示すように、標準MRAMを先に作成する。層間絶縁膜40の上に、ストラップST用の金属層41を全面に形成した後、標準MRAMのTMRのピン層MP、トンネル絶縁層MT、フリー層MFを順次、全面に形成する。続いて

、TMR用のマスクMK1を用いて、写真製版、異方性エッチングを行うことにより、TMRのパターニングを行う。一方、STT-MRAMは、金属層41を形成した状態で中断している。

[0055] 次に、図11A～図11Dを参照して、ストラップST用のマスク(不図示)を用いて、写真製版、異方性エッチングを行うことにより、標準MRAMのストラップSTのパターニングを行う。ここでは、TMR、ストラップSTの順にパターニングを行う例を示したが、ストラップST、TMRの順にパターニングを行っても構わない。STT-MRAMでは、金属層41が除去される。

[0056] 次に、図12A～図12Dを参照して、層間絶縁膜40の上に、酸化物や窒化膜などの層間絶縁膜60を形成する。続いて、CMPを施した後、STT-MRAMにおいて、層間絶縁膜40内の層間配線LTに対応する箇所にコンタクトホールを形成し、W(タングステン)、Cu、Taなどの金属などを埋め込んで、CMPなどで平坦化すると、第2の層間配線LTが形成される。上述と同様に、コンタクトホールの内面にはバリアメタル層を介在させてもよい。

[0057] 次に、図13A～図13Dに示すように、STT-MRAMを作成する。層間絶縁膜60の上に、ストラップST用の金属層61を全面に形成した後、STT-MRAMのTMRのピン層MP、トンネル絶縁層MT、フリー層MFを順次、全面に形成する。続いて、TMR用のマスクMK2を用いて、写真製版、異方性エッチングを行うことにより、TMRのパターニングを行う。一方、標準MRAMは、金属層61を形成した状態で中断している。

[0058] ここで、標準MRAMのTMRおよびSTT-MRAMのTMRは楕円の平面形状を有するが、上述したスケール特性により、STT-MRAMのTMRは、標準MRAMのTMRと比べてより小型に形成できるため、1ビット当りの面積を小さくできる。つまり、STT-MRAMのTMRは、標準MRAMのTMRより長径および短径の長さ(寸法)が小さい。

[0059] 次に、図14A～図14Dを参照して、ストラップST用のマスク(不図示)を用いて、写真製版、異方性エッチングを行うことにより、STT-MRAMのストラップSTのパターニングを行う。ここでは、TMR、ストラップSTの順にパターニングを行う例を示したが

、ストラップST、TMRの順にパターニングを行っても構わない。標準MRAMでは、金属層61が除去される。

[0060] 次に、図15A～図15Dを参照して、STT-MRAMのTMR間の凹みに、酸化物や窒化膜などのTMR層間膜62を形成する。続いて、CMPなどで、標準MRAMの層間絶縁膜60およびSTT-MRAMのTMR層間膜62を研磨して、表面を平坦にする。このとき、TMR上部を露出させることにより、その上部にビアホールを開口する必要がなく、セルサイズを小さくできると共に、プロセスを簡易にすることができる。もちろん標準的なプロセスとして、TMR上にビアホールを開口してもよい。

[0061] 次に、図16A～図16Dを参照して、標準MRAMの層間絶縁膜60の上に、CuなどのビットラインBLをTMRと電気接続するように形成する。STT-MRAMのTMR層間膜62の上にも、CuなどのビットラインBLをTMRと電気接続するように形成する。ここでは、1層構成の配線層を設けた例を示したが、周辺回路などの配線のために、多層の配線層を設けても構わない。続いて、こうした配線層の上に、SiNやSiOなどのパッシベーション膜71、72を形成する。次に、ボンディングパッドやダイシングラインなど形成するために、写真製版、ドライエッチングなどを用いて、パッシベーション膜51、52、53に開口を設ける。この後、PIX膜などの保護膜を成膜してもよい。

[0062] こうして異なる製造プロセスを用いて、標準MRAMおよびSTT-MRAMを同一基板上に個別に形成することによって、最適な層構成を持つ標準MRAMおよび最適な層構成を持つSTT-MRAMを独立に設計し作成することができる。例えば、マイクロプロセッサの周辺回路として混載した場合、標準MRAMは、キャッシュメモリやプログラムメモリとして使用されているSRAMとの置換えが可能になる。また、STT-MRAMは、メインメモリやデータメモリとして使用されているDRAMやNOR型フラッシュメモリとの置換えが可能になる。従って、データ転送の高速化、データ記憶の大容量化および不揮発化、消費電力の低減化が図られる。

[0063] 実施の形態3.

図17Aは、本発明に係る半導体装置のチップレイアウトの一例を示す平面図である。図17Bは、本発明に係る半導体装置のチップレイアウトの他の一例を示す平面図である。

- [0064] まず、図17Aを参照して、半導体装置90は、CPU(中央処理装置)91と、周辺回路92, 93と、標準MRAMアレイ94と、STT-MRAMアレイ95と、複数のパッド96と、電源ラインやグランドライン等のパワーライン97などで構成される。これらは1つの半導体基板上に配置され、ワンチップマイクロプロセッサとして構成される。
- [0065] 図17Aにおいて、リードに接続される複数のパッド96は、基板の上側エッジおよび下側エッジの周辺にそれぞれ配置し、2系統のパワーライン97は、上側パッド96および下側パッド96に近接して配置している。CPU91、周辺回路92, 93、標準MRAMアレイ94およびSTT-MRAMアレイ95は、パワーライン97間のスペースに配置している。つまりパワーライン97の、基板の外周からの距離は、標準MRAMアレイ94およびSTT-MRAMアレイ95の、基板の外周からの距離より小さい。
- [0066] 図17Bは、LOC(Lead On Chip)の構成を示すものであり、リードに接続される複数のパッド96は、基板の中央に配置している。2系統のパワーライン97は、上側パッド96および下側パッド96に近接して配置している。CPU91、周辺回路92, 93、標準MRAMアレイ94およびSTT-MRAMアレイ95は、パワーライン97と基板エッジの間のスペースに配置している。つまりパワーライン97の、基板の外周からの距離は、標準MRAMアレイ94およびSTT-MRAMアレイ95の、基板の外周からの距離より大きい。
- [0067] 図17Aおよび図17Bのいずれの配置においても、MRAMは、書き込み動作時に磁場の影響を受けるため、標準MRAMアレイ94とSTT-MRAMアレイ95とを互いに遠ざけて、両者の距離L1は、 $5\mu\text{m}$ 以上に設定することが好ましい。これによりメモリアレイ間の相互影響を排除することができる。
- [0068] また、パワーライン97は、比較的大きな電流が流れるため、周囲に比較的大きな磁場を発生する。そのため、標準MRAMアレイ94をパワーライン97から遠ざけて、両者の距離L2, L3は、 $5\mu\text{m}$ 以上に設定することが好ましい。同様に、STT-MRAMアレイ95もパワーライン97から遠ざけて、両者の距離L4, L5は、 $5\mu\text{m}$ 以上に設定することが好ましい。
- [0069] こうして標準MRAMアレイ94およびSTT-MRAMアレイを同一基板上に配置する場合、両者の配置を工夫することによって、外部磁界に起因する誤動作を防止す

ることができる。

[0070] 図18A～図18Cは、矩形断面を持つ導体の周辺に発生する磁界分布を示すグラフである。ここで、矩形断面に一様に電流Iが流れると仮定し、辺長2a, 2bの矩形断面をXY面に配置し、矩形断面内の微小面積 $dx \cdot dy$ に流れる電流が、断面中心(原点)から距離rの位置で作る磁界成分(dH_x , dH_y)は、ビオサバールの法則を用いて、下記のように表される。但し、 θ はベクトルrとX軸のなす角である。

[0071] [数1]

$$\begin{aligned} dH_x &= \frac{(I/4ab)dx dy}{2\pi \cdot r} (-\sin\theta), \\ dH_y &= \frac{(I/4ab)dx dy}{2\pi \cdot r} \cdot \cos\theta \end{aligned} \quad (1)$$

[0072] この磁界成分(dH_x , dH_y)を矩形断面の範囲で積分することによって、距離rの位置での電流Iによる磁界成分を計算することができる。

[0073] 図18Aは、幅 $W=40 \mu m$ 、厚さ $t=1 \mu m$ の電源配線に電流 $I=100mA$ が流れたときの磁界分布を示す。図18Bは、幅 $W=20 \mu m$ 、厚さ $t=1 \mu m$ の電源配線に電流 $I=100mA$ が流れたときの磁界分布を示す。図18Cは、幅 $W=10 \mu m$ 、厚さ $t=1 \mu m$ の電源配線に電流 $I=100mA$ が流れたときの磁界分布を示す。

[0074] 図17Aおよび図17Bに示すワンチップマイコンでは、動作電流は、一般に100mA～200mAで、電源配線の最大幅は $10 \mu m \sim 20 \mu m$ である。標準MRAMアレイおよびSTT-MRAMアレイは、電源配線と同一面内にあると考えられる。図18A～図18Cのグラフでは、最も外側にある $0 \sim 2 [Oe]$ (地磁気レベルに相当)の範囲に標準MRAMアレイおよびSTT-MRAMアレイを配置することが好ましく、いずれの場合も $5 \mu m$ 以上の間隔を確保すればよいことが判る。

[0075] 実施の形態4.

図19A～図19Cは、磁気トンネル接合TMRの各種例を示す構成図である。

[0076] 図19Aに示すシングルピン構造は、下から順に、磁性膜からなるピン層と、極めて薄いトンネル絶縁層と、磁性膜からなるフリー層とが積層される。

[0077] 図19Bに示すデュアルピン(Dual Pin)構造は、下から順に、磁性膜からなる第1ピン

層と、極めて薄いトンネル絶縁層と、磁性膜からなるフリー層と、比較的薄いスペーサ層と、磁性膜からなる第2ピン層とが積層される。この構造では、第1ピン層の磁化方向は第2ピン層の磁化方向と反平行であり、電流が下向きに流れる場合も上向きに流れる場合も、上下に配置された2つのピン層がスピントラップの役割を果たす。そのため、フリー層に注入される電子のスピンの各ピン層の磁化方向に揃うようになり、効率的な書き込み動作が可能になる。

[0078] 図19Cに示すデュアルTMR(Dual TMR)構造は、下から順に、磁性膜からなる第1ピン層と、極めて薄い第1トンネル絶縁層と、磁性膜からなるフリー層と、極めて薄い第2トンネル絶縁層と、磁性膜からなる第2ピン層とが積層される。この構造では、第1ピン層の磁化方向は第2ピン層の磁化方向と反平行であり、デュアルピン構造と同様に、電流が下向きに流れる場合も上向きに流れる場合も、上下に配置された2つのピン層がスピントラップの役割を果たす。そのため、フリー層に注入される電子のスピンの各ピン層の磁化方向に揃うようになり、効率的な書き込み動作が可能になる。

[0079] 図2A～図9Dを参照して説明したように、同じ製造プロセスを用いて、同じ層構成を持つ標準MRAMおよびSTT-MRAMを同一基板上に形成する場合、標準MRAMおよびSTT-MRAMともに図19Aのシングルピン構造、図19Bのデュアルピン構造、あるいは図19CのデュアルTMR構造を採用することにより、製造プロセスの簡略化を図ることができる。

[0080] 図10A～図16Dを参照して説明したように、異なる製造プロセスを用いて、異なる層構成を持つ標準MRAMおよびSTT-MRAMを同一基板上に個別に形成する場合、標準MRAMはシングルピン構造を採用し、STT-MRAMはデュアルピン構造あるいはデュアルTMR構造を採用することによって、STT-MRAM構成の最適化を図ることができる。

[0081] 実施の形態5.

図20は、シングルピン構造の層構成の一例を示す構成図である。シングルピン構造のTMRにおいて、機能的な観点から、ピン層MP、トンネル絶縁層MTおよびフリー層MFに区別しているが、典型的なピン層MP及び／又はフリー層MFは多層で構成される。

[0082] 例えば、ピン層MPは、Ta層101、NiFe層102、IrMn層103、CoFe層104、Ru層105、CoFe層106で構成される。トンネル絶縁層MTは、AlOで構成される。フリー層MFは、CoFe層111、NiFe層112、Ta層113で構成される。

[0083] これらのうちCoFe層104、Ru層105、CoFe層106は、SAF(Synthetic Anti-Ferromagnet)構造と呼ばれ、人工的に反強磁性を付与することによって、外部からの漏れ磁界の影響を低減することができる。

[0084] こうしたSAF構造は、ピン層MPだけでなく、フリー層MFにも設けてもよく、あるいはピン層MPおよびフリー層MFの両方に設けてもよい。さらにSAF構造は、シングルピン構造だけでなく、上述したデュアルピン構造のピン層及び／又はフリー層、あるいはデュアルTMR構造のピン層及び／又はフリー層に設けることも可能である。

[0085] 実施の形態6.

図21Aと図21Bは、磁気トンネル接合TMRの平面形状の他の例を示す平面図である。図6Aおよび図10Aでは、標準MRAMのTMRおよびSTT-MRAMのTMRともに、楕円形状を持つ例を説明した。ここでは、STT-MRAMのTMRを楕円の2軸対称形状とし、標準MRAMのTMRをD字状の1軸対称形状として、両者の平面形状を異ならせるとともに、STT-MRAMのTMRは、標準MRAMのTMRより面積を小さくしている。標準MRAMの場合、こうしたD字状のTMRにより、ビットラインBLの電流方向の変化に対するフリー層MFの磁化方向の変化に非対称な特性が付与されるため、ノイズマージンが改善される。

[0086] 実施の形態7.

本実施形態では、STT-MRAMの磁気トンネル接合TMRの下方に、標準MRAMと同様なディジットラインDLを配置して、即ち、図1Aと同様な構造を持つSTT-MRAMを採用している。この場合、STT-MRAMのTMRは、標準MRAMのTMRと同じ層構成または異なる層構成でもよく、構造的な観点からは標準MRAMのようなシングルピン構造を採用してもよく、デュアルピン構造あるいはデュアルTMR構造を採用してもよい。

[0087] また、STT-MRAMにディジットラインDLを追加する場合、ディジットラインDLとTMRとの間の距離は、ビットラインBLとTMRとの間の距離と同じでもよいが、異なってもよい。

いてもよい。

[0088] また、STT-MRAMにディジットラインDLを追加した場合、ビットラインBLに流れる電流値とディジットラインDLに流れる電流値とは同じもよいが、異なってもよい。

[0089] STT-MRAMに、標準MRAMと同様なディジットラインDLを配置し、STT-MRAMの書き込み動作時にディジットラインDLにも同期して電流を流すことによって、スピントルク注入による磁化だけでなく、ディジットラインDLの通電によってフリー層の磁化を補完的に制御することができる。従って、標準MRAMとSTT-MRAMの中間的な特性を持つ種々のMRAMデバイス(以下、中間MRAMと称する)を形成でき、ディジットラインDLの距離や電流値に応じて所望の特性を実現できる。

[0090] 図17Aと図17Bでは、標準MRAMアレイ94と、STT-MRAMアレイ95とを同一基板に混載した例を示したが、上述した中間MRAMからなるMRAMアレイも一緒に混載することにより、3種類のMRAMを同一チップに搭載することができ、メモリ配置の多様化を図ることができる。

[0091] なお、標準MRAMアレイ94と上述した中間MRAMアレイの2種類を同一基板に混載してもよく、あるいは、STT-MRAMアレイ95と上述した中間MRAMアレイの2種類を同一基板に混載してもよい。

[0092] 実施の形態8.

図6A～図6Dでは、単一のフォトマスクを用いてTMR用のマスクMKを形成し、写真製版、異方性エッチングを行って、両者のTMRを一回のパターニングで形成した。

[0093] 本実施形態では、標準MRAMとSTT-MRAMのTMRのサイズや平面形状が異なるため、個々に最適な複数のフォトマスクを用意し、個々に最適なマスクレイアウト、露光エッチング条件を用い、所望のパターンのみを残すように、写真製版・異方性エッチングを行うことにより、両者のTMRパターンを別々に形成する。

[0094] これにより、標準MRAMとSTT-MRAMの各々の最適条件を使用することが可能となり、TMRパターンを精度よく形成できるとともに、プロセスマージンやデバイス動作マージンも拡大することができる。

産業上の利用可能性

[0095] 本発明は、種類の異なる磁気メモリ素子の個々の特性を有効に活用できる点で産業上極めて有用である。

請求の範囲

- [1] 少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造の近傍に流れる電流が発生する磁場によって、磁気トンネル接合構造のフリー層の磁化方向が制御される第1磁気メモリ素子と、
- 少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造に供給されるスピン注入電流により、磁気トンネル接合構造のフリー層の磁化方向が制御される第2磁気メモリ素子とを備え、
- 第1磁気メモリ素子および第2磁気メモリ素子が、同一基板上に搭載されている半導体装置。
- [2] 少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造の第1主面側および第2主面側に、第1配線および第2配線が互いに交差するようにそれぞれ配置されている第1磁気メモリ素子と、
- 少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造の第1主面側に、第3配線が配置されている第2磁気メモリ素子とを備え、
- 第1磁気メモリ素子および第2磁気メモリ素子が、同一基板上に搭載されている半導体装置。
- [3] 第1磁気メモリ素子は、第2磁気メモリ素子と同じ層構成を有する請求項1または2記載の半導体装置。
- [4] 第1磁気メモリ素子および第2磁気メモリ素子は、ピン層、トンネル絶縁層およびフリー層が積層された磁気トンネル接合構造を有する請求項3記載の半導体装置。
- [5] 第1磁気メモリ素子および第2磁気メモリ素子は、第1ピン層、トンネル絶縁層、フリー層、スペーサ層および第2ピン層が積層された磁気トンネル接合構造を有する請求項3記載の半導体装置。
- [6] 第1磁気メモリ素子および第2磁気メモリ素子は、第1ピン層、第1トンネル絶縁層、フリー層、第2トンネル絶縁層および第2ピン層が積層された磁気トンネル接合構造を有する請求項3記載の半導体装置。
- [7] 第1磁気メモリ素子及び／又は第2磁気メモリ素子を構成するピン層およびフリー層

のうち少なくとも1層が、SAF(Synthetic Anti-Ferromagnet)構造を有する請求項4～6のいずれかに記載の半導体装置。

- [8] 基板上に、層間絶縁膜および配線層が積層された多層配線構造が設けられ、第1磁気メモリ素子および第2磁気メモリ素子は、該多層配線構造の同一層内に配置される請求項1または2記載の半導体装置。
- [9] 第1磁気メモリ素子の第1主面側に配置される第1配線と、第2磁気メモリ素子の第1主面側に配置される第3配線とが、該多層配線構造の同一層内に配置される請求項8記載の半導体装置。
- [10] 第1磁気メモリ素子は、第2磁気メモリ素子とは異なる層構成を有する請求項1または2記載の半導体装置。
- [11] 第1磁気メモリ素子は、ピン層、トンネル絶縁層およびフリー層が積層された磁気トンネル接合構造を有し、
第2磁気メモリ素子は、第1ピン層、トンネル絶縁層、フリー層、スペーサ層および第2ピン層が積層された磁気トンネル接合構造を有する請求項10記載の半導体装置。
- [12] 第1磁気メモリ素子は、ピン層、トンネル絶縁層およびフリー層が積層された磁気トンネル接合構造を有し、
第2磁気メモリ素子は、第1ピン層、第1トンネル絶縁層、フリー層、第2トンネル絶縁層および第2ピン層が積層された磁気トンネル接合構造を有する請求項10記載の半導体装置。
- [13] 第1磁気メモリ素子及び／又は第2磁気メモリ素子を構成するピン層およびフリー層のうち少なくとも1層が、SAF(Synthetic Anti-Ferromagnet)構造を有する請求項11～12のいずれかに記載の半導体装置。
- [14] 第1磁気メモリ素子は、平面視で第2磁気メモリ素子より大きい面積を有する請求項1または2記載の半導体装置。
- [15] 第1磁気メモリ素子および第2磁気メモリ素子は、楕円の平面形状を有する請求項1または2記載の半導体装置。
- [16] 第1磁気メモリ素子は、第2磁気メモリ素子とは異なる平面形状を有する請求項1または2記載の半導体装置。

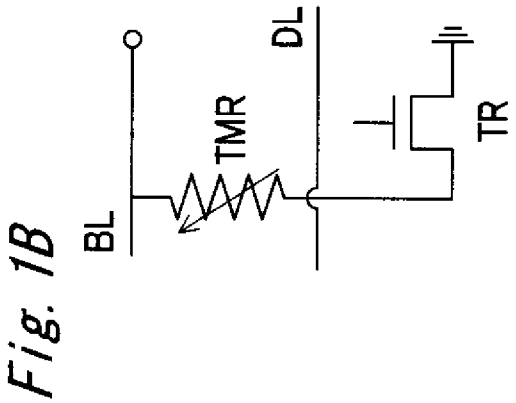
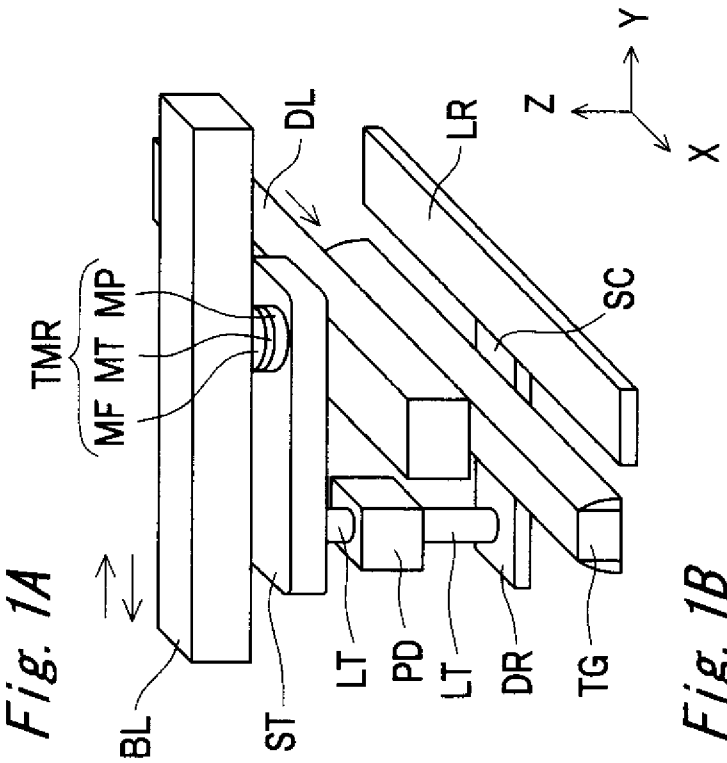
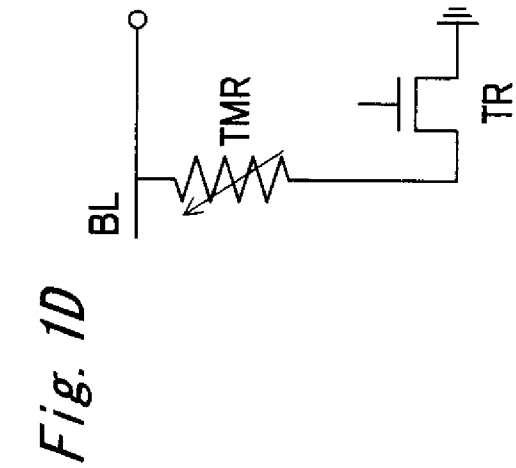
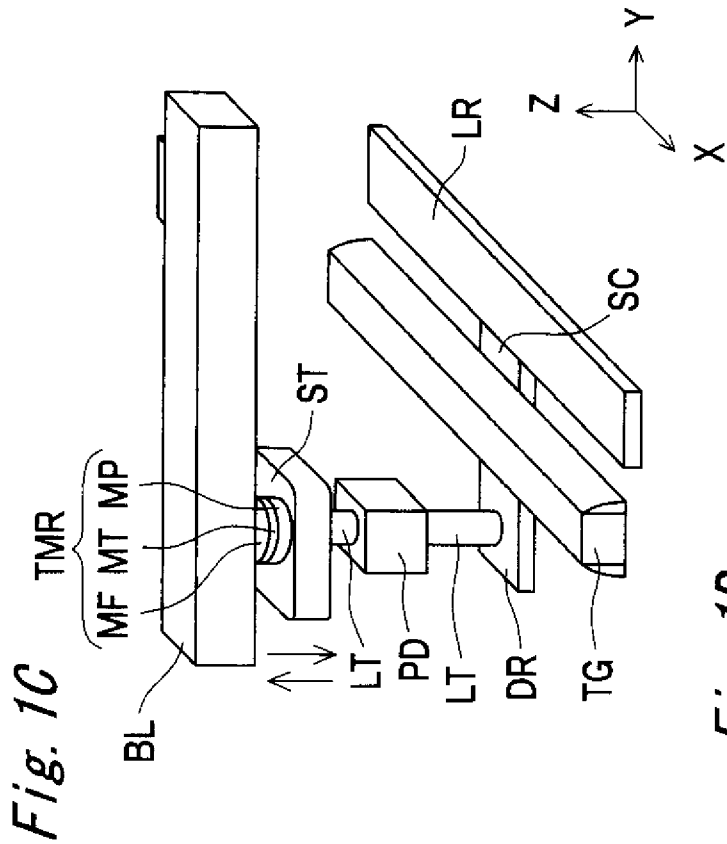
- [17] 第1磁気メモリ素子は、D字状の平面形状を有し、第2磁気メモリ素子は、楕円の平面形状を有する請求項16記載の半導体装置。
- [18] 基板上に、層間絶縁膜および配線層が積層された多層配線構造が設けられ、第1磁気メモリ素子および第2磁気メモリ素子は、該多層配線構造の異なる層内に配置される請求項1または2記載の半導体装置。
- [19] 第1磁気メモリ素子および第2磁気メモリ素子は、互いに5 μ m以上の距離を隔てて搭載される請求項1または2記載の半導体装置。
- [20] 基板上に、電源ラインおよびグランドラインが搭載され、第1磁気メモリ素子および第2磁気メモリ素子は、電源ラインおよびグランドラインから5 μ m以上の距離を隔てて搭載される請求項1または2記載の半導体装置。
- [21] 電源ラインおよびグランドラインの、基板の外周からの距離は、第1磁気メモリ素子の、基板の外周からの距離より小さい請求項20記載の半導体装置。
- [22] 電源ラインおよびグランドラインの、基板の外周からの距離は、第1磁気メモリ素子の、基板の外周からの距離より大きい請求項20記載の半導体装置。
- [23] 基板上に、プログラムに従ってデータ処理を実行するマイクロプロセッサが搭載され、
第1磁気メモリ素子は、該マイクロプロセッサのキャッシュメモリとして機能し、
第2磁気メモリ素子は、該マイクロプロセッサのメインメモリとして機能する請求項1または2記載の半導体装置。
- [24] 基板上に、プログラムに従ってデータ処理を実行するマイクロプロセッサが搭載され、
第1磁気メモリ素子は、該マイクロプロセッサのプログラムメモリとして機能し、
第2磁気メモリ素子は、該マイクロプロセッサのデータメモリとして機能する請求項1または2記載の半導体装置。
- [25] 少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造に供給されるスピン注入電流および該磁気トンネル接合構造の近傍に流れる電流が発生する磁場によって、磁気トンネル接合構造のフリー層の磁化方向が制御される磁気メモリ素子。

- [26] 磁気トンネル接合構造の第1主面側および第2主面側に、磁場発生用の電流が流れる第1配線および第2配線が互いに交差するようにそれぞれ配置され、
第1配線に流れる電流値は、第2配線に流れる電流値とは異なる請求項25記載の磁気メモリ素子。
- [27] 磁気トンネル接合構造の第1主面側および第2主面側に、磁場発生用の電流が流れる第1配線および第2配線が互いに交差するようにそれぞれ配置され、
磁気トンネル接合構造と第1配線との距離は、磁気トンネル接合構造と第2配線との距離とは異なる請求項25記載の磁気メモリ素子。
- [28] 請求項25記載の第1磁気メモリ素子と、
少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造の近傍に流れる電流が発生する磁場によって、磁気トンネル接合構造のフリー層の磁化方向が制御される第2磁気メモリ素子とを備え、
第1磁気メモリ素子および第2磁気メモリ素子が、同一基板上に搭載されている半導体装置。
- [29] 請求項25記載の第1磁気メモリ素子と、
少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造に供給されるスピン注入電流により、磁気トンネル接合構造のフリー層の磁化方向が制御される第2磁気メモリ素子とを備え、
第1磁気メモリ素子および第2磁気メモリ素子が、同一基板上に搭載されている半導体装置。
- [30] 請求項25記載の第1磁気メモリ素子と、
少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造の近傍に流れる電流が発生する磁場によって、磁気トンネル接合構造のフリー層の磁化方向が制御される第2磁気メモリ素子と、
少なくともピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を有し、該磁気トンネル接合構造に供給されるスピン注入電流により、磁気トンネル接合構造のフリー層の磁化方向が制御される第3磁気メモリ素子とを備え、
第1磁気メモリ素子、第2磁気メモリ素子および第3磁気メモリ素子が、同一基板上

に搭載されている半導体装置。

- [31] 絶縁膜の上に、ピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を形成する工程と、
単一のフォトマスクを用いて磁気トンネル接合構造のパターニングを行って、平面視において互いに面積の異なる第1磁気メモリ素子および第2磁気メモリ素子を形成する工程とを備える半導体装置の製造方法。
- [32] 絶縁膜の上に、ピン層、トンネル絶縁層およびフリー層を含む磁気トンネル接合構造を形成する工程と、
第1フォトマスクを用いて磁気トンネル接合構造のパターニングを行って、第1磁気メモリ素子を形成する工程と、
第2フォトマスクを用いて磁気トンネル接合構造のパターニングを行って、第2磁気メモリ素子を形成する工程とを備える半導体装置の製造方法。
- [33] 第1絶縁膜の上に、ピン層、トンネル絶縁層およびフリー層を含む第1磁気トンネル接合構造を形成する工程と、
第1フォトマスクを用いて磁気トンネル接合構造のパターニングを行って、第1磁気メモリ素子を形成する工程と、
第2絶縁膜の上に、ピン層、トンネル絶縁層およびフリー層を含む第2磁気トンネル接合構造を形成する工程と、
第2フォトマスクを用いて磁気トンネル接合構造のパターニングを行って、第2磁気メモリ素子を形成する工程とを備える半導体装置の製造方法。

[図1]



[図2]

Fig. 2A

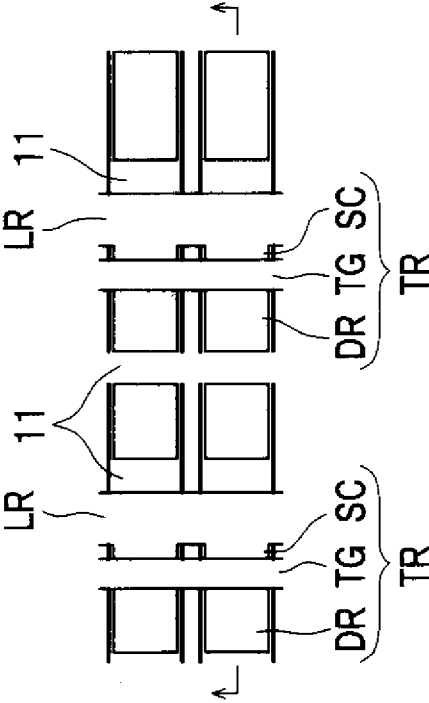


Fig. 2C

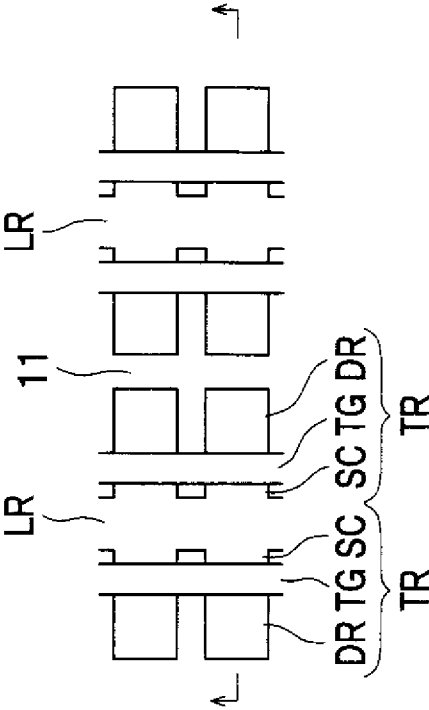


Fig. 2B

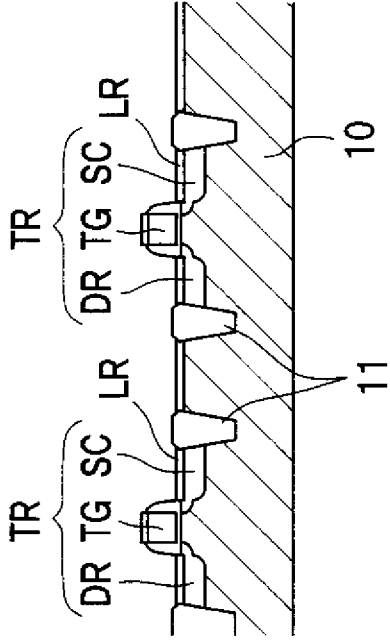
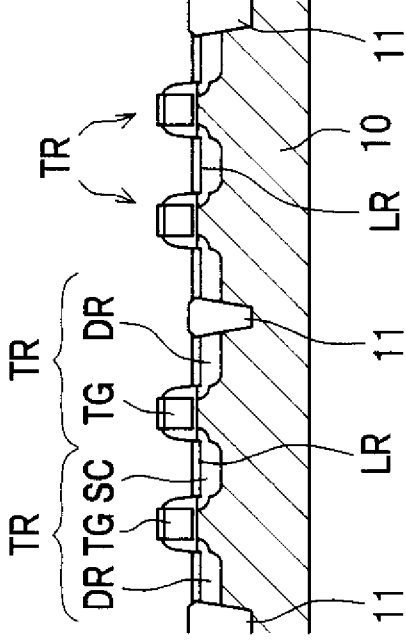


Fig. 2D



[図3]

Fig. 3A

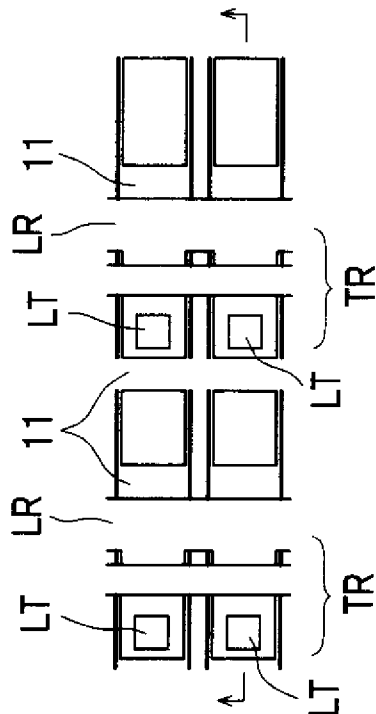


Fig. 3C

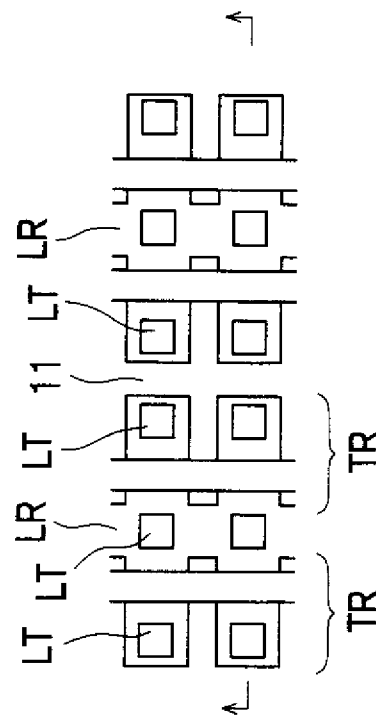


Fig. 3B

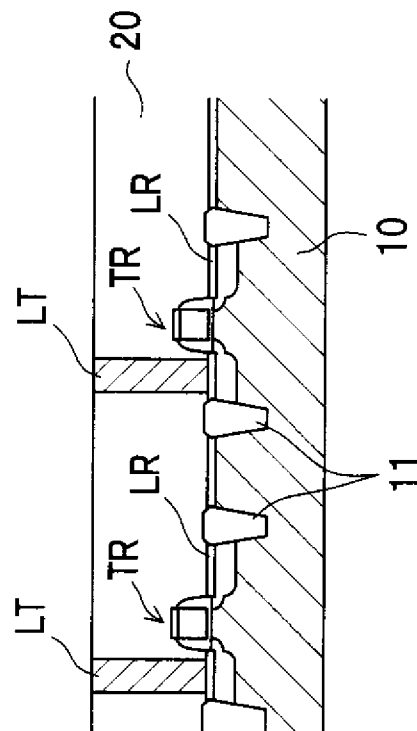
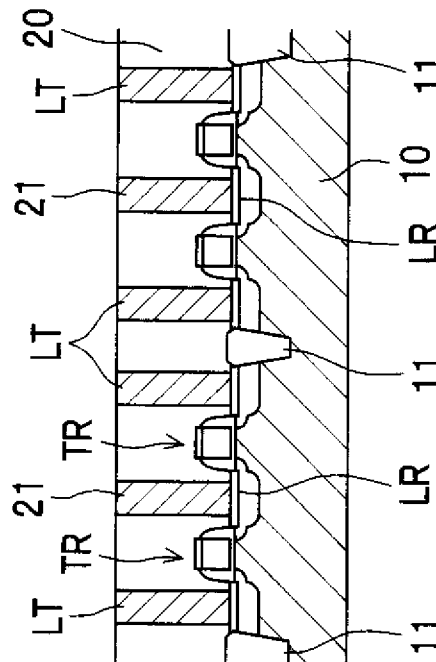


Fig. 3D



[図4]

Fig. 4A

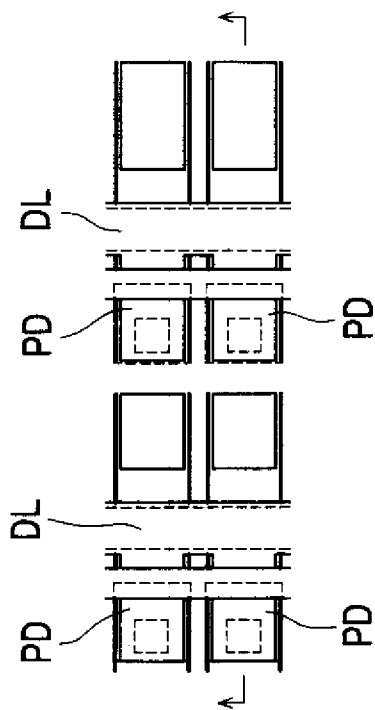


Fig. 4C

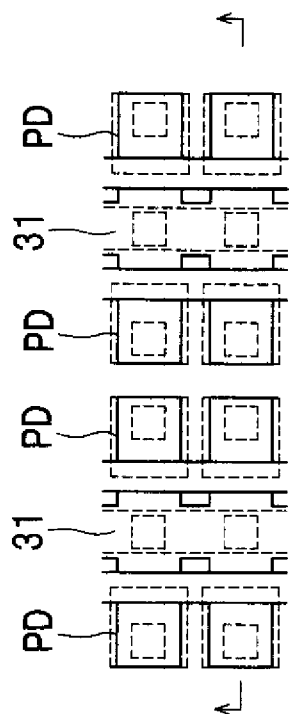


Fig. 4B

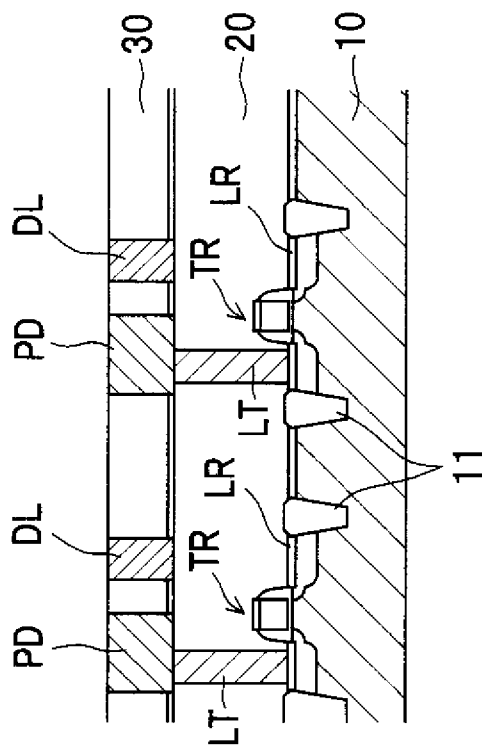
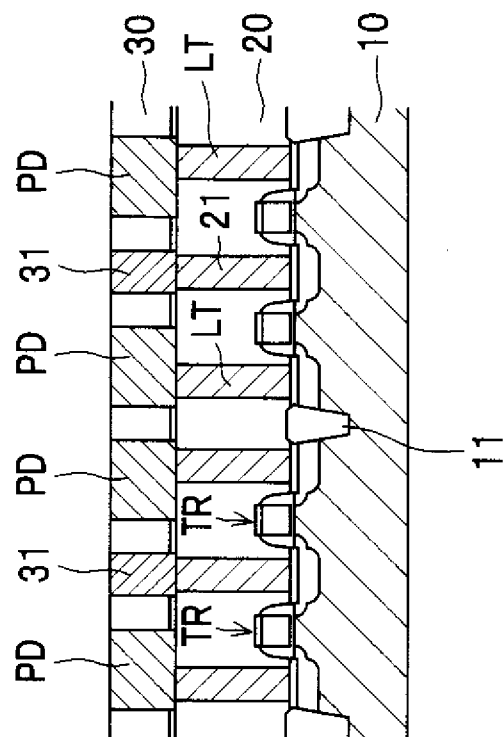


Fig. 4D



[図5]

Fig. 5A

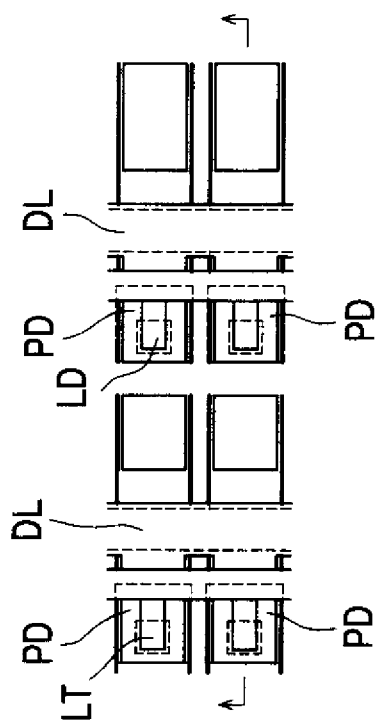


Fig. 5C

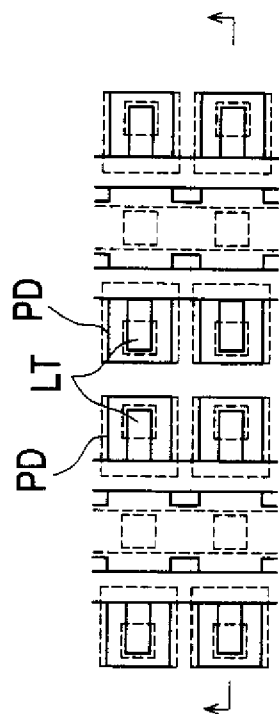


Fig. 5B

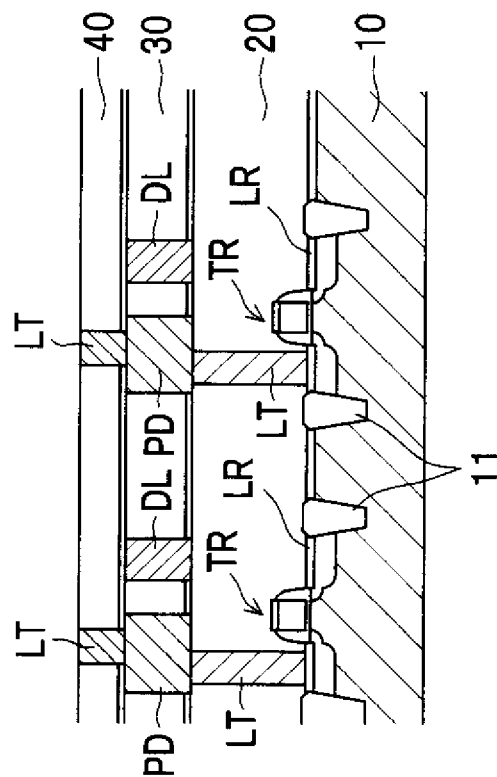
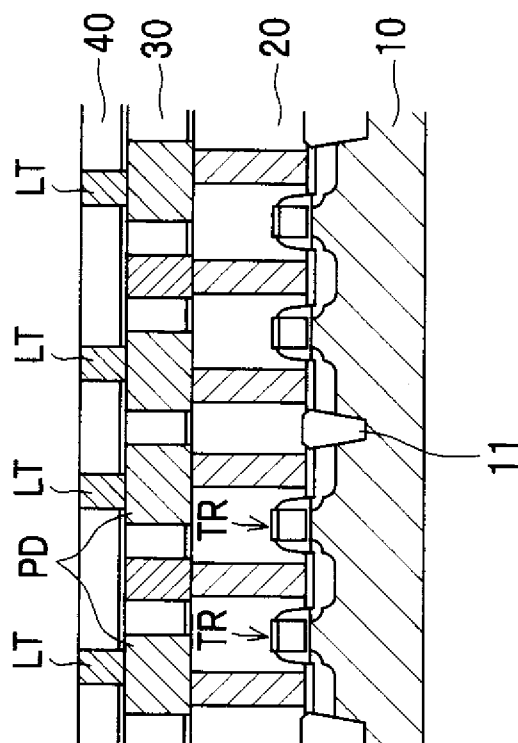


Fig. 5D



[図6]

Fig. 6A

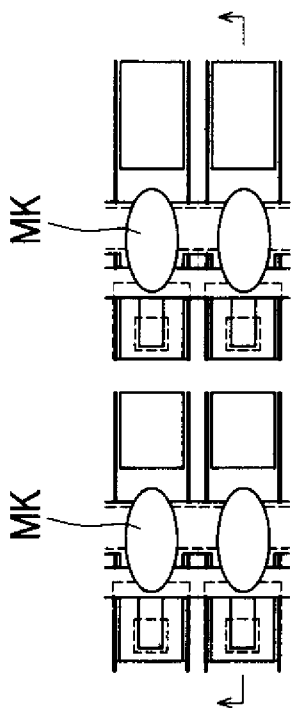


Fig. 6C

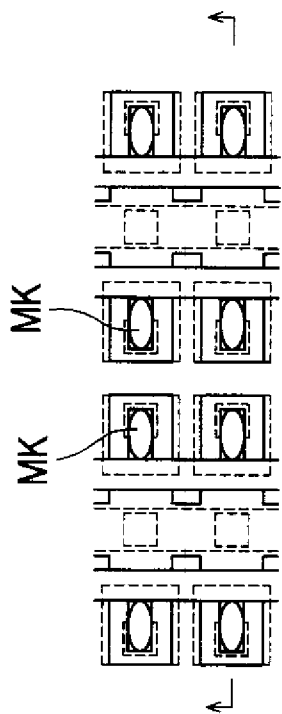


Fig. 6B

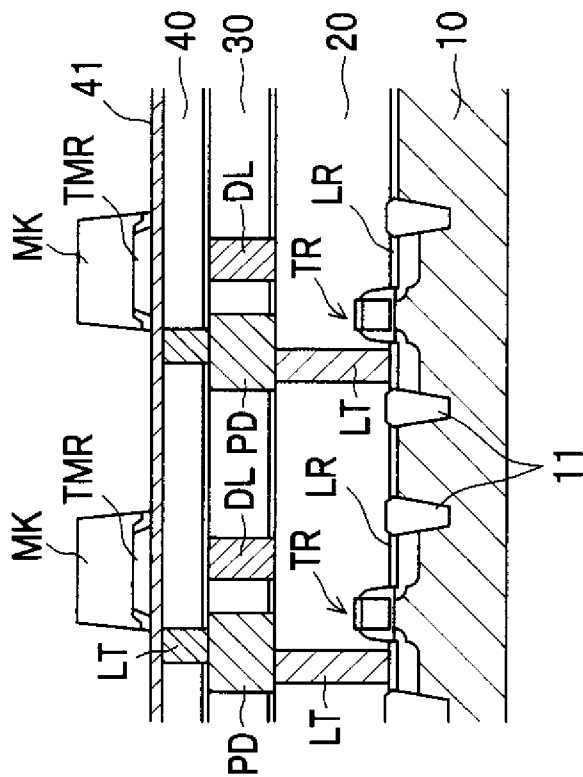
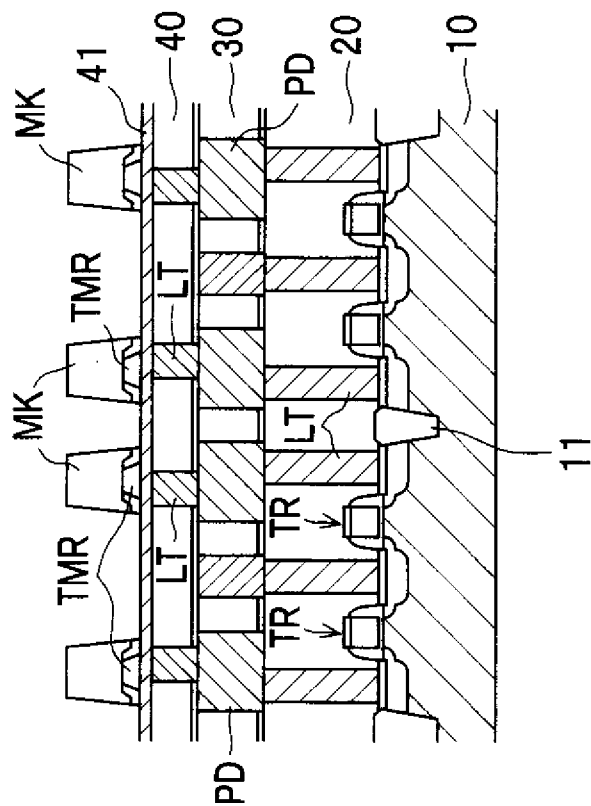


Fig. 6D



[図7]

Fig. 7A

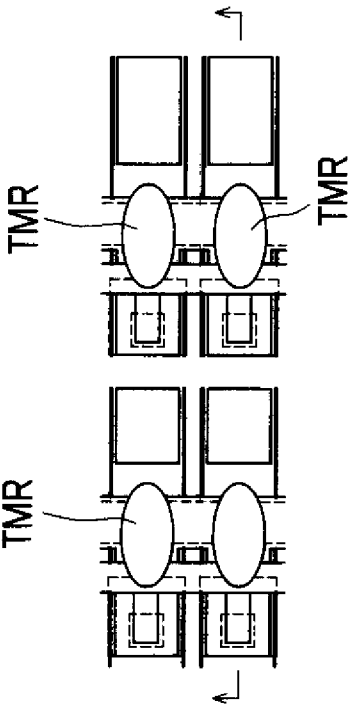


Fig. 7C

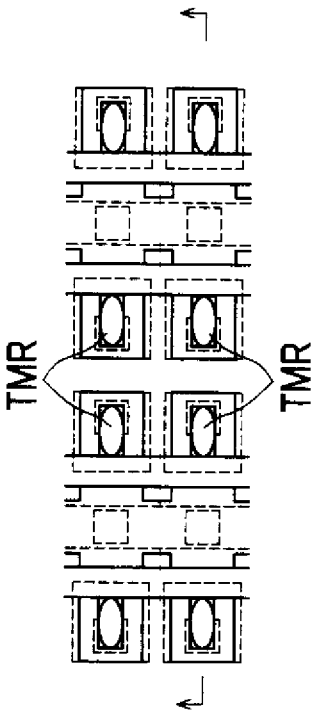


Fig. 7B

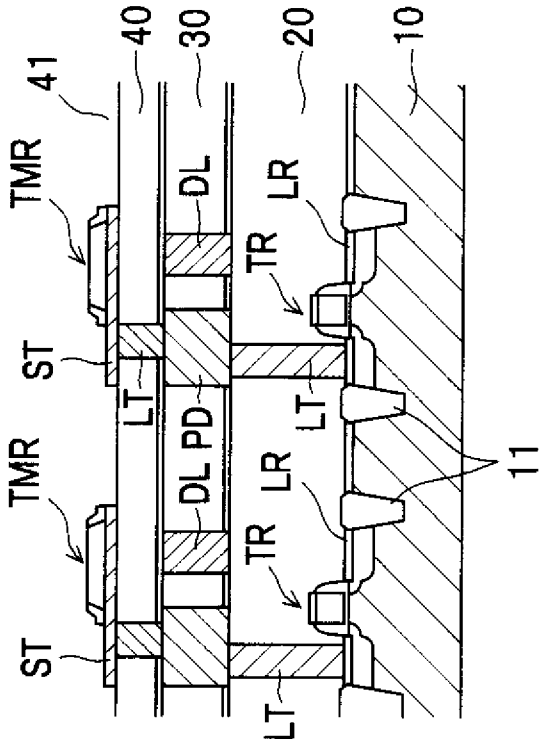
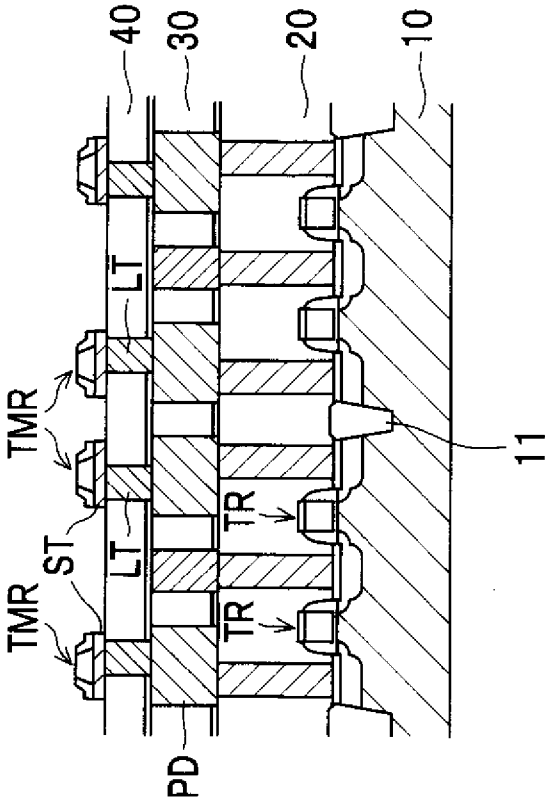


Fig. 7D



[図8]

Fig. 8A

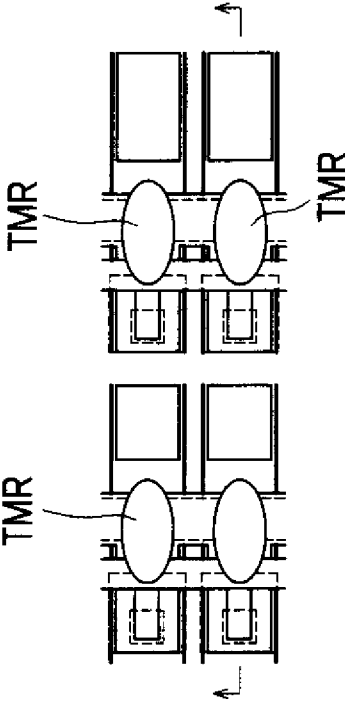


Fig. 8C

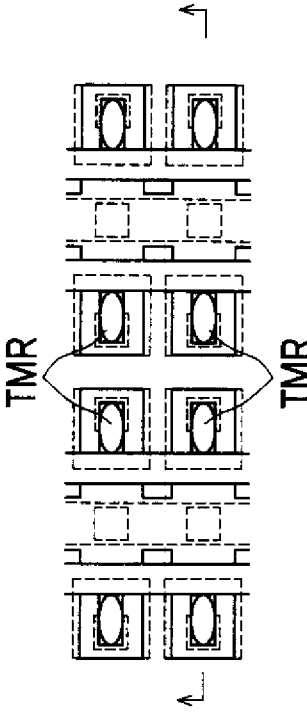


Fig. 8B

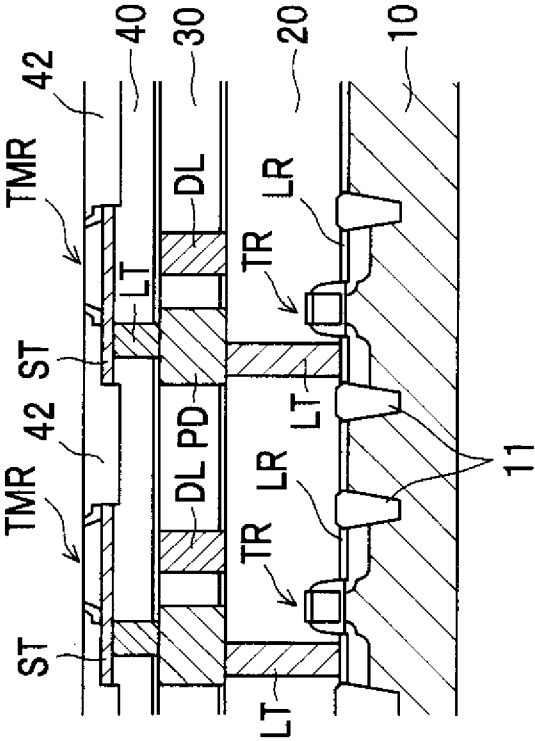
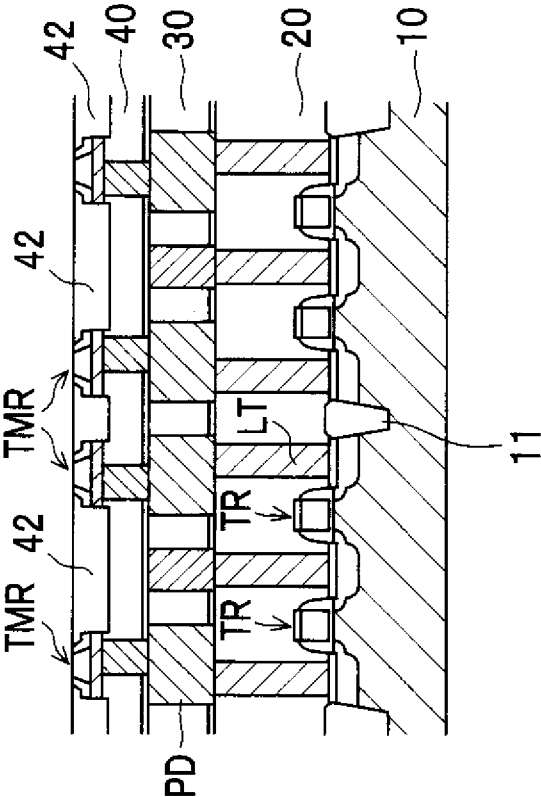


Fig. 8D



[図9]

Fig. 9A

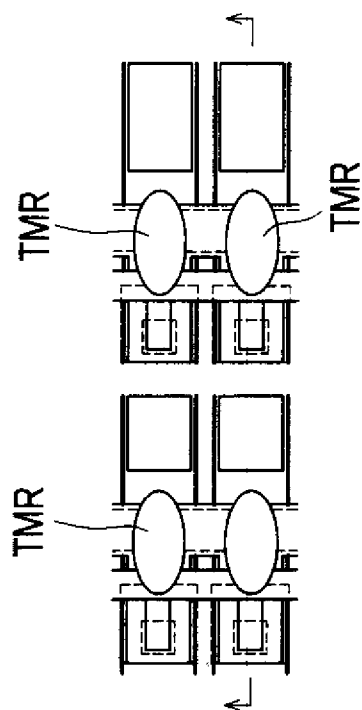


Fig. 9C

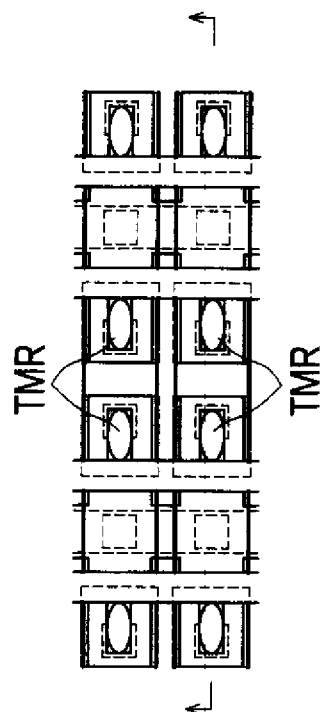


Fig. 9B

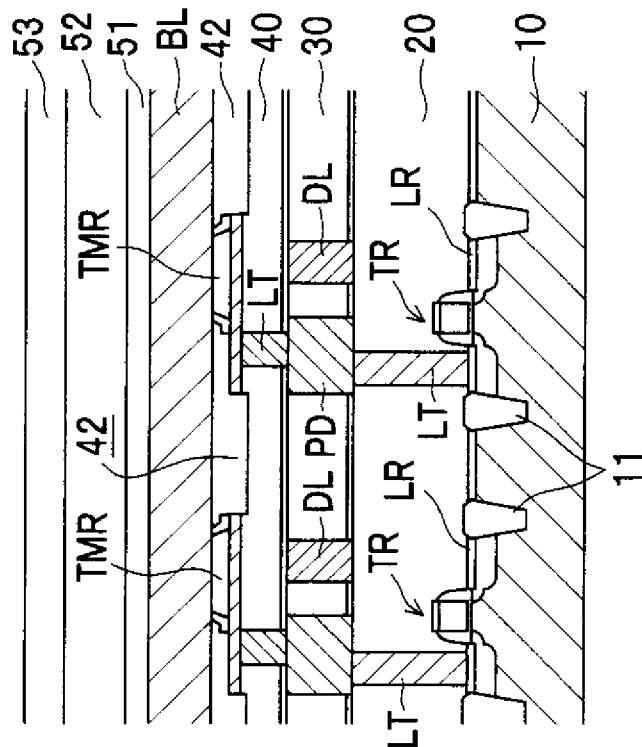
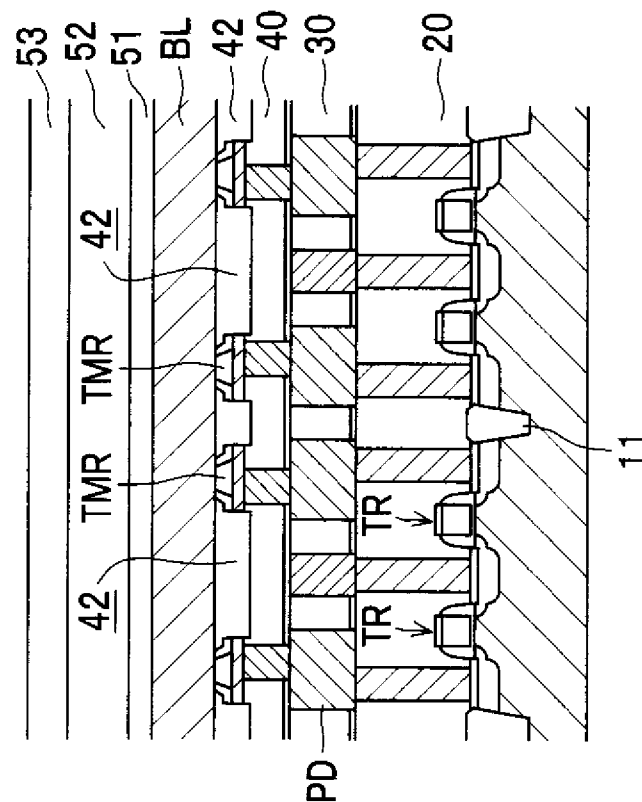


Fig. 9D



[図10]

Fig. 10C

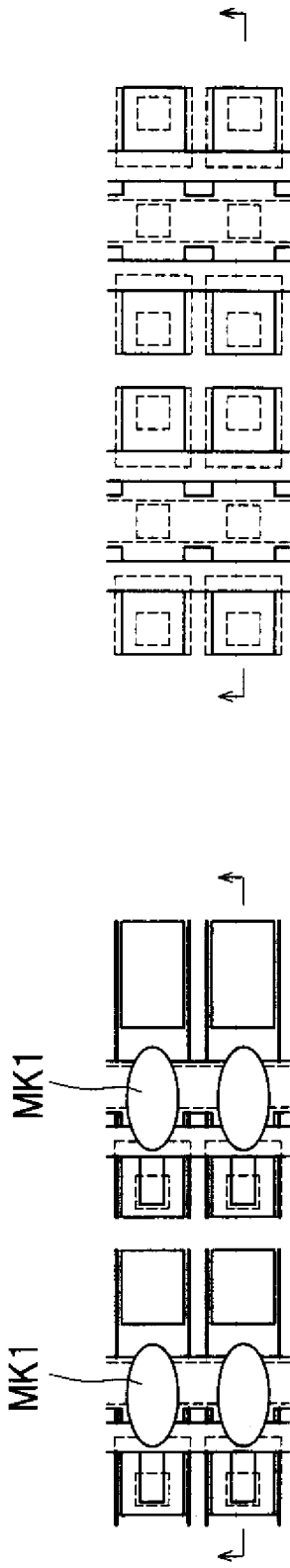


Fig. 10D

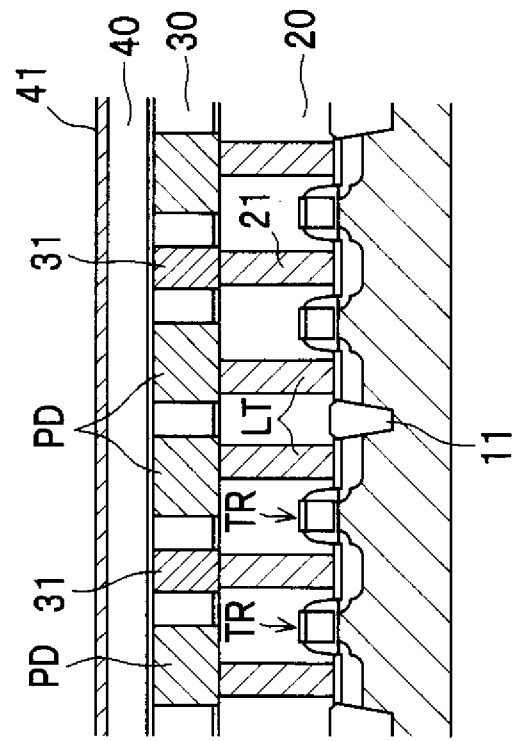
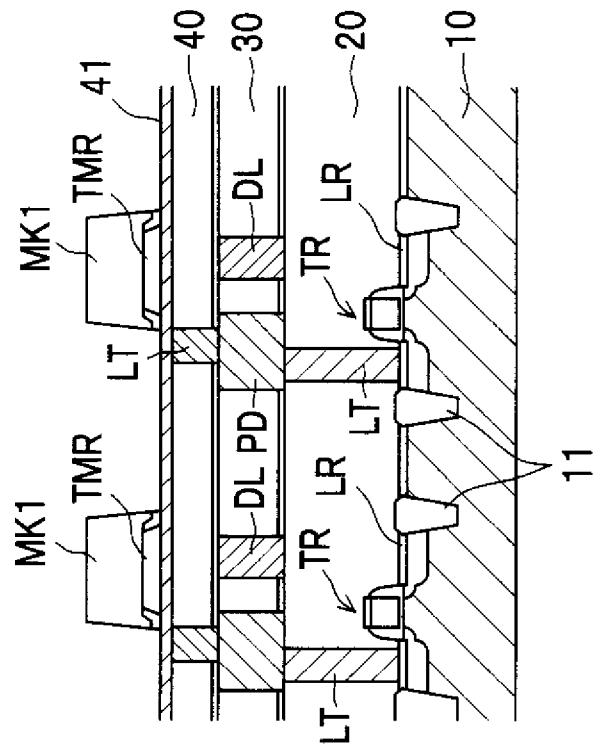


Fig. 10B



[図11]

Fig. 11A

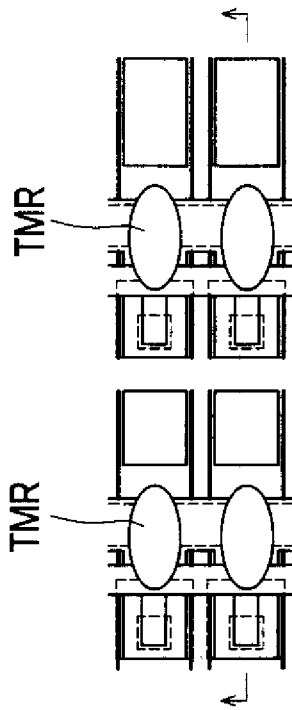


Fig. 11C

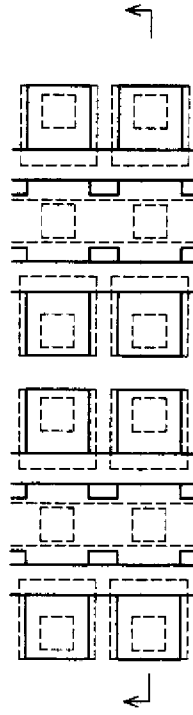


Fig. 11B

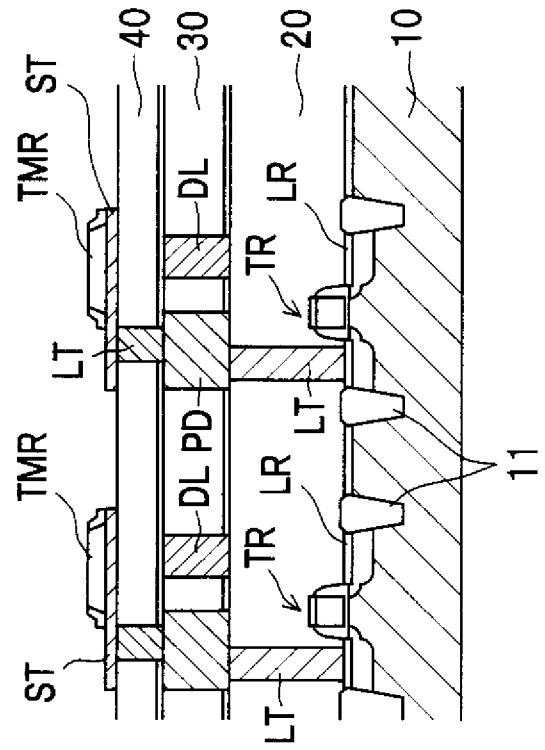
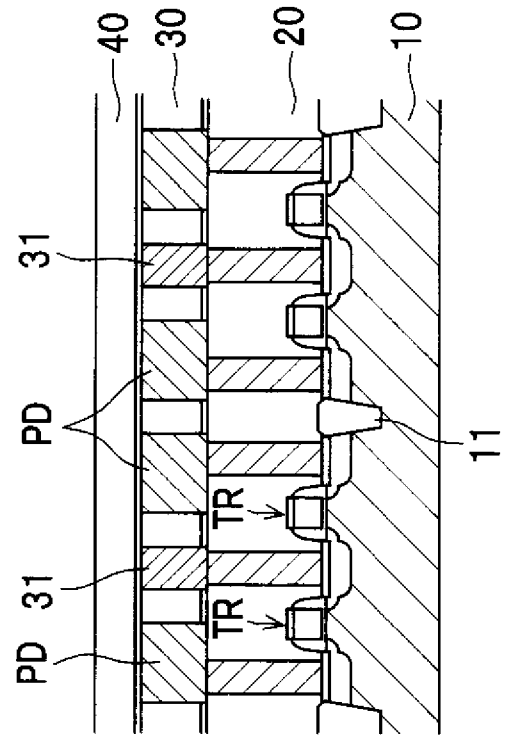


Fig. 11D



[図12]

Fig. 12A

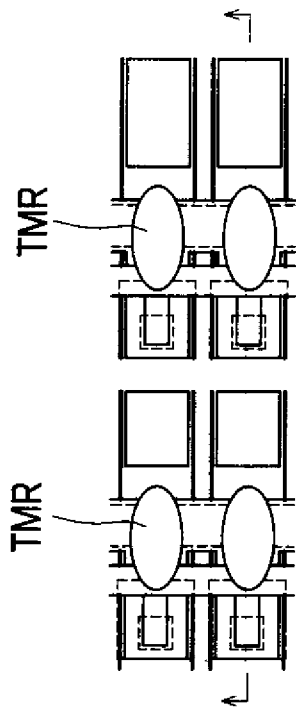


Fig. 12C

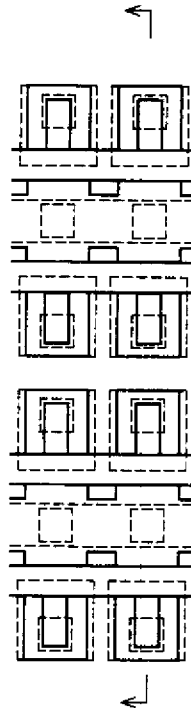


Fig. 12B

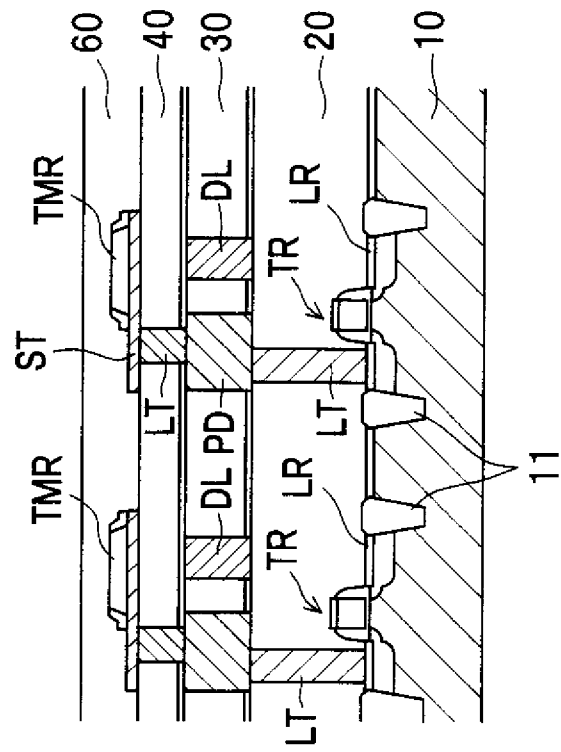
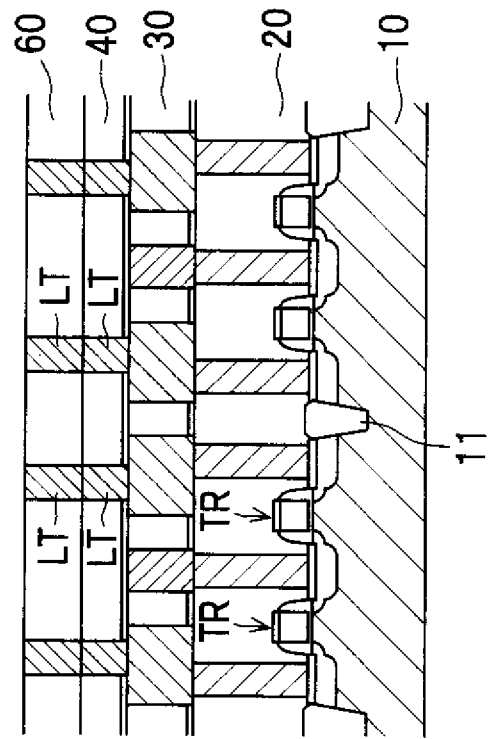


Fig. 12D



[図13]

Fig. 13A

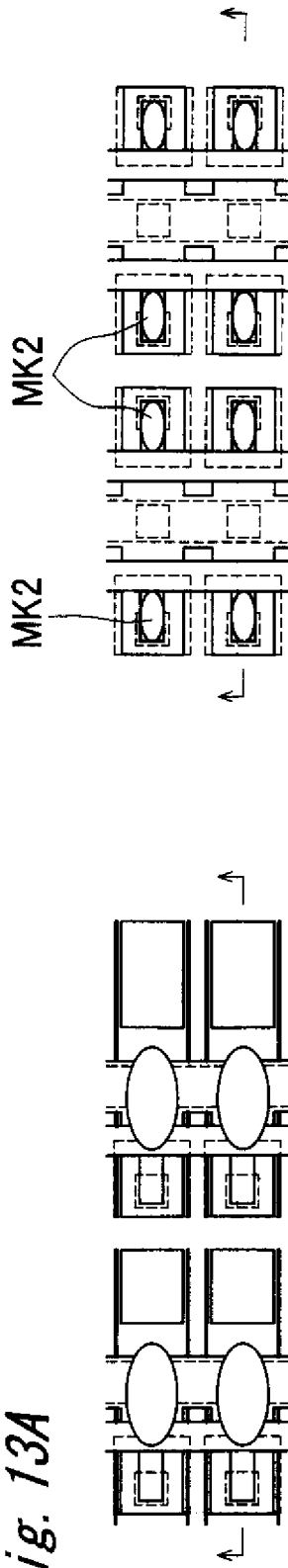


Fig. 13D

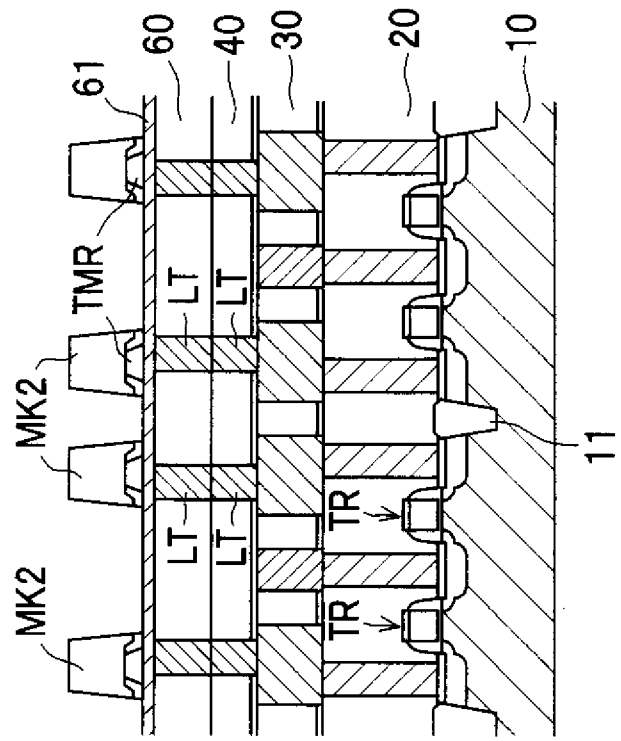
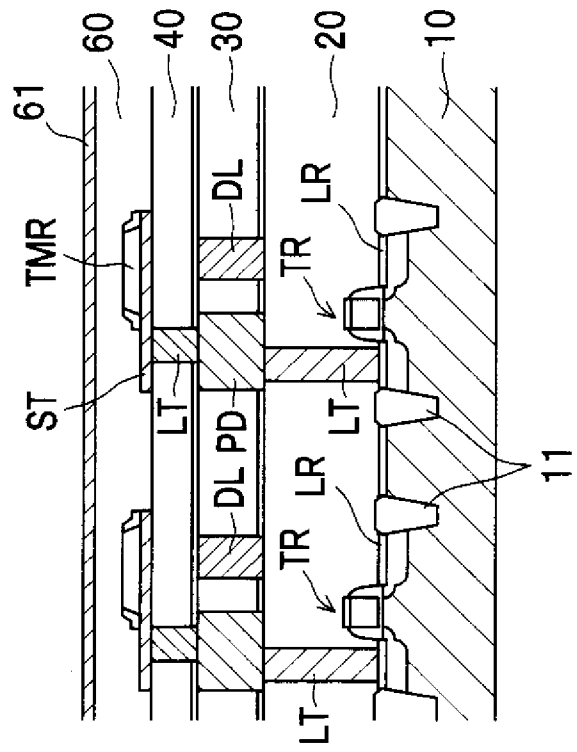


Fig. 13B



[図14]

Fig. 14A

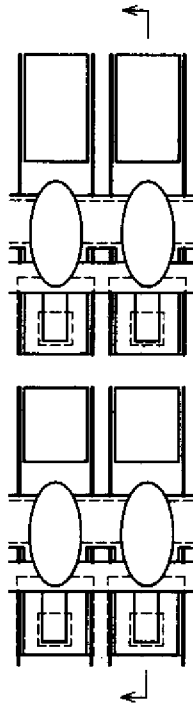


Fig. 14C

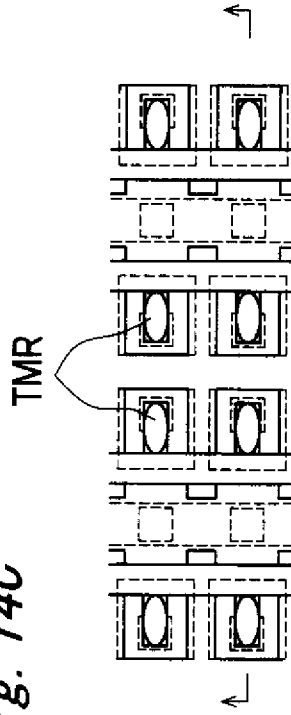


Fig. 14B

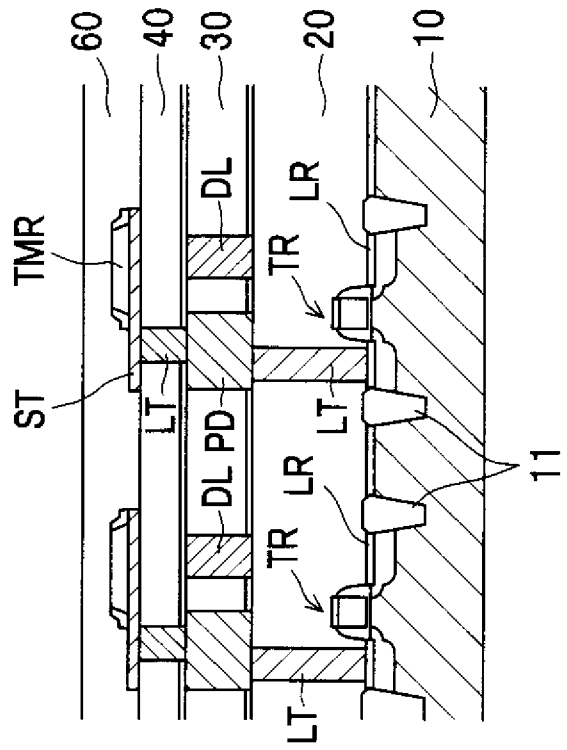
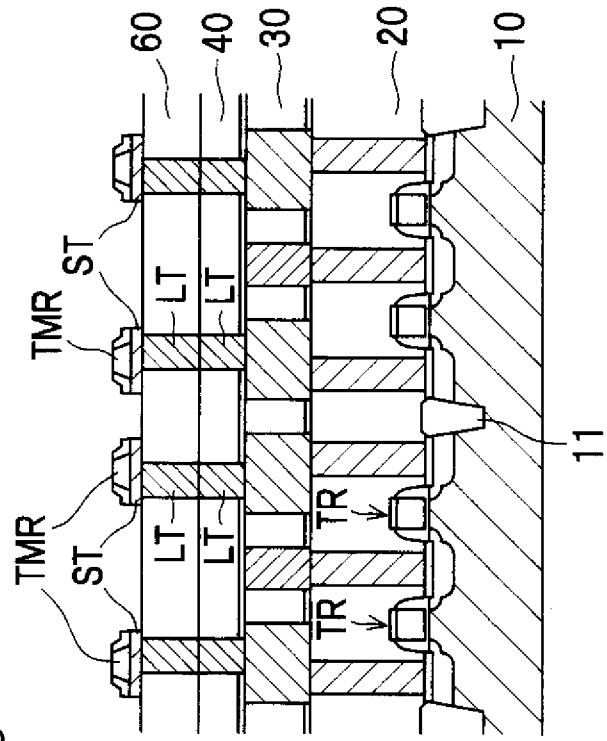


Fig. 14D



[図15]

Fig. 15A

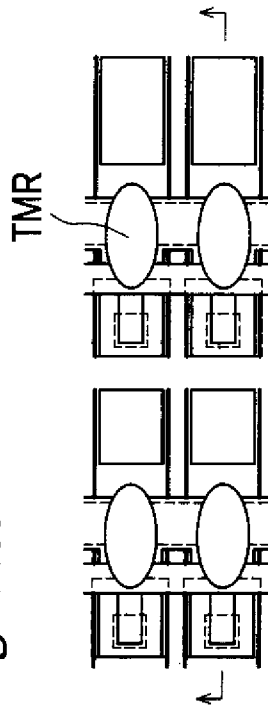


Fig. 15C

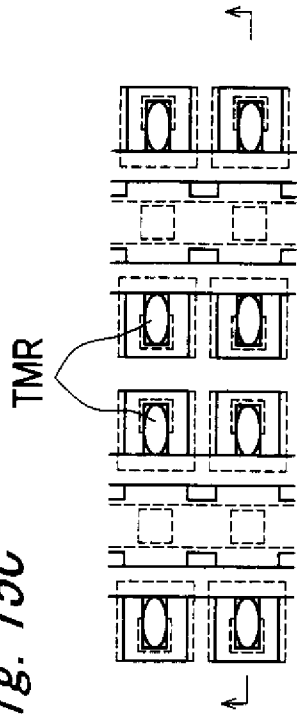


Fig. 15B

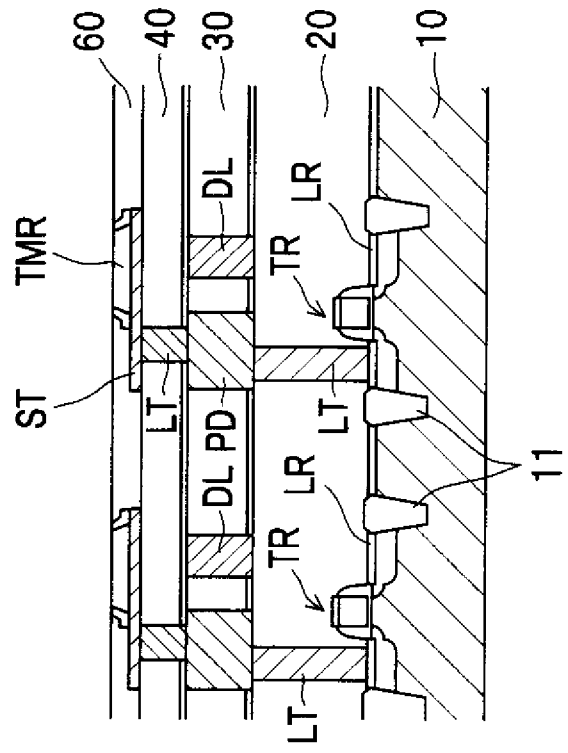
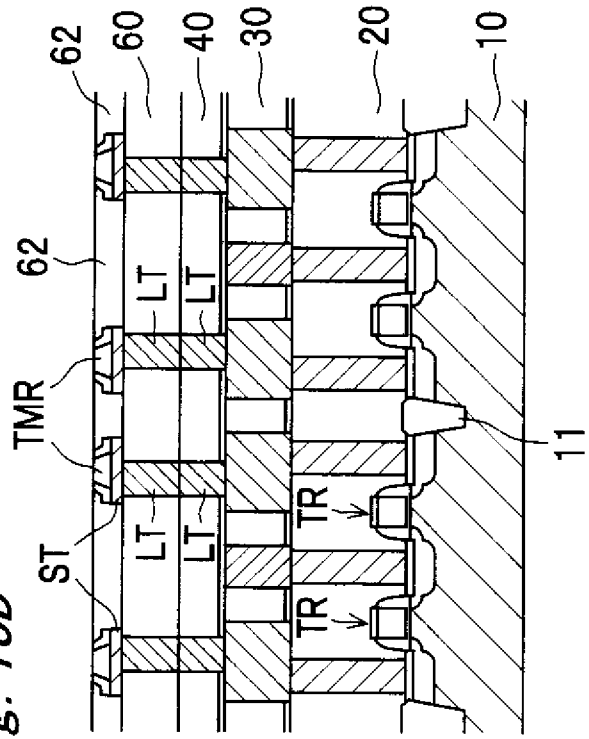


Fig. 15D



[図16]

Fig. 16A

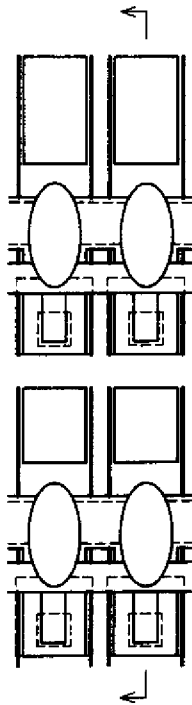


Fig. 16C

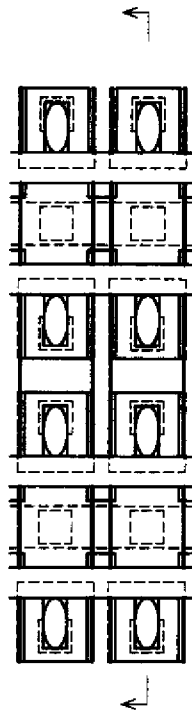


Fig. 16B

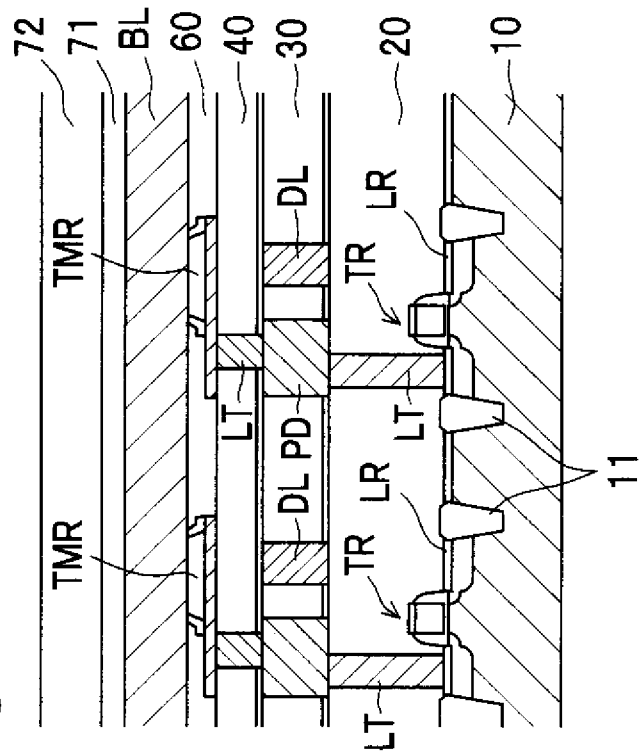
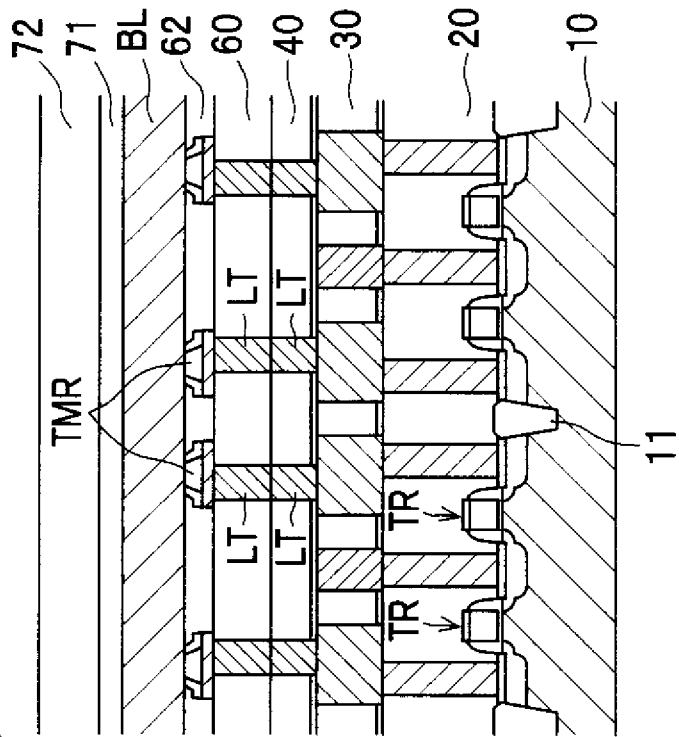


Fig. 16D



[図17]

Fig. 17B

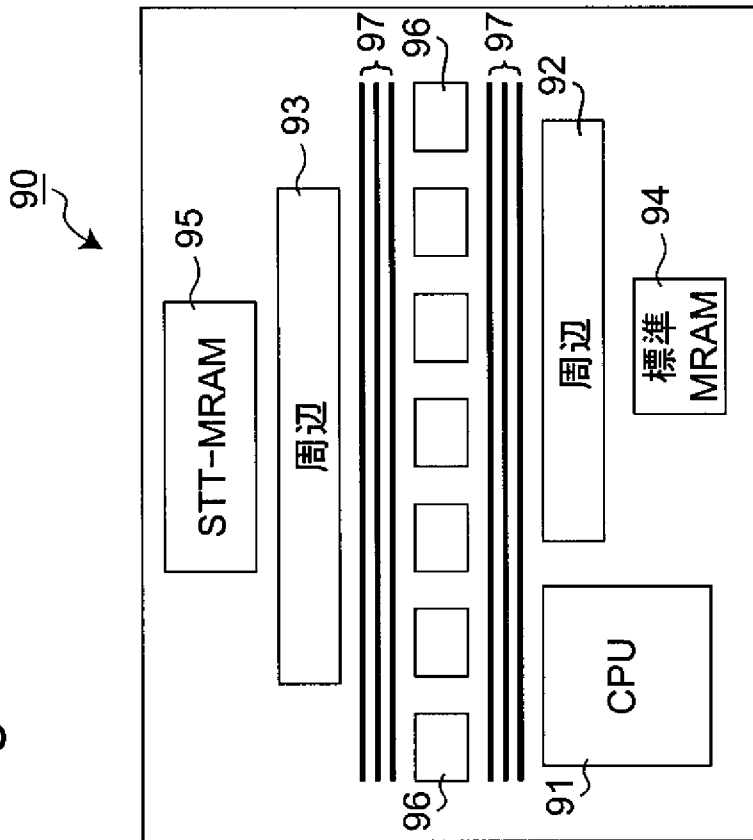
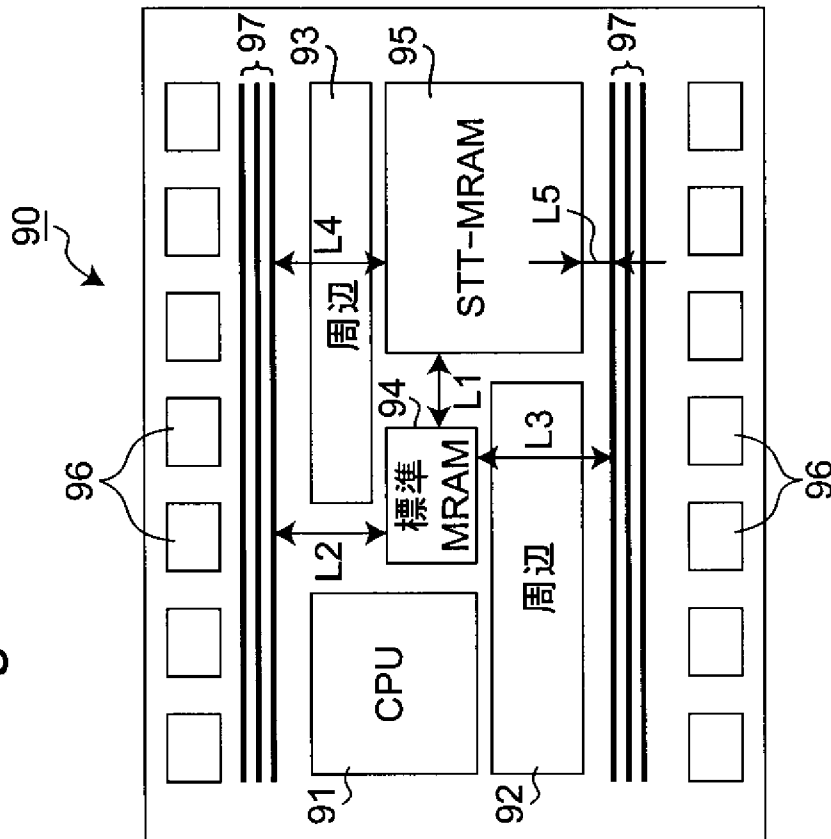


Fig. 17A



[図18]

Fig. 18A

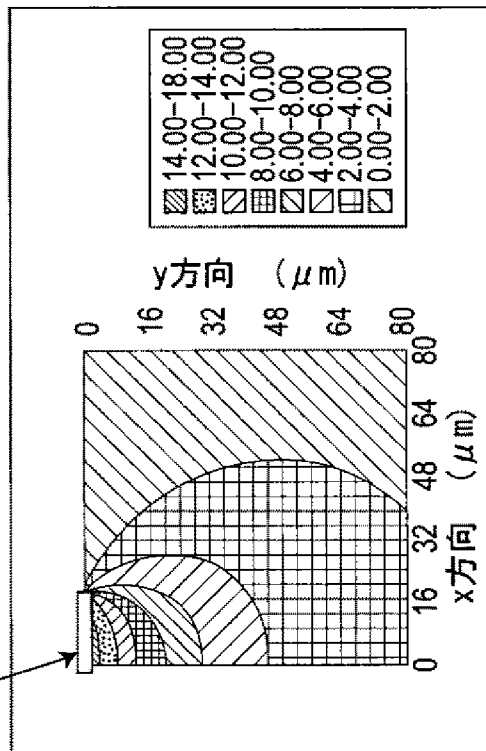
電源配線(w:40 μm , t:1 μm , 100mA)

Fig. 18B

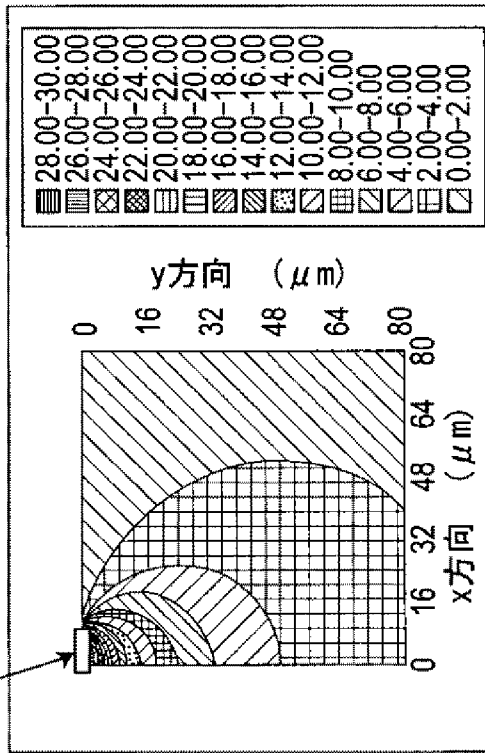
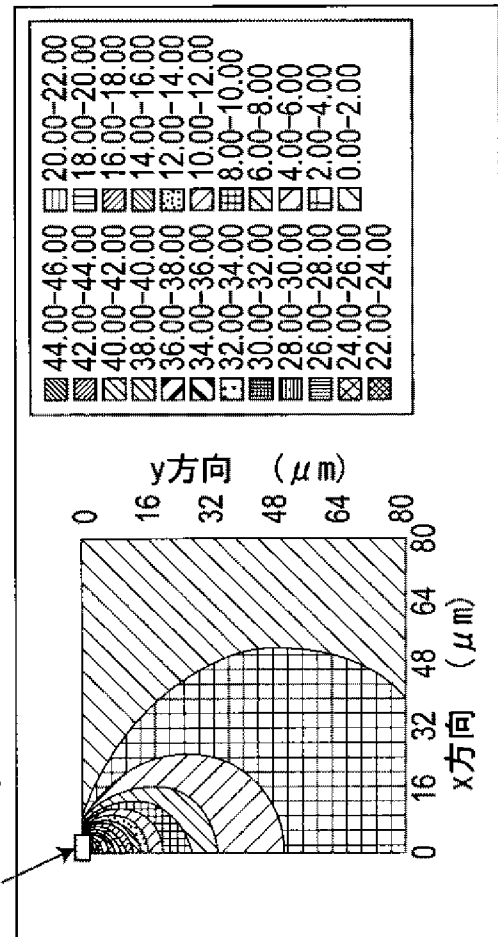
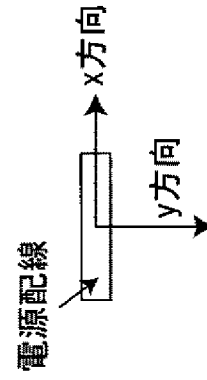
電源配線(w:20 μm , t:1 μm , 100mA)電源配線(w:10 μm , t:1 μm , 100mA)

Fig. 18C

面内方向(x方向)磁界成分の分布



[図19]

Fig. 19A

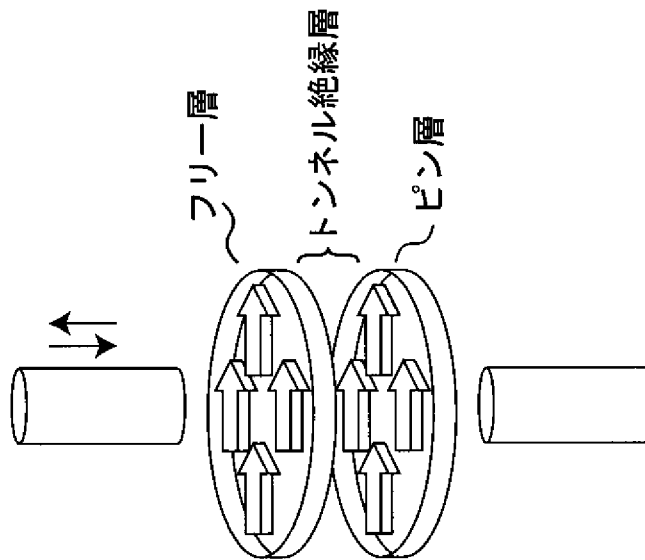


Fig. 19B

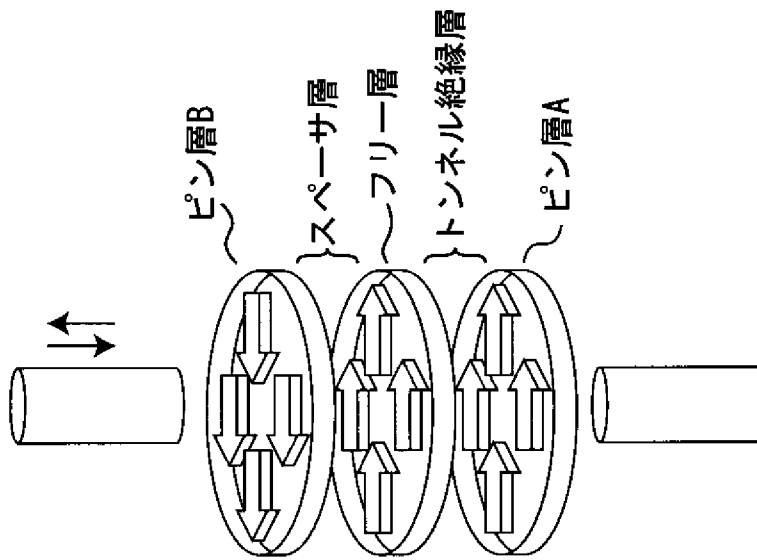
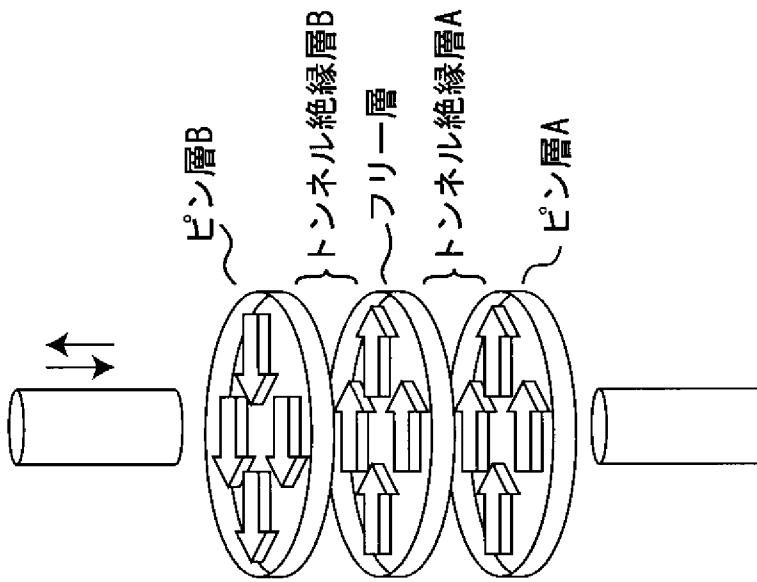
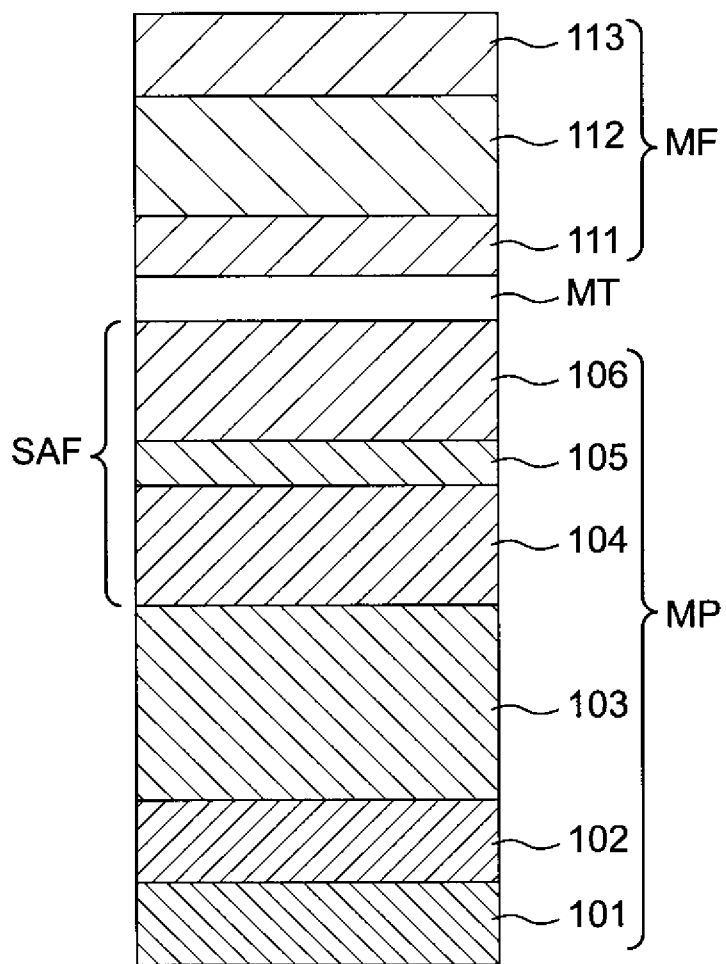


Fig. 19C



[図20]



[図21]

Fig. 21B

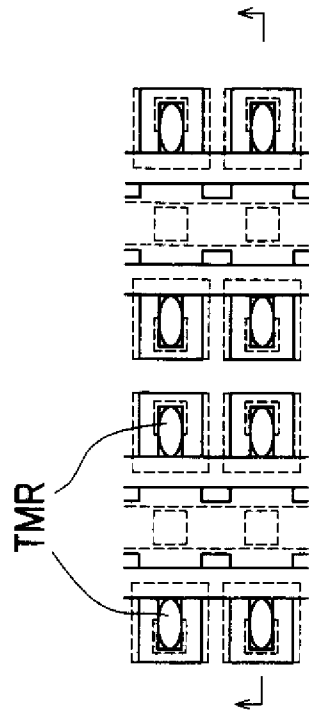
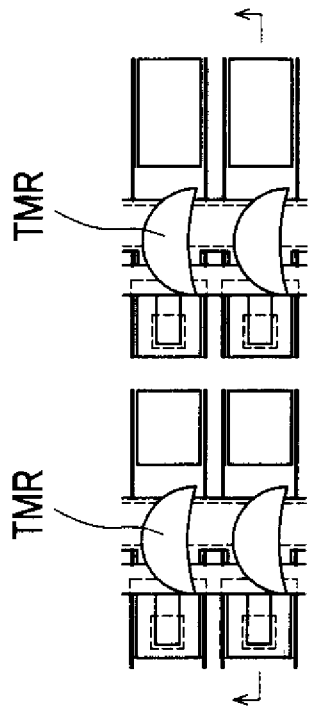


Fig. 21A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053496

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/10(2006.01)i,
H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, G11C11/15, H01L27/10, H01L27/105, H01L29/82, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-080287 A (Toshiba Corp.), 23 March, 2006 (23.03.06), Full text (Family: none)	1, 3-24
Y	JP 2005-277147 A (Tohoku University), 06 October, 2005 (06.10.05), Par. Nos. [0014] to [0022]; Figs. 1 to 4 (Family: none)	1, 3-24
Y	JP 2004-23062 A (NEC Electronics Corp.), 22 January, 2004 (22.01.04), Par. Nos. [0005] to [0015]; Figs. 3, 4, 8 to 10, 12, 13 & US 2003/0235071 A1 & EP 1376599 A2	1, 3-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 May, 2008 (19.05.08)

Date of mailing of the international search report
27 May, 2008 (27.05.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053496

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-101123 A (Sony Corp.), 14 April, 2005 (14.04.05), Par. Nos. [0010], [0019], [0020]; Figs. 1, 7 to 11 & US 2005/0063221 A1	1, 3-24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053496

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See the (extra sheet).

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 3 - 24

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053496

Continuation of Box No.III of continuation of first sheet (2)

Document 1: JP 2006-080287 A (Toshiba Corp.),
23 March, 2006 (23.03.06)

Document 2: JP 2005-277147 A (Tohoku University),
6 October, 2005 (06.10.05)

There must be a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, the group of inventions of claims 1-33 are linked only by the matter, a semiconductor device comprising a magnetic tunnel junction structure including a pin layer, a tunnel insulating layer, and a free layer, and this matter is not novel since it is disclosed in above documents 1, 2. In consequence, since the matter common to claims 1-33 makes no contribution over the prior art, this common matter cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Therefore, the group of inventions of claims 1-33 do not satisfy the requirement of unity of invention, and the claims 1-33 define at least six inventions: the invention of claims [1, 3-24], the invention of claim [2], the invention of claims [25-30], the invention of claim [31], the invention of claim [32], and the invention of claim [33].

Then, the inventions of claims 25-30 will be examined. The matter common to the claims is the one stated in independent claim 25 itself. However, the search has revealed that the matter itself stated in claim 25 is not novel since it is disclosed in above document 2 (see especially paragraphs [0014] - [0022], Figures 1-4).

In consequence, since the matter common to claims 25-30 makes no contribution over the prior art, this common matter cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Therefore, the inventions of claims 25-30 do not satisfy the requirement of unity of invention, and claims 25-30 define five inventions: the invention of claims [25-26], the invention of claim [27], the invention of claim [28], the invention of claim [29], and the invention of claim [30],

As mentioned above, the inventions of claims 1-33 do not satisfy the requirement of unity of invention. Consequently, the claims 1-33 define ten inventions: the invention of claims [1, 3-24], the invention of claim [2], the invention of claims [25-26], the invention of claim [27], the invention of claim [28], the invention of claim [29], the invention of claim [30], the invention of claim [31], the invention of claim [32], and the invention of claim [33].

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/10(2006.01)i, H01L27/105(2006.01)i, H01L29/82(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, G11C11/15, H01L27/10, H01L27/105, H01L29/82, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2006-080287 A（株式会社東芝）2006.03.23, 全文（ファミリーなし）	1, 3-24
Y	JP 2005-277147 A（国立大学法人東北大学）2005.10.06, 段落【0014】－【0022】，第1－4図（ファミリーなし）	1, 3-24

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 5 . 2 0 0 8

国際調査報告の発送日

2 7 . 0 5 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

正山 旭

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 2 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-23062 A (NECエレクトロニクス株式会社) 2004.01.22, 段落【0005】－【0015】, 第3図, 第4図, 第8－10図, 第12図, 第13図 & US 2003/0235071 A1 & EP 1376599 A2	1, 3-24
Y	JP 2005-101123 A (ソニー株式会社) 2005.04.14, 段落【0010】, 【0019】, 【0020】, 第1図, 第7－11図 & US 2005/0063221 A1	1, 3-24

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であって P C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
以下、（特別ページ）参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 3 - 2 4

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

第 1 ページの続葉 (2) 第 III 欄の続き

文献 1 : JP 2006-080287 A (株式会社東芝) 2006. 03. 23

文献 2 : JP 2005-277147 A (国立大学法人東北大学) 2005. 10. 06

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1 - 3 3 に係る一群の発明は、ピン層、トンネル絶縁層及びフリー層を含む磁気トンネル接合構造を有する半導体装置である、という事項でのみ連関していると認めるが、この事項は、上記文献 1、2 に記載されているため、新規でないことが明らかとなった。結果として、請求の範囲 1 - 3 3 に共通な事項は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通な事項は特別な技術的特徴となり得ない。

したがって、請求の範囲 1 - 3 3 に係る一群の発明は、発明の単一性の要件を満たしておらず、請求の範囲 1 - 3 3 には、[1, 3-24]、[2]、[25-30]、[31]、[32] 及び [33] に区分される少なくとも 6 個の発明が記載されている。

続いて、請求の範囲 2 5 - 3 0 について検討すると、これらの請求の範囲に共通な事項は、独立した請求の範囲である請求の範囲 2 5 に記載された構成そのものである。しかしながら、請求の範囲 25 に記載された構成自体は、上記文献 2 (特に、段落【0 0 1 4】 - 【0 0 2 2】、第 1 - 4 図を参照のこと。) に記載されているため、新規でないことが明らかとなった。

結果として、請求の範囲 2 5 - 3 0 に共通な事項は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通な事項は特別な技術的特徴となり得ない。

したがって、請求の範囲 2 5 - 3 0 に係る発明は、発明の単一性の要件を満たしておらず、請求の範囲 2 5 - 3 0 には、[25-26]、[27]、[28]、[29] 及び [30] に区分される 5 個の発明が記載されている。

以上のとおり、請求の範囲 1 - 3 3 に係る発明は、発明の単一性の要件を満たしておらず、結局、請求の範囲 1 - 3 3 には、[1, 3-24]、[2]、[25-26]、[27]、[28]、[29]、[30]、[31]、[32] 及び [33] に区分される 1 0 個の発明が記載されている。