

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月14日(14.04.2022)



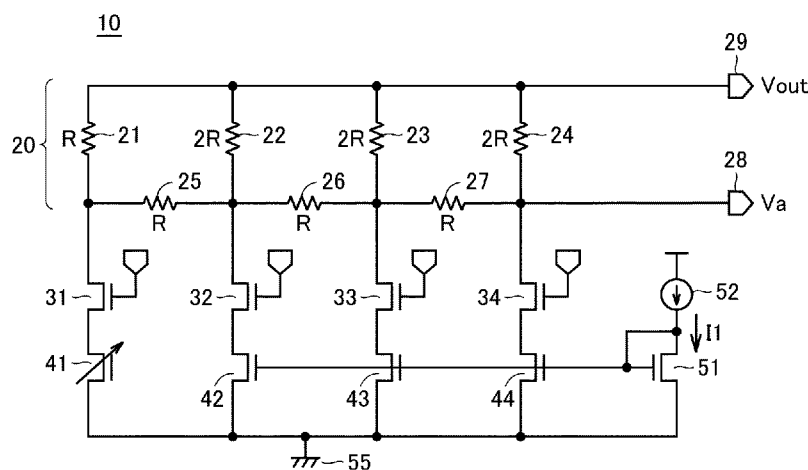
(10) 国際公開番号
WO 2022/074706 A1

- (51) 国際特許分類:
H03M 1/68 (2006.01) *H03M 1/78* (2006.01)
H03M 1/74 (2006.01)
- (21) 国際出願番号: PCT/JP2020/037699
- (22) 国際出願日: 2020年10月5日(05.10.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:大東 睦夫(DAITO, Mutsuo); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

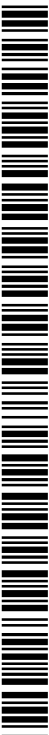
(54) Title: DIGITAL/ANALOG CONVERTER

(54) 発明の名称: デジタルアナログ変換器

[図1]



(57) **Abstract:** This D/A converter (10) converts a digital signal to an analog signal, the D/A converter comprising a binary-type R-2R-type D/A conversion circuit. The R-2R-type D/A conversion circuit includes a resistance circuit network (20) of R-2R ladder circuits, a plurality of current source transistors (42 to 44), and a variable current source (41). The plurality of current source transistors (42 to 44) are provided for each bit of the high-order bits of the digital signal and cause a current corresponding to the states of the high-order bits to flow to the resistance circuit network (20). The variable current source (41) causes a current corresponding to the state of the low-order bits of the digital signal to flow to the resistance circuit network (20). The variable current source (41) is constituted by a binary-type L-2L-type D/A conversion circuit.



WO 2022/074706 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : D/A変換器 (10) は、デジタル信号をアナログ信号に変換するD/A変換器であって、バイナリ型のR-2R型D/A変換回路を備える。R-2R型D/A変換回路は、R-2Rラダー回路の抵抗回路網 (20) と、複数の電流源トランジスタ (42~44) と、可変電流源 (41) とを含む。複数の電流源トランジスタ (42~44) は、デジタル信号の上位ビットのビット毎に設けられ、上位ビットの状態に応じた電流を抵抗回路網 (20) に流す。可変電流源 (41) は、デジタル信号の下位ビットの状態に応じた電流を抵抗回路網 (20) に流す。可変電流源 (41) は、バイナリ型のL-2L型D/A変換回路によって構成される。

明 細 書

発明の名称： デジタルアナログ変換器

技術分野

[0001] 本開示は、デジタルアナログ変換器に関する。

背景技術

[0002] R-2Rラダー抵抗回路を用いてデジタルアナログ変換（以下「D/A（Digital/Analog）変換」と称する。）を行なう、バイナリ型のR-2R型D/A変換器が知られている。このD/A変換器では、高精度なD/A変換を実現するために、デジタル入力信号の上位ビットと下位ビットとで変換回路を分けて構成することが行なわれている（例えば特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-9623号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1に記載のD/A変換器では、上位ビットの変換回路及び下位ビットの変換回路の双方が、バイナリ型のR-2R型D/A変換回路（R-2Rラダー方式による重み付け電流分配方式）によって構成されている。しかしながら、このような重み付け電流分配方式による変換回路では、電流を2のべき乗で変化させる必要があるため、回路を構成するトランジスタのサイズも2のべき乗で大きくする必要がある。そのため、上位ビットの変換回路及び下位ビットの変換回路の双方をバイナリ型のR-2R型D/A変換回路によって構成すると、D/A変換器全体の回路面積が大きくなる。

[0005] 本開示は、かかる問題を解決するためになされたものであり、本開示の目的は、回路面積を抑制しつつ高精度なD/A変換器を提供することである。

課題を解決するための手段

[0006] 本開示のD/A変換器は、デジタル信号をアナログ信号に変換するD/A

変換器であって、バイナリ型のR-2R型D/A変換回路を備える。R-2R型D/A変換回路は、R-2Rラダー回路と、複数の電流源トランジスタと、可変電流源とを含む。複数の電流源トランジスタは、デジタル信号の上位ビットのビット毎に設けられ、上位ビットの状態に応じた電流をR-2Rラダー回路に流す。可変電流源は、デジタル信号の下位ビットの状態に応じた電流をR-2Rラダー回路に流す。可変電流源は、バイナリ型のL-2L型D/A変換回路によって構成される。

発明の効果

[0007] 上記のD/A変換器においては、デジタル信号の上位ビットと下位ビットとで変換回路が分けて構成され、下位ビット側の変換回路は、バイナリ型のL-2L型D/A変換回路によって構成される。このL-2L型D/A変換回路は、回路を構成するトランジスタのサイズを2のべき乗で大きくする必要がないため、回路面積を抑制しつつ高精度なD/A変換器を構成することができる。

図面の簡単な説明

[0008] [図1]実施の形態1に従うD/A変換器の回路構成を示す図である。
[図2]図1に示す可変電流源の構成を示す図である。
[図3]変形例1における可変電流源の構成を示す図である。
[図4]実施の形態2に従うD/A変換器の回路構成を示す図である。
[図5]図4に示す可変電流源の構成を示す図である。
[図6]図4に示す制御部により実行される電流補正処理の手順の一例を示すフローチャートである。
[図7]変形例2における可変電流源の構成を示す図である。

発明を実施するための形態

[0009] 以下、本開示の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0010] 実施の形態1.

図1, 2を参照して、実施の形態1に従うD/A変換器の回路構成を説明する。なお、以下では、6ビット精度の重み付けされた電圧出力を得ることができるD/A変換器について説明するが、ビット数はこれに限定されるものではない。

- [0011] D/A変換器10は、抵抗回路網20と、選択トランジスタ31~34と、可変電流源41と、電流源トランジスタ42~44, 51と、電流源52とを備える。抵抗回路網20は、抵抗値が2Rの抵抗素子22~24と、抵抗値がRの抵抗素子21, 25~27とを含む。このような抵抗回路網20は、R-2Rラダー回路と称される。
- [0012] 選択トランジスタ31~34及び電流源トランジスタ42~44, 51の各々は、N型MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) によって構成される。
- [0013] 選択トランジスタ31のドレイン端子は、抵抗素子21, 25の接続ノードに接続され、選択トランジスタ31のソース端子は、可変電流源41のドレイン側に接続される。選択トランジスタ32のドレイン端子は、抵抗素子22, 25, 26の接続ノードに接続され、選択トランジスタ32のソース端子は、電流源トランジスタ42のドレイン端子に接続される。
- [0014] また、選択トランジスタ33のドレイン端子は、抵抗素子23, 26, 27の接続ノードに接続され、選択トランジスタ33のソース端子は、電流源トランジスタ43のドレイン端子に接続される。選択トランジスタ34のドレイン端子は、抵抗素子24, 27の接続ノードに接続され、選択トランジスタ34のソース端子は、電流源トランジスタ44のドレイン端子に接続される。可変電流源41のソース側、及び電流源トランジスタ42~44のソース端子は、接地ノード55に接続される。
- [0015] 電流源トランジスタ51のドレイン端子及びソース端子は、それぞれ電流源52及び接地ノード55に接続される。電流源トランジスタ51のゲート端子は、電流源トランジスタ51のドレイン端子に接続されている。すなわち、電流源トランジスタ51は、ダイオード接続されている。そして、電流

源トランジスタ42～44のゲート端子は、電流源トランジスタ51のゲート端子及びドレイン端子に接続されている。

[0016] 電流源トランジスタ51及び電流源52は、基準電流I1を生成する基準電流源を構成する。電流源トランジスタ51及び電流源トランジスタ42～44は、カレントミラー回路を構成し、電流源トランジスタ42～44の各々を流れる電流は、基準電流源から複製される。

[0017] 選択トランジスタ32～34は、デジタル入力信号の制御ビット（上位側3ビット）に応じて切り替えられる。選択トランジスタ31は、D/A変換器10によるD/A変換の実行中、常時オンにされる。したがって、この実施の形態1では、選択トランジスタ31は無くてもよい。

[0018] 電流源トランジスタ42～44は、デジタル信号の上位ビットのビット毎に設けられる。選択トランジスタ32～34によって、それぞれ電流源トランジスタ42～44から抵抗回路網20へ電流を流すか否かを切り替えることができる。可変電流源41は、デジタル信号の下位ビットの状態に応じた電流を抵抗回路網20へ流す電流源である。デジタル入力信号の制御ビット（下位側3ビット）に応じて、可変電流源41の電流が段階的に切り替わる。可変電流源41の構成については、後ほど図2で説明する。

[0019] デジタル入力信号に応じて、選択トランジスタ32～34が切り替えられるとともに、可変電流源41の電流が切り替えられ、デジタル入力信号に応じた電流が抵抗回路網20に流れる。そして、デジタル入力信号に応じた電流が抵抗回路網20により電圧に変換され、電圧出力Voutとして端子29から出力される。なお、端子28、29は、図示しない演算増幅器の入力端子及び出力端子にそれぞれ接続される。

[0020] このような回路構成を有するD/A変換器10は、R-2R型D/A変換回路（バイナリ型）と称される。また、ビット毎に電流源トランジスタを有するD/A変換器10は、電流型のD/A変換回路とも称される。

[0021] なお、図1に示されるD/A変換器10は、N型MOSFETによって構成され、N型MOSFETにより接地ノード55に電流を引き抜く回路構成

であるが、P型MOSFETによってD/A変換器10を構成し、電源から回路内に電流を供給する回路構成としてもよい。或いは、N型MOSFETとP型MOSFETとの双方を用いた回路構成を採用してもよい。

[0022] D/A変換器10の動作を説明するにあたり、以下では、まず、可変電流源41が電流源トランジスタ42~44と同様のトランジスタによって構成されると仮定した場合のD/A変換動作について説明する。なお、この仮定の回路構成についての以下の説明では、可変電流源41を電流源トランジスタ41と称する。

[0023] 電流源トランジスタ41は、電流源トランジスタ42~44と同一サイズであり、そのゲート端子は、電流源トランジスタ42~44と同様に、電流源トランジスタ51のゲート端子及びドレイン端子に接続される。

[0024] 電流源トランジスタ41~44の各々のサイズが電流源トランジスタ51のサイズと同一である場合、電流源トランジスタ51及び電流源52により生成される基準電流 I_1 が電流源トランジスタ41~44に複製される。選択トランジスタ31~34がそれぞれ制御ビット b_2 ~ b_5 に応じて駆動されるとすると、抵抗回路網20による電圧変換により得られる4ビット精度の電圧出力 V_{out} は、次式にて示される。

[0025]
$$V_{out} = V_a + R \times I_1 \times b_5 + R \times I_1 / 2 \times b_4 + R \times I_1 / 4 \times b_3 + R \times I_1 / 8 \times b_2 \quad \dots (1)$$

次に、電流源トランジスタ41が可変電流源であり、可変電流源の電流を可変とする場合について考える。可変電流源の電流を I_v とし、選択トランジスタ31がオンで固定されているとすると($b_2 = 1$)、上記の式(1)は以下のように変形される。

[0026]
$$V_{out} = V_a + R \times I_1 \times b_5 + R \times I_1 / 2 \times b_4 + R \times I_1 / 4 \times b_3 + R \times I_v / 8 \quad \dots (2)$$

ここで、可変電流源が電流型のD/A変換回路(バイナリ型)によって構成されるものとし、制御ビット b_0 ~ b_2 に応じて可変電流源が電流 I_v を3ビット精度で可変するものとする、電流 I_v は、次式によって示される

。

$$[0027] \quad I_v = I_1 \times b_2 + I_1 / 2 \times b_1 + I_1 / 4 \times b_0 \quad \dots (3)$$

式(3)を式(2)に代入すると、次式が得られる。

$$[0028] \quad V_{out} = V_a + R \times I_1 \times b_5 + R \times I_1 / 2 \times b_4 + R \times I_1 / 4 \times b_3 + R \times I_1 / 8 \times b_2 + R \times I_1 / 16 \times b_1 + R \times I_1 / 32 \times b_0 \quad \dots (4)$$

この式(4)から、制御ビット $b_0 \sim b_5$ に応じた、6ビット精度の重み付けされた電圧出力 V_{out} が得られることが理解できる。

[0029] 図1に示されるD/A変換器10では、デジタル入力信号の上位ビットと下位ビットとで変換回路を分けて構成し、下位ビットについて、可変電流源41によりD/A変換が行なわれる。このように、上位ビットと下位ビットとを分けてD/A変換を行なうことにより、高精度なD/A変換を実現することができる。

[0030] しかしながら、式(3)から分かるように、可変電流源41は、基準電流 I_1 よりも小さい電流を生成する必要がある。このような電流を生成するために、仮に可変電流源41についても重み付け電流分配方式の回路構成とすると、電流を2のべき乗で変化させる必要があるため、回路を構成するトランジスタのサイズも2のべき乗で大きくする必要がある。そのため、D/A変換器全体の回路面積が大きくなる。

[0031] そこで、本実施の形態1に従うD/A変換器10では、可変電流源41は、バイナリ型のL-2L型D/A変換回路によって構成される。L-2L型D/A変換回路は、以下に示すように、回路を構成するトランジスタのサイズを2のべき乗で大きくすることなく、電流を段階的に可変とすることができる。

[0032] 図2を参照して、可変電流源41の回路構成を説明する。可変電流源41は、トランジスタ61、71~76と、電流源62と、選択スイッチ81~83とを備える。

[0033] トランジスタ61、71~76の各々は、N型MOSFETによって構成

される。トランジスタ71のドレイン端子は、選択スイッチ81に接続され、トランジスタ71のソース端子は、接地ノード85に接続される。トランジスタ72のドレイン端子は、選択スイッチ82に接続され、トランジスタ72のソース端子は、トランジスタ75、76の接続ノードに接続される。

[0034] また、トランジスタ73のドレイン端子は、選択スイッチ83に接続され、トランジスタ73のソース端子は、トランジスタ74、76の接続ノードに接続される。トランジスタ74のドレイン端子は、端子91に接続され、トランジスタ74のソース端子は、トランジスタ76のドレイン端子に接続される。トランジスタ75は、トランジスタ71、72のソース端子間に接続され、トランジスタ76は、トランジスタ72、73のソース端子間に接続される。

[0035] トランジスタ61のドレイン端子及びソース端子は、それぞれ電流源62及び接地ノード85に接続される。トランジスタ61のゲート端子は、トランジスタ61のドレイン端子に接続されている。すなわち、トランジスタ61は、ダイオード接続されている。そして、トランジスタ71~74のゲート端子は、トランジスタ61のゲート端子及びドレイン端子に接続されている。

[0036] トランジスタ61及び電流源62は、基準電流 I_2 を生成する基準電流源を構成する。トランジスタ61及びトランジスタ71~74は、カレントミラー回路を構成し、トランジスタ71~74の各々を流れる電流は、基準電流源から複製される。

[0037] 選択スイッチ81~83は、デジタル入力信号の制御ビット（下位側3ビット）に応じて切り替えられ、端子90に流す出力電流 I_{out} を制御する。具体的には、選択スイッチ81は、対応の制御ビットが1である場合に、トランジスタ71のドレイン端子を端子90に接続する。また、選択スイッチ82は、対応の制御ビットが1である場合に、トランジスタ72のドレイン端子を端子90に接続し、選択スイッチ83は、対応の制御ビットが1である場合に、トランジスタ73のドレイン端子を端子90に接続する。

[0038] なお、端子91及びその出力電流 $|c a|$ は、後述の実施の形態2で用いられ、本実施の形態1では用いられないため、本実施の形態1では、端子91は、図示しない適当な抵抗素子を通じて電源に接続される。

[0039] トランジスタ75, 76の各々は、トランジスタ71~74の各々に対して、2倍のゲート幅(W)若しくは1/2のゲート長(L)、又は2倍のトランジスタ数(並列接続)を有する。このような回路構成を有するD/A変換回路は、L-2L型D/A変換回路(バイナリ型)と称される。

[0040] ゲート幅W及びゲート長Lのトランジスタを流れる電流Iは、次式によって表される。

$$I = \mu \times C_{ox} \times W / L (V_{gs} - V_{th})^2 \dots (5)$$

なお、 μ は移動度、 C_{ox} はゲート容量、 V_{gs} はゲートソース間電位、 V_{th} はしきい値電圧である。式(5)から分かるように、同一サイズのトランジスタを2つ並列に接続すると、トランジスタのゲート幅(W)が加算されたトランジスタと同等とみなせるため、流れる電流は2倍となる。したがって、例えば、ゲート幅W及びゲート長L(以下「W/L」と称する。)のトランジスタ73, 74は、並列に接続されていることから、ゲート幅2W及びゲート長L(以下「2W/L」と称する。)のトランジスタと同等とみなすことができる。

[0041] 他方、同一サイズのトランジスタを2つ直列に接続すると、トランジスタのゲート長(L)が加算されたトランジスタと同等とみなせるため、流れる電流は1/2倍となる。したがって、例えば、並列接続されたトランジスタ73, 74は、2W/Lのトランジスタ76と直列に接続されていることから、3つのトランジスタ73, 74, 76は、W/Lのサイズを有する1つのトランジスタと同等とみなすことができる。

[0042] なお、上記の関係は、トランジスタに電流が流れている場合に成立するため、トランジスタ71~76には、常に電流を流す必要がある。そのため、選択スイッチ81~83は、トランジスタ71~76に常に電流が流れ続けるように制御される。

[0043] 上記のような回路構成により、トランジスタ61及び電流源62により生成される基準電流を I_2 として、可変電流源41の出力電流 I_{out} は、次式によって示される。

$$[0044] \quad I_{out} = I_2 \times b_2 + I_2 / 2 \times b_1 + I_2 / 4 \times b_0 \quad \dots (6)$$

$b_2 \sim b_0$ は、それぞれ選択スイッチ81～83の制御ビットである。基準電流 I_2 が基準電流 I_1 （図1）に等しいとすると、式（6）は、上記の式（3）と同じになる。したがって、基準電流 I_2 が基準電流 I_1 に等しくなるようにトランジスタ61及び電流源62を構成することにより、図1に示したD/A変換器10によって、6ビット精度の重み付けされた電圧出力 V_{out} を得ることができる。

[0045] このような $L-2L$ 型D/A変換回路によって構成される可変電流源41は、電流を2のべき乗で変化させるためにトランジスタのサイズを2のべき乗で大きくする必要がないため、回路面積を抑制することができる。

[0046] 以上のように、この実施の形態1においては、デジタル信号の上位ビットと下位ビットとでD/A変換部が分けて構成され、下位ビット側のD/A変換を行なう可変電流源41がバイナリ型の $L-2L$ 型D/A変換回路によって構成される。この $L-2L$ 型D/A変換回路は、回路を構成するトランジスタのサイズを2のべき乗で大きくする必要がないため、この実施の形態1によれば、回路面積を抑制しつつ高精度なD/A変換器10を構成することができる。

[0047] 変形例1.

上記の実施の形態1では、可変電流源41において、基準電流 I_2 が基準電流 I_1 に等しくなるように基準電流源のトランジスタ61及び電流源62を構成するものとしたが、図3に示される可変電流源41Aのように、トランジスタ71～74のサイズを電流源トランジスタ51のサイズと揃えたうえで、電流源トランジスタ51及び電流源52（図1）により生成されるバイアス電圧をトランジスタ71～74のバイアス電圧として受けるようにしてもよい。

[0048] これにより、可変電流源において、電流源トランジスタ51及び電流源52とは別に基準電流源を別途設ける必要がないので、回路面積をさらに抑制することができる。

[0049] 実施の形態2.

上記のD/A変換器10では、抵抗回路網20の抵抗素子や、可変電流源41、電流源トランジスタ42~44、51等の製造ばらつきにより、D/A変換精度が悪化する可能性がある。特に、D/A変換器10は、上位ビットと下位ビットとを分けてD/A変換を行なうため、下位ビットが全て1から全て0（又は全て0から全て1）に変化する場合に、上位ビットと下位ビットとの境界において変換精度に対する影響が大きい。

[0050] すなわち、各種素子の製造ばらつきにより、下位ビットのD/A変換を行なう可変電流源41（図2）における基準電流I2と、電流源トランジスタ51及び電流源52（図1）により生成される基準電流I1とに誤差が生じると、上記の式（6）に示した電流Ioutと、式（3）に示した電流Ivとに誤差が生じる。そうすると、式（4）の出力Voutに誤差が生じ、その誤差が大きくなると、デジタル入力信号に対する電圧出力Voutの単調増加性（或いは単調減少性）が損なわれる可能性がある。

[0051] そこで、本実施の形態2では、下位ビットの変換を行なう可変電流源41の電流出力を用いて、上位ビットの変換に用いる基準電流I1が補正される。これにより、上位ビットと下位ビットとの境界において変換精度が悪化するのを抑制する。

[0052] 図4、図5を参照して、実施の形態2に従うD/A変換器の回路構成を説明する。実施の形態2に従うD/A変換器10Aは、図1に示したD/A変換器10の構成において、電流源52に代えて可変電流源102を備え、電流比較器104と、制御部106とをさらに備える。

[0053] 電流比較器104の入力端子の一方は、可変電流源41の端子91（図2）に接続され、電流比較器104の入力端子の他方は、電流源トランジスタ42のドレイン端子に接続される。

- [0054] 電流比較器104は、選択トランジスタ31、32がオフであるときに、可変電流源41の端子91から出力される電流 I_{ca} と、電流源トランジスタ42に流れる電流とを比較し、その比較結果を制御部106へ出力する。このとき、可変電流源41（図2）では、電流 I_{ca} が最大となるように選択スイッチ81～83の制御ビットが設定される。下位ビットの変換を行なう可変電流源41の最大電流と、上位ビットの変換部における最小電流（電流源トランジスタ42に流れる電流）とが同じになるように、可変電流源102を調整するためである。
- [0055] 電流比較器104の比較結果は、制御部106へ出力される。制御部106は、電流比較器104の比較結果に基づいて可変電流源102を制御する。具体的には、電流源トランジスタ42のゲート端子は、電流源トランジスタ51のゲート端子及び可変電流源102に接続されているため、可変電流源102の出力電流を調整（補正）することで、電流源トランジスタ42に流れる電流を調整することができる。
- [0056] そして、制御部106は、可変電流源41からの電流 I_{ca} （可変電流源41の最大電流）と電流源トランジスタ42に流れる電流との差が小さくなるように、電流比較器104の出力に基づいて可変電流源102を制御する。これにより、上位ビットと下位ビットとの境界においてD/A変換精度が悪化するのを抑制することができる。
- [0057] 図5を参照して、図4に示した可変電流源102の回路構成を説明する。可変電流源102は、可変電流源110と、トランジスタ152、154とを備える。可変電流源110は、トランジスタ121、131～136と、電流源122と、スイッチ141～143とを備える。
- [0058] 可変電流源110は、図2に示した可変電流源41と同様の回路構成を有する。すなわち、可変電流源110も、バイナリ型のL-2L型D/A変換回路である。
- [0059] この可変電流源110では、スイッチ141～143は、制御部106によって切り替えられ、電流源トランジスタ51（図4）に流す電流 I_{out}

2を制御する。スイッチ141～143は、対応の制御ビットが1である場合に、それぞれトランジスタ131～133のドレイン端子をトランジスタ152のドレイン端子に接続する。

[0060] トランジスタ152, 154の各々は、P型MOSFETによって構成される。トランジスタ152のドレイン端子には、スイッチ141～143の各出力が接続される。トランジスタ152のゲート端子は、トランジスタ152のドレイン端子に接続される。すなわち、トランジスタ152は、ダイオード接続されている。

[0061] トランジスタ154のゲート端子は、トランジスタ152のゲート端子及びドレイン端子に接続される。トランジスタ152, 154は、PMOS型のカレントミラー回路を構成し、可変電流源110で生成される電流は、トランジスタ152, 154により複製されて、端子156から電流 I_{out2} として出力される。

[0062] そして、電流源トランジスタ51に供給される電流 I_{out2} は、電流源トランジスタ42に複製され、電流源トランジスタ42に流れる電流が、電流比較器104により可変電流源41の電流 I_{cal} と比較される。

[0063] 図6を参照して、図4に示した制御部106により実行される電流補正処理の手順の一例について説明する。制御部106は、まず、選択トランジスタ31, 32(図4)をオフにする(ステップS10)。

[0064] 次に、制御部106は、可変電流源41(図4)の選択スイッチ81～83(図2)の制御ビットを全て0に設定する(ステップS20)。これにより、トランジスタ71～73を流れる電流は、全て端子91に供給される。すなわち、制御部106は、可変電流源41から出力される電流 I_{cal} が最大となるように、選択スイッチ81～83を制御する。

[0065] そして、制御部106は、電流比較器104の比較結果に基づいて、可変電流源102のスイッチ141～143(図5)を制御する(ステップS30)。具体的には、制御部106は、電流比較器104の比較結果に基づいて、可変電流源41からの電流 I_{cal} と電流源トランジスタ42に流れる

電流との差が小さくなるように、スイッチ141～143を制御する。

[0066] このように、下位ビットのD/A変換を行なう可変電流源41の最大電流と、上位ビットのD/A変換における最小電流（電流源トランジスタ42に流れる電流）との差が小さくなるように、制御部106により可変電流源102を制御することで、上位ビットと下位ビットとの境界におけるD/A変換精度の悪化を抑制することができる。

[0067] 変形例2.

上記の実施の形態2では、可変電流源102において、可変電流源110は、トランジスタ121及び電流源122によりバイアス電圧を内部で生成しているが、図7に示される可変電流源102Aのように、可変電流源41（図2）の基準電流源を構成するトランジスタ61及び電流源62により生成されるバイアス電圧を可変電流源110Aのトランジスタ131～134のバイアス電圧として受けるようにしてもよい。

[0068] これにより、可変電流源において、トランジスタ61及び電流源62とは別に基準電流源を別途設ける必要がないので、回路面積をさらに抑制することができる。

[0069] なお、上記の実施の形態2及び変形例2では、可変電流源110、110Aは、N型MOSFETで構成されるものとしたが、P型MOSFETで構成してもよい。可変電流源110、110AをP型MOSFETで構成することにより、トランジスタ152、154で電流を複製することなく、電流源トランジスタ51へ電流I_{out2}を供給することができる。

[0070] 今回開示された各実施の形態は、技術的に矛盾しない範囲で適宜組合わせて実施することも予定されている。そして、今回開示された実施の形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本開示により示される技術的範囲は、上記した実施の形態の説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図される。

符号の説明

[0071] 10, 10A D/A変換器、20 抵抗回路網、21~27 抵抗素子、28, 29, 90, 91, 156 端子、31~34 選択トランジスタ、41, 41A, 102, 102A, 110, 110A 可変電流源、42~44, 51 電流源トランジスタ、52, 62, 122 電流源、55, 85 接地ノード、61, 71~76, 121, 131~136, 152, 154 トランジスタ、81~83 選択スイッチ、104 電流比較器、106 制御部、141~143 スイッチ。

請求の範囲

- [請求項1] デジタル信号をアナログ信号に変換するデジタルアナログ変換器であって、
- バイナリ型のR-2R型D/A変換回路を備え、
- 前記R-2R型D/A変換回路は、
- R-2Rラダー回路と、
- 前記デジタル信号の上位ビットのビット毎に設けられ、前記上位ビットの状態に応じた電流を前記R-2Rラダー回路に流す複数の第1の電流源トランジスタと、
- 前記デジタル信号の下位ビットの状態に応じた電流を前記R-2Rラダー回路に流す第1の可変電流源とを含み、
- 前記第1の可変電流源は、バイナリ型の第1のL-2L型D/A変換回路によって構成される、デジタルアナログ変換器。
- [請求項2] 前記R-2R型D/A変換回路は、基準電流源を含み、
- 前記複数の第1の電流源トランジスタを流れる電流は、前記基準電流源から複製され、
- 前記第1のL-2L型D/A変換回路は、前記下位ビットのビット毎に設けられる複数の第2の電流源トランジスタを含み、
- 前記複数の第2の電流源トランジスタを流れる電流は、前記基準電流源から複製される、請求項1に記載のデジタルアナログ変換器。
- [請求項3] 前記R-2R型D/A変換回路は、基準電流源である第2の可変電流源を含み、
- 前記複数の第1の電流源トランジスタを流れる電流は、前記第2の可変電流源から複製され、
- 前記デジタルアナログ変換器は、さらに、前記上位ビットの最下位ビットに対応する第1の電流源トランジスタを流れる電流と、前記第1の可変電流源の最大電流との差が小さくなるように、前記第2の可変電流源を制御する制御部を備える、請求項1に記載のデジタルアナ

ログ変換器。

[請求項4]

前記上位ビットの最下位ビットに対応する第1の電流源トランジスタを流れる電流と、前記第1の可変電流源の最大電流とを比較する比較器をさらに備え、

前記制御部は、前記比較器の比較結果に基づいて前記第2の可変電流源を制御する、請求項3に記載のデジタルアナログ変換器。

[請求項5]

前記第1のL-2L型D/A変換回路は、

基準電流源と、

前記デジタル信号の下位ビットのビット毎に設けられる複数の第2の電流源トランジスタとを含み、

前記複数の第2の電流源トランジスタを流れる電流は、前記基準電流源から複製され、

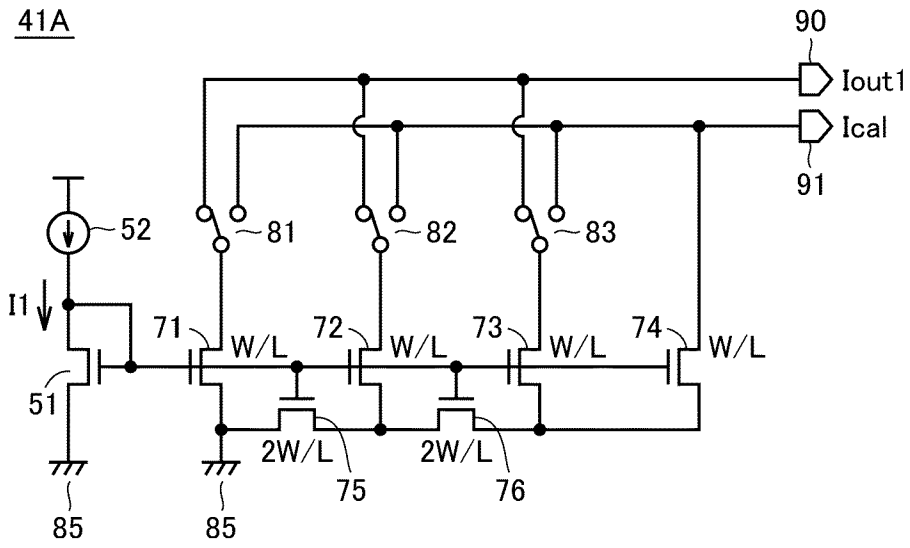
前記第2の可変電流源は、バイナリ型の第2のL-2L型D/A変換回路によって構成され、

前記第2のL-2L型D/A変換回路は、複数の第3の電流源トランジスタを含み、

前記複数の第3の電流源トランジスタを流れる電流は、前記基準電流源から複製される、請求項3又は請求項4に記載のデジタルアナログ変換器。

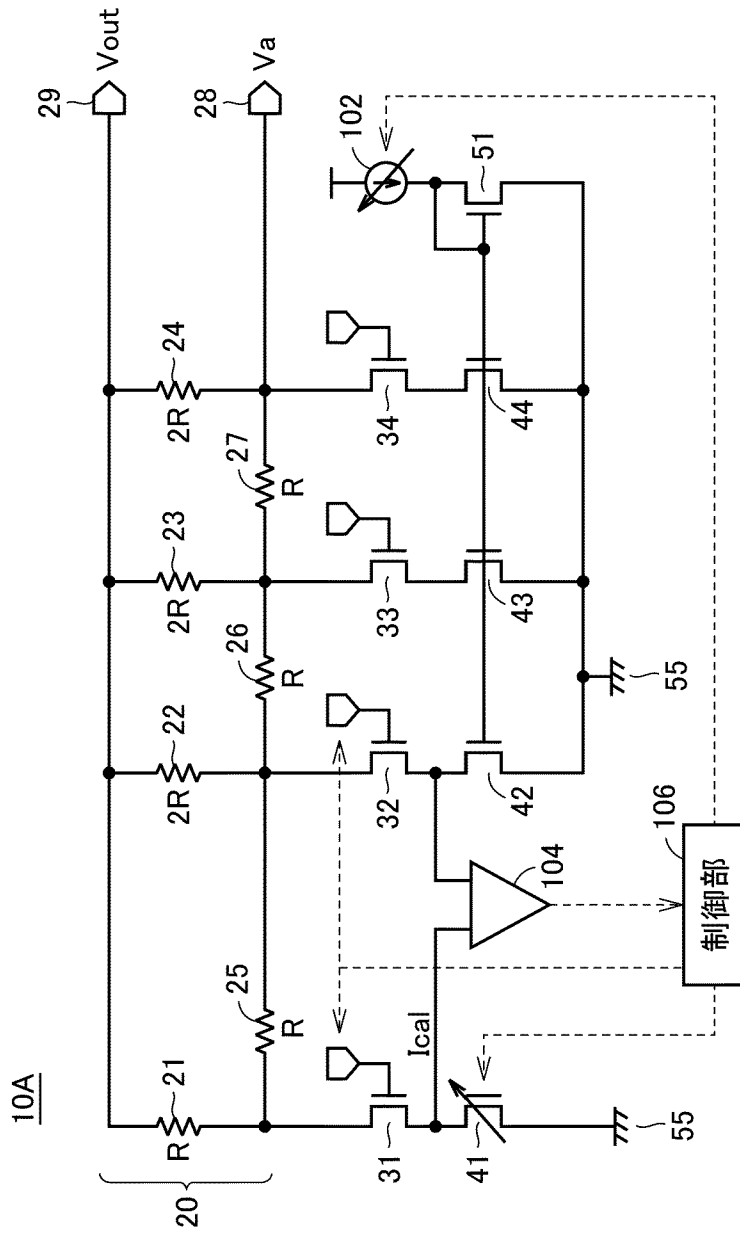
[図3]

図3



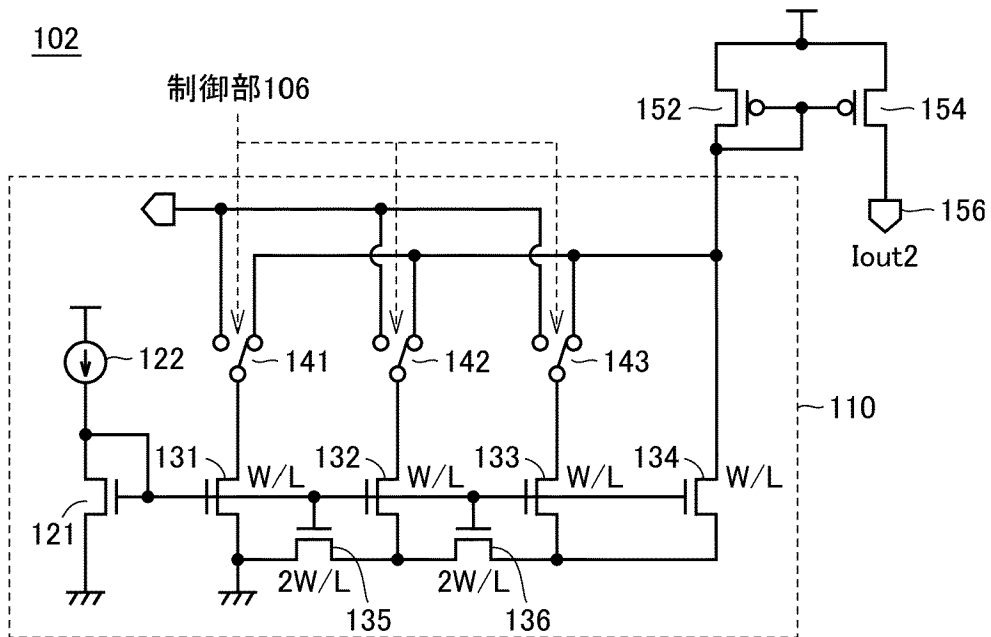
[図4]

図4



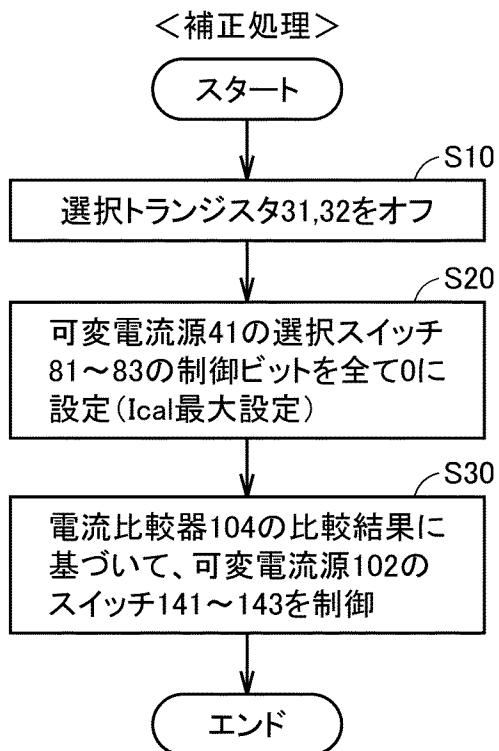
[図5]

図5



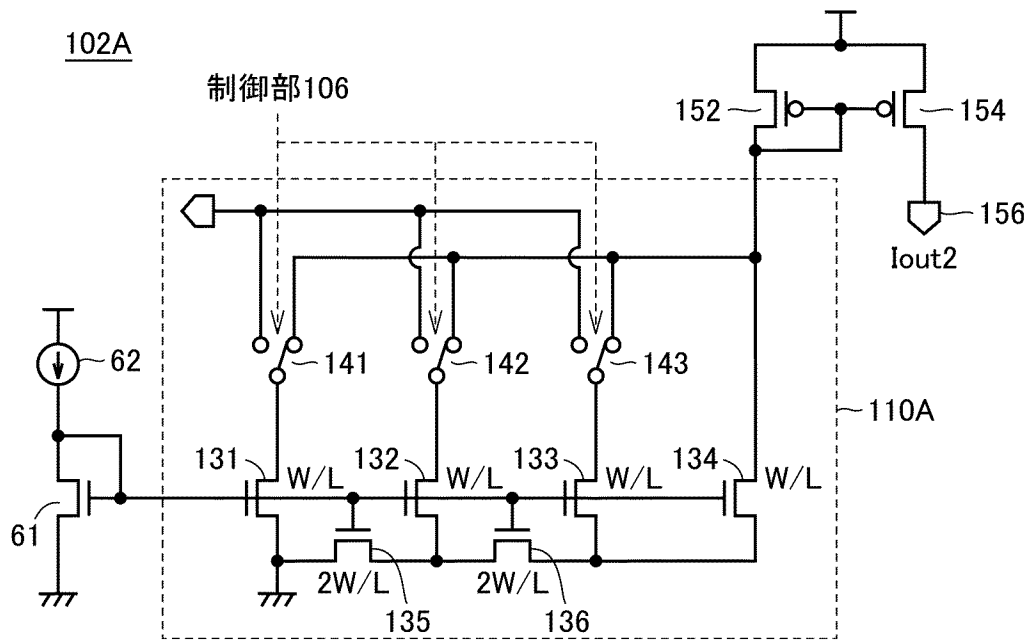
[図6]

図6



[図7]

図7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/037699

A. CLASSIFICATION OF SUBJECT MATTER H03M 1/68 (2006.01) i; H03M 1/74 (2006.01) i; H03M 1/78 (2006.01) i FI: H03M1/68; H03M1/78; H03M1/74 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M1/68; H03M1/74; H03M1/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 55-66126 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 19 May 1980 (1980-05-19) page 1, lower left column, line 11 to page 2, lower right column, line 20, fig. 4	1-2 3-5
Y A	JP 10-107637 A (TOSHIBA CORP.) 24 April 1998 (1998-04-24) paragraphs [0001]-[0020], fig. 4-5	1-2 3-5
Y A	JP 2001-237705 A (CANON INC.) 31 August 2001 (2001-08-31) paragraphs [0017]-[0026], fig. 2-3	2 3-5
A	JP 2012-151728 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 09 August 2012 (2012-08-09) entire text, all drawings	1-5
A	JP 11-88059 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 30 March 1999 (1999-03-30) entire text, all drawings	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 December 2020 (02.12.2020)		Date of mailing of the international search report 15 December 2020 (15.12.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application no.

PCT/JP2020/037699

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 55-66126 A	19 May 1980	(Family: none)	
JP 10-107637 A	24 Apr. 1998	US 5870045 A column 1, line 3 to column 2, line 67, fig. 4-5	
JP 2001-237705 A	31 Aug. 2001	(Family: none)	
JP 2012-151728 A	09 Aug. 2012	(Family: none)	
JP 11-88059 A	30 Mar. 1999	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/68(2006.01)i; H03M 1/74(2006.01)i; H03M 1/78(2006.01)i FI: H03M1/68; H03M1/78; H03M1/74		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03M1/68; H03M1/74; H03M1/78 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 55-66126 A（日本電信電話公社）19.05.1980（1980-05-19） 第1頁左下欄第11行-第2頁右下欄第20行，第4図	1-2 3-5
Y A	JP 10-107637 A（株式会社東芝）24.04.1998（1998-04-24） 段落[0001]-[0020]，図4-5	1-2 3-5
Y A	JP 2001-237705 A（キヤノン株式会社）31.08.2001（2001-08-31） 段落[0017]-[0026]，図2-3	2 3-5
A	JP 2012-151728 A（日本電信電話株式会社）09.08.2012（2012-08-09） 全文，全図	1-5
A	JP 11-88059 A（松下電器産業株式会社）30.03.1999（1999-03-30） 全文，全図	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 02.12.2020	国際調査報告の発送日 15.12.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	

国際調査報告
特許ファミリーに関する情報

国際出願番号

PCT/JP2020/037699

引用文献	公表日	特許ファミリー文献	公表日
JP 55-66126 A	19.05.1980	(ファミリーなし)	
JP 10-107637 A	24.04.1998	US 5870045 A 第1欄第3行-第2欄第67行, 図4-5	
JP 2001-237705 A	31.08.2001	(ファミリーなし)	
JP 2012-151728 A	09.08.2012	(ファミリーなし)	
JP 11-88059 A	30.03.1999	(ファミリーなし)	