



# (12)发明专利

(10)授权公告号 CN 105762150 B

(45)授权公告日 2018.09.11

(21)申请号 201410794626.4

(22)申请日 2014.12.18

(65)同一申请的已公布的文献号  
申请公布号 CN 105762150 A

(43)申请公布日 2016.07.13

(30)优先权数据  
103141961 2014.12.03 TW

(73)专利权人 力晶科技股份有限公司  
地址 中国台湾新竹科学工业园区

(72)发明人 宋达 黄明山

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 陈小雯

(51)Int.Cl.

H01L 27/11524(2017.01)

(56)对比文件

CN 101410962 A, 2009.04.15,  
CN 104051468 A, 2014.09.17,  
US 2008/0067572 A1, 2008.03.20,  
TW 200701439 A, 2007.01.01,

审查员 金政

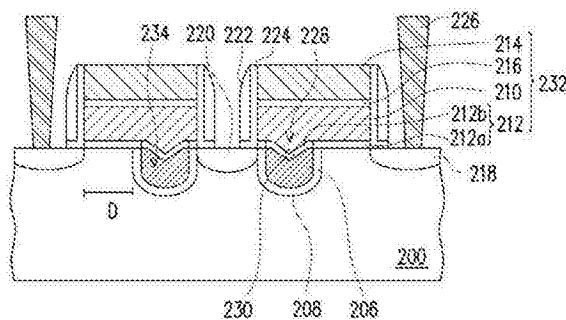
权利要求书2页 说明书8页 附图7页

(54)发明名称

闪存存储器及其制造方法

(57)摘要

本发明公开一种闪存存储器及其制造方法,该闪存存储器包括堆叠栅极结构、第一掺杂区与第二掺杂区、选择栅极以及栅介电层。堆叠栅极结构设置于基底上,堆叠栅极结构从基底起依序包括穿隧介电层、浮置栅极、栅间介电层以及控制栅极。第一掺杂区与第二掺杂区分别设置于堆叠栅极结构两侧的基底中。选择栅极设置于堆叠栅极结构下方的基底中的沟槽内,且选择栅极邻近第一掺杂区并与第二掺杂区相距一距离。栅介电层设置于选择栅极与基底之间。穿隧介电层设置于浮置栅极与选择栅极之间以及于浮置栅极与基底之间。



1. 一种闪存存储器,包括:

堆叠栅极结构,设置于一基底上,该堆叠栅极结构从该基底起依序包括穿隧介电层、浮置栅极、栅间介电层以及控制栅极;

第一掺杂区与第二掺杂区,分别设置于该堆叠栅极结构两侧的该基底中;

选择栅极,设置于该堆叠栅极结构下方的该基底中的一沟槽内,且该选择栅极邻近该第一掺杂区并与该第二掺杂区相距一距离;以及

栅介电层,设置于该选择栅极与该基底之间;

其中该穿隧介电层设置于该浮置栅极与该选择栅极之间以及于该浮置栅极与该基底之间。

2. 如权利要求1所述的闪存存储器,其中该浮置栅极的一部分突出该选择栅极,且该浮置栅极突出该选择栅极的一角部具有尖锐的外型。

3. 如权利要求1所述的闪存存储器,其中该浮置栅极与该选择栅极之间的该穿隧介电层的厚度可以相同或不同于该浮置栅极与该基底之间的该穿隧介电层的厚度。

4. 如权利要求1所述的闪存存储器,其中该选择栅极的材质包括掺杂多晶硅。

5. 如权利要求1所述的闪存存储器,其中该浮置栅极的材质包括掺杂多晶硅。

6. 如权利要求1所述的闪存存储器,其中该选择栅极可以控制元件通道开关兼作为抹除栅极。

7. 一种闪存存储器的制造方法,包括:

在一基底中形成一元件隔离结构,以定义出一有源区;

移除部分该元件隔离结构与该基底,而于该基底中形成一沟槽;

在该沟槽中形成一栅介电层;

在该沟槽中形成填满该沟槽的一选择栅极;

在该基底上形成一堆叠栅极结构,该堆叠栅极结构包括穿隧介电层、浮置栅极、栅间介电层以及一控制栅极,该堆叠栅极结构的一部分设置于该选择栅极上;以及

在该堆叠栅极结构两侧的基底中形成一第一掺杂区与一第二掺杂区,该第一掺杂区邻接该选择栅极的一侧,该第二掺杂区与该选择栅极相距一距离。

8. 如权利要求7所述的闪存存储器的制造方法,其中于该沟槽中形成填满该沟槽的该选择栅极的步骤,包括:

在该基底上形成一导体层,该导体层填满该沟槽;以及

移除部分该导体层,并使该导体层具有一凹陷表面。

9. 如权利要求8所述的闪存存储器的制造方法,其中移除部分该导体层,并使该导体层具有该凹陷表面的方法包括进行一回蚀刻法。

10. 如权利要求7所述的闪存存储器的制造方法,其中于该沟槽中形成该栅介电层的方法包括热氧化法。

11. 如权利要求7所述的闪存存储器的制造方法,其中该浮置栅极与该选择栅极之间的该穿隧介电层的厚度可以相同或不同于该浮置栅极与该基底之间的该穿隧介电层的厚度。

12. 如权利要求7所述的闪存存储器的制造方法,其中于该基底上形成该堆叠栅极结构的步骤包括:

在该基底上形成一第一介电层;

在该第一介电材料层上形成一第一导体层；  
在该第一导体层上形成一第二介电层；  
在该第二介电材料层上形成一第二导体层；  
图案化该第二导体层、该第二介电层、该第一导体层、该第一介电层以形成该控制栅极、该栅间介电层、该浮置栅极以及该穿隧介电层。

13. 如权利要求12所述的闪存存储器的制造方法,其中该第一介电层的形成方法包括热氧化法、化学气相沉积法或其组合。

## 闪存存储器及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体元件,且特别是涉及一种闪存存储器及其制造方法。

### 背景技术

[0002] 闪存存储器元件由于具有可多次进行数据的存入、读取、抹除等动作,且存入的数据在断电后也不会消失的优点,所以已成为个人电脑和电子设备所广泛采用的一种非挥发性存储器元件。

[0003] 典型的闪存存储器元件是以掺杂的多晶硅制作浮置栅极(Floating Gate)与控制栅极(Control Gate)。而且,浮置栅极与控制栅极之间以介电层相隔,而浮置栅极与基底间以穿隧氧化层(Tunnel Oxide)相隔。当对闪存存储器进行写入/抹除(Write/Erase)数据的操作时,通过在控制栅极与源极/漏极区施加偏压,以使电子注入浮置栅极或使电子从浮置栅极拉出。而在读取闪存存储器中的数据时,在控制栅极上施加一工作电压,此时浮置栅极的带电状态会影响其下通道(Channel)的开/关,而此通道的开/关即为判读数据值「0」或「1」的依据。

[0004] 当上述闪存存储器在进行数据的抹除时,由于从浮置栅极排出的电子数量不易控制,故易使浮置栅极排出过多电子而带有正电荷,谓之过度抹除(Over-erase)。当此过度抹除现象太过严重时,甚至会使浮置栅极下方的通道在控制栅极未加工作电压时,即持续呈导通状态,而导致数据的误判。

[0005] 为了解决元件过度抹除的问题,目前业界提出一种分离栅极(Split Gate)闪存存储器。分离栅极(Split Gate)闪存存储器由基底起,依序为穿隧介电层、浮置栅极、栅间介电层(Inter-gate Dielectric)与选择栅极,其中选择栅极除位于浮置栅极上方之外,尚有一部分延伸至基底上方,且与基底间以选择栅极介电层相隔。源极区位于浮置栅极一侧的基底中,漏极区则位于延伸至基底的选择栅极一侧的基底中。如此则当过度抹除现象太过严重,而使浮置栅极下方通道在选择栅极未加工作电压状态下即持续打开时,选择栅极方的通道仍能保持关闭状态,使得漏极区与源极区无法导通,而能防止数据的误判。

[0006] 然而,由于分离栅极结构需要较大的分离栅极区域而具有较大的存储单元尺寸,因此其存储单元尺寸较堆叠式栅极结构的存储单元尺寸大,而产生所谓无法增加元件集成度的问题。

[0007] 而且,随着集成电路正以更高的集成度朝向小型化的元件发展,存储单元的尺寸可通过减小存储单元的栅极长度方式来达成。但是,栅极长度变小会缩短了穿隧氧化层下方的通道长度(Channel Length),于是在编程此存储单元时,漏极区与源极区之间就容易发生不正常的电性贯通(Punch Through),如此将严重影响此存储单元的电性表现。

### 发明内容

[0008] 本发明的目的在于提供一种闪存存储器,可以提高存储器元件的集成度、减少编程干扰,并提高存储器元件的操作速度。

[0009] 本发明的再一目的在于提供一种闪存存储器的制造方法,可以在不增加存储单元的尺寸的情况下,使存储单元具有良好的电性表现,并可以与现有制作工艺整合在一起。

[0010] 为达上述目的,本发明的一种闪存存储器,包括堆叠栅极结构、第一掺杂区与第二掺杂区、选择栅极、栅介电层。堆叠栅极结构设置于基底上,堆叠栅极结构从基底起依序包括穿隧介电层、浮置栅极、栅间介电层以及控制栅极。第一掺杂区与第二掺杂区分别设置于堆叠栅极结构两侧的基底中。选择栅极设置于堆叠栅极结构下方的基底中的沟槽内,且选择栅极邻近第一掺杂区并与第二掺杂区相距一距离。栅介电层设置于选择栅极与基底之间。穿隧介电层设置于浮置栅极与选择栅极之间以及于浮置栅极与基底之间。

[0011] 在本发明的一实施例中,浮置栅极的一部分突出选择栅极,且浮置栅极突出选择栅极的一角部具有尖锐的外型。

[0012] 在本发明的一实施例中,浮置栅极与选择栅极之间的穿隧介电层的厚度可以相同或不同于浮置栅极与基底之间的穿隧介电层的厚度。

[0013] 在本发明的一实施例中,选择栅极的材质包括掺杂多晶硅。

[0014] 在本发明的一实施例中,浮置栅极的材质包括掺杂多晶硅。

[0015] 在本发明的一实施例中,选择栅极可以控制元件通道开关兼作为抹除栅极。

[0016] 本发明的一种闪存存储器的制造方法,包括:在基底中形成元件隔离结构,以定义出有源区;移除部分元件隔离结构与基底,而于基底中形成沟槽;在沟槽中形成栅介电层;在沟槽中形成填满沟槽的选择栅极;在基底上形成堆叠栅极结构,堆叠栅极结构包括穿隧介电层、浮置栅极、栅间介电层以及控制栅极,堆叠栅极结构的一部分设置于选择栅极上;以及于堆叠栅极结构两侧的基底中形成第一掺杂区与第二掺杂区,第一掺杂区邻接选择栅极的一侧,第二掺杂区与选择栅极相距一距离。

[0017] 在本发明的一实施例中,在沟槽中形成填满沟槽的选择栅极的步骤,包括:在基底上形成导体层,导体层填满沟槽;以及移除部分导体层,并使导体层具有一凹陷表面。

[0018] 在本发明的一实施例中,移除部分导体层,并使导体层具有凹陷表面的方法包括回蚀刻法。

[0019] 在本发明的一实施例中,在沟槽中形成栅介电层的方法包括热氧化法、化学气相沉积法或其组合。

[0020] 在本发明的一实施例中,浮置栅极与选择栅极之间的穿隧介电层的厚度可以相同或不同于浮置栅极与基底之间的穿隧介电层的厚度。

[0021] 在本发明的一实施例中,在基底上形成堆叠栅极结构的步骤包括:在基底上形成第一介电层;在第一介电材料层上形成第一导体层;在第一导体层上形成第二介电层;在第二介电材料层上形成第二导体层;图案化第二导体层、第二介电层、第一导体层、第一介电层以形成控制栅极、栅间介电层、浮置栅极以及穿隧介电层。在本发明的一实施例中,第一介电层的形成方法包括热氧化法、化学气相沉积法或其组合。

[0022] 基于上述,本发明的闪存存储器及其制造方法中,由于选择栅极设置于堆叠栅极结构下方的基底中的沟槽内,因此可以缩小元件尺寸。而且,选择栅极的通道长度可以由沟槽的深度来控制。

[0023] 在本发明的闪存存储器及其制造方法中,由于浮置栅极突出选择栅极,而具有尖锐的角部,此角部能产生较高的电场,在对闪存存储器进行数据抹除时,可使抹除操作所需

的时间缩短,且也可降低对选择栅极所施加的电压。

[0024] 在本发明的闪存存储器及其制造方法中,由于选择栅极设置于堆叠栅极结构下方的基底中的沟槽内,于是存储单元具有三维(Three dimension)的通道路径,而使通道长度变大。由于选择栅极下方的通道长度变大。于是存储单元的尺寸可以缩小,而可以增加元件集成度。而且,选择栅极下方的通道长度由沟槽的深度来决定。

[0025] 为使本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附的附图作详细说明如下。

## 附图说明

[0026] 图1A为本发明的一实施例的闪存存储器的上视图;

[0027] 图1B为本发明的一实施例的图1A中的闪存存储器的沿A-A'线的剖视图;

[0028] 图1C为本发明的一实施例的图1A中的闪存存储器的沿B-B'线的剖视图;

[0029] 图2A为本发明的一实施例的闪存存储器的编程操作模式示意图;

[0030] 图2B为本发明的一实施例的闪存存储器的抹除操作模式示意图;

[0031] 图2C为本发明的一实施例的闪存存储器的读取操作模式示意图;

[0032] 图3A至图3F为本发明的一实施例的闪存存储器的制造流程剖视图;

[0033] 图4A至图4E为本发明的一实施例的闪存存储器的制造流程剖视图。

[0034] 符号说明

[0035] 200、300:基底

[0036] 202:有源区

[0037] 204、302:元件隔离结构

[0038] 206、312、SG:选择栅极

[0039] 208、310:栅介电层

[0040] 210、318a、FG:浮置栅极

[0041] 212、212a、212b、316a:穿隧介电层

[0042] 214、322、CG:控制栅极

[0043] 216、320:栅间介电层

[0044] 218、220、328、330:掺杂区

[0045] 222、324:间隙壁

[0046] 224、326:衬层

[0047] 226、334:导体插塞

[0048] 228、314:凹陷

[0049] 230:角部

[0050] 232:堆叠栅极结构

[0051] 234、308:沟槽

[0052] 304:衬垫层

[0053] 306:掩模层

[0054] 316:介电层

[0055] 318:导体层

- [0056] BL:位线  
[0057] D:距离  
[0058] SL:源极线

### 具体实施方式

[0059] 图1A所绘示为本发明的一实施例的闪存存储器的上视图。图1B所绘示为本发明的一实施例的图1A中的闪存存储器的沿A-A'线的剖视图。图1C所绘示为本发明的一实施例的图1A中的闪存存储器的沿B-B'线的剖视图。

[0060] 首先,请参照图1A至图1C,以说明本发明的闪存存储器。本发明闪存存储器,包括:基底200、有源区202、元件隔离结构204、选择栅极206、栅介电层208、浮置栅极210、穿隧介电层212、控制栅极214、栅间介电层216、掺杂区218(漏极区)及掺杂区220(源极区)。其中,穿隧介电层212、浮置栅极210、栅间介电层216、控制栅极214构成堆叠栅极结构232。堆叠栅极结构232设置于基底200上。

[0061] 基底200例如是硅基底。在此基底200中设置有元件隔离结构204,以定义出有源区202。元件隔离结构204例如是在X方向上平行排列,且在X方向上延伸而呈条状。元件隔离结构204例如是浅沟槽隔离结构。元件隔离结构204的材质例如是氧化硅。

[0062] 掺杂区218(漏极区)及掺杂区220(源极区)例如分别设置于堆叠栅极结构232两侧的基底200的有源区202中。掺杂区218(漏极区)及掺杂区220(源极区)隔着堆叠栅极结构232而相对。掺杂区220(源极区)例如是在Y方向上平行排列,且在Y方向上延伸而呈条状。掺杂区220(源极区)例如作为源极线。

[0063] 选择栅极206例如设置于堆叠栅极结构232下方的基底200中的沟槽234内,且选择栅极206的一侧邻近掺杂区220并与掺杂区218相距一距离D。

[0064] 选择栅极206例如是在Y方向上平行排列,且在Y方向上延伸而呈条状。选择栅极206的材质包括导体材料,例如金属或掺杂多晶硅等。选择栅极206可以是具有金属层形成的单层结构,或是具有金属氮化物层(阻挡层)以及金属层形成的多层结构。金属可以例如是铝、钨、钛、铜或其组合以及金属氮化物可以是TiN、TaN或其组合。

[0065] 栅介电层208例如设置于选择栅极206与基底200之间。栅介电层208的材质例如是氧化硅。

[0066] 浮置栅极210设置于基底200上。浮置栅极210材质例如是掺杂的多晶硅。

[0067] 穿隧介电层212设置于浮置栅极210与选择栅极206之间以及于浮置栅极210与基底200之间。浮置栅极210与选择栅极206之间的穿隧介电层212b的厚度可相同或不同于浮置栅极210与基底200之间的穿隧介电层212a的厚度。

[0068] 控制栅极214设置于浮置栅极210上。控制栅极214材质例如是掺杂的多晶硅。栅间介电层216设置于浮置栅极210与控制栅极214之间。栅间介电层216可以由单层材料层或是多层材料层所构成的堆叠结构。栅间介电层216的材质例如是氧化硅/氮化硅/氧化硅(ONO)堆叠层。

[0069] 此外,在掺杂区218(漏极区)上也可以设置插塞226,用以连接至位线(未绘示)。在堆叠栅极结构232的侧壁也可以设置间隙壁222。在一实施例中,也可以在堆叠栅极结构232与间隙壁222之间设置衬层224。

[0070] 请参照图1B,本发明的选择栅极206的顶部具有一凹陷228。因为此凹陷228而使浮置栅极210的一部分突出选择栅极206中,且浮置栅极210突出选择栅极206的角部230具有尖锐的外型。由于所形成的浮置栅极210突出选择栅极206的角部230具有尖锐的外型,因此在浮置栅极210突出选择栅极206的角部230能产生较高的电场,在对闪存存储器进行数据抹除时,可使抹除操作所需的时间缩短,且也可降低对选择栅极206所施加的电压。在本发明中,选择栅极206可以控制元件通道开关兼作为抹除栅极。

[0071] 在基底200上形成有大多数个存储单元,这些存储单元例如是排列成一阵列。相邻的两个存储单元例如是具有相同且对称的结构,且共用一个掺杂区218(漏极区)或掺杂区220(源极区)。

[0072] 在本发明的闪存存储器中,由于选择栅极206设置于基底200中的沟槽234内,因此可以缩小元件尺寸。在掺杂区218(漏极区)与掺杂区220(源极区)之间构成通道区。选择栅极206的通道长度可以由沟槽234的深度来控制。因此,通道区的长度会因沟槽234的深度而改变。

[0073] 在本发明的闪存存储器中,由于浮置栅极210突出选择栅极206,而具有角部230(如图1B所示),此角部230具有能产生较高的电场,在对闪存存储器进行数据抹除时,可使抹除操作所需的时间缩短,且也可降低对选择栅极206所施加的电压。

[0074] 接着,请参照图3A、图3B与图3C,以明了本发明优选实施例的闪存存储器的操作模式,其包括编程(Program,图2A)、抹除(Erase,图2B)与读取(Read,图2B)等操作模式。

[0075] 如图2A所示,当对存储单元进行编程操作时,在选择栅极SG施加电压 $V_{p1}$ ,以打开选择栅极SG下方的通道, $V_{p1}$ 例如是1~4伏特左右的电压;于控制栅极CG施加电压 $V_{p2}$ , $V_{p2}$ 例如是8~12伏特左右的电压;于位线BL(漏极区)施加电压 $V_{p3}$ ,其例如是4~6伏特左右;源极线SL(源极区)例如为0伏特左右的电压。如此,在编程时,电子由源极区向漏极区移动,且在漏极区端被高通道电场所加速而产生热电子,其动能足以克服穿隧氧化层的能量阻障,再加上控制栅极CG上施加有高正偏压,使得热电子从漏极端注入浮置栅极FG中,而编程存储单元。

[0076] 如图2B所示,当对存储单元进行抹除操作时,在控制栅极上施加0伏特;对选择栅极SG(抹除栅极)施加电压 $V_{e1}$ ,其例如是5伏特至10伏特左右;源极区、漏极区为浮置或0伏特。如此,即可在浮置栅极FG与选择栅极SG(抹除栅极)之间建立一个大的电场,而得以利用F-N穿隧效应将电子从浮置栅极FG拉出至选择栅极SG(抹除栅极)。

[0077] 如图2C所示,当对存储单元进行读取时,于控制栅极CG施加电压 $V_{r1}$ , $V_{r1}$ 例如是 $V_{cc}$ ;于选择栅极SG施加电压 $V_{r2}$ ,电压 $V_{r2}$ 例如是 $V_{cc}$ ;于位线BL(漏极区)施加电压 $V_{r3}$ ,其例如是1伏特至 $V_{cc}$ 左右。由于此时浮置栅极FG中总电荷量为负的存储单元的通道关闭且电流很小,而浮置栅极FG中总电荷量略正的存储单元的通道打开且电流大,故可通过存储单元的通道开关/通道电流大小来判断存储于此存储单元中的数字信息是「1」还是「0」。

[0078] 在上述实施例中,本发明在抹除操作时,由于浮置栅极FG突出选择栅极SG,而具有角部,此角部具有能产生较高的电场,在对闪存存储单元进行数据抹除时,可使抹除操作所需的时间缩短,且也可降低对选择栅极SG所施加的电压。

[0079] 图3A至图3F所绘示为本发明的一实施例的闪存存储器的制造流程剖视图,图4A至图4E所绘示为本发明的一实施例的闪存存储器的制造流程剖视图,其用以说明本发明的闪



存存储器的制造方法。图3A至图3F所绘示为图1A中的闪存存储器的沿A-A'线的制造流程剖视图。图4A至图4E所绘示为图1A中的闪存存储器的沿B-B'线的制造流程剖视图。

[0080] 首先,请参照图3A及图4A,提供基底300。此基底300例如是硅基底。基底300中例如已形成元件隔离结构302。元件隔离结构302例如是在X方向上平行排列,且在X方向上延伸而呈条状(如图1A所示)。于此基底300上依序形成一层衬垫层(pad oxide)304与一层掩模层306。衬垫层304的材质例如是氧化硅。衬垫层304的形成方法例如是热氧化法。掩模层306的材质例如是氮化硅。掩模层306的形成方法例如是化学气相沉积法。接着,图案化掩模层306及衬垫层304。图案化掩模层306及衬垫层304的方法例如是光刻蚀刻技术。

[0081] 请参照图3B及图4B,以图案化掩模层306为掩模,移除部分元件隔离结构302与基底300,而于基底300中形成沟槽308。沟槽308例如是在Y方向上平行排列,且在Y方向上延伸而呈条状(如图1A所示)。移除部分元件隔离结构302与基底300的方法例如是反应性离子蚀刻法。在上述步骤中,由于沟槽308形成于基底300中,沿着沟槽的侧壁的基底构成在后续步骤中形成的选择栅极的通道区(垂直通道区),因此可以缩小元件尺寸,而且选择栅极的通道长度可以由沟槽308的深度来控制。因此,存储单元的通道区长度会因沟槽308的深度而改变。而且也可以避免存储单元在编程后源极区与漏极区之间的漏电流问题。进而,增加元件的集成度。

[0082] 接着,在基底300上形成一层栅介电层310,此栅介电层310的材质例如是氧化硅。栅介电层310的形成方法例如是热氧化法(Thermal Oxidation)、化学气相沉积法或其组合等。

[0083] 请参照图3C及图4C,移除掩模层306。掩模层306的移除方法例如是湿式蚀刻法。然后,在基底300上形成一层导体层,以填满沟槽308。导体层的材质例如是掺杂的多晶硅,导体层的形成方法例如是以临场(In-Situ)掺杂离子的方式,利用化学气相沉积法以形成之。当然,导体层的材质也可以是金属等。导体层可以是具有金属层形成的单层结构,或是具有金属氮化物层(阻挡层)以及金属层形成的多层结构。金属可以例如是铝、钨、钛、铜或其组合以及金属氮化物可以是TiN、TaN或其组合。导体层的形成方法例如是进行物理气相沉积法,以于基底300上依序形成金属氮化物层(阻挡层)以及金属层。

[0084] 然后,移除部分导体层,使导体层的上表面低于基底300的上表面,而形成选择栅极312。移除部分导体层包括回蚀刻法、化学机械研磨法等。选择栅极312下方的通道长度可以由沟槽308的深度来决定。其中,移除部分导体层以形成选择栅极312的步骤中,使选择栅极312的顶部具有凹陷314表面。

[0085] 请参照图3D及图4D,在选择栅极312形成之后,移除衬垫层304。衬垫层302的移除方法例如是湿式蚀刻法。之后,于基底300和选择栅极312表面形成介电层316。介电层316的材质例如是氧化硅。介电层316的形成方法例如是热氧化法(Thermal Oxidation)、化学气相沉积法或其组合等。选择栅极312上的介电层316的厚度可相同或不同于基底300上的介电层316的厚度。

[0086] 在介电层316上形成一层导体层,其材质例如是掺杂的多晶硅。此导体层的形成方法例如是利用化学气相沉积法形成一层未掺杂多晶硅层后,进行离子注入步骤以形成之;或者以临场注入掺杂的方式,利用化学气相沉积法而形成之。

[0087] 然后,在导体层上形成一层图案化掩模层(未图示),此图案化掩模层成条状分布。

图案化的掩模层的材质例如是光致抗蚀剂。图案化的掩模层形成方法例如是于导体层上涂布一层光致抗蚀剂材料后,对此光致抗蚀剂材料层进行曝光、显影等制作工艺而形成之。在移除未被图案化掩模层覆盖的导体层后,再移除图案化掩模层,即可形成图案化的导体层318。导体层318例如是在X方向上平行排列、在X方向上延伸而呈条状,且位于元件隔离结构302之间的基底300上。

[0088] 请参照图3E及图4E,在导体层318上形成介电层。介电层的材质例如是氧化硅/氮化硅/氧化硅层。介电层的形成方法例如是先以热氧化法形成一层氧化硅后,再利用化学气相沉积法依序形成氮化硅层与另一层氧化硅层。氧化硅/氮化硅/氧化硅(ONO)堆叠层的厚度例如分别是约为30至60埃/40至70埃/30至60埃。当然,栅间介电层320的材质也可以是氧化硅或氧化硅/氮化硅(ON)堆叠层等,其形成方法例如是依照其材质以不同的反应气体进行化学气相沉积法。在介电层上形成另一层导体层。导体层可以是单层或是多层材料所构成的堆叠层。导体层的材质例如是掺杂的多晶硅、金属硅化物层、金属或其组合。在一实施例中,导体层是由掺杂多晶硅层所构成。此导体层的形成方法例如是利用化学气相沉积法形成一层未掺杂多晶硅层后,进行离子注入步骤以形成之;或者以临场注入掺杂的方式,利用化学气相沉积法而形成之。

[0089] 然后,在导体层上形成另一层图案化掩模层(未图示),此图案化掩模层成条状分布,用以定义出闪存存储器的控制栅极322。图案化的掩模层的材质例如是光致抗蚀剂。图案化的掩模层形成方法例如是于导体层上涂布一层光致抗蚀剂材料后,对此光致抗蚀剂材料层进行曝光、显影等制作工艺而形成之。在移除未被图案化掩模层覆盖的导体层后,即可形成作为闪存存储器的控制栅极322。然后,继续移除未被图案化掩模层覆盖的介电层、导体层318、介电层316以形成栅间介电层320、浮置栅极318a与穿隧介电层316a。其中,穿隧介电层316a、控制栅极322、栅间介电层320、浮置栅极318a构成堆叠栅极结构。之后,移除图案化掩模层。

[0090] 请参照图3F,在堆叠栅极结构的侧壁形成间隙壁324。间隙壁324的形成方法例如是先于基底300上形成一层绝缘层(未图示)后,利用各向异性蚀刻法移除部分绝缘层以形成之。间隙壁324的材质例如是氮化硅、氧化硅或其组合,或其他合适的介电材料。在一实施例中,也可以于堆叠栅极结构与间隙壁324之间形成衬层326。以具有间隙壁324的堆叠栅极结构为掩模,进行掺杂注入,而于堆叠栅极结构的两侧的基底300中形成掺杂区328(漏极区)及掺杂区330(源极区)。注入掺杂的方法例如是进行一离子注入步骤。

[0091] 之后,在掺杂区322(漏极区)上可以形成自我对准的(self-aligned)插塞334,其用以连接位线,以缩小元件尺寸。后续完成选择栅极闪存存储器的制作工艺为现有技术者所周知,在此不再赘述。

[0092] 在上述实施例中,在本发明的闪存存储器及其制造方法中,由于选择栅极设置于基底中的沟槽内,因此可以缩小元件尺寸。而且,选择栅极的通道长度可以由沟槽的深度来控制。

[0093] 而且,在本发明的闪存存储器及其制造方法中,由于在基底中形成沟槽,并沿着沟槽的侧壁的基底构成选择栅极的通道区(垂直通道区),因此可以缩小元件尺寸。而且,选择栅极的通道长度可以由沟槽的深度来控制。而且也可以避免存储单元在编程后源极区与漏极区之间的漏电流问题。进而,增加元件的集成度。

[0094] 此外,在本发明的闪存存储器及其制造方法中,存储单元具有三维(Three dimension)的通道路径,而使通道长度变大。由于选择栅极下方的通道长度变大。于是存储单元的尺寸可以缩小,而可以增加元件集成度。而且,选择栅极下方的通道长度由可以移除基底的深度来决定。

[0095] 另外,在本发明的闪存存储器及其制造方法中,由于浮置栅极突出选择栅极,而具有角部,此角部具有能产生较高的电场,使闪存存储单元进行数据抹除时,所需时间更短,且也可降低对选择栅极所施加的电压。

[0096] 虽然结合以上优选实施例公开了本发明,然而其并非用以限定本发明,任何熟悉此技术者,在不脱离本发明的精神和范围内,可作些许的更动与润饰,因此本发明的保护范围应当以附上的权利要求所界定的为准。

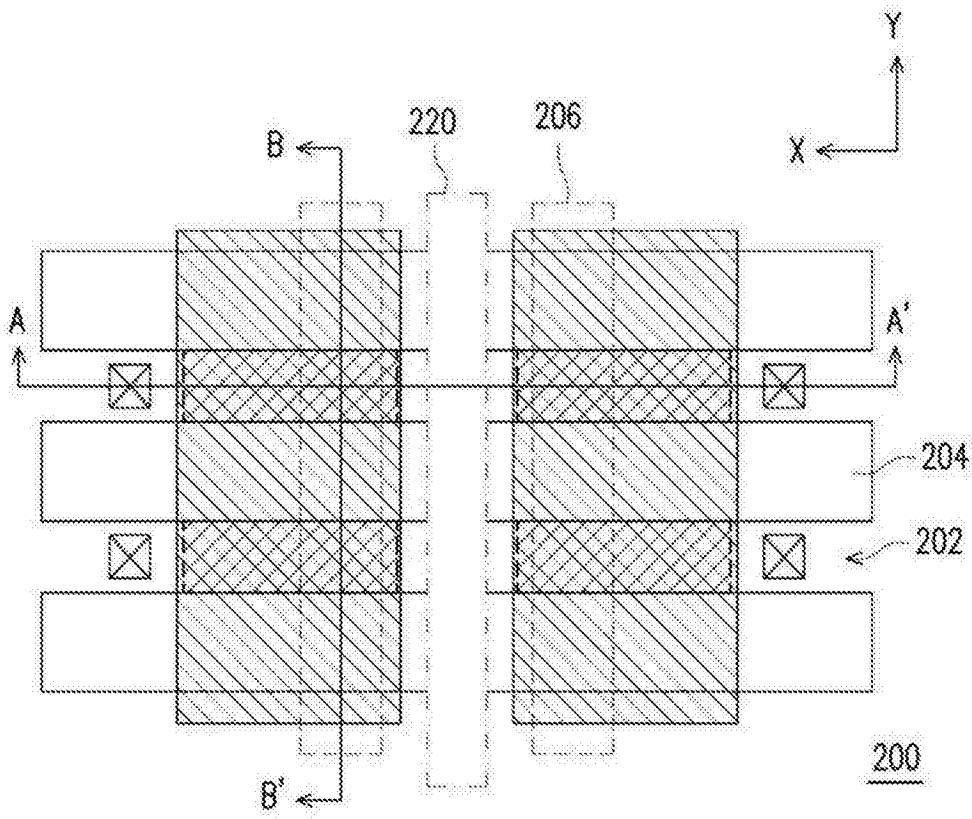


图1A

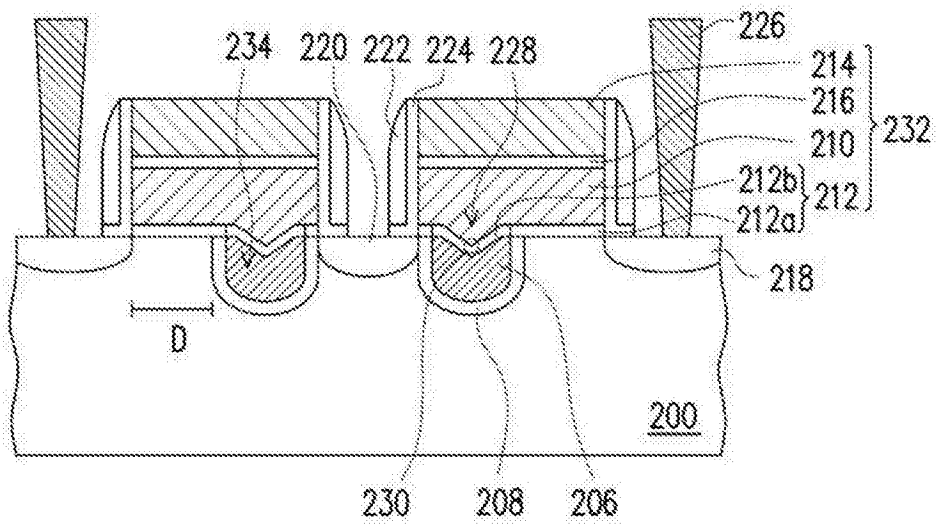


图1B

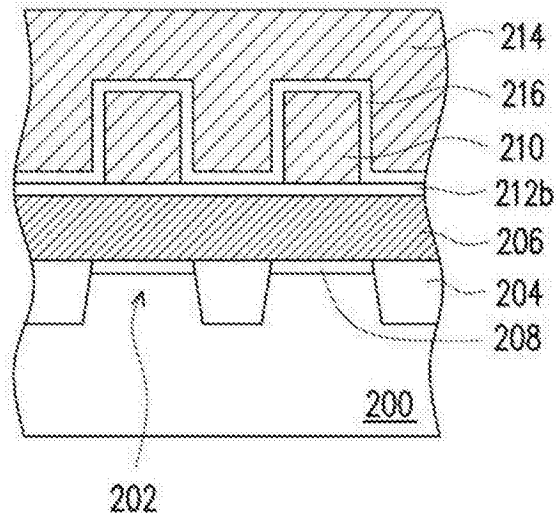


图1C

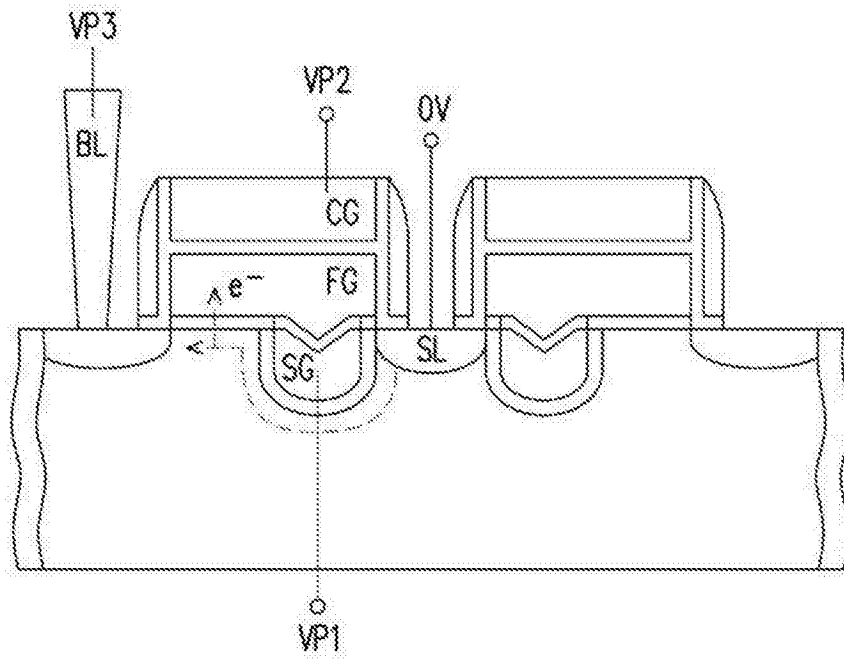


图2A

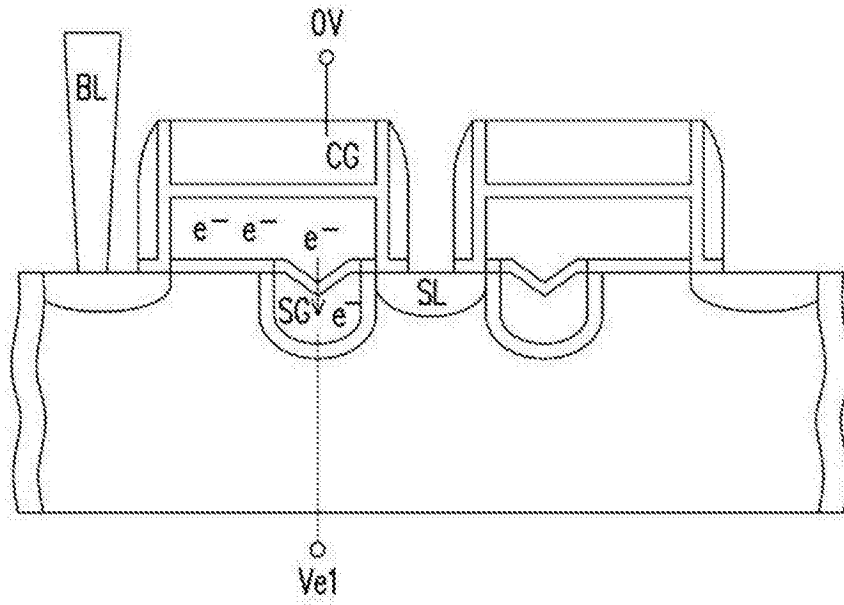


图2B

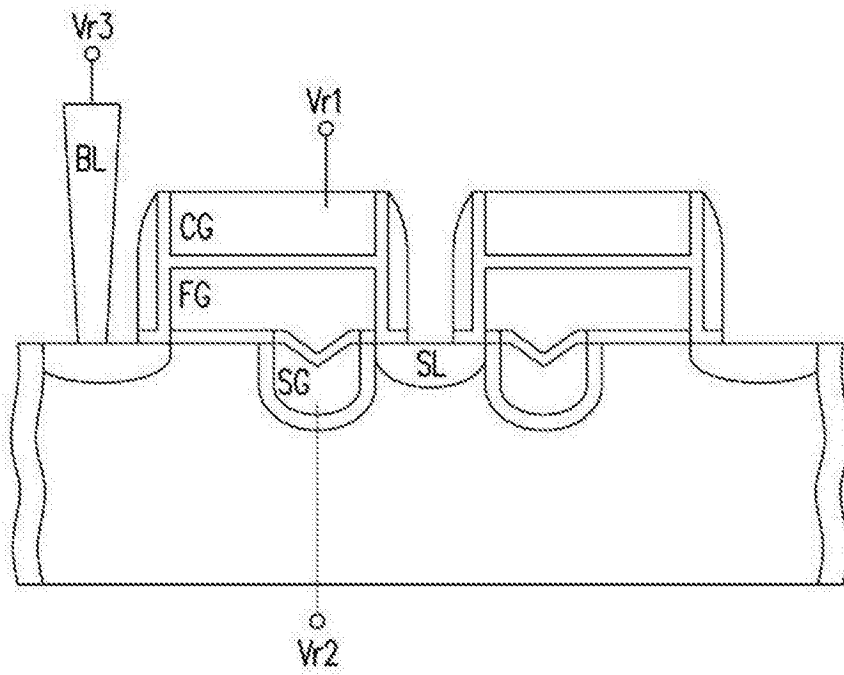


图2C

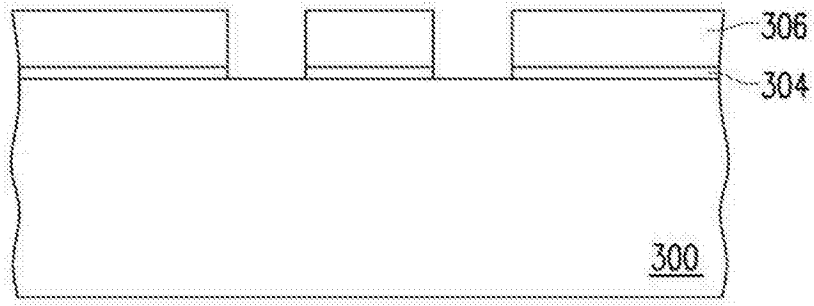


图3A

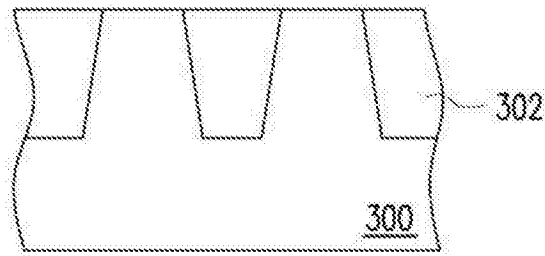


图4A

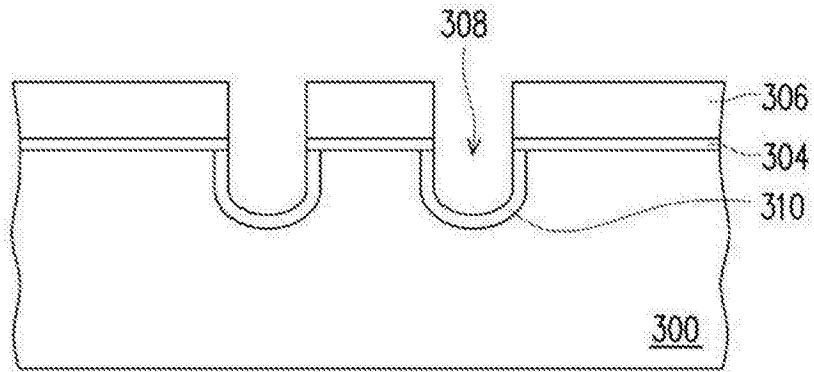


图3B

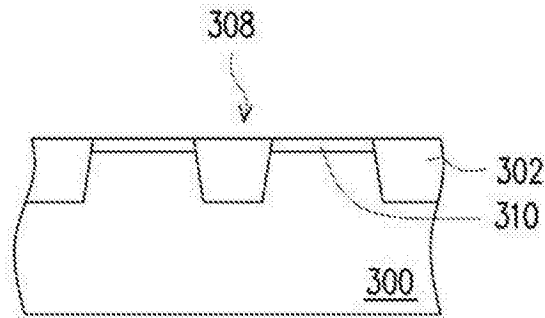


图4B

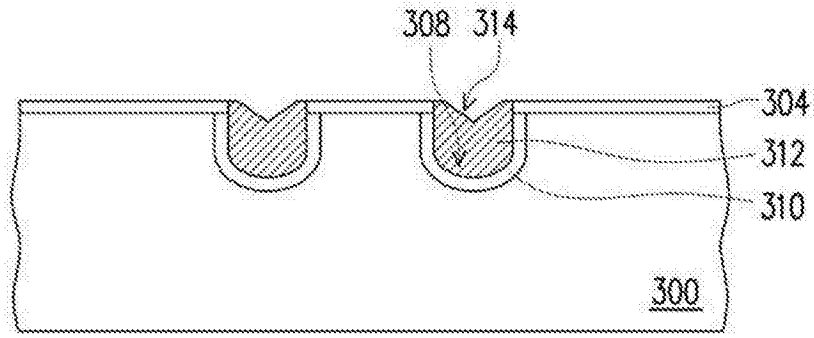


图3C

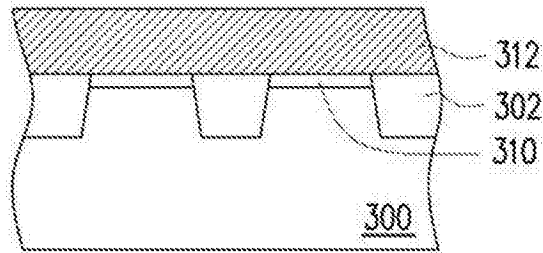


图4C

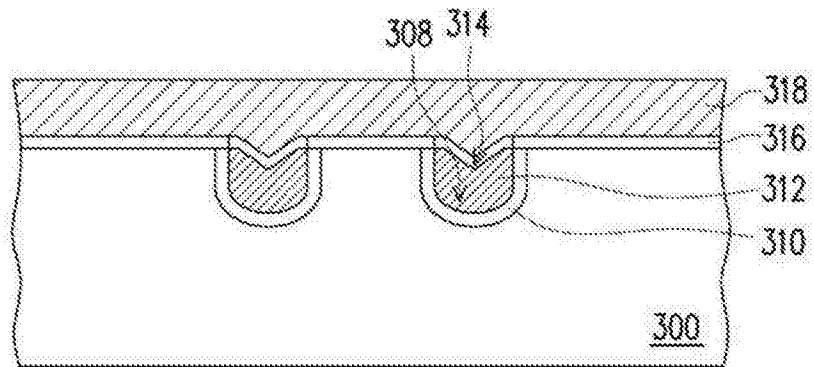


图3D



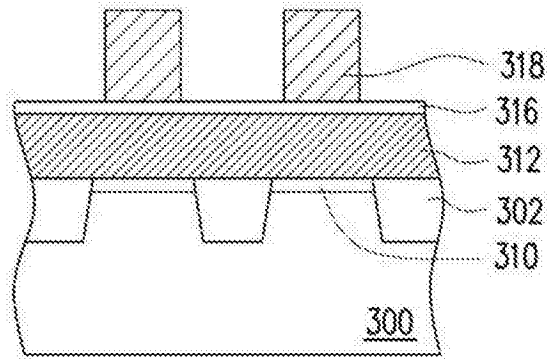


图4D

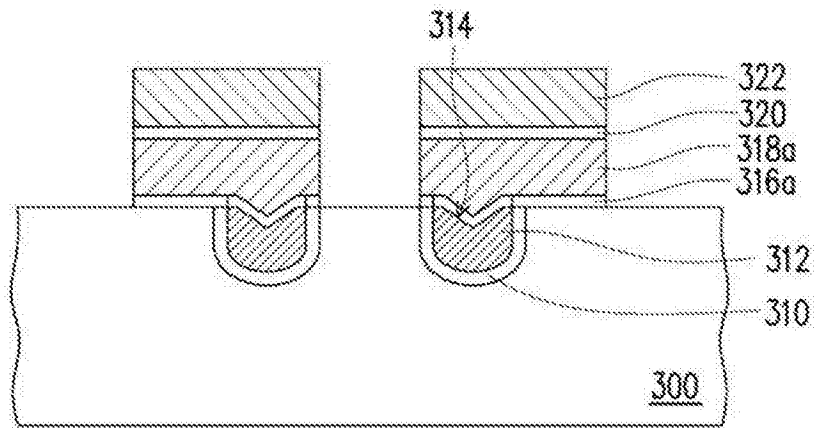


图3E

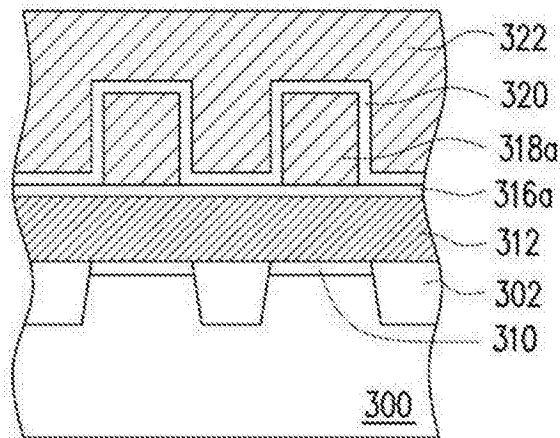


图4E

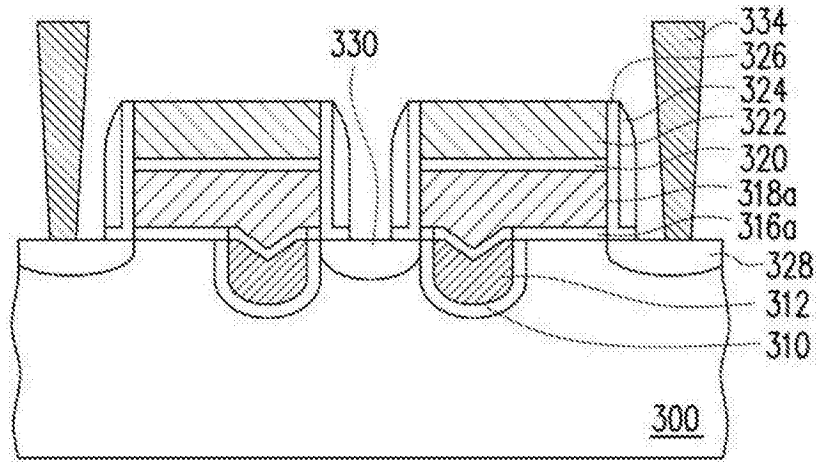


图3F