

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年3月22日 (2012.3.22)

【公開番号】特開2010-267341 (P2010-267341A)

【公開日】平成22年11月25日 (2010.11.25)

【年通号数】公開・登録公報2010-047

【出願番号】特願2009-119016 (P2009-119016)

【国際特許分類】

G 1 1 C 16/02 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 1 1 C 16/04 (2006.01)

G 1 1 C 16/06 (2006.01)

【F I】

G 1 1 C 17/00 6 1 4

G 1 1 C 17/00 6 1 2 B

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 2 3 Z

G 1 1 C 17/00 6 1 2 E

G 1 1 C 17/00 6 3 1

【手続補正書】

【提出日】平成24年2月7日 (2012.2.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行列状に配列され、各々が基板領域上に形成されるフローティングゲートと、前記フローティングゲート上に配置されるメモリゲートとを有するメモリトランジスタと、前記フローティングゲートおよびメモリゲートに隣接して配置されるアシストゲートとを有し、前記メモリトランジスタと直列に接続されるアシストゲートトランジスタと、前記基板領域表面に形成される素子分離領域表面に形成される埋込消去ゲートとを有し、該フローティングゲートの蓄積電荷量に応じて不揮発的にデータを記憶する複数のメモリセル、

各前記メモリセル行に対応して配置され、各々が対応の行のメモリセルのメモリゲートに結合される複数のメモリゲート線、

各前記メモリセル行に対応して配置され、各々が対応の行のアシストゲートに結合される複数のアシストゲート線、

各前記メモリセル列に対応して配置され、各々が対応の列の埋込消去ゲートに結合される複数の埋込消去ゲート配線、

各前記メモリセル列に対応して配置され、各々が対応の列のメモリセルのメモリトランジスタの第 1 の導通ノードに結合される複数のソース線、

各前記メモリセル列に対応して配置され、各々が対応の列のメモリセルのアシストゲートトランジスタの第2の導通ノードに結合される複数のビット線、および

動作モード指示とアドレス信号とに従って指定されたメモリセルに対して指定された動作を制御する制御回路を備え、前記制御回路は、消去動作が指定されたとき、選択メモリセルに対するソース線、メモリゲート線および埋込消去ゲート配線それぞれに供給される電圧を指定するとともに消去動作を制御する消去制御部と、前記選択メモリセルに対するアシストゲート線およびビット線に対して供給される読出に必要な電圧を指定するとともに読出動作を制御する読出制御部とを含み、前記消去制御部および前記読出制御部は、並行して動作可能であり、

前記消去制御部および読出制御部からの電圧選択信号に従って指定された電圧を発生する電圧発生回路、

前記電圧発生回路からの消去電圧を選択されたメモリセルの埋込消去ゲート配線に伝達する消去回路、および

前記電圧発生回路からの読出電圧を選択されたメモリセルへ供給して前記選択メモリセルの記憶データを読出す読出回路を備え、前記読出回路は前記消去回路の消去電圧印加中に前記記憶データの読出を行うように前記制御回路により動作制御される、半導体装置。