

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4101863号
(P4101863)

(45) 発行日 平成20年6月18日 (2008. 6. 18)

(24) 登録日 平成20年3月28日 (2008. 3. 28)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 D

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 J

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 E

請求項の数 23 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2001-337229 (P2001-337229)
 (22) 出願日 平成13年11月2日 (2001. 11. 2)
 (65) 公開番号 特開2002-221937 (P2002-221937A)
 (43) 公開日 平成14年8月9日 (2002. 8. 9)
 審査請求日 平成16年11月2日 (2004. 11. 2)
 (31) 優先権主張番号 特願2000-339752 (P2000-339752)
 (32) 優先日 平成12年11月7日 (2000. 11. 7)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 発光装置、半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

ソース又はドレインの一方が第 1 の配線に電氣的に接続され、ソース又はドレインの他方が発光素子に電氣的に接続された第 1 の T F T と、

ソース又はドレインの一方が前記第 1 の T F T のゲートに電氣的に接続され、ソース又はドレインの他方が第 2 の配線に電氣的に接続された第 2 の T F T と、

ソース又はドレインの一方が前記第 1 の配線に電氣的に接続され、ソース又はドレインの他方が第 4 の配線に電氣的に接続された第 3 の T F T と、を有し、

前記第 1 の T F T のゲートは、前記第 3 の T F T のゲートに電氣的に接続され、

前記第 2 の T F T のゲートは、第 3 の配線に電氣的に接続され、

前記第 1 の T F T と前記第 3 の T F T の極性は互いに反転していることを特徴とする発光装置。

【請求項 2】

ソース又はドレインの一方が第 1 の配線に電氣的に接続され、ソース又はドレインの他方が発光素子に電氣的に接続された第 1 の T F T と、

ソース又はドレインの一方が前記第 1 の T F T のゲートに電氣的に接続され、ソース又はドレインの他方が第 2 の配線に電氣的に接続された第 2 の T F T と、

ソース又はドレインの一方が前記第 1 の配線に電氣的に接続され、ソース又はドレインの他方が第 3 の配線に電氣的に接続された第 3 の T F T と、を有し、

前記第 1 の T F T のゲートは、前記第 3 の T F T のゲートに電氣的に接続され、

10

20

前記第2のTFTのゲートは、前記第3の配線に電氣的に接続され、
前記第1のTFTと前記第3のTFTの極性は互いに反転し、
前記第2のTFTと前記第3のTFTの極性は同じであることを特徴とする発光装置。

【請求項3】

ソース又はドレインの一方が第1の配線に電氣的に接続され、ソース又はドレインの他方が発光素子の第1の電極に電氣的に接続された第1のTFTと、

ソース又はドレインの一方が前記第1のTFTのゲートに電氣的に接続され、ソース又はドレインの他方が第2の配線に電氣的に接続された第2のTFTと、

ソース又はドレインの一方が前記第1の配線に電氣的に接続され、ソース又はドレインの他方が前記発光素子の第2の電極に電氣的に接続された第3のTFTと、を有し、

前記第1のTFTのゲートは、前記第3のTFTのゲートに電氣的に接続され、

前記第2のTFTのゲートは、第3の配線に電氣的に接続され、

前記第1のTFTと前記第3のTFTの極性は互いに反転していることを特徴とする発光装置。

【請求項4】

請求項1において、前記第3のTFTのソース又はドレインの他方は、第1の素子を介して前記第4の配線に電氣的に接続されていることを特徴とする発光装置。

【請求項5】

請求項2において、前記第3のTFTのソース又はドレインの他方は、第1の素子を介して前記第3の配線に電氣的に接続されていることを特徴とする発光装置。

【請求項6】

請求項3において、前記第3のTFTのソース又はドレインの他方は、第1の素子を介して前記発光素子の第2の電極に電氣的に接続されていることを特徴とする発光装置。

【請求項7】

請求項4乃至6のいずれかーにおいて、前記第1の素子は、抵抗、ダイオード又は第4のTFTであることを特徴とする発光装置。

【請求項8】

請求項1乃至7のいずれかーにおいて、前記第3のTFTのソース又はドレインの一方は、第2の素子を介して前記第1の配線に電氣的に接続されていることを特徴とする発光装置。

【請求項9】

請求項8において、前記第2の素子は、抵抗、ダイオード又は第5のTFTであることを特徴とする発光装置。

【請求項10】

請求項1又は3において、前記第2のTFTと前記第3のTFTの極性は同じであることを特徴とする発光装置。

【請求項11】

請求項1乃至10のいずれかーにおいて、前記第1のTFTの極性は、Pチャネル型であることを特徴とする発光装置。

【請求項12】

請求項1乃至11のいずれかーにおいて、前記発光素子は、三重項励起子からの燐光を利用して発光することを特徴とする発光装置。

【請求項13】

請求項1乃至12のいずれかーに記載の発光装置と、操作キーとを具備する電子機器。

【請求項14】

ソース又はドレインの一方が第1の配線に電氣的に接続され、ソース又はドレインの他方が画素電極に電氣的に接続された第1のTFTと、

ソース又はドレインの一方が前記第1のTFTのゲートに電氣的に接続され、ソース又はドレインの他方が第2の配線に電氣的に接続された第2のTFTと、

ソース又はドレインの一方が前記第1の配線に電氣的に接続され、ソース又はドレイン

10

20

30

40

50

の他方が第 3 の配線に電氣的に接続された第 3 の T F T と、を有し、

前記第 1 の T F T のゲートは、前記第 3 の T F T のゲートに電氣的に接続され、

前記第 2 の T F T のゲートは、第 4 の配線に電氣的に接続され、

前記第 1 の T F T と前記第 3 の T F T の極性は互いに反転していることを特徴とする半導体装置。

【請求項 1 5】

ソース又はドレインの一方が第 1 の配線に電氣的に接続され、ソース又はドレインの他方が画素電極に電氣的に接続された第 1 の T F T と、

ソース又はドレインの一方が前記第 1 の T F T のゲートに電氣的に接続され、ソース又はドレインの他方が第 2 の配線に電氣的に接続された第 2 の T F T と、

ソース又はドレインの一方が前記第 1 の配線に電氣的に接続され、ソース又はドレインの他方が第 3 の配線に電氣的に接続された第 3 の T F T と、を有し、

前記第 1 の T F T のゲートは、前記第 3 の T F T のゲートに電氣的に接続され、

前記第 2 の T F T のゲートは、前記第 3 の配線に電氣的に接続され、

前記第 1 の T F T と前記第 3 の T F T の極性は互いに反転し、

前記第 2 の T F T と前記第 3 の T F T の極性は同じであることを特徴とする半導体装置

。

【請求項 1 6】

請求項 1 4 において、前記第 3 の T F T のソース又はドレインの他方は、第 1 の素子を介して前記第 4 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 5 において、前記第 3 の T F T のソース又はドレインの他方は、第 1 の素子を介して前記第 3 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 8】

請求項 1 6 又は 1 7 において、前記第 1 の素子は、抵抗、ダイオード又は第 4 の T F T であることを特徴とする半導体装置。

【請求項 1 9】

請求項 1 4 乃至 1 8 のいずれかーにおいて、前記第 3 の T F T のソース又はドレインの一方は、第 2 の素子を介して前記第 1 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2 0】

請求項 1 9 において、前記第 2 の素子は、抵抗、ダイオード又は第 5 の T F T であることを特徴とする半導体装置。

【請求項 2 1】

請求項 1 4 において、前記第 2 の T F T と前記第 3 の T F T の極性は同じであることを特徴とする半導体装置。

【請求項 2 2】

請求項 1 4 乃至 2 1 のいずれかーにおいて、前記第 1 の T F T の極性は、P チャネル型であることを特徴とする半導体装置。

【請求項 2 3】

請求項 1 4 乃至 2 2 のいずれかーに記載の半導体装置と、操作キーとを具備する電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、基板上に形成された E L 素子を、該基板とカバー材の間に封入した E L パネルに関する。また、該 E L パネルに I C を実装した E L モジュールに関する。なお本明細書において、E L パネル及び E L モジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0 0 0 2】

【従来の技術】

ＥＬ素子は、自ら発光するため視認性が高く、液晶表示装置（ＬＣＤ）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年、ＥＬ素子を用いた発光装置はＣＲＴやＬＣＤに代わる表示装置として注目されている。

【０００３】

ＥＬ素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる有機化合物を含む層（以下、ＥＬ層と記す）と、陽極層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置では、どちらの発光を用いていても良い。

10

【０００４】

なお、本明細書では、陽極と陰極の間に形成された全ての層をＥＬ層と定義する。ＥＬ層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にＥＬ素子は、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。

【０００５】

本明細書中では、陽極、ＥＬ層及び陰極で形成される発光素子をＥＬ素子と呼ぶ。また本明細書において、ＥＬ素子が発光することを、ＥＬ素子が駆動すると呼ぶ。

【０００６】

20

ところで、ＥＬ素子を有する発光装置の駆動方法には、主にアナログ駆動とデジタル駆動とがある。デジタル駆動は、放送電波のデジタル化に対応して、画像情報を有するデジタルのビデオ信号（デジタルビデオ信号）をアナログに変換せずにそのまま用いて画像を表示することが可能なため、有望視されている。

【０００７】

以下に、時間分割駆動法で駆動する一般的な発光装置の画素部の構成について、図１７を用い説明する。

【０００８】

図１７に、一般的な発光装置の画素部の回路図を示す。画素部９００１は、ソース信号線Ｓ１～Ｓ_xと、電源供給線Ｖ１～Ｖ_xと、ゲート信号線Ｇ１～Ｇ_yとを有している。画素部９００１には複数の画素９００２がマトリクス状に形成されている。

30

【０００９】

画素９００２は、ソース信号線Ｓ１～Ｓ_xの１つと、電源供給線Ｖ１～Ｖ_xの１つと、ゲート信号線Ｇ１～Ｇ_yの１つとを有している。また画素９００２はスイッチング用ＴＦＴ９００３とＥＬ駆動用ＴＦＴ９００４とＥＬ素子９００６を有している。

【００１０】

スイッチング用ＴＦＴ９００３のゲート電極は、ゲート信号線Ｇ１～Ｇ_yのいずれか１つに接続されている。スイッチング用ＴＦＴ９００３のソース領域とドレイン領域は、一方がソース信号線Ｓ１～Ｓ_xのいずれか１つに、もう一方がＥＬ駆動用ＴＦＴ９００４のゲート電極、各画素が有するコンデンサ９００５にそれぞれ接続されている。

40

【００１１】

コンデンサ９００５はスイッチング用ＴＦＴ９００３が非選択状態（オフ状態）にある時、ＥＬ駆動用ＴＦＴ９００４のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。

【００１２】

また、ＥＬ駆動用ＴＦＴ９００４のソース領域は電源供給線Ｖ１～Ｖ_xのいずれか１つに接続され、ドレイン領域はＥＬ素子９００６に接続される。電源供給線Ｖ１～Ｖ_xは各画素のコンデンサ９００５に接続されている。

【００１３】

ＥＬ素子９００６は陽極と陰極と、陽極と陰極の間に設けられたＥＬ層とからなる。陽極

50

がE L駆動用T F T 9 0 0 4のドレイン領域に接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がE L駆動用T F T 9 0 0 4のドレイン領域に接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 1 4 】

E L素子9 0 0 6の対向電極はE Lパネルの外部に設けられた電源によって電位（対向電位）が与えられている。また電源供給線V 1 ~ V xにも、E Lパネルの外部に設けられた電源によって電位（電源電位V p）が与えられている。

【 0 0 1 5 】

次に、図17に示した画素部9 0 0 1の動作について説明する。

【 0 0 1 6 】

ゲート信号線G 1に入力された選択信号によってゲート信号線G 1が選択され、ゲート信号線G 1にゲート電極が接続されたスイッチング用T F T 9 0 0 3が全てオンになる。なお本明細書において、信号線が選択されるというのは、該信号線にゲート電極が接続された全てのT F Tがオンになることを意味する。

【 0 0 1 7 】

そして、ソース信号線S 1 ~ S xに入力された画像情報を有するデジタル信号（以下、デジタルビデオ信号と呼ぶ）が、オンのスイッチング用T F T 9 0 0 3を介してE L駆動用T F T 9 0 0 4のゲート電極に入力される。

【 0 0 1 8 】

E L駆動用T F T 9 0 0 4のゲート電極に入力されたデジタルビデオ信号が有する1または0の情報によって、E L駆動用T F T 9 0 0 4のスイッチングが制御される。

【 0 0 1 9 】

E L駆動用T F T 9 0 0 4がオフになった場合、電源供給線V 1 ~ V xの電位がE L素子9 0 0 6の有する画素電極に与えられないので、E L素子9 0 0 6は発光しない。またE L駆動用T F T 9 0 0 4がオンになった場合、電源供給線V 1 ~ V xの電位がE L素子9 0 0 6の有する画素電極に与えられ、E L素子9 0 0 6が発光する。

【 0 0 2 0 】

次に、ゲート信号線G 1の選択が終了し、ゲート信号線G 2が選択され、同様に上述した動作が繰り返される。全てのゲート信号線G 1 ~ G yが選択され、各画素において上記動作が行われることにより、画像が表示される。

【 0 0 2 1 】

【発明が解決しようとする課題】

上記駆動方法において、E Lパネルの外部に設けられた電源によって各電源供給線に与えられた電源電位V pは、各画素が有するE L駆動用T F T 9 0 0 4のソース領域に与えられる。そして、同じ電源供給線に接続された全てのE L駆動用T F T 9 0 0 4のソース領域には、理想的には同じ高さの電位V pが与えられる。

【 0 0 2 2 】

しかし実際には、電源供給線自体に抵抗（配線抵抗）があるため、電源供給線の部位によって電位に差が生じる。電源供給線の電位は、電源から遠ざかっている部位ほどグラウンドの電位に近くなり、配線抵抗によって電源の電位V pとより大きな電位差を有するようになる。そのため、同じ電源供給線に接続されていても、接続される部位によってE L駆動用T F T 9 0 0 4のソース領域に与えられる電位が異なってしまう。

【 0 0 2 3 】

さらに、電源供給線に流れる電流が大きくなればなるほど、電源供給線の部位によって生じる電位差は大きくなる。つまり、電源から同じだけ遠ざかっている部位であっても、電源供給線に流れる電流が大きくなればなるほど、配線抵抗によって生じる電位差がより大きくなり、電源の電位V pから、よりグラウンドの電位に近づく。

【 0 0 2 4 】

そして電源供給線に流れる電流の大きさは、表示する画像によって変化する。これは、画像によって、同じ電源供給線を有する複数の画素のうち、発光する画素と発光しない画素

10

20

30

40

50

の割合が変わるためである。

【 0 0 2 5 】

表示する画像によって発光する画素が多くなると、電源供給線に流れる電流は大きくなり、電源供給線の部位によって生じる電位差は大きくなる。逆に表示する画像によって発光しない画素が多くなると、電源供給線に流れる電流は小さくなり、電源供給線の部位によって生じる電位差は小さくなる。

【 0 0 2 6 】

ソース領域に与えられる電位に差があると、E L 駆動用 T F T 9 0 0 4 を介して E L 素子 9 0 0 6 の画素電極に与えられる電位にも差が生じる。よって、E L 駆動用 T F T 9 0 0 4 を介して同じ電源供給線に画素電極が接続されていても、画素の位置によって E L 素子に流れる電流の大きさが異なってしまい、E L 素子の発光の輝度が異なってしまう。なお、本明細書において輝度とは、E L 素子が発光した瞬間における、E L 素子の単位面積あたりの明るさを意味する。

【 0 0 2 7 】

そして、電源供給線の部位による電位差が大きければ大きいほど、各画素の輝度の差も大きくなる。

【 0 0 2 8 】

図 1 8 は、画素部が有する画素の階調を模式的に示した図である。なお図 1 8 では説明を簡単にするために、画素部において画素が 9 つ設けられている場合について説明する。

【 0 0 2 9 】

画素 (1 , 1)、画素 (1 , 2) 及び画素 (1 , 3) は同じ電源供給線 V 1 を有している。言い換えると、画素 (1 , 1)、画素 (1 , 2) 及び画素 (1 , 3) が有する E L 素子の画素電極は、E L 駆動用 T F T を介して同じ電源供給線 V 1 に接続されている。また画素 (2 , 1)、画素 (2 , 2) 及び画素 (2 , 3) は同じ電源供給線 V 2 を有している。画素 (3 , 1)、画素 (3 , 2) 及び画素 (3 , 3) は同じ電源供給線 V 3 を有している。

【 0 0 3 0 】

そして、画素 (1 , 1)、画素 (2 , 1) 及び画素 (3 , 1) が有する E L 駆動用 T F T のソース領域が、電源供給線 V 1、V 2、V 3 の電源に最も近い側に接続されているとする。

【 0 0 3 1 】

全ての画素において、同じ中間の階調の表示をさせようとした場合、電源供給線 V 1、V 2、V 3 のそれぞれに流れる電流の大きさは同じである。そして、電源から遠ざかるほど電源供給線の電位が配線抵抗によってグラウンドの電位に近づく。よって、画素 (1 , 1)、画素 (2 , 1) 及び画素 (3 , 1) が最も明るくなり、画素 (1 , 3)、画素 (2 , 3) 及び画素 (3 , 3) が最も暗くなる。

【 0 0 3 2 】

しかしこの場合、隣同士の画素の輝度の差は人間の目に視認されるほど大きくはない。また、電源供給線の電源に最も近い画素と、最も遠い画素の輝度の差が、最も大きくなるが、人間から見ると離れている画素同士の輝度の差は目立ちにくい。

【 0 0 3 3 】

次に、画素 (2 , 2) において画素を発光させず、残りの全ての画素において同じ中間の階調を表示させようとした場合について考える。電源供給線 V 2 に流れる電流は、電源供給線 V 1、V 3 のそれぞれに流れる電流よりも小さくなる。よって、電源供給線 V 2 の部位によって生じる電位差は、電源供給線 V 1、V 3 の部位によって生じる電位差より小さくなる。

【 0 0 3 4 】

電源供給線の部位によって生じる電位差が小さくなるほど、電源供給線の電位はグラウンドの電位から電源の電位 V p に近づく。よって E L 素子の画素電極と対向電極の電位差が大きくなるため、E L 素子に流れる電流が大きくなり、該電源供給線を有する画素の輝度

10

20

30

40

50

が高くなる。

【 0 0 3 5 】

よって、図 1 8 (A) に示すように、画素 (2 , 1) の輝度が、画素 (1 , 1)、画素 (3 , 1) の輝度よりも高くなる。また、画素 (2 , 3) の輝度が、画素 (1 , 3)、画素 (3 , 3) の輝度よりも高くなる。

【 0 0 3 6 】

人間から見ると、離れている画素同士の輝度の差は目立ちにくい。よって、画素 (1 , 1) 及び画素 (3 , 1) の輝度と、画素 (1 , 3) 及び画素 (3 , 3) の輝度の差は、人間の目に付きにくい。しかし、隣同士の画素の輝度の差が大きいと、人間の目に付きやすく、視認されやすい。そのため、画素 (2 , 1) と画素 (1 , 1) 及び画素 (3 , 1) の輝度の差は人間の目に付きやすい。また画素 (2 , 3) と画素 (1 , 3) 及び画素 (3 , 3) の輝度の差も人間の目に付きやすい。

10

【 0 0 3 7 】

また、画素 (2 , 2) において一番輝度の高い階調を表示させ、残りの全ての画素において中間の階調を表示させた場合について考える。この場合、電源供給線 V 2 に流れる電流は、電源供給線 V 1、V 3 のそれぞれに流れる電流より大きくなる。よって、電源供給線 V 2 の部位によって生じる電位差は、電源供給線 V 1、V 3 の部位によって生じる電位差より大きくなる。

【 0 0 3 8 】

電源供給線の部位によって生じる電位差が大きくなるほど、電源供給線の電位は電源の電位 V p からグラウンドの電位に近づく。よって E L 素子の画素電極と対向電極の電位差が小さくなるため、E L 素子に流れる電流が小さくなり、該電源供給線を有する画素の輝度が低くなる。

20

【 0 0 3 9 】

よって、図 1 8 (B) に示すように、画素 (2 , 1) の輝度が、画素 (1 , 1)、画素 (3 , 1) の輝度よりも低くなる。また、画素 (2 , 3) の輝度が、画素 (1 , 3)、画素 (3 , 3) の輝度よりも低くなる。

【 0 0 4 0 】

図 1 8 (A) の場合と同様に、図 1 8 (B) の場合も、人間から見ると離れている画素同士の輝度の差は目立ちにくい。よって、画素 (1 , 1) 及び画素 (3 , 1) の輝度と、画素 (1 , 3) 及び画素 (3 , 3) の輝度の差は、人間の目に付きにくい。しかし、隣同士の画素の輝度の差が大きいと、人間の目に付きやすく視認されやすい。そのため、画素 (2 , 1) と画素 (1 , 1) 及び画素 (3 , 1) の輝度の差は人間の目に付きやすい。また画素 (2 , 3) と画素 (1 , 3) 及び画素 (3 , 3) の輝度の差も人間の目に付きやすい。

30

【 0 0 4 1 】

図 1 8 (A) 及び図 1 8 (B) に示した現象はクロストークと呼ばれている。クロストークは画素部の面積が大きくなり、電源供給線の配線抵抗が大きくなればなるほど顕著に現れる。

【 0 0 4 2 】

本発明は、クロストークの発生を抑えることが可能な、発光装置の考案を課題とする。

40

【 0 0 4 3 】

【課題を解決するための手段】

本発明者は、クロストークの発生を抑えるためには、表示する画像により、電源供給線の部位によって生じる電位差が変動するのを抑えることが重要だと考えた。そのために、E L 素子が発光していないときに電源供給線に流れる電流の大きさを制御するための T F T (放電用 T F T) を各画素に設けた。

【 0 0 4 4 】

放電用 T F T のソース領域とドレイン領域は、一方は電源供給線に接続され、もう一方には所定の電位 (基準電位) が与えられている。電源供給線の電位 (電源電位) よりも対向

50

電極の電位（対向電位）が高い場合、基準電位を電源電位よりも高くする。逆に、電源供給線の電位（電源電位）よりも対向電極の電位（対向電位）が低い場合、基準電位を電源電位よりも低くする。

【 0 0 4 5 】

なお本明細書において、接続とは電氣的な接続を意味している。

【 0 0 4 6 】

本発明では、E L 素子の発光はE L 駆動用T F Tによって制御している。そして、デジタルビデオ信号によってE L 駆動用T F Tのスイッチングが制御され、E L 駆動用T F TがオンになるとE L 素子が発光し、放電用T F Tはオフになる。

【 0 0 4 7 】

逆に、デジタルビデオ信号によってE L 駆動用T F Tのスイッチングが制御され、E L 駆動用T F TがオフになるとE L 素子が発光せず非発光の状態になる。このとき放電用T F Tはオンになり、放電用T F Tのチャネル形成領域に電流が流れる。

【 0 0 4 8 】

放電用T F Tのチャネル形成領域に流れる電流は、放電用T F Tがnチャネル型T F Tのとき、ドレイン領域からソース領域に流れる。逆にpチャネル型T F Tのとき、ソース領域からドレイン領域に流れる。

【 0 0 4 9 】

このとき流れる電流は、E L 素子が発光しているときにE L 素子に流れる電流の大きさと同じであることが好ましいが、本発明はこの構成に限定されない。放電用T F Tのチャネル形成領域に流れる電流は、クロストークの発生を抑えられる程度の大きさであれば良い。

【 0 0 5 0 】

上記構成によって、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができる。よって、表示する画像によって、隣り合う画素どうして生じていた、発光しているE L 素子に流れる電流の大きさの差を抑えることができ、クロストークの発生を抑えることができる。

【 0 0 5 1 】

また本発明では、電源供給線の部位によって生じていた電位差が、表示する画像に依存しなくなる。よって、画素の位置によってのみ、E L 素子の画素電極の電位の高さを予測することができる。そこで、画素の位置によって算出した画素電極の電位の高さに基づいて、デジタルビデオ信号を補正してE L 素子の発光する期間を調整し、画素の位置によってE L 素子に輝度の差が生じていても同じ階調を表示することができるようにした。

【 0 0 5 2 】

以下に、本発明の構成を示す。

【 0 0 5 3 】

本発明によって、

1つの電源供給線に、複数のE L 駆動用T F Tのソース領域と、複数の放電用T F Tのドレイン領域が接続されており、

前記複数のE L 駆動用T F Tのドレイン領域に複数のE L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用T F Tのソース領域には所定の電位が与えられており、

前記複数のE L 素子が発光していないときに、前記複数の放電用T F Tのチャネル形成領域に電流が流れており、

前記複数のE L 素子が発光しているときに、前記複数の放電用T F Tはオフになっていることを特徴とする発光装置が提供される。

【 0 0 5 4 】

本発明によって、

1つの電源供給線に、複数のE L 駆動用T F Tのソース領域と、複数の放電用T F Tのドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 素子が発光しているときに、前記複数の E L 駆動用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 素子が発光しているときに、前記複数の放電用 T F T はオフになっていることを特徴とする発光装置が提供される。

【 0 0 5 5 】

10

本発明によって、

1 つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 素子が発光しているときに、前記複数の E L 駆動用 T F T のチャンネル形成領域に電流が流れており、かつ前記複数の放電用 T F T はオフになっており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

20

前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用 T F T のチャンネル形成領域に流れる電流は、ドレイン領域からソース領域に流れており、前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用 T F T のチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れていることを特徴とする発光装置が提供される。

【 0 0 5 6 】

本発明によって、

1 つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

30

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 素子が発光しているときに、前記複数の E L 駆動用 T F T のチャンネル形成領域に電流が流れており、かつ前記複数の放電用 T F T はオフになっており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用 T F T のチャンネル形成領域に流れる電流は、ドレイン領域からソース領域に流れており、前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用 T F T のチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れており、前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流と、前記複数の放電用 T F T のチャンネル形成領域に流れる電流とは大きさが同じであることを特徴とする発光装置が提供される。

40

【 0 0 5 7 】

本発明によって、

1 つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続

50

されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 駆動用 T F T のゲート電極と、前記複数の放電用 T F T のゲート電極は、それぞれが互いに接続されており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 素子が発光しているときに、前記複数の放電用 T F T はオフになっていることを特徴とする発光装置が提供される。

【 0 0 5 8 】

本発明によって、

1つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 駆動用 T F T のゲート電極と、前記複数の放電用 T F T のゲート電極は、それぞれが互いに接続されており、

前記複数の E L 駆動用 T F T と前記複数の放電用 T F T は極性が異なっており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 素子が発光しているときに、前記複数の放電用 T F T はオフになっていることを特徴とする発光装置が提供される。

【 0 0 5 9 】

本発明によって、

1つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 駆動用 T F T のゲート電極と、前記複数の放電用 T F T のゲート電極は、それぞれが互いに接続されており、

前記複数の E L 素子が発光しているときに、前記複数の E L 駆動用 T F T のチャンネル形成領域に電流が流れており、かつ前記複数の放電用 T F T はオフになっており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れることを特徴とする発光装置が提供される。

【 0 0 6 0 】

本発明によって、

1つの電源供給線に、複数の E L 駆動用 T F T のソース領域と、複数の放電用 T F T のドレイン領域が接続されており、

前記複数の E L 駆動用 T F T のドレイン領域に複数の E L 素子の画素電極がそれぞれ接続されており、

前記複数の放電用 T F T のソース領域には所定の電位が与えられており、

前記複数の E L 駆動用 T F T のゲート電極と、前記複数の放電用 T F T のゲート電極は、それぞれが互いに接続されており、

前記複数の E L 素子が発光しているときに、前記複数の E L 駆動用 T F T のチャンネル形成領域に電流が流れており、かつ前記複数の放電用 T F T はオフになっており、

前記複数の E L 素子が発光していないときに、前記複数の放電用 T F T のチャンネル形成領域に電流が流れており、

前記複数の E L 駆動用 T F T のチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用 T F T のチャンネル形成領域に流れる電流は、

10

20

30

40

50

ドレイン領域からソース領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れていることを特徴とする発光装置が提供される。

【００６１】

本発明によって、

１つの電源供給線に、複数のＥＬ駆動用ＴＦＴのソース領域と、複数の放電用ＴＦＴのドレイン領域が接続されており、

前記複数のＥＬ駆動用ＴＦＴのドレイン領域に複数のＥＬ素子の画素電極がそれぞれ接続されており、

10

前記複数の放電用ＴＦＴのソース領域には所定の電位が与えられており、

前記複数のＥＬ駆動用ＴＦＴのゲート電極と、前記複数の放電用ＴＦＴのゲート電極は、それぞれが互いに接続されており、

前記複数のＥＬ素子が発光しているときに、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に電流が流れており、かつ前記複数の放電用ＴＦＴはオフになっており、

前記複数のＥＬ素子が発光していないときに、前記複数の放電用ＴＦＴのチャンネル形成領域に電流が流れており、

前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、

20

ドレイン領域からソース領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流と、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流とは大きさが同じであることを特徴とする発光装置が提供される。

【００６２】

本発明によって、

１つの電源供給線に、複数のＥＬ駆動用ＴＦＴのソース領域と、複数の放電用ＴＦＴのドレイン領域が接続されており、

前記複数のＥＬ駆動用ＴＦＴのドレイン領域に複数のＥＬ素子の画素電極がそれぞれ接続されており、

30

前記複数の放電用ＴＦＴのソース領域には所定の電位が与えられており、

前記複数のＥＬ駆動用ＴＦＴのゲート電極と、前記複数の放電用ＴＦＴのゲート電極は、それぞれが互いに接続されており、

前記複数のＥＬ駆動用ＴＦＴと前記複数の放電用ＴＦＴは極性が異なっており、

前記複数のＥＬ素子が発光しているときに、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に電流が流れており、かつ前記複数の放電用ＴＦＴはオフになっており、

前記複数のＥＬ素子が発光していないときに、前記複数の放電用ＴＦＴのチャンネル形成領域に電流が流れることを特徴とする発光装置が提供される。

【００６３】

40

本発明によって、

１つの電源供給線に、複数のＥＬ駆動用ＴＦＴのソース領域と、複数の放電用ＴＦＴのドレイン領域が接続されており、

前記複数のＥＬ駆動用ＴＦＴのドレイン領域に複数のＥＬ素子の画素電極がそれぞれ接続されており、

前記複数の放電用ＴＦＴのソース領域には所定の電位が与えられており、

前記複数のＥＬ駆動用ＴＦＴのゲート電極と、前記複数の放電用ＴＦＴのゲート電極は、それぞれが互いに接続されており、

前記複数のＥＬ駆動用ＴＦＴと前記複数の放電用ＴＦＴは極性が異なっており、

前記複数のＥＬ素子が発光しているときに、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成

50

領域に電流が流れており、かつ前記複数の放電用ＴＦＴはオフになっており、
前記複数のＥＬ素子が発光していないときに、前記複数の放電用ＴＦＴのチャンネル形成領域に電流が流れており、

前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、ドレイン領域からソース領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れていることを特徴とする発光装置が提供される。

【００６４】

10

本発明によって、

１つの電源供給線に、複数のＥＬ駆動用ＴＦＴのソース領域と、複数の放電用ＴＦＴのドレイン領域が接続されており、

前記複数のＥＬ駆動用ＴＦＴのドレイン領域に複数のＥＬ素子の画素電極がそれぞれ接続されており、

前記複数の放電用ＴＦＴのソース領域には所定の電位が与えられており、

前記複数のＥＬ駆動用ＴＦＴのゲート電極と、前記複数の放電用ＴＦＴのゲート電極は、それぞれが互いに接続されており、

前記複数のＥＬ駆動用ＴＦＴと前記複数の放電用ＴＦＴは極性が異なっており、

前記複数のＥＬ素子が発光しているときに、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に電流が流れており、かつ前記複数の放電用ＴＦＴはオフになっており、

20

前記複数のＥＬ素子が発光していないときに、前記複数の放電用ＴＦＴのチャンネル形成領域に電流が流れており、

前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ソース領域からドレイン領域に流れている場合、前記複数の放電用ＴＦＴのチャンネル形成領域に流れる電流は、ドレイン領域からソース領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流が、ドレイン領域からソース領域に流れている場合、前記複数の放電用

ＴＦＴのチャンネル形成領域に流れる電流は、ソース領域からドレイン領域に流れており、前記複数のＥＬ駆動用ＴＦＴのチャンネル形成領域に流れる電流と、前記複数の放電用ＴＦ

Ｔのチャンネル形成領域に流れる電流とは大きさが同じであることを特徴とする発光装置が提供される。

30

【００６５】

本発明は、前記複数のＥＬ駆動用ＴＦＴのゲート電極及び前記複数の放電用ＴＦＴのゲート電極にデジタルビデオ信号が入力されることで、前記複数のＥＬ駆動用ＴＦＴ及び前記複数の放電用ＴＦＴのスイッチングが制御されることを特徴としても良い。

【００６６】

本発明は、前記デジタルビデオ信号は、複数のスイッチング用ＴＦＴのそれぞれを介して、前記複数のＥＬ駆動用ＴＦＴのゲート電極及び前記複数の放電用ＴＦＴのゲート電極に入力されることを特徴としても良い。

【００６７】

40

本発明は、前記複数の放電用ＴＦＴのソース領域またはドレイン領域のうちの前記電源供給線に接続されていない方と、前記複数のスイッチング用ＴＦＴのゲート電極とは一対一で接続されることを特徴としても良い。

【００６８】

本発明は、前記複数の放電用ＴＦＴのソース領域またはドレイン領域のうちの前記電源供給線に接続されていない方と、前記複数のスイッチング用ＴＦＴのゲート電極とは一対一で接続されており、前記複数のスイッチング用ＴＦＴを介して、前記デジタルビデオ信号が、対応する前記複数の放電用ＴＦＴのゲート電極にそれぞれ入力されることを特徴としても良い。

【００６９】

50

本発明は、前記複数の放電用ＴＦＴのソース領域またはドレイン領域のうちの前記電源供給線に接続されていない方と、前記複数のＥＬ素子の対向電極とがそれぞれ接続されていることを特徴としていても良い。

【００７０】

本発明は、前記複数の放電用ＴＦＴのソース領域またはドレイン領域のうちの前記電源供給線に接続されていない方と、前記複数のスイッチング用ＴＦＴのゲート電極とが、第１の電流制御素子を介してそれぞれ接続されていることを特徴としていても良い。

【００７１】

本発明は、前記複数のスイッチング用ＴＦＴと前記複数の放電用ＴＦＴの極性が同じであることを特徴としていても良い。

10

【００７２】

本発明は、前記複数の放電用ＴＦＴのソース領域またはドレイン領域のうちの前記電源供給線に接続されていない方と、前記ＥＬ素子の対向電極とが第１の電流制御素子を介してそれぞれ接続されていることを特徴としていても良い。

【００７３】

本発明は、前記複数の放電用ＴＦＴのソース領域に第１の電流制御素子が接続されており、前記複数の放電用ＴＦＴのソース領域には前記第１の電流制御素子を介して所定の電位が与えられていることを特徴としていても良い。

【００７４】

本発明は、前記第１の電流制御素子は抵抗、ダイオードまたはＴＦＴであることを特徴としていても良い。

20

【００７５】

本発明は、前記複数の放電用ＴＦＴのドレイン領域は、第２の電流制御素子を介して前記電源供給線に接続されていることを特徴としていても良い。

【００７６】

本発明は、前記第２の電流制御素子は抵抗、ダイオードまたはＴＦＴであることを特徴としていても良い。

【００７７】

本発明は、前記複数のＥＬ駆動用ＴＦＴのソース領域またはドレイン領域と接続されている電源供給線の位置によって、前記複数のＥＬ駆動用ＴＦＴのソース領域またはドレイン領域の前記電源供給線とは接続されていない方とそれぞれ接続されている前記複数のＥＬ素子の発光する期間を調整することを特徴としていても良い。

30

【００７８】

本発明は、前記発光装置を有することを特徴とする電子機器であっても良い。

【００７９】

【発明の実施の形態】

（実施の形態１）

図１に本発明の発光装置の画素の構成を示す。本発明の発光装置が有する画素部には複数の画素１０１が設けられている。画素１０１は、ソース信号線Ｓ_i（Ｓ１～Ｓ_xの１つ）と、電源供給線Ｖ_i（Ｖ１～Ｖ_xの１つ）と、ゲート信号線Ｇ_j（Ｇ１～Ｇ_yの１つ）と、基準電源線Ｃ_j（Ｃ１～Ｃ_yの１つ）を有している。また画素１０１はスイッチング用ＴＦＴ１０２と、ＥＬ駆動用ＴＦＴ１０３と、放電用ＴＦＴ１０４と、ＥＬ素子１０５と、コンデンサ１０６とを有している。

40

【００８０】

ＥＬ駆動用ＴＦＴ１０３と放電用ＴＦＴ１０４の極性は互いに反転している。よってＥＬ駆動用ＴＦＴ１０３がｎチャネル型ＴＦＴの場合、放電用ＴＦＴ１０４はｐチャネル型ＴＦＴである。逆にＥＬ駆動用ＴＦＴ１０３がｐチャネル型ＴＦＴの場合、放電用ＴＦＴ１０４はｎチャネル型ＴＦＴである。

【００８１】

スイッチング用ＴＦＴ１０２のゲート電極は、ゲート信号線Ｇ_jに接続されている。スイ

50

ツチング用 T F T 1 0 2 のソース領域とドレイン領域は、一方がソース信号線 S i に、もう一方が E L 駆動用 T F T 1 0 3 及び放電用 T F T 1 0 4 のゲート電極にそれぞれ接続されている。

【 0 0 8 2 】

また、E L 駆動用 T F T 1 0 3 及び放電用 T F T 1 0 4 のゲート電極と、電源供給線 V i との間にコンデンサ 1 0 6 が設けられている。コンデンサ 1 0 6 はスイッチング用 T F T 1 0 2 が非選択状態（オフの状態）にある時、E L 駆動用 T F T 1 0 3 及び放電用 T F T 1 0 4 のゲート電極の電位を保持するために設けられている。

【 0 0 8 3 】

また、E L 駆動用 T F T 1 0 3 のソース領域は電源供給線 V i に接続され、ドレイン領域は E L 素子 1 0 5 が有する画素電極に接続されている。

10

【 0 0 8 4 】

また放電用 T F T 1 0 4 のソース領域とドレイン領域は、一方は電源供給線 V i に接続されており、もう一方は基準電源線 C j に接続されている。

【 0 0 8 5 】

E L 素子 1 0 5 は陽極と陰極と、陽極と陰極の間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 3 のドレイン領域に接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 3 のドレイン領域に接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 8 6 】

20

E L 素子 1 0 5 の対向電極は E L パネルの外部に設けられた電源によって電位（対向電位）が与えられている。また電源供給線 V i にも、E L パネルの外部に設けられた電源によって電位（電源電位）が与えられている。基準電源線 C j にも、E L パネルの外部に設けられた電源によって電位（基準電位）が与えられている。

【 0 0 8 7 】

次に、図 1 に示した画素 1 0 1 の動作について説明する。本発明の発光装置の駆動では、1 フレーム期間中に複数のサブフレーム期間が設けられている。そして、1 つのサブフレーム期間における各画素の動作は、書き込み期間と表示期間とに分けて説明することができる。

【 0 0 8 8 】

30

まず書き込み期間において、電源供給線 V i の電源電位と対向電極の対向電位は同じ高さに保たれている。より厳密には、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 1 0 5 が発光しない程度の電位差を有している。また書き込み期間において、電源供給線 V i の電源電位と基準電源線 C j の基準電位は、同じ高さに保たれている。

【 0 0 8 9 】

そして、画素部が有する全てのゲート信号線 G 1 ~ G y が、選択信号によって順に選択される。また、各ゲート信号線が選択されている期間において、ソース信号線 S 1 ~ S x に各画素に対応したデジタルビデオ信号が入力される。ソース信号線 S i、ゲート信号線 G j を有する画素を例にして、書き込み期間中における各画素のより詳しい動作を説明する。

40

【 0 0 9 0 】

ゲート信号線 G j に入力される選択信号によって、ゲート信号線 G j が選択されると、ゲート信号線 G j にゲート電極が接続されたスイッチング用 T F T 1 0 2 が全てオンになる。

【 0 0 9 1 】

そして、ソース信号線 S i に入力された 1 ビット分のデジタルビデオ信号が、オンのスイッチング用 T F T 1 0 2 を介して E L 駆動用 T F T 1 0 3 及び放電用 T F T 1 0 4 のゲート電極に入力される。

【 0 0 9 2 】

1 ビット分のデジタルビデオ信号は 1 または 0 の情報を有している。そして、1 ビット分

50

のデジタルビデオ信号が有する 1 または 0 の情報によって、E L 駆動用 T F T 1 0 3 と放電用 T F T 1 0 4 のスイッチングが制御される。E L 駆動用 T F T 1 0 3 と放電用 T F T 1 0 4 の極性は互いに反転しているので、E L 駆動用 T F T 1 0 3 がオンの時は放電用 T F T 1 0 4 がオフになり、E L 駆動用 T F T 1 0 3 がオフの時は放電用 T F T 1 0 4 がオンになる。

【 0 0 9 3 】

全ての画素に 1 ビット分のデジタルビデオ信号が入力されると書き込み期間が終了する。なお本明細書において画素にデジタルビデオ信号が入力されるというのは、該画素が有する E L 駆動用 T F T 及び放電用 T F T のゲート電極にデジタルビデオ信号が入力されることを意味する。

10

【 0 0 9 4 】

書き込み期間が終了すると表示期間が開始される。表示期間において、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 1 0 5 が発光する程度に、電位差を有するようになる。また表示期間において、電源供給線 V i の電源電位と基準電源線 C j の基準電位も電位差を有するようになる。

【 0 0 9 5 】

書き込み期間に画素に入力された 1 ビット分のデジタルビデオ信号によって、E L 駆動用 T F T 1 0 3 がオン、放電用 T F T 1 0 4 がオフになっている場合、オンの E L 駆動用 T F T を介して電源供給線 V i の電源電位が E L 素子 1 0 5 の画素電極に与えられる。その結果、E L 素子 1 0 5 は発光する。

20

【 0 0 9 6 】

逆に、書き込み期間に画素に入力された 1 ビット分のデジタルビデオ信号によって、E L 駆動用 T F T 1 0 3 がオフ、放電用 T F T 1 0 4 がオンになっている場合、電源供給線 V i の電源電位は E L 素子 1 0 5 の画素電極に与えられない。その結果、E L 素子 1 0 5 は発光しない。そして、電源供給線 V i の電源電位と、基準電源線 C j の基準電位との電位差によって、電源供給線 V i と基準電源線 C j との間に放電用 T F T 1 0 4 を介して電流が流れる。この電流は、E L 素子が発光したときに電源供給線 V i に流れる電流と同じ方向に流れる。

【 0 0 9 7 】

より好ましくは、放電用 T F T 1 0 4 がオンのときに、放電用 T F T 1 0 4 のチャネル形成領域に流れる電流は、E L 素子 1 0 5 が発光したときに E L 駆動用 T F T 1 0 3 のチャネル形成領域に流れる電流と同じ大きさであるのが良い。そのためには、電源供給線 V i の電源電位と、基準電源線 C j の基準電位との電位差を調整することが必要である。

30

【 0 0 9 8 】

表示期間が終了すると、次のサブフレーム期間の書き込み期間が開始され、再び上述した動作が行われる。ただし、次のサブフレーム期間の書き込み期間では、次のビットのデジタルビデオ信号が各画素に入力される。

【 0 0 9 9 】

全てのサブフレーム期間が終了すると、1 フレーム期間が終了する。

【 0 1 0 0 】

40

図 2 に 1 フレーム期間において、n 個のサブフレーム期間の出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有するゲート信号線の位置を示している。

【 0 1 0 1 】

n 個のサブフレーム期間は、それぞれ書き込み期間と表示期間を有している。よって 1 つのフレーム期間において、少なくとも n 個の書き込み期間 (T a 1 ~ T a n) と n 個の表示期間 (T d 1 ~ T d n) とが出現する。

【 0 1 0 2 】

n 個の書き込み期間 (T a 1 ~ T a n) と、n 個の表示期間 (T d 1 ~ T d n) は、n ビットのデジタルビデオ信号の各ビットに対応している。n ビットのデジタルビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、n 個の表示期間とが 1 フ

50

レーン期間内に設けられる。

【0103】

1フレーム期間中に書き込み期間 T_a と表示期間 T_d とが繰り返し出現する。1フレーム期間が終了すると、1つの画像が表示される。

【0104】

表示期間 $T_{d1} \sim T_{dn}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{dn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。1フレーム期間中において発光した全ての表示期間の長さの和から、各画素の階調が求められる。よって、1フレーム期間中における発光する表示期間の長さの和を制御することで、所望の階調を表示することができる。

【0105】

なお、サブフレーム期間の出現する順序は、図2に示した構成に限定されない。サブフレーム期間 $SF_1 \sim SF_n$ の出現する順序に決まりはなく、どのような順序で出現していても良い。

【0106】

また、本実施の形態では、書き込み期間において全てのEL素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においてもEL素子が発光することによって表示を行う構成にしても良い。

【0107】

この場合、書き込み期間において、電源供給線 V_i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときにEL素子105が発光する程度の電位差を有している。そして、表示期間 $T_{d1} \sim T_{dn}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{dn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たさなくても良く、代わりにサブフレーム期間 $SF_1 \sim SF_n$ の長さが、 $SF_1 : SF_2 : \dots : SF_n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0108】

また、本実施の形態では、書き込み期間において、電源供給線 V_i の電源電位と基準電源線 C_j の基準電位が同じ高さに保たれているが、本発明はこの構成に限定されない。書き込み期間においても表示期間と同様に、電源供給線 V_i の電源電位と基準電源線 C_j の基準電位が電位差を有していても良い。

【0109】

本発明は、EL素子が発光していない画素においても、放電用TFETを介して電源供給線と基準電源線との間に電流が流れるので、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができ、隣り合う画素どうして生じていた、発光しているEL素子に流れる電流の大きさの差を抑えることができる。よって、隣り合う画素同士の輝度の差を小さくすることができ、クロストークの発生を抑えることができる。

【0110】

(実施の形態2)

本実施の形態では、図1で示した発光装置の画素において、放電用TFETのソース領域もしくはドレイン領域と、電源供給線 V_i との間に電流制御素子を設け、さらに、放電用TFETのソース領域もしくはドレイン領域と、基準電源線 C_j との間にも電流制御素子を設ける構成について説明する。

【0111】

図3に本実施の形態の画素の構成を示す。画素201は、ソース信号線 S_i ($S_1 \sim S_x$ の1つ)と、電源供給線 V_i ($V_1 \sim V_x$ の1つ)と、ゲート信号線 G_j ($G_1 \sim G_y$ の1つ)と、基準電源線 C_j ($C_1 \sim C_y$ の1つ)を有している。また画素201はスイッチング用TFET202と、EL駆動用TFET203と、放電用TFET204と、EL素子205と、コンデンサ206と、電流制御素子207a、207bとを有している。

【0112】

図1の場合と同様に、EL駆動用TFET203と放電用TFET204の極性は互いに反転している。よってEL駆動用TFET203がnチャネル型TFETの場合、放電用TFET2

10

20

30

40

50

04はpチャネル型TF Tである。逆にEL駆動用TF T 203がpチャネル型TF Tの場合、放電用TF T 204はnチャネル型TF Tである。

【0113】

そして、スイッチング用TF T 202のゲート電極は、ゲート信号線Gjに接続されている。スイッチング用TF T 202のソース領域とドレイン領域は、一方がソース信号線Siに、もう一方がEL駆動用TF T 203及び放電用TF T 204のゲート電極にそれぞれ接続されている。

【0114】

また、EL駆動用TF T 203及び放電用TF T 204のゲート電極と、電源供給線Viとの間にコンデンサ206が設けられている。コンデンサ206はスイッチング用TF T 202が非選択状態（オフの状態）にある時、EL駆動用TF T 203及び放電用TF T 204のゲート電極の電位を保持するために設けられている。

10

【0115】

また、EL駆動用TF T 203のソース領域は電源供給線Viに接続され、ドレイン領域はEL素子205が有する画素電極に接続されている。

【0116】

そして本実施の形態では、放電用TF T 204のソース領域とドレイン領域は、一方は電流制御素子207aを介して電源供給線Viに接続されており、もう一方は電流制御素子207bを介して基準電源線Cjに接続されている。

【0117】

EL素子205は陽極と陰極と、陽極と陰極の間に設けられたEL層とからなる。陽極がEL駆動用TF T 203のドレイン領域に接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TF T 203のドレイン領域に接続している場合、陰極が画素電極、陽極が対向電極となる。

20

【0118】

EL素子205の対向電極はELパネルの外部に設けられた電源によって電位（対向電位）が与えられている。また電源供給線Viにも、ELパネルの外部に設けられた電源によって電位（電源電位）が与えられている。基準電源線Cjにも、ELパネルの外部に設けられた電源によって電位（基準電位）が与えられている。

【0119】

画素201の詳しい動作については、実施の形態1の場合と同じであるので、ここでは説明を省略する。

30

【0120】

電流制御素子207a及び207bは、放電用TF T 204のチャンネル形成領域を流れる電流の大きさを制御することができる素子である。電流制御素子207a及び207bを設けることによって、放電用TF T 204がオンのときに電源供給線Viの電源電位と、基準電源線Cjの基準電位とが固定されていたとしても、放電用TF T 204のチャンネル形成領域に流れる電流を、EL素子205が発光したときにEL駆動用TF T 203のチャンネル形成領域に流れる電流とより等しくすることができる。

【0121】

なお、本実施の形態では、電流制御素子を放電用TF T 204のソース領域側とドレイン領域側の両方に設けたが、本発明はこの構成に限定されない。電流制御素子は放電用TF T 204のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用TF T 204のソース領域側に2つ以上の電流制御素子を設けても良いし、ドレイン領域側に2つ以上の電流制御素子を設けても良い。

40

【0122】

ただし、放電用TF T 204のソース領域は、間に電流制御素子を設けずに直接配線と接続した方が、放電用TF T 204のチャンネル形成領域に流れる電流の大きさを制御しやすいので好ましい。

【0123】

50

本発明は、E L素子が発光していない画素においても、放電用T F Tを介して電源供給線と基準電源線との間に電流が流れるので、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができ、隣り合う画素どうしで生じていた、発光しているE L素子に流れる電流の大きさの差を抑えることができる。よって、隣り合う画素同士の輝度の差を小さくすることができ、クロストークの発生を抑えることができる。

【0124】

(実施の形態3)

本実施の形態では、図1で示した発光装置の画素において、基準電源線C_jの代わりにゲート信号線G_jを用いた場合の、画素の構成について説明する。

10

【0125】

図4に本実施の形態の画素の構成を示す。画素301は、ソース信号線S_i(S₁~S_xの1つ)と、電源供給線V_i(V₁~V_xの1つ)と、ゲート信号線G_j(G₁~G_yの1つ)とを有している。また画素301はスイッチング用T F T 302と、E L駆動用T F T 303と、放電用T F T 304と、E L素子305と、コンデンサ306とを有している。

【0126】

そして、スイッチング用T F T 302のゲート電極は、ゲート信号線G_jに接続されている。スイッチング用T F T 302のソース領域とドレイン領域は、一方がソース信号線S_iに、もう一方がE L駆動用T F T 303及び放電用T F T 304のゲート電極にそれぞれ接続されている。

20

【0127】

また、E L駆動用T F T 303及び放電用T F T 304のゲート電極と、電源供給線V_iとの間にコンデンサ306が設けられている。コンデンサ306はスイッチング用T F T 302が非選択状態(オフの状態)にある時、E L駆動用T F T 303及び放電用T F T 304のゲート電極の電位を保持するために設けられている。

【0128】

また、E L駆動用T F T 303のソース領域は電源供給線V_iに接続され、ドレイン領域はE L素子305が有する画素電極に接続されている。

【0129】

そして本実施の形態では、放電用T F T 304のソース領域とドレイン領域は、一方は電源供給線V_iに接続されており、もう一方はゲート信号線G_jに接続されている。

30

【0130】

放電用T F T 304のソース領域またはドレイン領域と、ゲート信号線とが接続されている場合、E L駆動用T F T 303がpチャネル型T F Tだと、選択されていないときのゲート信号線の電位を電源電位よりも低くしなくてはならない。また、逆にE L駆動用T F T 303がnチャネル型T F Tだと、選択されていないときのゲート信号線の電位を電源電位よりも高くしなくてはならない。よって、本実施の形態では、スイッチング用T F T 302と放電用T F T 304の極性が同じである。そしてスイッチング用T F T 302及び放電用T F T 304と、E L駆動用T F T 303の極性は互いに反転している。よってE L駆動用T F T がnチャネル型T F Tの場合、スイッチング用T F T 302及び放電用T F Tはpチャネル型T F Tである。逆にE L駆動用T F Tがpチャネル型T F Tの場合、スイッチング用T F T 302及び放電用T F Tはnチャネル型T F Tである。

40

【0131】

E L素子305は陽極と陰極と、陽極と陰極の間に設けられたE L層とからなる。陽極がE L駆動用T F T 303のドレイン領域に接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がE L駆動用T F T 303のドレイン領域に接続している場合、陰極が画素電極、陽極が対向電極となる。

【0132】

E L素子305の対向電極はE Lパネルの外部に設けられた電源によって電位(対向電位

50

）が与えられている。また電源供給線 V_i にも、EL パネルの外部に設けられた電源によって電位（電源電位）が与えられている。

【0133】

次に、図4に示した画素301の動作について説明する。本実施の形態においても実施の形態1と同様に、1フレーム期間中に複数のサブフレーム期間が設けられている。そして、1つのサブフレーム期間における各画素の動作は、書き込み期間と表示期間とに分けて説明することができる。

【0134】

まず書き込み期間において、電源供給線 V_i の電源電位と対向電極の対向電位は同じ高さに保たれている。より厳密には、電源供給線 V_i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときにEL素子305が発光しない程度の電位差を有している。

10

【0135】

また本実施の形態では、選択されていないときのゲート信号線 G_j と、電源供給線 V_i の電源電位との電位差は、選択されているときのゲート信号線 G_j と、電源供給線 V_i の電源電位との電位差より大きい。そして本実施の形態では、電源供給線 V_i の電源電位は常に一定である。

【0136】

そして、画素部が有する全てのゲート信号線 $G_1 \sim G_y$ が、選択信号によって順に選択される。また、各ゲート信号線が選択されている期間において、ソース信号線 $S_1 \sim S_x$ に各画素に対応したデジタルビデオ信号が入力される。ソース信号線 S_i 、ゲート信号線 G_j を有する画素を例にして、書き込み期間中における各画素のより詳しい動作を説明する。

20

【0137】

ゲート信号線 G_j に入力される選択信号によって、ゲート信号線 G_j が選択されると、ゲート信号線 G_j にゲート電極が接続されたスイッチング用 TFT 302 が全てオンになる。

【0138】

そして、ソース信号線 S_i に入力された1ビット分のデジタルビデオ信号が、オンのスイッチング用 TFT 302 を介してEL駆動用 TFT 303 及び放電用 TFT 304 のゲート電極に入力される。

30

【0139】

1ビット分のデジタルビデオ信号は1または0の情報を有している。そして、1ビット分のデジタルビデオ信号が有する1または0の情報によって、EL駆動用 TFT 303 と放電用 TFT 304 のスイッチングが制御される。EL駆動用 TFT 303 と放電用 TFT 304 の極性は互いに反転しているので、EL駆動用 TFT 303 がオンの時は放電用 TFT 304 がオフになり、EL駆動用 TFT 303 がオフの時は放電用 TFT 304 がオンになる。

【0140】

全ての画素に1ビット分のデジタルビデオ信号が入力されると書き込み期間が終了する。

【0141】

書き込み期間が終了すると表示期間が開始される。表示期間において、対向電極の対向電位の高さが変わり、電源供給線 V_i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときにEL素子305が発光する程度に、電位差を有するようになる。

40

【0142】

書き込み期間に画素に入力された1ビット分のデジタルビデオ信号によって、EL駆動用 TFT 303 がオン、放電用 TFT 304 がオフになっている場合、オンのEL駆動用 TFT 303 を介して電源供給線 V_i の電源電位がEL素子305の画素電極に与えられる。その結果、EL素子305は発光する。

【0143】

逆に、書き込み期間に画素に入力された1ビット分のデジタルビデオ信号によって、EL

50

駆動用 T F T 3 0 3 がオフ、放電用 T F T 3 0 4 がオンになっている場合、電源供給線 V i の電源電位は E L 素子 3 0 5 の画素電極に与えられない。その結果、E L 素子 3 0 5 は発光しない。そして、電源供給線 V i の電源電位と、ゲート信号線 G j の基準電位との電位差によって、放電用 T F T 3 0 4 のチャネル形成領域を介して電源供給線 V i とゲート信号線 G j との間に電流が流れる。この電流は、E L 素子が発光したときに電源供給線 V i に流れる電流と同じ方向に流れる。

【 0 1 4 4 】

より好ましくは、放電用 T F T 3 0 4 がオンのときに、放電用 T F T 3 0 4 のチャネル形成領域に流れる電流は、E L 素子 3 0 5 が発光したときに E L 駆動用 T F T 3 0 3 のチャネル形成領域に流れる電流と同じ大きさであるのが良い。

【 0 1 4 5 】

表示期間が終了すると、次のサブフレーム期間の書き込み期間が開始され、再び上述した動作が行われる。ただし、次のサブフレーム期間の書き込み期間では、次のビットのデジタルビデオ信号が各画素に入力される。

【 0 1 4 6 】

全てのサブフレーム期間が終了すると、1 フレーム期間が終了する。

【 0 1 4 7 】

1 フレーム期間において、n 個のサブフレーム期間の出現するタイミングは、画素 3 0 1 の詳しい動作については、実施の形態 1 の場合と同じであるので、ここでは説明を省略する。

【 0 1 4 8 】

本実施の形態では、書き込み期間において全ての E L 素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においても E L 素子が発光することによって表示を行う構成にしても良い。

【 0 1 4 9 】

この場合、書き込み期間において、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 3 0 5 が発光する程度の電位差を有している。そして、表示期間 T d 1 ~ T d n の長さは、 $T d 1 : T d 2 : \dots : T d n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たさなくても良く、代わりにサブフレーム期間 S F 1 ~ S F n の長さが、 $S F 1 : S F 2 : \dots : S F n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【 0 1 5 0 】

また、本実施の形態においても、実施の形態 2 で示したように電流制御素子を設けても良い。本実施の形態において電流制御素子を設ける場合、放電用 T F T 3 0 4 のソース領域もしくはドレイン領域と、電源供給線 V i との間に電流制御素子を設け、放電用 T F T 3 0 4 のソース領域もしくはドレイン領域と、ゲート信号線 G j との間に電流制御素子を設ける。また、電流制御素子を放電用 T F T 3 0 4 のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用 T F T 3 0 4 のソース領域側に 2 つ以上の電流制御素子を設けても良いし、ドレイン領域側に 2 つ以上の電流制御素子を設けても良い。

【 0 1 5 1 】

電流制御素子を設けることによって、放電用 T F T 3 0 4 がオンのときに電源供給線 V i の電源電位と、ゲート信号線 G j の電位とが固定されていても、放電用 T F T 3 0 4 のチャネル形成領域に流れる電流を、E L 素子 3 0 5 が発光したときに E L 駆動用 T F T 3 0 3 のチャネル形成領域に流れる電流とより等しくすることができる。

【 0 1 5 2 】

なお、放電用 T F T 3 0 4 のソース領域又はドレイン領域に接続されるゲート信号線は、別の画素が有するゲート信号線であっても良い。特に、書き込み期間においても E L 素子が発光する駆動方法の場合、ゲート信号線 G j が選択されているとき、前段のゲート信号線 G (j - 1) の電位は既に一定になっているので、放電用 T F T 3 0 4 のソース領域又はドレイン領域を前段のゲート信号線 G (j - 1) に接続するのが好ましい。

10

20

30

40

50

【 0 1 5 3 】

本発明は、E L 素子が発光していない画素においても、放電用 T F T を介して電源供給線とゲート信号線との間に電流が流れるので、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができ、隣り合う画素どうしで生じていた、発光している E L 素子に流れる電流の大きさの差を抑えることができる。よって、隣り合う画素同士の輝度の差を小さくすることができ、クロストークの発生を抑えることができる。

【 0 1 5 4 】

また、本実施の形態では、実施の形態 1 に示した画素とは違い、基準電源線を設ける必要がないので、歩留まりを高くすることができる。そして、E L 素子から基板の方向に向かって光が発せられる場合において、実施の形態 1 に示した画素に比べて開口率が高くなる。開口率が高くなると、E L 素子に流れる電流が同じでも、画素の輝度は高くなる。

10

【 0 1 5 5 】

(実施の形態 4)

本実施の形態では、図 1 で示した発光装置の画素において、基準電源線 C j を用いずに、E L 素子の対向電極に電位を与えている電源と放電用 T F T のソース領域またはドレイン領域とを接続する場合の、画素の構成について説明する。

【 0 1 5 6 】

図 5 に本実施の形態の画素の構成を示す。画素 4 0 1 は、ソース信号線 S i (S 1 ~ S x の 1 つ) と、電源供給線 V i (V 1 ~ V x の 1 つ) と、ゲート信号線 G j (G 1 ~ G y の 1 つ) とを有している。また画素 4 0 1 はスイッチング用 T F T 4 0 2 と、E L 駆動用 T F T 4 0 3 と、放電用 T F T 4 0 4 と、E L 素子 4 0 5 と、コンデンサ 4 0 6 とを有している。

20

【 0 1 5 7 】

E L 駆動用 T F T 4 0 3 と放電用 T F T 4 0 4 の極性は互いに反転している。よって E L 駆動用 T F T 4 0 3 が n チャネル型 T F T の場合、放電用 T F T 4 0 4 は p チャネル型 T F T である。逆に E L 駆動用 T F T 4 0 3 が p チャネル型 T F T の場合、放電用 T F T 4 0 4 は n チャネル型 T F T である。

【 0 1 5 8 】

そして、スイッチング用 T F T 4 0 2 のゲート電極は、ゲート信号線 G j に接続されている。スイッチング用 T F T 4 0 2 のソース領域とドレイン領域は、一方がソース信号線 S i に、もう一方が E L 駆動用 T F T 4 0 3 及び放電用 T F T 4 0 4 のゲート電極にそれぞれ接続されている。

30

【 0 1 5 9 】

また、E L 駆動用 T F T 4 0 3 及び放電用 T F T 4 0 4 のゲート電極と、電源供給線 V i との間にコンデンサ 4 0 6 が設けられている。コンデンサ 4 0 6 はスイッチング用 T F T 4 0 2 が非選択状態 (オフの状態) にある時、E L 駆動用 T F T 4 0 3 及び放電用 T F T 4 0 4 のゲート電極の電位を保持するために設けられている。

【 0 1 6 0 】

また、E L 駆動用 T F T 4 0 3 のソース領域は電源供給線 V i に接続され、ドレイン領域は E L 素子 4 0 5 が有する画素電極に接続されている。

40

【 0 1 6 1 】

そして本実施の形態では、放電用 T F T 4 0 4 のソース領域とドレイン領域は、一方は電源供給線 V i に接続されており、もう一方は E L 素子 4 0 5 の対向電極に接続されている電源 (対向電源) 4 0 7 に接続されている。

【 0 1 6 2 】

E L 素子 4 0 5 は陽極と陰極と、陽極と陰極の間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 4 0 3 のドレイン領域に接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 4 0 3 のドレイン領域に接続している場合、陰極が画素電極、陽極が対向電極となる。

50

【 0 1 6 3 】

E L 素子 4 0 5 の対向電極は E L パネルの外部に設けられた対向電源 4 0 7 によって電位（対向電位）が与えられている。また、放電用 T F T 4 0 4 のソース領域とドレイン領域のうち、対向電源 4 0 7 に接続されたいずれか一方にも、対向電位が与えられている。また、電源供給線 V i にも、E L パネルの外部に設けられた電源によって電位（電源電位）が与えられている。

【 0 1 6 4 】

次に、図 5 に示した画素 4 0 1 の動作について説明する。本実施の形態においても実施の形態 1 と同様に、1 フレーム期間中に複数のサブフレーム期間が設けられている。そして、1 つのサブフレーム期間における各画素の動作は、書き込み期間と表示期間とに分けて説明することができる。

10

【 0 1 6 5 】

まず書き込み期間において、電源供給線 V i の電源電位と対向電極の対向電位は同じ高さに保たれている。より厳密には、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 4 0 5 が発光しない程度の電位差を有している。

【 0 1 6 6 】

そして、画素部が有する全てのゲート信号線 G 1 ~ G y が、選択信号によって順に選択される。また、各ゲート信号線が選択されている期間において、ソース信号線 S 1 ~ S x に各画素に対応したデジタルビデオ信号が入力される。ソース信号線 S i 、ゲート信号線 G j を有する画素を例にして、書き込み期間中における各画素のより詳しい動作を説明する。

20

【 0 1 6 7 】

ゲート信号線 G j に入力される選択信号によって、ゲート信号線 G j が選択されると、ゲート信号線 G j にゲート電極が接続されたスイッチング用 T F T 4 0 2 が全てオンになる。

【 0 1 6 8 】

そして、ソース信号線 S i に入力された 1 ビット分のデジタルビデオ信号が、オンのスイッチング用 T F T 4 0 2 を介して E L 駆動用 T F T 4 0 3 及び放電用 T F T 4 0 4 のゲート電極に入力される。

【 0 1 6 9 】

1 ビット分のデジタルビデオ信号は 1 または 0 の情報を有している。そして、1 ビット分のデジタルビデオ信号が有する 1 または 0 の情報によって、E L 駆動用 T F T 4 0 3 と放電用 T F T 4 0 4 のスイッチングが制御される。E L 駆動用 T F T 4 0 3 と放電用 T F T 4 0 4 の極性は互いに反転しているので、E L 駆動用 T F T 4 0 3 がオンの時は放電用 T F T 4 0 4 がオフになり、E L 駆動用 T F T 4 0 3 がオフの時は放電用 T F T 4 0 4 がオンになる。

30

【 0 1 7 0 】

全ての画素に 1 ビット分のデジタルビデオ信号が入力されると書き込み期間が終了する。

【 0 1 7 1 】

書き込み期間が終了すると表示期間が開始される。表示期間において、対向電極の対向電位の高さが変わり、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 4 0 5 が発光する程度に、電位差を有するようになる。

40

【 0 1 7 2 】

書き込み期間に画素に入力された 1 ビット分のデジタルビデオ信号によって、E L 駆動用 T F T 4 0 3 がオン、放電用 T F T 4 0 4 がオフになっている場合、オンの E L 駆動用 T F T を介して電源供給線 V i の電源電位が E L 素子 4 0 5 の画素電極に与えられる。その結果、E L 素子 4 0 5 は発光する。

【 0 1 7 3 】

逆に、書き込み期間に画素に入力された 1 ビット分のデジタルビデオ信号によって、E L 駆動用 T F T 4 0 3 がオフ、放電用 T F T 4 0 4 がオンになっている場合、電源供給線 V

50

i の電源電位は E L 素子 4 0 5 の画素電極に与えられない。その結果、E L 素子 4 0 5 は発光しない。そして、電源供給線 V i の電源電位と、対向電位との電位差によって、電源供給線 V i と対向電源との間に放電用 T F T 4 0 4 を介して電流が流れる。この電流は、E L 素子 4 0 5 が発光したときに電源供給線 V i に流れる電流と同じ方向に流れる。

【 0 1 7 4 】

より好ましくは、放電用 T F T 4 0 4 がオンのときに、放電用 T F T 4 0 4 のチャネル形成領域に流れる電流は、E L 素子 4 0 5 が発光したときに E L 駆動用 T F T 4 0 3 のチャネル形成領域に流れる電流と同じ大きさであるのが良い。

【 0 1 7 5 】

表示期間が終了すると、次のサブフレーム期間の書き込み期間が開始され、再び上述した動作が行われる。ただし、次のサブフレーム期間の書き込み期間では、次のビットのデジタルビデオ信号が各画素に入力される。

10

【 0 1 7 6 】

全てのサブフレーム期間が終了すると、1 フレーム期間が終了する。

【 0 1 7 7 】

1 フレーム期間において、n 個のサブフレーム期間の出現するタイミングは、画素 4 0 1 の詳しい動作については、実施の形態 1 の場合と同じであるので、ここでは説明を省略する。

【 0 1 7 8 】

本実施の形態では、書き込み期間において全ての E L 素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においても E L 素子が発光することによって表示を行う構成にしても良い。

20

【 0 1 7 9 】

この場合、書き込み期間において、電源供給線 V i の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子 4 0 5 が発光する程度の電位差を有している。そして、表示期間 T d 1 ~ T d n の長さは、 $T d 1 : T d 2 : \dots : T d n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たさなくても良く、代わりにサブフレーム期間 S F 1 ~ S F n の長さが、 $S F 1 : S F 2 : \dots : S F n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【 0 1 8 0 】

また、本実施の形態においても、実施の形態 2 で示したように電流制御素子を設けても良い。本実施の形態において電流制御素子を設ける場合、放電用 T F T 4 0 4 のソース領域もしくはドレイン領域と、電源供給線 V i との間に電流制御素子を設け、放電用 T F T 4 0 4 のソース領域もしくはドレイン領域と、対向電極との間に電流制御素子を設ける。また、電流制御素子を放電用 T F T 4 0 4 のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用 T F T 4 0 4 のソース領域側に 2 つ以上の電流制御素子を設けても良いし、ドレイン領域側に 2 つ以上の電流制御素子を設けても良い。

30

【 0 1 8 1 】

電流制御素子を設けることによって、放電用 T F T 4 0 4 がオンのときに電源供給線 V i の電源電位と、対向電位とが固定されていても、放電用 T F T 4 0 4 のチャネル形成領域に流れる電流を、E L 素子 4 0 5 が発光したときに E L 駆動用 T F T 4 0 3 のチャネル形成領域に流れる電流とより等しくすることができる。

40

【 0 1 8 2 】

本発明は、E L 素子が発光していない画素においても、放電用 T F T を介して電源供給線と対向電源との間に電流が流れるので、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができ、隣り合う画素どうしで生じていた、発光している E L 素子に流れる電流の大きさの差を抑えることができる。よって、隣り合う画素同士の輝度の差を小さくすることができ、クロストークの発生を抑えることができる。

【 0 1 8 3 】

また、本実施の形態では、実施の形態 1 に示した画素とは違い、基準電源線を設ける必要

50

がないので、歩留まりを高くすることができる。そして、E L素子から基板の方向に向かって光が発せられる場合において、実施の形態1に示した画素に比べて開口率が高くなる。開口率が高くなると、E L素子に流れる電流が同じでも、画素の輝度は高くなる。

【0184】

なお、全ての実施の形態において、陽極を画素電極として用い、陰極を対向電極として用いる場合、E L駆動用T F Tはpチャネル型T F Tの方が好ましい。逆に、陰極を画素電極として用い、陽極を対向電極として用いる場合、E L駆動用T F Tはnチャネル型T F Tの方が好ましい。

【0185】

【実施例】

以下に、本発明の実施例について説明する。

【0186】

(実施例1)

本実施例では、図3に示した画素が有する電流制御素子として、抵抗を用いた場合について説明する。

【0187】

図6に本実施例の画素の構成を示す。図3において既に示したのものには同じ符号を付している。本実施例では図3で示した電流制御素子207a、207bとして、抵抗(電流制御用抵抗)を用いている。

【0188】

電流制御用抵抗207a及び207bは、スイッチング用T F T 202、E L駆動用T F T 203及び放電用T F T 204と同時に形成することが可能であるので、電流制御用抵抗207a及び207bを設けても工程数の増加にはつながらない。

【0189】

なお、電流制御用抵抗207a及び207bは、放電用T F T 204のチャネル形成領域を流れる電流の大きさを制御することができる。よって、電流制御用抵抗207a及び207bを設けることによって、放電用T F T 204がオンのときに電源供給線V_iの電源電位と、基準電源線C_jの基準電位とが固定されていたとしても、放電用T F T 204のチャネル形成領域に流れる電流を、E L素子205が発光したときにE L駆動用T F T 203のチャネル形成領域に流れる電流とより等しくすることができる。

【0190】

なお、本実施例では、電流制御用抵抗を放電用T F T 204のソース領域側とドレイン領域側の両方に設けたが、本発明はこの構成に限定されない。電流制御素子は放電用T F T 204のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用T F T 204のソース領域側に2つ以上の電流制御用抵抗を設けても良いし、ドレイン領域側に2つ以上の電流制御用抵抗を設けても良い。

【0191】

なお本実施例で用いた電流制御用抵抗は、図4及び図5に示した画素に電流制御素子として設けることができる。

【0192】

なお本発明の電流制御素子は、本実施例において示した構成に限定されない。電流の大きさを制御できる素子であれば、本発明の電流制御素子として用いることが可能である。

(実施例2)

本実施例では、図3に示した画素が有する電流制御素子として、ダイオードを用いた場合について説明する。

【0193】

図7に本実施例の画素の構成を示す。図3において既に示したのものには同じ符号を付している。本実施例では図3で示した電流制御素子207a、207bとして、ダイオード(電流制御用ダイオード)を用いている。

【0194】

10

20

30

40

50

電流制御用ダイオード 207a 及び 207b は、一方向にしか電流を流さない整流という働きを有する半導体ダイオードである。電流制御用ダイオード 207a 及び 207b として、例えば、pn 接合を利用する pn 接合ダイオード、pin 接合を利用する pin 接合ダイオード、金属と半導体との接触を利用するショットキー・ダイオード、MOS ダイオード(MOS(モス)素子)などを利用することが可能である。

【0195】

電流制御用ダイオード 207a 及び 207b は、放電用 TFT 204 のチャネル形成領域に流れる電流の方向を順方向とするように接続されている。

【0196】

電流制御用ダイオード 207a 及び 207b は、スイッチング用 TFT 202、EL 駆動用 TFT 203 及び放電用 TFT 204 と同時に形成することが可能であるので、電流制御用ダイオード 207a 及び 207b を設けても工程数の増加にはつながらない。

【0197】

なお、電流制御用ダイオード 207a 及び 207b は、放電用 TFT 204 のチャネル形成領域を流れる電流の大きさを制御することができる。よって、電流制御用ダイオード 207a 及び 207b を設けることによって、放電用 TFT 204 がオンのときに電源供給線 Vi の電源電位と、基準電源線 Cj の基準電位とが固定されていたとしても、放電用 TFT 204 のチャネル形成領域に流れる電流を、EL 素子 205 が発光したときに EL 駆動用 TFT 203 のチャネル形成領域に流れる電流とより等しくすることができる。

【0198】

なお、本実施例では、電流制御用ダイオードを放電用 TFT 204 のソース領域側とドレイン領域側の両方に設けたが、本発明はこの構成に限定されない。電流制御素子は放電用 TFT 204 のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用 TFT 204 のソース領域側に 2 つ以上の電流制御用ダイオードを設けても良いし、ドレイン領域側に 2 つ以上の電流制御用ダイオードを設けても良い。

【0199】

なお本実施例で用いた電流制御用ダイオードは、図 4 及び図 5 に示した画素に電流制御素子として設けることができる。

【0200】

特に、図 4 のように基準電源線の代わりにゲート信号線を用いた場合、対向電位が電源電位より高くても、選択されているゲート信号線の電位が電源電位より低くなることもある。逆に対向電位が電源電位より低くても、選択されているゲート信号線の電位が電源電位より高くなることもある。この場合、放電用 TFT のチャネル形成領域に流れる電流が、放電用 TFT が n チャネル型の場合にソース領域からドレイン領域へ流れ、放電用 TFT が p チャネル型の場合にドレイン領域からソース領域へ流れてしまう。それを防止するために電流制御用ダイオードを設けることは有効である。

【0201】

なお本発明の電流制御素子は、本実施例において示した構成に限定されない。電流の大きさを制御できる素子であれば、本発明の電流制御素子として用いることが可能である。

【0202】

なお本実施例は、実施例 1 の構成と組み合わせて実施することが可能である。(実施例 3)

本実施例では、図 3 に示した画素が有する電流制御素子として、TFT を用いた場合について説明する。

【0203】

図 8 に本実施例の画素の構成を示す。図 3 において既に示したのものには同じ符号を付している。ただし本実施例では説明を容易にするために、EL 駆動用 TFT 203 が p チャネル型 TFT、放電用 TFT 204 が n チャネル型 TFT の場合について説明する。

【0204】

また、本実施例では図 3 で示した電流制御素子 207a、207b として、TFT (電流

10

20

30

40

50

制御用ＴＦＴ）を用いている。図８では、電流制御用ＴＦＴはｐチャネル型ＴＦＴである。

【０２０５】

電流制御用ＴＦＴ２０７ａのソース領域とドレイン領域は、一方は電源供給線Ｖ_iに接続されており、もう一方は放電用ＴＦＴのドレイン領域に接続されている。電流制御用ＴＦＴ２０７ｂのソース領域とドレイン領域は、一方は基準電源線Ｃ_jに接続されており、もう一方は放電用ＴＦＴのソース領域に接続されている。

【０２０６】

電流制御素子２０７ａ、２０７ｂのゲート電極は、電流制御素子２０７ａ、２０７ｂのドレイン領域と同じ電位に保たれている。よって、放電用ＴＦＴがオンだと、放電用ＴＦＴのチャンネル形成領域に流れる電流が、放電用ＴＦＴがｎチャネル型の場合にドレイン領域からソース領域へ流れ、放電用ＴＦＴがｐチャネル型の場合にソース領域からドレイン領域へ流れる。

【０２０７】

電流制御用ＴＦＴ２０７ａ及び２０７ｂは、スイッチング用ＴＦＴ２０２、ＥＬ駆動用ＴＦＴ２０３及び放電用ＴＦＴ２０４と同時に形成することが可能であるので、電流制御用ＴＦＴ２０７ａ及び２０７ｂを設けても工程数の増加にはつながらない。

【０２０８】

なお、電流制御用ＴＦＴ２０７ａ及び２０７ｂは、放電用ＴＦＴ２０４のチャンネル形成領域を流れる電流の大きさを制御することができる。よって、電流制御用ＴＦＴ２０７ａ及び２０７ｂを設けることによって、放電用ＴＦＴ２０４がオンのときに電源供給線Ｖ_iの電源電位と、基準電源線Ｃ_jの基準電位とが固定されていたとしても、放電用ＴＦＴ２０４のチャンネル形成領域に流れる電流を、ＥＬ素子２０５が発光したときにＥＬ駆動用ＴＦＴ２０３のチャンネル形成領域に流れる電流とより等しくすることができる。

【０２０９】

なお、本実施例では、電流制御用ＴＦＴを放電用ＴＦＴ２０４のソース領域側とドレイン領域側の両方に設けたが、本発明はこの構成に限定されない。電流制御素子は放電用ＴＦＴ２０４のソース領域側だけに設けても良いし、ドレイン領域側だけに設けても良い。また、放電用ＴＦＴ２０４のソース領域側に２つ以上の電流制御用ＴＦＴを設けても良いし、ドレイン領域側に２つ以上の電流制御用ＴＦＴを設けても良い。

【０２１０】

また本実施例の電流制御用ＴＦＴはｐチャネル型ＴＦＴに限定されない。図９に電流制御用ＴＦＴがｎチャネル型ＴＦＴである場合の画素の構成を示す。図９においても図８と同様に、電流制御用ＴＦＴ２０７ａ及び２０７ｂのゲート電極は、電流制御用ＴＦＴ２０７ａ及び２０７ｂのドレイン領域と同じ電位に保たれている。

【０２１１】

そして本実施例では、ＥＬ駆動用ＴＦＴ２０３がｐチャネル型ＴＦＴ、放電用ＴＦＴ２０４がｎチャネル型ＴＦＴの場合について説明したが、本実施例ではこの構成に限定されない。ＥＬ駆動用ＴＦＴ２０３がｎチャネル型ＴＦＴで放電用ＴＦＴ２０４がｐチャネル型ＴＦＴの場合であっても、電流制御素子として電流制御用ＴＦＴを用いることができる。

【０２１２】

なお本実施例で用いた電流制御用ＴＦＴは、図４及び図５に示した画素に電流制御素子として設けることができる。

【０２１３】

特に、図４のように基準電源線の代わりにゲート信号線を用いた場合、対向電位が電源電位より高くても、選択されているゲート信号線の電位が電源電位より低くなることもある。逆に対向電位が電源電位より低くても、選択されているゲート信号線の電位が電源電位より高くなることもある。この場合、放電用ＴＦＴのチャンネル形成領域に流れる電流が、放電用ＴＦＴがｎチャネル型の場合にソース領域からドレイン領域へ流れ、放電用ＴＦＴがｐチャネル型の場合にドレイン領域からソース領域へ流れてしまう。それを防止するた

めに電流制御用 T F T を設けることは有効である。

【 0 2 1 4 】

なお本発明の電流制御素子は、本実施例において示した構成に限定されない。電流の大きさを制御できる素子であれば、本発明の電流制御素子として用いることが可能である。

【 0 2 1 5 】

なお本実施例は、実施例 1 または 2 の構成と組み合わせて実施することが可能である。

【 0 2 1 6 】

(実施例 4)

本実施例では、 n ビットのデジタルビデオ信号に対応した本発明の発光装置の駆動において、サブフレーム期間 $S F 1 \sim S F n$ の出現する順序について説明する。

10

【 0 2 1 7 】

図 10 に 1 フレーム期間において、 n 個の書き込み期間 ($T a 1 \sim T a n$) と n 個の表示期間 ($T d 1 \sim T d n$) とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有するゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態を参照すれば良いので、ここでは省略する。

【 0 2 1 8 】

本実施例の駆動方法では、1 フレーム期間中で 1 番長い表示期間を有するサブフレーム期間 (本実施例では $S F n$) を、1 フレーム期間の最初及び最後に設けない。言い換えると、1 フレーム期間中で 1 番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成にしている。

20

【 0 2 1 9 】

上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずることができる。

【 0 2 2 0 】

本実施例では、書き込み期間において全ての E L 素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においても E L 素子が発光することによって表示を行う構成にしても良い。

【 0 2 2 1 】

この場合、書き込み期間において、電源供給線の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度の電位差を有している。そして、表示期間 $T d 1 \sim T d n$ の長さは、 $T d 1 : T d 2 : \dots : T d n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たさなくても良く、代わりにサブフレーム期間 $S F 1 \sim S F n$ の長さが、 $S F 1 : S F 2 : \dots : S F n = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

30

【 0 2 2 2 】

なお本実施例の構成は $n = 3$ の場合において有効である。また、本実施例は実施例 1 ~ 3 と自由に組み合わせて実施することが可能である。

【 0 2 2 3 】

(実施例 5)

本実施例では、本発明の発光装置を 6 ビットのデジタルビデオ信号を用いて駆動させる例について説明する。

40

【 0 2 2 4 】

図 11 に、1 フレーム期間において、6 個の書き込み期間 ($T a 1 \sim T a 6$) と 6 個の表示期間 ($T d 1 \sim T d 6$) とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有するゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態を参照すれば良いので、ここでは省略する。

【 0 2 2 5 】

6 ビットのデジタルビデオ信号を用いて駆動する場合、1 フレーム期間内に少なくとも 6 つのサブフレーム期間 $S F 1 \sim S F 6$ が設けられる。

【 0 2 2 6 】

50

サブフレーム期間 $SF1 \sim SF6$ は、6 ビットのデジタル信号の各ビットに対応している。そしてサブフレーム期間 $SF1 \sim SF6$ は、6 個の書き込み期間 ($Ta1 \sim Ta6$) と、6 個の表示期間 ($Td1 \sim Td6$) とを有している。

【0227】

m (m は $1 \sim 6$ の任意の数) ビット目に対応している書き込み期間 Tam と表示期間 Tdm とを有するサブフレーム期間は SFm となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0228】

1 フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返し出現することで、1 つの画像を表示することが可能である。

10

【0229】

表示期間 $Td1 \sim Td6$ の長さは、 $Td1 : Td2 : \dots : Td6 = 2^0 : 2^1 : \dots : 2^5$ を満たす。

【0230】

本発明の駆動方法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0231】

本実施例では、書き込み期間において全ての EL 素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においても EL 素子が発光することによって表示を行う構成にしても良い。

20

【0232】

この場合、書き込み期間において、電源供給線の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに EL 素子が発光する程度の電位差を有している。そして、表示期間 $Td1 \sim Td6$ の長さは、 $Td1 : Td2 : \dots : Td6 = 2^0 : 2^1 : \dots : 2^5$ を満たさなくても良く、代わりにサブフレーム期間 $SF1 \sim SF6$ の長さが、 $SF1 : SF2 : \dots : SF6 = 2^0 : 2^1 : \dots : 2^5$ を満たす。

【0233】

なお本実施例の構成は、実施例 1 ~ 4 と自由に組み合わせて実施することが可能である。

【0234】

(実施例 6)

30

本実施例では、 n ビットのデジタルビデオ信号を用いた、図 2 とは異なる駆動方法の一例について説明する。

【0235】

図 12 に、1 フレーム期間において、 $n + 1$ 個の書き込み期間 ($Ta1 \sim Ta(n + 1)$) と n 個の表示期間 ($Td1 \sim Td(n + 1)$) とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有するゲート信号線の位置を示している。各画素の詳しい駆動の仕方については実施の形態を参照すれば良いので、ここでは省略する。

【0236】

本実施例では n ビットのデジタルビデオ信号に対応して、1 フレーム期間内に $n + 1$ のサブフレーム期間 $SF1 \sim SFn + 1$ が設けられる。そしてサブフレーム期間 $SF1 \sim SFn + 1$ は、 $n + 1$ 個の書き込み期間 ($Ta1 \sim Ta(n + 1)$) と、 n 個の表示期間 ($Td1 \sim Td(n + 1)$) とを有している。

40

【0237】

書き込み期間 Tam (m は $1 \sim n + 1$ の任意の数) と表示期間 Tdm とを有するサブフレーム期間は SFm となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0238】

サブフレーム期間 $SF1 \sim SF(n - 1)$ は、 $1 \sim (n - 1)$ ビットのデジタル信号の各ビットに対応している。サブフレーム期間 SFn 及び $SF(n + 1)$ は n ビット目のデジタルビデオ信号に対応している。

50

【 0 2 3 9 】

また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 $S F n$ と $S F (n + 1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 $S F n$ と $S F (n + 1)$ の間に、他のサブフレーム期間が設けられている。

【 0 2 4 0 】

1 フレーム期間中に書き込み期間 $T a$ と表示期間 $T d$ とが繰り返し出現することで、1 つの画像を表示することが可能である。

【 0 2 4 1 】

表示期間 $T d 1 \sim T d n + 1$ の長さは、 $T d 1 : T d 2 : \dots : (T d n + T d (n + 1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。 10

【 0 2 4 2 】

本発明の駆動方法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【 0 2 4 3 】

本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、図 2、図 10 の場合に比べて人間の目に認識されずらくすることができる。

【 0 2 4 4 】

なお本実施例では、同じビットに対応するサブフレーム期間が 2 つある場合について説明したが、本発明はこれに限定されない。1 フレーム期間内に同じビットに対応するサブフレーム期間が 3 つ以上設けられていても良い。 20

【 0 2 4 5 】

また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは 1 つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【 0 2 4 6 】

本実施例では、書き込み期間において全ての $E L$ 素子を発光させない構成について説明したが、本発明はこの構成に限定されない。書き込み期間においても $E L$ 素子が発光することによって表示を行う構成にしても良い。 30

【 0 2 4 7 】

この場合、書き込み期間において、電源供給線の電源電位と対向電極の対向電位は、電源電位が画素電極に与えられたときに $E L$ 素子が発光する程度の電位差を有している。そして、表示期間 $T d 1 \sim T d (n + 1)$ の長さは、 $T d 1 : T d 2 : \dots : (T d n + T d (n + 1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たさなくても良く、代わりにサブフレーム期間 $S F 1 \sim S F n$ の長さが、 $S F 1 : S F 2 : \dots : (S F n + S F (n + 1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。 40

【 0 2 4 8 】

なお本実施例の構成は $n = 2$ の場合において有効である。また、本実施例は実施例 1 ~ 5 と自由に組み合わせて実施することが可能である。

【 0 2 4 9 】

(実施例 7)

本実施例では、本発明の発光装置の画素部の $T F T$ (スイッチング用 $T F T 5 1 0 0$ 、放電用 $T F T 5 1 0 1$ 、 $E L$ 駆動用 $T F T 5 1 0 2$) を作製する方法について説明する。なお、画素部の周辺に設けられる駆動回路 (ソース信号線側駆動回路、書き込み用ゲート信号線側駆動回路、表示用ゲート信号線側駆動回路) が有する $T F T$ を、画素部の $T F T$ と同一基板上に同時に形成しても良い。

【 0 2 5 0 】

50

まず、図13(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜5002aを10~200[nm]（好ましくは50~100[nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜5002bを50~200[nm]（好ましくは100~150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0251】

島状半導体層5004~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5004~5006の厚さは25~80[nm]（好ましくは30~60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0252】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²]（代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30~300[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²]（代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を50~90[%]として行う。

【0253】

なおレーザーは、連続発振またはパルス発振の気体レーザーもしくは固体レーザーを用いることができる。気体レーザーとして、エキシマレーザー、Arレーザー、Krレーザーなどがあり、固体レーザーとして、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザーなどが挙げられる。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー等も使用可能である。当該レーザーの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0254】

非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用するのが望ましい。具体的には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度（好ましくは0.1~10MW/cm²）が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。

【0255】

次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート

10

20

30

40

50

ト絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0256】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100[nm]の厚さに形成し、第2の導電膜5009をWで100~300[nm]の厚さに形成する。

【0257】

Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、相のTa膜の抵抗率は20[μcm]程度でありゲート電極に使用することが出来るが、相のTa膜の抵抗率は180[μcm]程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくこと相のTa膜を容易に得ることが出来る。

【0258】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μcm]を実現することが出来る。

【0259】

なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。(図13(A))

【0260】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0261】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20 [\%]$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50 [\text{nm}]$ 程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $5011 \sim 5015$ （第1の導電層 $5011a \sim 5015a$ と第2の導電層 $5011b \sim 5015b$ ）を形成する。このとき、ゲート絶縁膜 5007 においては、第1の形状の導電層 $5011 \sim 5015$ で覆われない領域は $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

10

【0262】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms} / \text{cm}^2]$ とし、加速電圧を $60 \sim 100 [\text{keV}]$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層 $5012 \sim 5015$ がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $5017 \sim 5023$ が形成される。第1の不純物領域 $5017 \sim 5023$ には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms} / \text{cm}^3]$ の濃度範囲でn型を付与する不純物元素を添加する。（図13(B)）

20

【0263】

次に、図13(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層 $5025 \sim 5029$ （第1の導電層 $5025a \sim 5029a$ と第2の導電層 $5025b \sim 5029b$ ）を形成する。このとき、ゲート絶縁膜 5007 においては、第2の形状の導電層 $5025 \sim 5029$ で覆われない領域はさらに $20 \sim 50 [\text{nm}]$ 程度エッチングされ薄くなった領域が形成される。

【0264】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

30

40

【0265】

そして、図14(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120 [\text{keV}]$ とし、 $1 \times 10^{13} [\text{atoms} / \text{cm}^2]$ のドーズ量で行い、図13(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層 $5026 \sim 5029$ を不純物元素に対するマスクとして用い、第1の導電層 $5026a \sim 5029a$ の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不

50

純物領域 5 0 3 2 ~ 5 0 3 5 が形成される。この第 3 の不純物領域 5 0 3 2 ~ 5 0 3 5 に添加されたリン (P) の濃度は、第 1 の導電層 5 0 2 6 a ~ 5 0 2 9 a のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 6 a ~ 5 0 2 9 a のテーパ部と重なる半導体層において、第 1 の導電層 5 0 2 6 a ~ 5 0 2 9 a のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 2 6 6 】

図 1 4 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 5 a ~ 5 0 2 9 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 6 ~ 5 0 4 0 (第 1 の導電層 5 0 3 6 a ~ 5 0 4 0 a と第 2 の導電層 5 0 3 6 b ~ 5 0 4 0 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 6 ~ 5 0 4 0 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 2 6 7 】

第 3 のエッチング処理によって、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 5 においては、第 1 の導電層 5 0 3 7 a ~ 5 0 4 0 a と重なる第 3 の不純物領域 5 0 3 2 a ~ 5 0 3 5 a と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域 5 0 3 2 b ~ 5 0 3 5 b とが形成される。

【 0 2 6 8 】

そして、図 1 4 (C) に示すように、 p チャネル型 T F T を形成する島状半導体層 5 0 0 6 に第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 4 9 ~ 5 0 5 4 を形成する。第 3 の形状の導電層 5 0 4 0 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、 n チャネル型 T F T を形成する島状半導体層 5 0 0 4 、 5 0 0 5 および配線部 5 0 3 6 はレジストマスク 5 2 0 0 で全面を被覆しておく。不純物領域 5 0 4 9 ~ 5 0 5 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms} / \text{cm}^3]$ となるようにする。

【 0 2 6 9 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 0 がゲート電極として機能する。また、 5 0 3 6 は島状のソース信号線として機能する。

【 0 2 7 0 】

レジストマスク 5 2 0 0 を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することが出来る。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0 . 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [$^{\circ}\text{C}$]、代表的には 5 0 0 ~ 6 0 0 [$^{\circ}\text{C}$] で行うものであり、本実施例では 5 0 0 [$^{\circ}\text{C}$] で 4 時間の熱処理を行う。ただし、第 3 の形状の導電層 5 0 3 6 ~ 5 0 4 0 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【 0 2 7 1 】

レーザーアニール法を用いる場合、結晶化の際に用いたレーザーを使用することが可能である。活性化の場合は、移動速度は結晶化と同じにし、 0 . 0 1 ~ 1 0 0 MW / cm^2 程度 (好ましくは 0 . 0 1 ~ 1 0 MW / cm^2) のエネルギー密度が必要となる。

【 0 2 7 2 】

さらに、 3 ~ 1 0 0 [%] の水素を含む雰囲気中で、 3 0 0 ~ 4 5 0 [$^{\circ}\text{C}$] で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素

10

20

30

40

50

により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0273】

次いで、図15(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、接続配線5058~5063をパターニング形成した後、接続配線（ドレイン配線）5063に接する画素電極5064をパターニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

10

【0274】

第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1~5[μm]（さらに好ましくは2~4[μm]）とすれば良い。

【0275】

コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域5017~5021またはp型の不純物領域5049、5054に達するコンタクトホール、配線5036に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

20

【0276】

また、接続配線5058~5063として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0277】

また、本実施例では、画素電極5064としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極5064を接続配線5063と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2~20[%]の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極5064がEL素子の陽極となる。（図15(A））

30

【0278】

次に、図15(B)に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極5064に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないとならば段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

40

【0279】

次に、EL層5066および陰極（MgAg電極）5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80~200[nm]（典型的には100~120[nm]）、陰極5067の厚さは180~300[nm]（典型的には200~250[nm]）とすれば良い。

【0280】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマ

50

スクを用いて所望の画素以外を隠し、必要箇所だけ選択的にE L層を形成するのが好ましい。

【0281】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のE L層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のE L層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のE L層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0282】

ここではRGBに対応した3種類のE L素子を形成する方式を用いたが、白色発光のE L素子とカラーフィルタを組み合わせた方式、青色または青緑発光のE L素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したE L素子を重ねる方式などを用いても良い。

【0283】

なお、E L層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をE L層とすれば良い。

【0284】

次に陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0285】

最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、E L層5066を水分等から保護することができ、E L素子の信頼性をさらに高めることが出来る。なおパッシベーション膜5068は必ずしも設ける必要はない。

【0286】

こうして図15(B)に示すような構造の発光装置が完成する。なお、本実施例における発光装置の作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0287】

ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0288】

なお、実際には図15(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとE L素子の信頼性が向上する。

【0289】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付ける。

【0290】

また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与す

10

20

30

40

50

ることが出来る。

【 0 2 9 1 】

本実施例は、実施例 1 ～ 6 と自由に組み合わせて実施することが可能である。

【 0 2 9 2 】

(実施例 8)

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

【 0 2 9 3 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed .K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

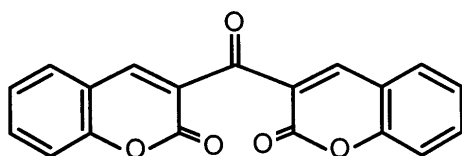
10

【 0 2 9 4 】

上記の論文により報告された E L 材料 (クマリン色素) の分子式を以下に示す。

【 0 2 9 5 】

【 化 1 】



20

【 0 2 9 6 】

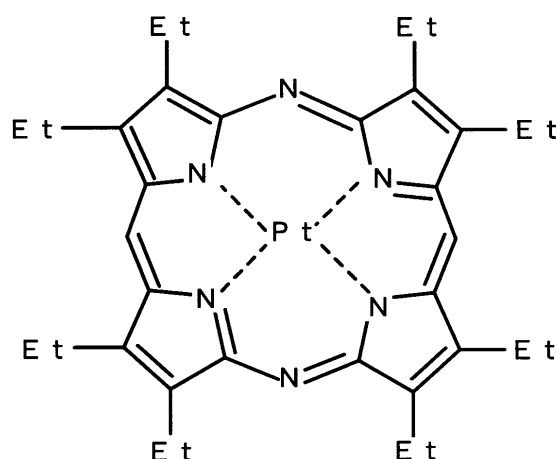
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 2 9 7 】

上記の論文により報告された E L 材料 (P t 錯体) の分子式を以下に示す。

【 0 2 9 8 】

【 化 2 】



40

【 0 2 9 9 】

(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

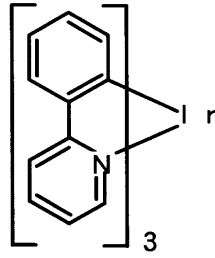
【 0 3 0 0 】

50

上記の論文により報告された E L 材料 (I r 錯体) の分子式を以下に示す。

【 0 3 0 1 】

【 化 3 】



10

【 0 3 0 2 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ~ 4 倍の高い外部発光量子効率の実現が可能となる。

【 0 3 0 3 】

なお、本実施例の構成は、実施例 1 ~ 実施例 7 のいずれの構成とも自由に組み合わせて実施することが可能である。

【 0 3 0 4 】

20

(実施例 9)

本実施例では、画素の位置によって算出した画素電極の電位の高さに基づいて、デジタルビデオ信号を補正して E L 素子の発光する期間を調整する例について説明する。

【 0 3 0 5 】

図 1 9 に本実施例の発光装置のブロック図を示す。画素部 7 0 0 はソース信号線 S 1 ~ S x と、電源供給線 V 1 ~ V x と、ゲート信号線 G 1 ~ G y と、基準電源線 C 1 ~ C y とを有している。

【 0 3 0 6 】

ソース信号線 S 1 ~ S x の 1 つと、電源供給線 V 1 ~ V x の 1 つと、ゲート信号線 G 1 ~ G y の 1 つと、基準電源線 C 1 ~ C y の 1 つとを有している領域が、画素 7 0 1 に相当する。

30

【 0 3 0 7 】

また、本発明の発光装置は、駆動回路として、ソース信号線駆動回路 7 0 2 とゲート信号線駆動回路 7 0 3 とを有している。なお図 1 9 には、ソース信号線駆動回路 7 0 2 とゲート信号線駆動回路 7 0 3 とを 1 つずつ有している発光装置を示しているが、本実施例はこの構成に限定されない。ソース信号線駆動回路 7 0 2 を 2 つ以上有していても良いし、ゲート信号線駆動回路 7 0 3 を 2 つ以上有していても良い。また、駆動回路は画素部 7 0 0 と同一基板上に形成していても良いし、異なる基板上に形成して、F P C 等のコネクタを介して接続していても良い。

【 0 3 0 8 】

40

そしてさらに、本発明の発光装置は補正回路 7 0 4 と、V R A M 7 0 5 と、デジタルビデオ信号発生回路 7 0 6 とを有している。

【 0 3 0 9 】

E L パネルの外部から入力された映像信号は、補正回路 7 0 4 に入力される。なお、映像信号がデジタルの場合は補正回路 7 0 4 にそのまま入力するが、アナログだった場合は補正回路 7 0 4 に入力する前または後に、デジタルに変換する。

【 0 3 1 0 】

補正回路 7 0 4 では、入力された映像信号を、以下の式 1 に従って補正する。なお L_{in} は、補正回路 7 0 4 に入力される信号が情報として有する階調数を意味し、 L_{out} は、補正回路 7 0 4 から出力される信号が情報として有する階調数を意味する。

50

【 0 3 1 1 】

【 式 1 】

$$L_{out} = L_{in} \times (\quad + \quad \times \text{ゲート数})$$

【 0 3 1 2 】

及び は定数であり、 は、配線抵抗や、EL駆動用TFTがオンのときにEL素子に流れる電流の大きさによって定まる定数（補正係数）である。また は配線抵抗がないと仮定したときに各画素が表示する階調数である。ゲート数は、ゲート信号線の番号であり、電源供給線の電源に最も近い画素が有するゲート信号線を1番目とし、電源から遠くなるにつれて順に番号が大きくなっていく。

【 0 3 1 3 】

図20に、補正回路704において補正しなかった場合の、各ゲート信号線を有する画素の実際の階調数（実線）と、補正回路704において補正した場合の、各ゲート信号線を有する画素の実際の階調数（点線）とを示す。実線はゲート信号線の番号が増えて、画素が電源供給線の電源から遠ざかるにつれて、実際に表示される階調数は小さくなっている。しかし補正回路704において補正した後は、点線で示すように、全ての画素において階調数は一定になる。

【 0 3 1 4 】

式1に基づいて算出された階調数 L_{out} を情報として有する映像信号（補正後映像信号）は、VRAM705においていったん記憶され、それからデジタルビデオ信号発生回路706に入力される。

【 0 3 1 5 】

デジタルビデオ信号発生回路706においては、補正後映像信号が時分割階調を行うためのデジタルビデオ信号に変換され、ラッチA702bに入力される。またこのデジタルビデオ信号発生回路706は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【 0 3 1 6 】

このデジタルビデオ信号発生回路706は、本発明の発光装置の外部に設けられても良い。その場合、そこで形成されたデジタルビデオ信号が本発明の発光装置に入力される構成となる。この場合、本発明の発光装置を表示部に有する電子機器は、本発明の発光装置とデジタルビデオ信号発生回路を別の部品として含むことになる。

【 0 3 1 7 】

また、デジタルビデオ信号発生回路706をICチップ上に形成し、本発明の発光装置に実装しても良い。その場合、そのICチップで形成されたデジタルビデオ信号が本発明の発光装置に入力される構成となる。この場合、本発明の発光装置を表示部に有する電子機器は、デジタルビデオ信号発生回路を含むICチップを実装した本発明の発光装置を部品として含むことになる。

【 0 3 1 8 】

また最終的には、デジタルビデオ信号発生回路706を画素部700、ソース信号線駆動回路702、ゲート信号線駆動回路703と同一の基板上にTFTを用いて形成しうる。この場合、発光装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合のデジタルビデオ信号発生回路はポリシリコン膜を活性層とするTFTで形成しても良い。また、この場合、本発明の発光装置をディスプレイとして有する電子機器は、デジタルビデオ信号発生回路が発光装置自体に内蔵されており、電子機器の小型化を図ることが可能である。

【 0 3 1 9 】

デジタルビデオ信号発生回路706から出力されたデジタルビデオ信号は、ソース信号線駆動回路702が有するラッチA702bに入力される。

【 0 3 2 0 】

ソース信号線駆動回路702は、シフトレジスタ702a、ラッチA702b、ラッチB702cを有している。

10

20

30

40

50

【 0 3 2 1 】

ソース信号線駆動回路 7 0 2 において、シフトレジスタ 7 0 2 a にクロック信号 (C L K) およびスタートパルス (S P) が入力される。シフトレジスタ 7 0 2 a は、これらのクロック信号 (C L K) およびスタートパルス (S P) に基づきタイミング信号を順に発生させ、バッファ等 (図示せず) を通して後段の回路へタイミング信号を順次入力する。

【 0 3 2 2 】

シフトレジスタ 7 0 2 a からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が入力される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの " 鈍り " を防ぐために、このバッファが設けられる。なおバッファは必ずしも設ける必要はない。

10

【 0 3 2 3 】

バッファによって緩衝増幅されたタイミング信号は、ラッチ A 7 0 2 b に入力される。ラッチ A 7 0 2 b は、n ビットのデジタルビデオ信号を処理する複数のステージのラッチを有している。ラッチ A 7 0 2 b は、前記タイミング信号が入力されると、デジタルビデオ信号発生回路 7 0 6 から入力される n ビットのデジタルビデオ信号を順次取り込み、保持する。

【 0 3 2 4 】

なお、ラッチ A 7 0 2 b にデジタルビデオ信号を取り込む際に、ラッチ A 7 0 2 b が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ A 7 0 2 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

20

【 0 3 2 5 】

ラッチ A 7 0 2 b の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 3 2 6 】

1 ライン期間が終了すると、ラッチ B 7 0 2 c にラッチシグナル (Latch Signal) が入力される。この瞬間、ラッチ A 7 0 2 b に書き込まれ保持されているデジタルビデオ信号は、ラッチ B 7 0 2 c に一斉に送出され、ラッチ B 7 0 2 c の全ステージのラッチに書き込まれ、保持される。

30

【 0 3 2 7 】

デジタルビデオ信号をラッチ B 7 0 2 c に送出し終えたラッチ A 7 0 2 b には、シフトレジスタ 7 0 2 a からのタイミング信号に基づき、デジタルビデオ信号の書き込みが順次行われる。

【 0 3 2 8 】

この 2 順目の 1 ライン期間中には、ラッチ B 7 0 2 c に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

40

【 0 3 2 9 】

ゲート信号線駆動回路 7 0 3 は、それぞれシフトレジスタ (図示せず)、バッファ (図示せず) を有している。また場合によってはレベルシフトを有していても良い。

【 0 3 3 0 】

ゲート信号線駆動回路 7 0 3 において、シフトレジスタからのタイミング信号がバッファに入力され、対応するゲート信号線に入力される。ゲート信号線には、1 ライン分の画素のスイッチング用 T F T のゲート電極が接続されている。そして、1 ライン分の画素のスイッチング用 T F T を一斉に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 3 3 1 】

50

本発明は、補正回路を設けることで、画素の位置によってＥＬ素子に輝度の差が生じても同じ階調を表示することができるようにした。

【０３３２】

なお、本実施例の構成は、実施例１～実施例８のいずれの構成とも自由に組み合わせて実施することが可能である。

（実施例１０）

ＥＬ素子を用いた発光装置は自発光型であるため、液晶表示装置に比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【０３３３】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図１６に示す。

【０３３４】

図１６（Ａ）はＥＬ表示装置であり、筐体２００１、支持台２００２、表示部２００３、スピーカー部２００４、ビデオ入力端子２００５等を含む。本発明の発光装置は表示部２００３に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。なお、ＥＬ表示装置は、パソコン用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０３３５】

図１６（Ｂ）はデジタルスチルカメラであり、本体２１０１、表示部２１０２、受像部２１０３、操作キー２１０４、外部接続ポート２１０５、シャッター２１０６等を含む。本発明の発光装置は表示部２１０２に用いることができる。

【０３３６】

図１６（Ｃ）はノート型パーソナルコンピュータであり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４、外部接続ポート２２０５、ポインティングマウス２２０６等を含む。本発明の発光装置は表示部２２０３に用いることができる。

【０３３７】

図１６（Ｄ）はモバイルコンピュータであり、本体２３０１、表示部２３０２、スイッチ２３０３、操作キー２３０４、赤外線ポート２３０５等を含む。本発明の発光装置は表示部２３０２に用いることができる。

【０３３８】

図１６（Ｅ）は記録媒体を備えた携帯型の画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２４０１、筐体２４０２、表示部Ａ２４０３、表示部Ｂ２４０４、記録媒体（ＤＶＤ等）読み込み部２４０５、操作キー２４０６、スピーカー部２４０７等を含む。表示部Ａ２４０３は主として画像情報を表示し、表示部Ｂ２４０４は主として文字情報を表示するが、本発明の発光装置はこれら表示部Ａ、Ｂ２４０３、２４０４に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【０３３９】

図１６（Ｆ）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体２５０１、表示部２５０２、アーム部２５０３を含む。本発明の発光装置は表示部２５０２に用いることができる。

【０３４０】

図１６（Ｇ）はビデオカメラであり、本体２６０１、表示部２６０２、筐体２６０３、外部接続ポート２６０４、リモコン受信部２６０５、受像部２６０６、バッテリー２６０７、音声入力部２６０８、操作キー２６０９等を含む。本発明の発光装置は表示部２６０２

10

20

30

40

50

に用いることができる。

【0341】

ここで図16(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0342】

なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

10

【0343】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0344】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

20

【0345】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～9に示したいずれの構成の発光装置を用いても良い。

【0346】

【発明の効果】

上記構成によって、電源供給線の部位によって生じる電位差が、表示する画像によって変動するのを抑えることができる。よって、表示する画像によって、隣り合う画素どうして生じていた、発光しているEL素子に流れる電流の大きさの差を抑えることができ、クロストークの発生を抑えることができる。

30

【0347】

また本発明では、電源供給線の部位によって生じていた電位差が、表示する画像に依存しなくなる。よって、画素の位置によってのみ、EL素子の画素電極の電位の高さを予測することができる。そこで、画素の位置によって算出した画素電極の電位の高さに基づいて、デジタルビデオ信号を補正してEL素子の発光する期間を調整し、画素の位置によってEL素子に輝度の差が生じていても同じ階調を表示することができるようにした。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素の回路図。

【図2】 本発明の発光装置の駆動方法を示す図。

【図3】 本発明の発光装置の画素の回路図。

【図4】 本発明の発光装置の画素の回路図。

40

【図5】 本発明の発光装置の画素の回路図。

【図6】 本発明の発光装置の画素の回路図。

【図7】 本発明の発光装置の画素の回路図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置の画素の回路図。

【図10】 本発明の発光装置の駆動方法を示す図。

【図11】 本発明の発光装置の駆動方法を示す図。

【図12】 本発明の発光装置の駆動方法を示す図。

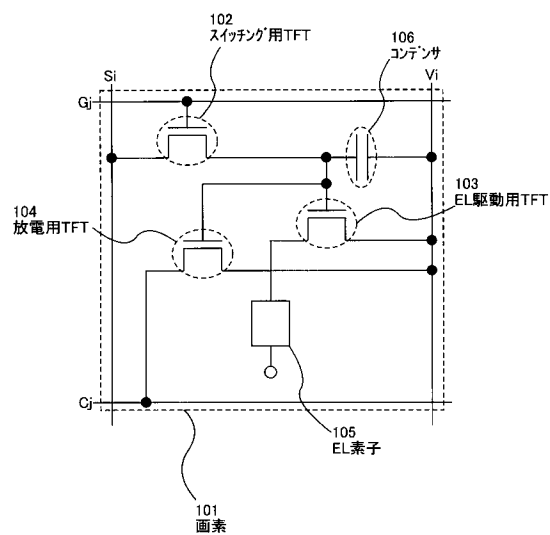
【図13】 発光装置の作製方法を示す図。

【図14】 発光装置の作製方法を示す図。

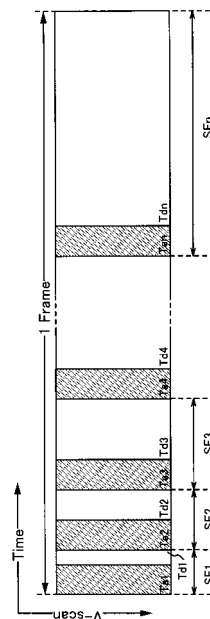
50

- 【図 15】 発光装置の作製方法を示す図。
 【図 16】 本発明の発光装置を用いた電子機器の図。
 【図 17】 一般的な発光装置の画素部の回路図。
 【図 18】 クロストークが生じている画素部の図。
 【図 19】 補正回路を有する発光装置のブロック図。
 【図 20】 画素の位置による補正前の階調数と、補正後の階調数。

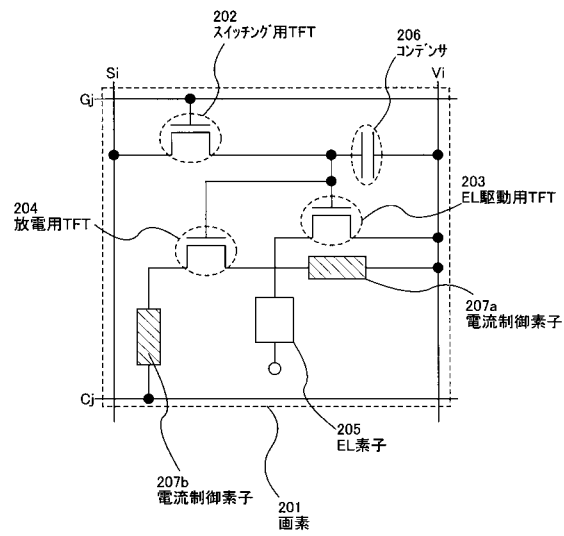
【図 1】



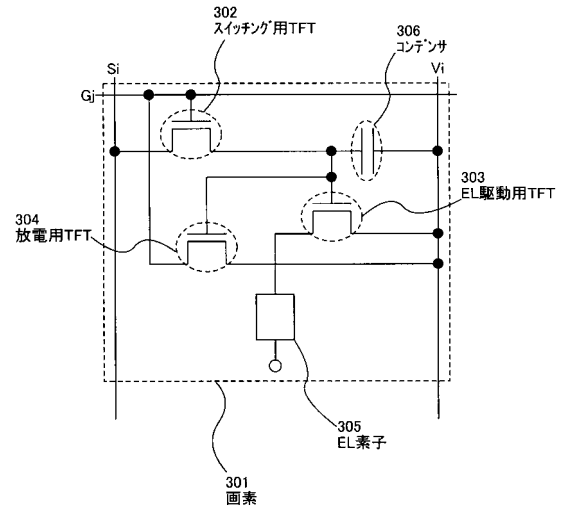
【図 2】



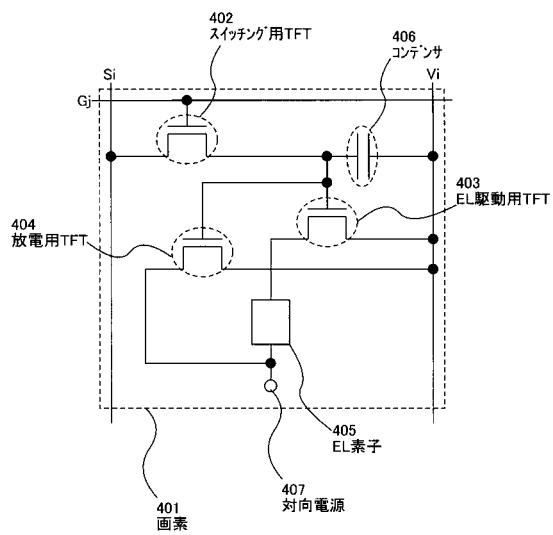
【図 3】



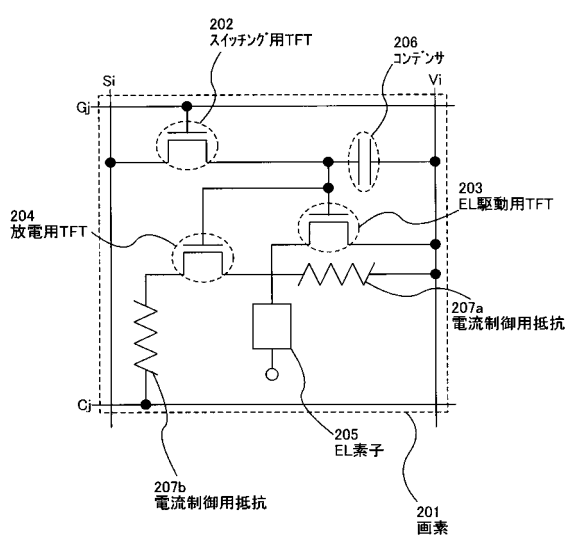
【図 4】



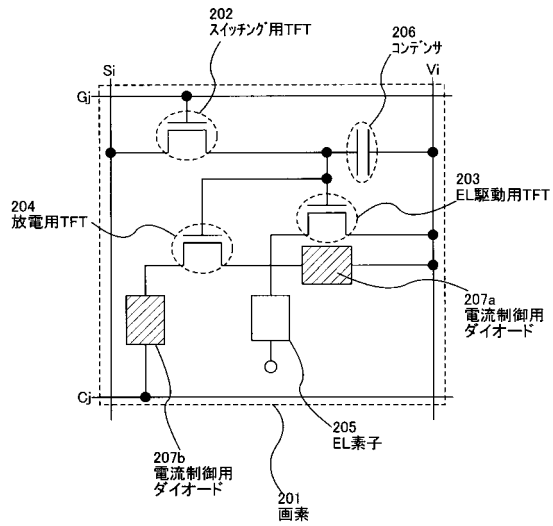
【図 5】



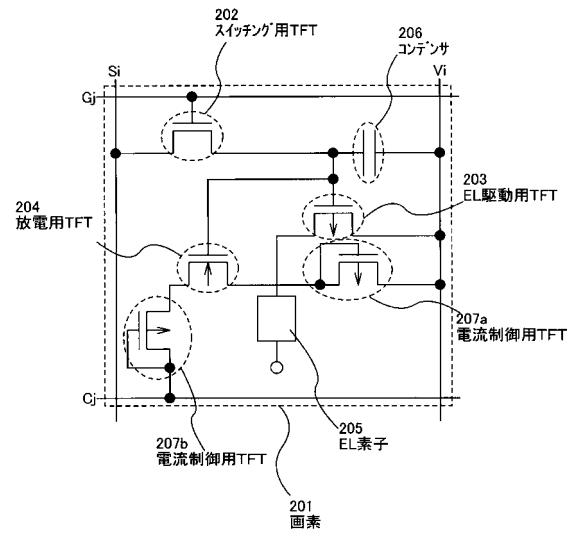
【図 6】



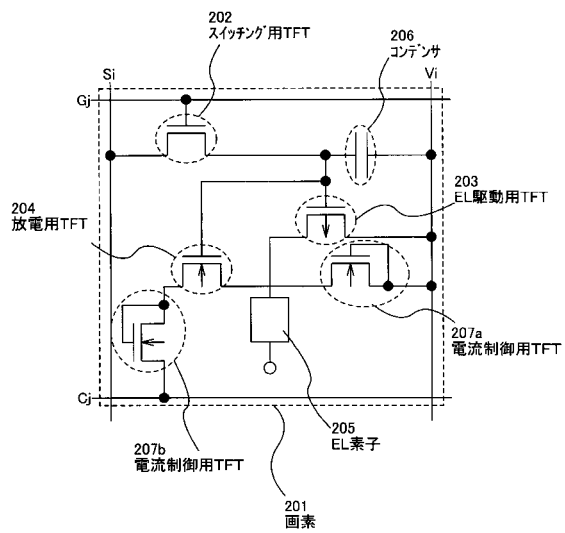
【図 7】



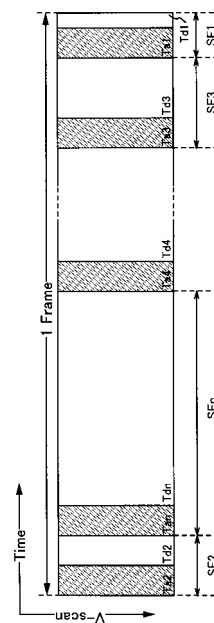
【図 8】



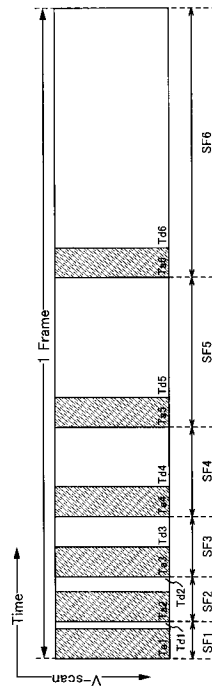
【図 9】



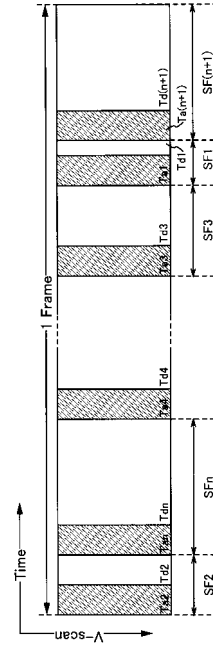
【図 10】



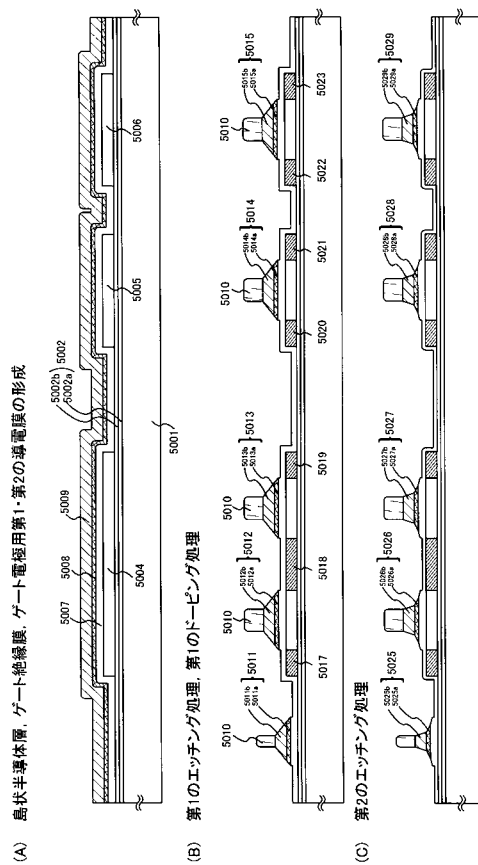
【図 1 1】



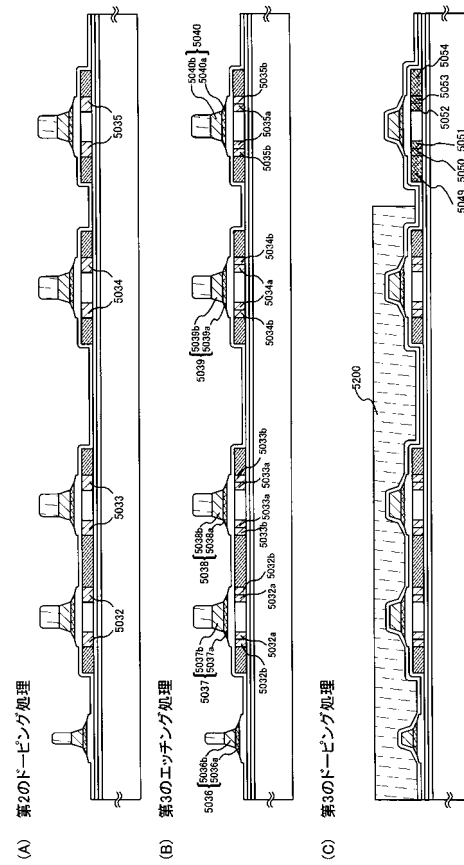
【図 1 2】



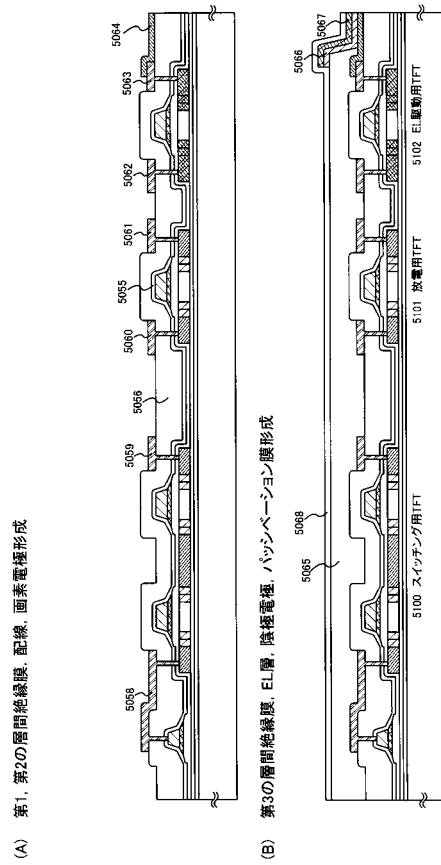
【図 1 3】



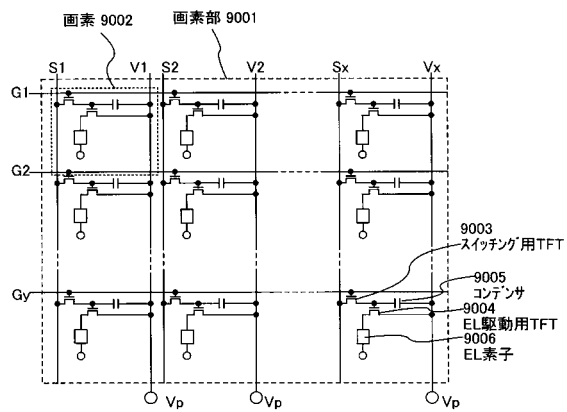
【図 1 4】



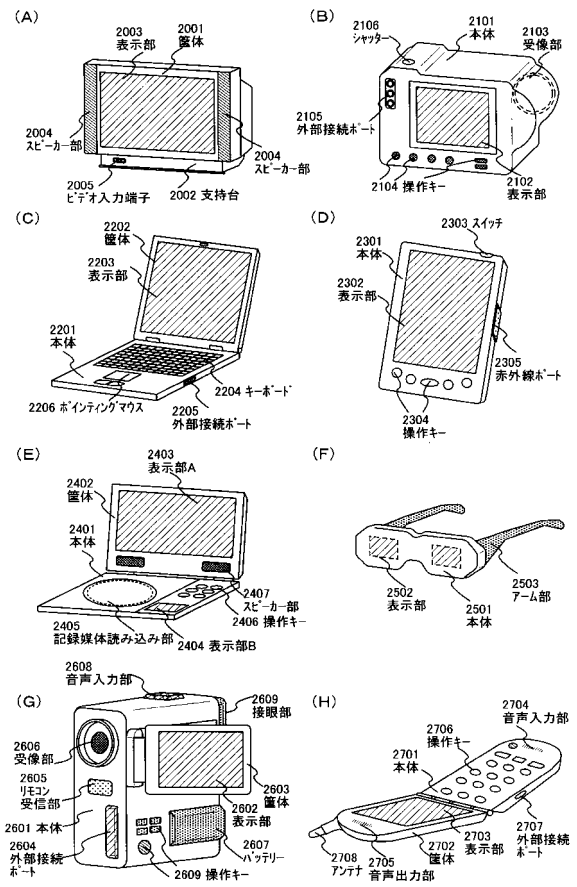
【図 15】



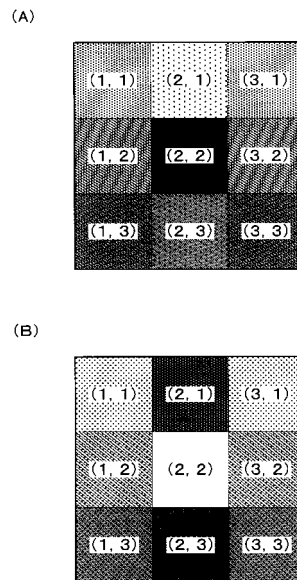
【図 17】



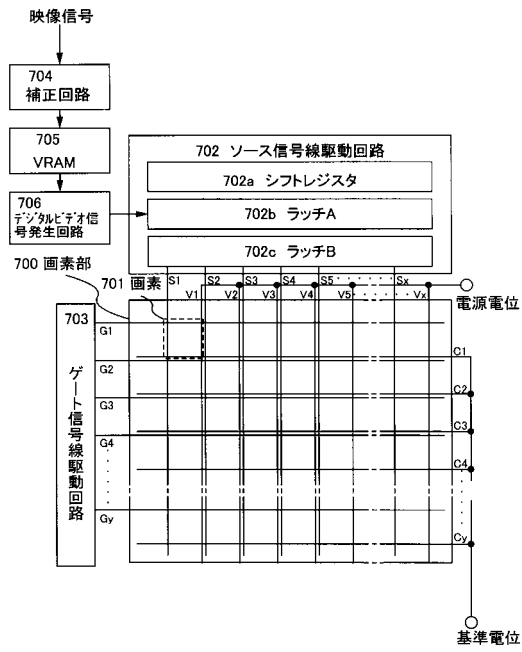
【図 16】



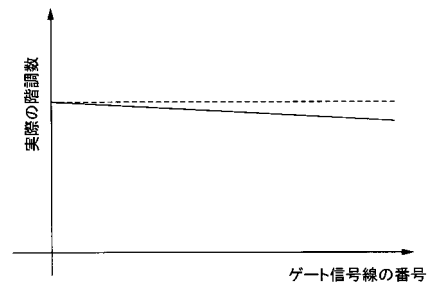
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

(56)参考文献 特開 2 0 0 0 - 1 6 3 0 1 5 (J P , A)

特開平 0 8 - 0 5 4 8 3 5 (J P , A)

特開 2 0 0 0 - 2 3 5 3 7 0 (J P , A)

特開 2 0 0 2 - 1 5 2 5 6 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00- 3/38