

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04N 5/21 (2006.01)

H04N 5/44 (2006.01)



[12] 发明专利说明书

专利号 ZL 03800747.9

[45] 授权公告日 2006 年 8 月 30 日

[11] 授权公告号 CN 1272958C

[22] 申请日 2003.4.28 [21] 申请号 03800747.9

[30] 优先权

[32] 2002. 5. 2 [33] JP [31] 130583/2002

[86] 国际申请 PCT/JP2003/005488 2003. 4. 28

[87] 国际公布 WO2003/094507 日 2003. 11. 13

[85] 进入国家阶段日期 2004. 1. 30

[71] 专利权人 索尼株式会社

地址 日本东京都

[72] 发明人 现银谷以昇 本江寿史

审查员 杨双翼

[74] 专利代理机构 北京市柳沈律师事务所

代理人 马莹 邵亚丽

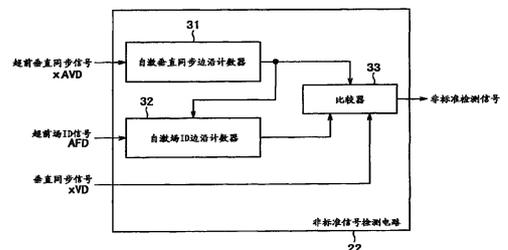
权利要求书 2 页 说明书 14 页 附图 7 页

[54] 发明名称

视频信号处理设备和方法

[57] 摘要

本发明涉及适用于确定所输入的视频信号是标准信号还是非标准信号的一种视频处理设备及方法、记录介质、以及程序。与超前垂直同步信号 xAVD 相同步，自激垂直同步边沿计数器(31)使在 0 到 7 之间循环的计数值加 1 并且将该计数值输出到自激场 ID 边沿计数器(32)和比较器(33)。与场 ID 信号 AFD 的上升沿和下降沿相同步，自激场 ID 边沿计数器(32)使计数值加 1。比较器(33)随着 V 计数值是 7 且垂直同步信号 xVD 处于 L 电平而产生与 FD 边沿计数值相对应的非标准信号检测信号。可将本发明应用于诸如 TV 接收机。



1、一种视频信号处理设备，用于确定输入视频信号是否是标准信号，包括：

5 场 ID 信号产生装置，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；

第一计数装置，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；

10 第二计数装置，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；

采集装置，用于当所述第一计数装置的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及

确定装置，用于根据所述采集装置采集的所述第二计数装置的计数值来确定所述视频信号是标准信号还是非标准信号，

15 其中，如果所述采集装置所采集的所述第二计数装置的计数值也是所述第一值，则所述确定装置确定该所述视频信号是标准信号；如果所述采集装置所采集的所述第二计数装置的计数值是一第二值，则所述确定装置确定该所述视频信号是非标准信号；并且，如果所述采集装置所采集的所述第二计数装置的计数值既不是所述第一值也不是所述第二值，则所述确定装置保持上次的确定结果，其中所述第一值是所述预定范围的最终值，
20 所述第二值是所述预定范围的起始值，

其中，所述标准信号是基于偶数场和奇数场交替排列的交错的视频信号。

2、根据权利要求 1 所述的视频信号处理设备，还包括：

25 噪音去除装置，用于根据由所述确定装置获得的确定结果、通过对所述视频信号执行不同的图像处理操作来从所述视频信号中去除噪音。

3、一种视频信号处理方法，用于确定输入视频信号是标准信号还是非标准信号，包括：

30 场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；

第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数

值进行计数，该计数值在预定的范围内循环；

第二计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；

5 采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及

确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号，

其中，如果在所述采集步骤中所采集的所述第二计数步骤的计数值也是所述第一值，则在所述确定步骤中确定所述视频信号是所述标准信号；

10 如果在所述采集步骤中所采集的所述第二计数步骤的计数值是第二值，则在所述确定步骤中确定所述视频信号是所述非标准信号；并且，如果在所述采集步骤中所采集的所述第二计数步骤的计数值既不是所述第一值也不是所述第二值，则在所述确定步骤中保持上次的确定结果，其中所述第一值是所述预定范围的最终值，所述第二值是所述预定范围的起始值，

15 其中，所述标准信号是基于偶数场和奇数场交替排列的交错的视频信号。

4、根据权利要求 3 所述的视频信号处理方法，还包括：

噪音去除步骤，用于根据由所述确定步骤获得的确定结果、通过对所述视频信号执行不同的图像处理操作来从所述视频信号中去除噪音。

视频信号处理设备和方法

5 技术领域

本发明通常涉及一种视频处理设备和方法，例如，本发明涉及适用于区分每个输入视频信号是标准信号还是非标准信号的视频处理设备和方法。

10 背景技术

对于可降低数字信号中的噪音的噪音降低电路而言，众所周知的是其中使用存储器的所谓的递归噪音降低电路。尤其是在降低数字视频信号噪声时普遍使用这些递归噪音降低电路。

一般传统的递归噪音降低电路对交错视频信号进行处理，该交错视频
15 信号是由为 NTSC 和 PAL 方案之典型的偶数场图像和奇数场图像所构成的。

例如，模拟 VCR（盒式磁带录像机）不但可提供正常速度的播放，而且也可提供诸如快速进带、倒带、图像搜索这样的非正常播放操作。

在交错视频信号的情况下，以正常速度再现的信号相对于垂直同步脉冲而言在偶数场与奇数场的视频信号的水平同步脉冲之间移动了 0.5 行。该
20 信号在下文中被称为标准信号。

另一方面，在以诸如快进这样的非正常播放操作所再现的视频信号中，偶数场和奇数场的视频信号的水平同步脉冲相对于垂直同步脉冲而言是同相的。这样的信号在下文中被称为非标准信号。值得注意的是非标准信号有时包括那些其 S/N 很低的标准信号以及游戏机所输出的视频信号。

25 现在，假定通用的递归噪声降低电路装配在电视接收机等等中，上述模拟 VCR 等等所输出的标准信号以及非标准信号均被输入到该电视接收机中。

在这种情况下，通常由所安装的通用递归噪声降低电路来降低每个输入标准信号的噪声分量。

30 然而，因为所输入的非标准信号中的偶数场和奇数场的视频信号的水平同步脉冲是同相的，因此递归噪声降低电路不能正确判断当前场是偶数

场还是奇数场。并且，如果在这种状态下执行其包括有内插滤波器 2 和内插滤波器 5 所执行的内插处理这样的噪声降低操作，那么有时不能实现有效地降低噪声。

5 作为上述内插噪声降低操作的示例，所要降低的噪声看起来在显示屏上向上或者向下运动。当通过执行噪声降低操作所降低的噪声移动时，该噪声将比没有执行噪声降低操作这样的情况更明显，这留下了未移动的噪声，由此使得视频图像在视觉上是不合乎需要的。

为了解决上述问题，将用于确定输入信号是标准信号还是非标准信号的电路添加到通用递归噪声降低设备中，以仅当输入信号是标准信号时才
10 执行噪声降低操作。

然而，没有提供这样一种具有简单电路结构且可稳定地确定所输入的信号是标准信号还是非标准信号的电路。

发明内容

15 因此本发明的一个目的是实现这样一种具有简单电路结构且可稳定地确定输入信号是标准信号还是非标准信号的电路。

根据本发明，提出了第一视频信号处理设备，该设备包括：场 ID 信号产生装置，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数装置，用于对与所述
20 垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数装置，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集装置，用于当所述第一计数装置的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定装置，用于根据所
25 述采集装置采集的所述第二计数装置的计数值来确定所述视频信号是标准信号还是非标准信号。

在上述第一视频信号处理设备中，如果采集装置所采集的第二计数装置的计数值也是第一值，则确定装置确定该视频信号是标准信号；如果采集装置所采集的第二计数装置的计数值是第二值，则确定装置确定该视频
30 信号是非标准信号；并且，如果采集装置所采集的第二计数装置的计数值既不是第一值也不是第二值，则确定装置保持上次的确定结果，其中所述

第一值是所述预定范围的最终值，所述第二值是所述预定范围的起始值。

在上述视频信号处理设备中，标准信号是基于偶数场和奇数场交替排列的交错的视频信号。

根据本发明，提供了第一视频信号处理方法，该方法包括：场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号，其中，如果在所述采集步骤中所采集的所述第二计数步骤的计数值也是所述第一值，则在所述确定步骤中确定所述视频信号是所述标准信号；如果在所述采集步骤中所采集的所述第二计数步骤的计数值是第二值，则在所述确定步骤中确定所述视频信号是所述非标准信号；并且，如果在所述采集步骤中所采集的所述第二计数步骤的计数值既不是所述第一值也不是所述第二值，则在所述确定步骤中保持上次的确定结果，其中所述第一值是所述预定范围的最终值，所述第二值是所述预定范围的起始值，其中，所述标准信号是基于偶数场和奇数场交替排列的交错的视频信号。

根据本发明，提出了第一记录介质，包括：场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号。

根据本发明,提出了第一计算机可读程序,包括:场ID信号产生步骤,用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场ID信号;第一计数步骤,用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数,该计数值在预定的范围内循环;

5 第二计数步骤,用于对与所述场ID信号的两个边沿的每一个相对应的计数值进行计数,该计数值在预定的范围内循环;采集步骤,用于当所述第一计数步骤的计数值是第一值时,采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值;以及确定步骤,该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还

10

15

20

25

30

是非标准信号。

根据本发明，提出了第二视频信号处理设备，该设备包括：场 ID 信号产生装置，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数装置，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数装置，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集装置，用于当所述第一计数装置的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定装置，用于根据所述采集装置采集的所述第二计数装置的计数值来确定所述视频信号是标准信号还是非标准信号；噪音去除装置，用于根据由所述确定装置获得的确定结果、通过对所述视频信号执行不同的图像处理操作来从所述视频信号中去除噪音。

在上述第二视频信号处理设备中，视频标准信号是基于偶数场和奇数场交替排列的交错的视频信号。

根据本发明，提出了第二视频信号处理方法，该方法包括：场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号；噪音去除步骤，用于根据由所述确定步骤获得的确定结果、通过对所述视频信号执行不同的图像处理操作来从所述视频信号中去除噪音。

根据本发明，提出了第二记录介质，包括：场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二

计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号；以及噪音去除步骤，根据确定步骤所获得的确定结果来通过对视频信号执行不同的处理操作来从视频信号中去除噪音。

根据本发明，提出了第二程序，其使计算机执行：场 ID 信号产生步骤，用于产生与所述视频信号的水平同步信号和所述视频信号的垂直同步信号间的相位差相对应的场 ID 信号；第一计数步骤，用于对与所述垂直同步信号的一个边沿相对应的计数值进行计数，该计数值在预定的范围内循环；第二计数步骤，用于对与所述场 ID 信号的两个边沿的每一个相对应的计数值进行计数，该计数值在预定的范围内循环；采集步骤，用于当所述第一计数步骤的计数值是第一值时，采集与所述垂直同步信号的一个边沿相对应的所述第二计数装置的计数值；以及确定步骤，该步骤根据所述采集步骤所采集的所述第二计数步骤的计数值来确定所述视频信号是标准信号还是非标准信号；以及噪音去除步骤，该步骤根据确定步骤所获得的确定结果来通过对视频信号执行不同的处理操作来从视频信号中去除噪音。

在第二视频信号处理设备和方法及程序中，产生与视频信号的水平同步信号和视频信号的垂直同步信号间的相位差相对应的场 ID 信号。对与垂直同步信号的边沿相对应的第一计数值进行计数，该计数值在预定的范围内循环。对与场 ID 信号的两个边沿的每一个相对应的第二计数值进行计数，该计数值在预定的范围内循环。另外，如果第一计数值是第一值，则获得与垂直同步信号的边沿相对应的第二计数值，并根据所获得的第二计数值来确定输入视频信号是标准信号还是非标准信号。此后，根据确定结果、通过对输入视频信号执行不同的图像处理操作来从输入视频信号中去除噪音。

附图说明

图 1 给出了如本发明一实施例所应用的递归噪音降低设备的示例性结构方框图；

图 2 给出了用于描述图 1 所示的内插滤波器所执行的内插处理的示意图；

图 3 给出了用于描述图 1 所示的内插滤波器所执行的内插处理的示意图；

5 图 4 给出了图 3 所示的非标准信号检测电路的示例性结构方框图；

图 5 给出了用于描述图 3 所示的非标准信号检测电路所执行的非标准信号检测处理的流程图；

图 6 给出了图 3 所示的非标准信号检测电路的操作的时序图；

图 7 给出了图 3 所示的非标准信号检测电路的另一操作的时序图；

10

具体实施方式

参考随后的附图，借助于如一个实施例所应用的递归噪音降低设备的例子来对本发明进行详细的描述。

15 递归噪音降低设备安装在诸如用于记录并再现视频信号的 VCR、与地波和卫星广播相对应的视频调谐器，以及电视接收机这样的视频信号处理设备中，这些视频信号处理设备适用于对基于诸如 NTSC 或 PAL 这样的交错的视频信号进行处理。

上述递归噪音降低设备与行同步时钟相同步，该行同步时钟与包含在每个视频信号中的水平同步信号相同步，并且假定标准信号或非标准信号 20 作为输入视频信号被输入。下面对标准信号和非标准信号进行描述。

这里标准信号表示常规交错视频信号。更具体的说，标准信号是基于偶数场和奇数场交替存在的交错的视频信号。假设 1 个水平扫描周期是 1H，则相对于垂直同步脉冲而言，连续的奇数场和偶数场在其水平同步脉冲位置（或相位）上彼此移动 0.5H。因此，可获得像素水平线在奇数场和偶数 25 场中相交替的空间位置关系。在每个交错视频信号中，以交错的方式来扫描奇数场和偶数场以形成一帧图像。

这里非标准信号表示当 VCR 执行诸如暂停、快进、倒带、或图像搜索这样的非正常播放操作时 VCR 所输出的视频信号。在该视频信号中，水平同步脉冲与垂直同步脉冲在奇数场和偶数场中是同相的。

30 参考图 1，给出了如本发明一个实施例所应用的递归噪音降低设备的示例性结构。在该递归噪音降低设备中，在输入端 1 输入数字视频信号。值

得注意的是，该视频信号是由为 NTSC 和 PAL 之典型的偶数场图像和奇数场图像所构成的交错信号。将在输入端 1 所输入的输入视频信号 Din 提供给内插滤波器 2 和减法器 9。

减法器 9 从输入视频信号 Din 中减去随后将对其进行描述的非线性处理电路 8 所输入的噪声分量信号，并且将结果输出到输出端 13 和场存储器 4。因此，从输出端 13 输出已降低噪声的视频信号。

场存储器 4 将减法器 9 所提供的噪声已降低的视频信号延迟 1 个场周期，并且将延迟的信号输出到内插滤波器 5 以作为前场视频信号 Dpre。另一方面，将当前场的视频信号 Din 输入到内插滤波器 2 中。

内插滤波器 2 和内插滤波器 5 均通过对每个输入视频信号将预定系数设置为垂直像素而将像素内插到垂直方向上。值得注意的是，在每个内插滤波器 2 和内插滤波器 5 中的系数设置是根据当前场图像与当前场图像之前的场图像之间的相位关系在每个场周期中交替进行的。

因此，当在每个内插滤波器 2 和内插滤波器 5 所执行的内插处理过程中执行内插处理时，将垂直像素的空间相位关系调整到使内插滤波器 2 和内插滤波器 5 所分别输出的内插视频信号 Dp1 和 Dp2 之间相互对齐。将来自内插滤波器 2 的当前场时序的内插视频信号 Dp1 写入到工作存储器 3 中。另一方面，将相对于当前场延迟 1 个场的内插视频信号 Dp2 从内插滤波器 5 写入到工作存储器 6。

下面参考图 2 和图 3 对内插滤波器 2 和内插滤波器 5 所执行的基本内插处理进行描述。

这里假定输入到内插滤波器 2 中的输入视频信号 Din 是奇数场 f1 的视频信号，如图 2 所示。还假定输入到内插滤波器 5 中的前场视频信号 Dpre 是奇数场 f2 的视频信号。

在这种情况下，是偶数场 f2 的前场视频信号 Dpre 的像素 P11 和 P12 处于这样的位置，即相对于就是奇数场 f1 的输入视频信号的像素 P1 和 P2 而言，像素 P11 和 P12 在上/下（垂直）交替方向上空间地移动。

更具体的说，假设每个奇数场 f1 和偶数场 f2 中的 2 个相邻垂直像素间的间隔（或行间隔）是 L，那么一个场中的每个垂直像素位于其它场的 2 个相邻垂直像素之间的中间位置上，即 L/2 处。

在如图 2 所示的情况下，偶数场的像素 P11 和 P12 分别位于奇数场 f1

中垂直相邻的像素 P1 和 P2 之下的 $L/2$ 处。像素 P2 位于与在偶数场 f2 中垂直相邻的像素 P11 和 P12 等距离的 $L/2$ 处。

内插滤波器 2 利用就是奇数场 f1 的输入视频信号 Din 的像素产生内插视频信号 Dp1 的像素。内插滤波器 5 利用就是偶数场 f2 的前场视频信号 Dpre 的像素产生内插视频信号 Dp2 的像素。

更具体的说，相对于内插前的输入视频信号 Din (f1) 的像素 P1 与像素 P2 之间的间隔 L 而言，内插视频信号 Dp1 的像素 P3 位于 $3:1$ 距离处。

即，像素 P3 位于与像素 P1 相距 $3L/4$ 且与像素 P2 相距 $L/4$ 的位置上。因此，在这种情况下内插滤波器 2 的内插系数是 $1:3$ 。也就是说，用于像素 P1 和 P2 值的系数被分别设置为 $1/4$ 和 $3/4$ ，并且通过获得像素 P1 和像素 P2 值的加权平均值来计算像素 P3 的值。

相对于内插前的前场视频信号 Dpre (f2) 的像素 P11 与像素 P12 之间的间隔 L 而言，内插视频信号 Dp2 的像素 P13 位于 $1:3$ 距离处。也就是说，像素 P13 位于与像素 P11 相距 $L/4$ 且与像素 P12 相距 $3L/4$ 的位置上。

因此，在这种情况下，将内插滤波器 5 的内插系数分别设置为与像素 P11 和像素 P12 的值相对应的 $3/4$ 和 $1/4$ ，以便获得 $3:1$ 的比率，由此通过对具有这些系数的像素 P11 和 P12 的值执行加权平均来计算像素 P13 的值。

该内插计算将通过将输入视频信号 Din 内插到奇数场 f1 中而获得的内插视频信号 Dp1 的像素和通过将前场视频信号 Dpre 内插到偶数场 f2 中而获得的内插视频信号 Dp2 的像素在垂直方向上对齐。

参考图 3，给出了与图 2 所示的情况相反的情况。更具体的说，在这种情况下，输入到内插滤波器 2 中的输入视频信号 Din 是偶数场 f2 的视频信号，而输入到内插滤波器 5 中的前场视频信号 Dpre 是奇数场 f1 的视频信号。

同样，如图 3 所示的情况，对于就是偶数场 f2 的输入视频信号 Din 的像素 P1 和像素 P2 而言，将就是奇数场 f1 的前场视频信号 Dpre 的像素 P11 和 P12 排列成使其可在空间位置上在上/下方向（垂直）上交替地移动。然而，该垂直位置关系不同于图 2 所示的位置关系。也就是说，奇数场的像素 P11 和 P12 位于与偶数场 f2 中的垂直相邻像素 P1 和 P2 相距 $L/2$ 的位置处。从奇数场 f1 的角度来看，像素 P1 位于与奇数场 f1 中的垂直相邻像素 P11 和 P12 等距离的 $L/2$ 处。

也就是说，像素 P3 位于与像素 P1 相距 $L/4$ 而与像素 P2 相距 $3L/4$ 的

位置处。因此,在这种情况下,内插滤波器 2 的内插系数是 3: 1。也就是说,与像素 P1 和 P2 的值相对应的系数分别被设置为 $3/4$ 和 $1/4$,并且通过执行对像素 P1 和 P2 值的加权平均来计算像素 P3 的值。

5 相对于内插前的前场视频信号 $D_{pre}(f_2)$ 的像素 P11 与像素 P12 之间的间隔 L 而言,内插视频信号 D_{p2} 的像素 P13 位于 3: 1 距离处。也就是说,像素 P13 位于与像素 P11 相距 $3L/4$ 且与像素 P12 相距 $L/4$ 的位置处。

因此,在这种情况下,对于内插滤波器 5 的内插系数而言,与像素 P11 和 P12 的值相对应的系数被分别设置为 $1/4$ 和 $3/4$,并且通过执行对像素 P11 和 P12 值的加权平均来计算像素 P13 的值,以便它们是 1: 3。

10 该内插计算将通过内插偶数场 f_2 的输入视频信号 D_{in} 而获得的内插视频信号 D_{p1} 的像素和通过内插奇数场 f_1 的前场视频信号而获得的内插视频信号 D_{p2} 的像素在如所示的垂直方向上对齐。

也就是说,在图 3 的情况下,内插滤波器 2 使用如图 2 所示的为内插滤波器 5 设置的系数,而内插滤波器 5 使用如图 2 所示的为内插滤波器 2 15 设置的系数。

这样,在内插滤波器 2 和内插滤波器 5 中,如果输入视频信号 D_{in} 是奇数场 1 而前场视频信号 D_{pre} 是偶数场 2,那么使用参考图 2 所描述的系数。相反,如果输入视频信号 D_{in} 是偶数场 f_2 并且前场视频信号 D_{pre} 是奇数场 f_1 ,那么使用参考图 3 所描述的系数。

20 返回至参考图 1 的描述,由诸如延迟线这样的延迟电路来配置各个工作存储器 3 和 6。每个工作存储器 3 和 6 适用于将内插视频信号 D_{p1} 和 D_{p2} 分别提供给运动向量检测电路 10。在存储器控制器 12 的控制之下,工作存储器 3 和 6 适用于将内插视频信号 D_{p1} 和 D_{p2} 提供给减法器 7 以用于运动补偿处理。

25 运动向量检测电路 10 通过将块匹配算法应用于内插视频信号 D_{p1} 和 D_{p2} 来检测运动向量,内插视频信号 D_{p1} 和 D_{p2} 分别具有工作存储器 3 和 6 所输入的 1 场临时差值。向量有效/无效判别电路 11 确定运动向量检测电路 10 所检测到的运动向量的有效性。也就是说,向量有效/无效判别电路 11 确定是否将运动向量检测电路 10 所检测到的运动向量应用于运动补偿。

30 存储器控制器 12 根据向量有效/无效判别电路 11 的确定结果来控制工作存储器 3 和 6 的读取。也就是说,如果向量有效/无效判别电路 11 判定出

运动向量是有效的，那么存储器控制器 12 将输出运动补偿控制信号到工作存储器 3 和 6，以便对内插视频信号执行与运动向量相对应的运动补偿处理。

在存储器控制器 12 的控制之下，将从工作存储器 3 和 6 中所读取的视频信号提供给减法器 7。减法器 7 计算通过从工作存储器 3 所提供的视频信号中减去工作存储器 6 所提供的视频信号所获得的差信号，并且将所获得的差信号输出到非线性处理电路 8 以作为加权补偿信号。

非线性处理电路 8 利用预定的特性曲线来对减法器 7 所提供的差信号执行衰减处理。也就是说，非线性处理电路 8 从减法器 7 所提供的差信号中提取小幅度信号分量，由此最终提取了由噪声分量构成的噪声分量信号。所提取的噪声分量信号被输出到减法器 9。

减法器 9 从如上所描述的输入视频信号 D_{in} 中减去噪声分量信号。因此，在输出端 13 输出在减法器 9 中所减去的信号以作为噪声信号已降低的视频信号。同时，将该视频信号写入到场存储器 4 中以用于在下一场时序中的噪声降低处理。

场 ID 产生电路 21 使用作为输入的与输入到该递归噪声降低设备中的当前视频信号相对应的水平同步信号和垂直同步信号 xVD ，检测在每个垂直同步周期中标准信号的垂直同步信号的相位（基于交错的视频信号）与水平同步信号移动了 $0.5H$ ，以产生对于每个场交替地为 H（高）电平和 L（低）电平的场 ID 信号 AFD，将所产生的信号输出到非标准信号检测电路 22。

因此，当输入了非标准信号时，场 ID 信号产生电路 21 所输出的场 ID 信号连续成为 H 电平或 L 电平。同时，场 ID 产生电路 21 输出一超前垂直同步信号 $xAVD$ 到非标准信号检测电路 22，该超前垂直同步信号 $xAVD$ 与对应于当前视频信号的垂直同步信号 xVD 延迟了 $1H$ 。

非标准信号检测电路 22 使用作为输入的与输入到该递归噪声降低设备中的当前视频信号相对应的垂直同步信号 xVD 、由场 ID 产生电路 21 所提供的超前垂直同步信号 $xAVD$ ，以及由场 ID 产生电路 21 所提供的场 ID 信号 AFD，来确定输入到该递归噪声降低设备中的视频信号是标准信号还是非标准信号，并且将表示确定结果的非标准信号检测信号输出到内插滤波器 2、内插滤波器 5、以及非标准处理电路 8。

值得注意的是，超前垂直同步信号 $xAVD$ 和垂直同步信号 xVD 仅在如

图 6 所示的 A 和 B 的 1 垂直周期中的 1 时钟内成为 L 电平。场 ID 信号 AFD 与如图 6 中的 D 所示的超前垂直同步信号 xAVD 的上升沿相同步地改变其状态。

5 如果非标准信号检测信号表明输入到该递归噪声降低设备中的视频信号是标准信号，那么内插滤波器 2、内插滤波器 5，以及非标准信号检测信号输入到其内的非线性处理电路 8 进行如上所述的操作；然而，如果非标准信号检测信号表明输入到该递归噪声降低设备中的视频信号是非标准信号，则执行下述三个处理操作中的一个，即内插滤波器 2 的内插和内插滤波器 5 的内插使用相同系数的处理、不执行内插滤波器 2 的内插及内插滤波器 5 的内插的处理，以及将非线性处理电路 8 的输出（噪声分量信号）
10 设置为 0 而基本上不执行噪声降低的处理。

控制电路 23 从记录介质 24 中读取控制程序，并且在该控制程序的控制之下，控制该递归噪声降低设备的每个部件电路。

15 参考图 4，给出了非标准信号检测电路 22 的示例性结构。在非标准信号检测电路 22 中，将超前垂直同步信号 xAVD 输入到自激垂直同步边沿计数器 31、将场 ID 信号 AFD 输入到自激场 ID 边沿计数器 32，并将垂直同步信号 xVD 输入到比较器 33。

20 自激垂直同步边沿计数器 31 与超前垂直同步信号 xAVD 的边沿相同步地使从 0 到 7 循环的计数值增加 1，并且将该计数值输出到自激场 ID 边沿计数器 32 和比较器 33。

自激场 ID 边沿计数器 32 与场 ID 信号 AFD 的上升沿和下降沿相同步地使计数值增加 1。值得注意的是，除了其开始操作的时间之外，当自激垂直同步边沿计数器 31 的计数值（在下文中被称为 V 计数值）是 7 时，自激场 ID 边沿计数器 32 与场 ID 信号 AFD 的上升沿相同步地将其计数值（在下文中被称为 FD 边沿计数值）重新设置为 0。
25

比较器 33 随着 V 计数值是 7 并且其垂直同步信号 xVD 处于 L 电平而产生与 FD 边沿计数值相对应的非标准信号检测信号（当其是非标准信号时该检测信号成为 H 电平，而当其是标准信号时该检测信号成为 L 电平），并且该比较器 33 将所产生的非标准信号检测信号输出到下一阶段。

30 参考图 5 的流程图，下面对非标准信号检测电路 22 所执行的非标准信号检测处理进行描述。当视频信号输入到该递归噪声降低设备中时该非标

准信号检测处理开始。

在步骤 S1，自激垂直同步边沿计数器 31 和自激场 ID 边沿计数器 32 在将其计数值重置为 0 之后与预定信号同步地开始计数。

5 在步骤 S2，比较器 33 确定 V 计数值是否是 7 以及垂直同步信号 xVD 是否处于 L 电平，并且等待一直到 V 计数值是 7 以及垂直同步信号 xVD 处于 L 电平。如果发现 V 计数值是 7 并且垂直同步信号 xVD 处于 L 电平，则处理转到步骤 S3。

10 在步骤 S3，比较器 33 确定 FD 边沿计数值是否是 7。如果 FD 边沿计数值是 7，那么处理转到步骤 S4。在步骤 S4，比较器 33 将 L 电平的非标准信号检测信号输出到下一阶段，因此当前输入视频信号是标准信号。此后，处理返回到步骤 S2 以重复上述处理。

如果在步骤 S3 发现 FD 边沿计数值不是 7，那么处理转到步骤 S5。在步骤 S5，比较器 33 确定 FD 边沿计数值是否是 0。如果发现 FD 边沿计数值是 0，那么处理转到步骤 S6。在步骤 S6，比较器 33 输出 H 电平的非标准信号检测信号到下一阶段，因此当前所输入的视频信号是非标准信号。15 此后，处理返回到步骤 S2 以重复上述处理。

如果在步骤 S5 发现 FD 边沿计数值不是 0，也就是说，FD 边沿计数值是 1 至 6 中的一个，那么处理转到步骤 S7。在步骤 S7，比较器 33 保持当前输出的非标准信号检测信号的电平。

20 因此，如果 FD 边沿计数值是 1 至 6 中的一个，这表明要使用保持的先前确定结果的软确定，以便不会经常改变标准与非标准之间的确定结果，即执行稳定的确定。此后，处理返回至步骤 S2 以便重复上述处理。

此后，继续非标准信号检测处理，直到到该递归噪声降低设备的视频信号输入结束。

25 值得注意的是，步骤 S2 中的决策准则值 (V 计数值 = 7) 以及步骤 S5 中的决策准则值 (V 计数值 = 0) 可以是其它值。同时，V 计数值的范围也可以不是 0 到 7。

非标准信号检测电路 22 按照如下所述来执行非标准信号检测处理。

参考图 6 和 7，给出了表示非标准信号检测电路 22 的操作的时序图。

30 在图 6 和图 7 的每一个中，A 表示垂直同步信号 xVD，B 表示超前垂直同步信号 xAVD，C 表示 V 计数值，D 表示超前场 ID 信号 AFD，E 表示超前

场 ID 信号 AFD 的两个边沿，F 表示 FD 边沿计数值，以及 G 表示非标准信号检测信号。

图 6 给出了一个例子，即在确定的视频信号从标准变化为非标准之后，由软确定来保持非标准信号的确切结果。

5 图 7 给出了一个例子，即在确定的视频信号从标准变化为非标准之后，视频信号重为标准信号。

同时，上述处理操作的步骤不仅可由硬件而且也可由软件来执行。在软件方法中，构成软件的程序从诸如如图 1 所示的记录介质 24 这样的程序记录介质中安装到一计算机中，该计算机包括一专用硬件设备或诸如通过
10 安装各种程序而执行各种功能的通用个人计算机。

记录介质 24 不仅可由一封装介质还可由一 ROM 或一硬盘构成，上述封装介质是由磁盘（包括软盘）、光盘（包括 CD-ROM 光盘只读存储器）、DVD（数字化视频光盘）、磁光盘（包括 MD（小型磁盘））、或者半导体存储器构成的。在记录介质 24 中存储有程序并且是以结合在计算机中的形式
15 提供给用户的。

这里值得注意的是用于对记录在记录介质中的每个程序进行描述的步骤不仅包括以时序的方式所顺序执行的处理操作，而且也包括并行执行的或者离散执行的处理操作。

20 工业实用性

如上所述且根据本发明，可实现这样一种电路，该电路具有简单的电路结构并且可稳定的确定所输入的视频信号是标准信号还是非标准信号。

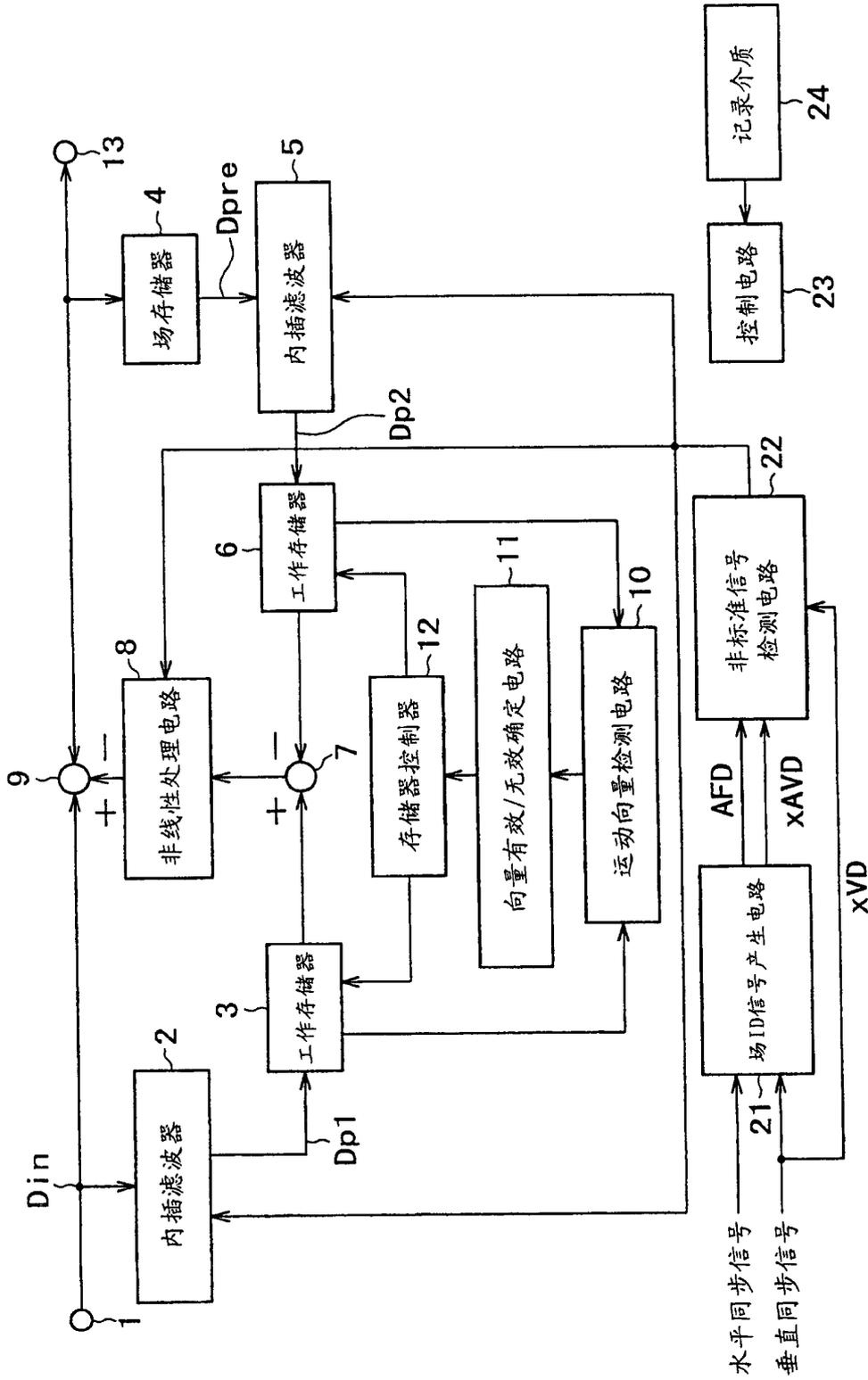


图 1

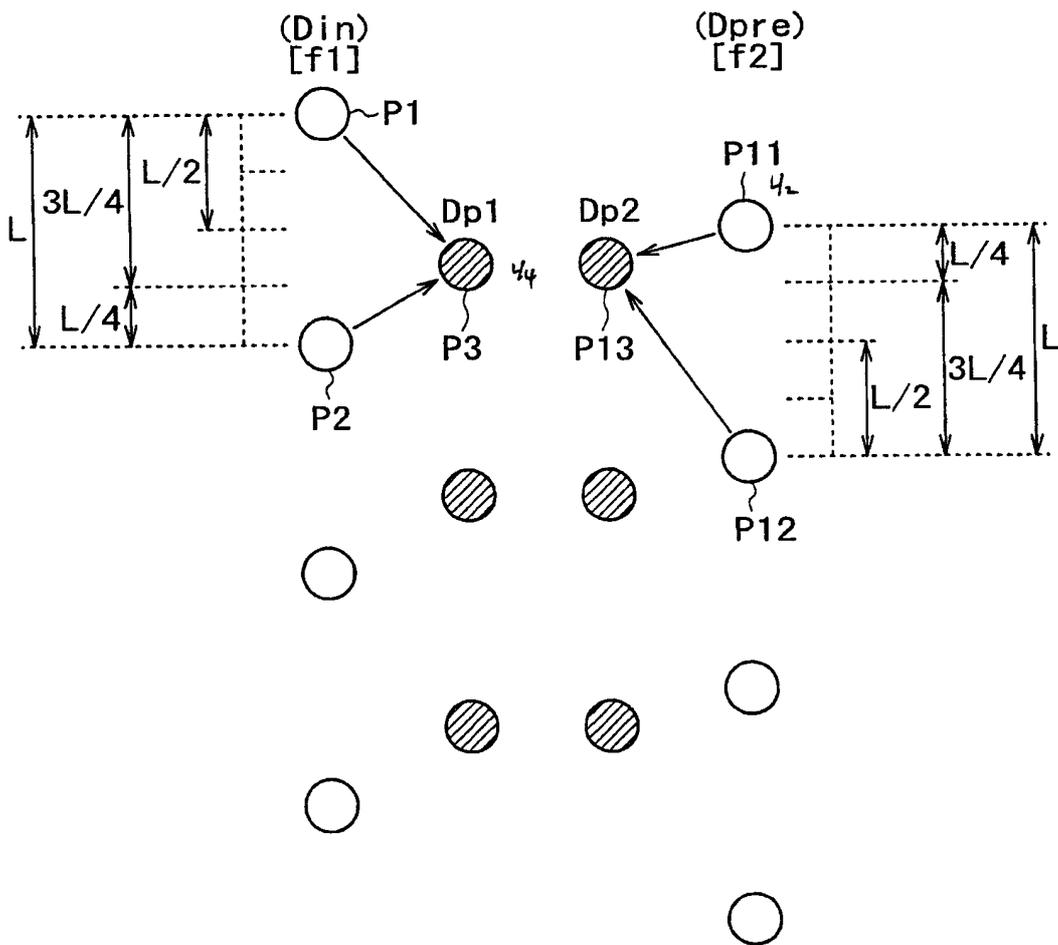


图 2

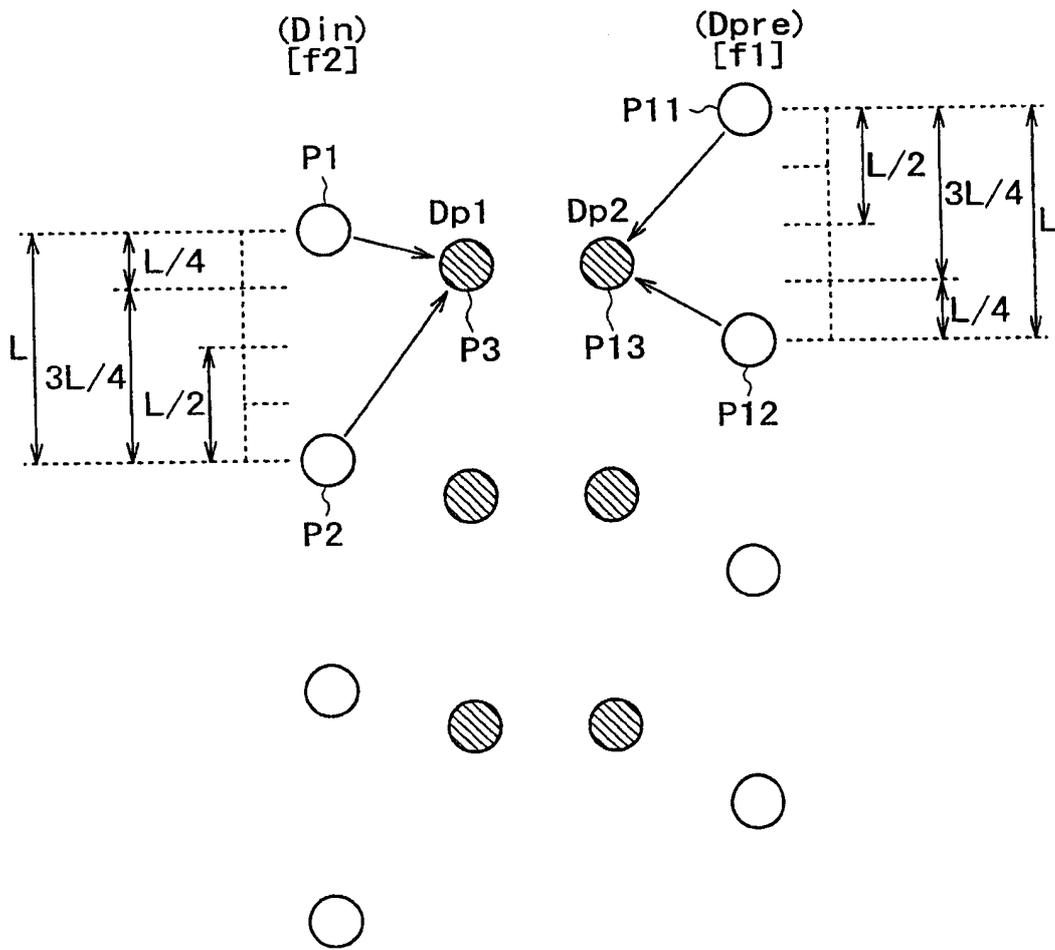


图 3

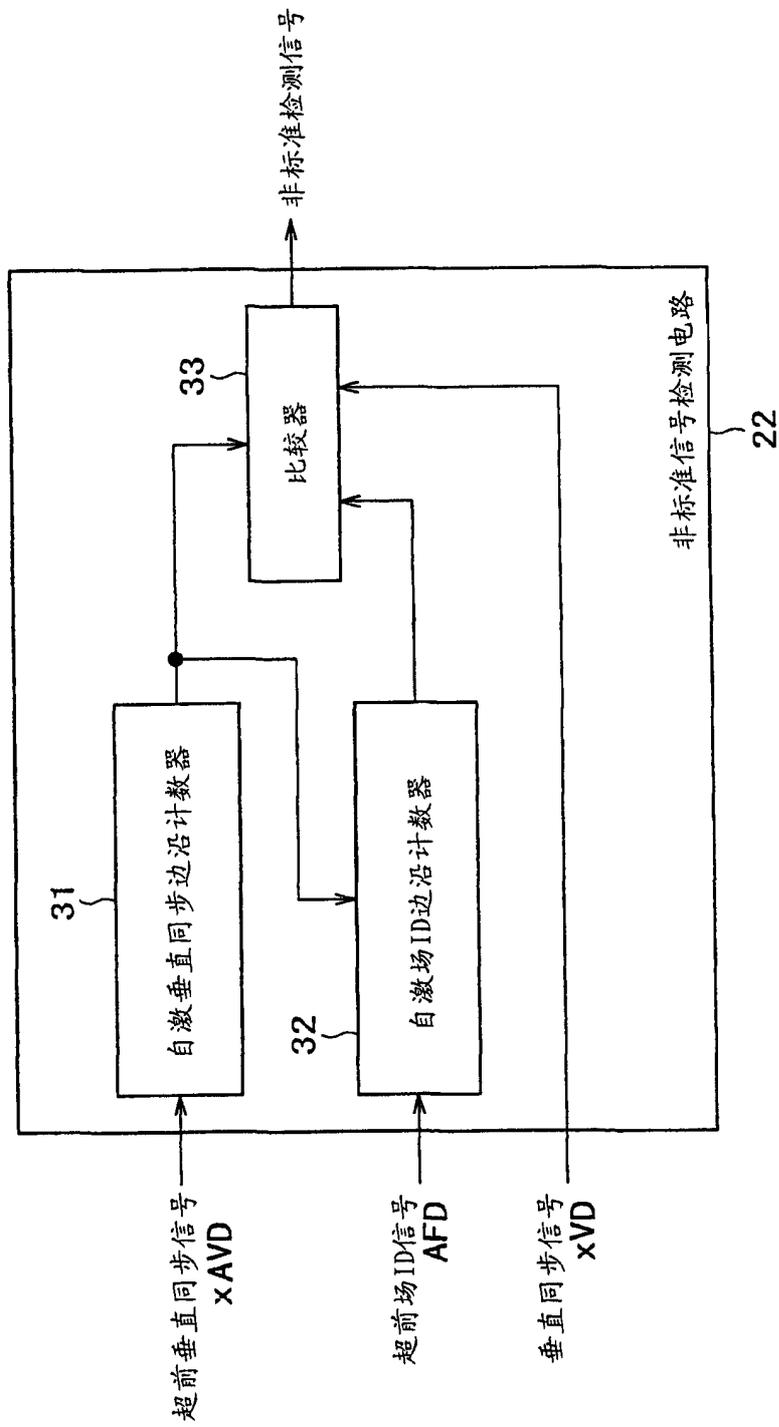


图 4

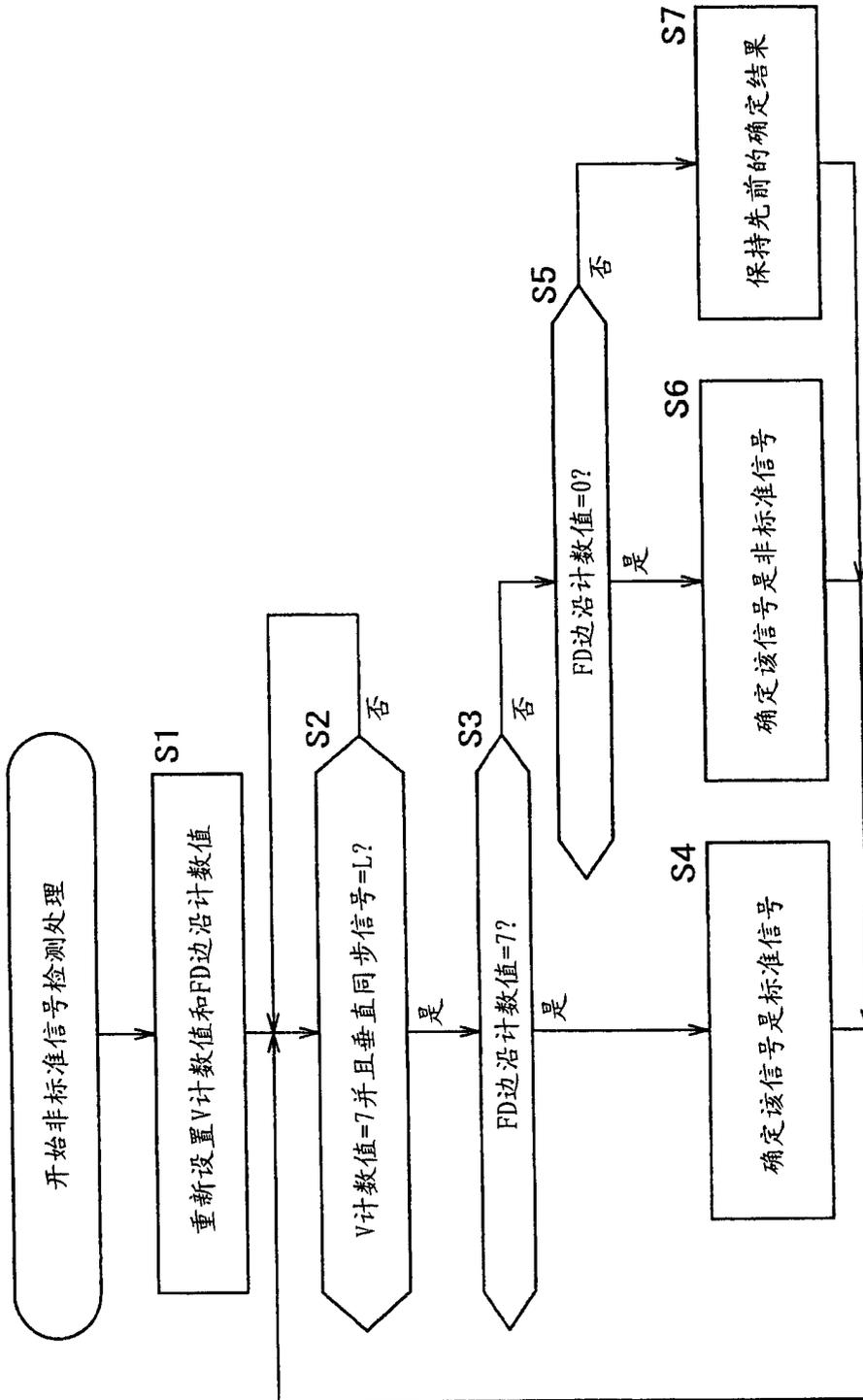


图 5

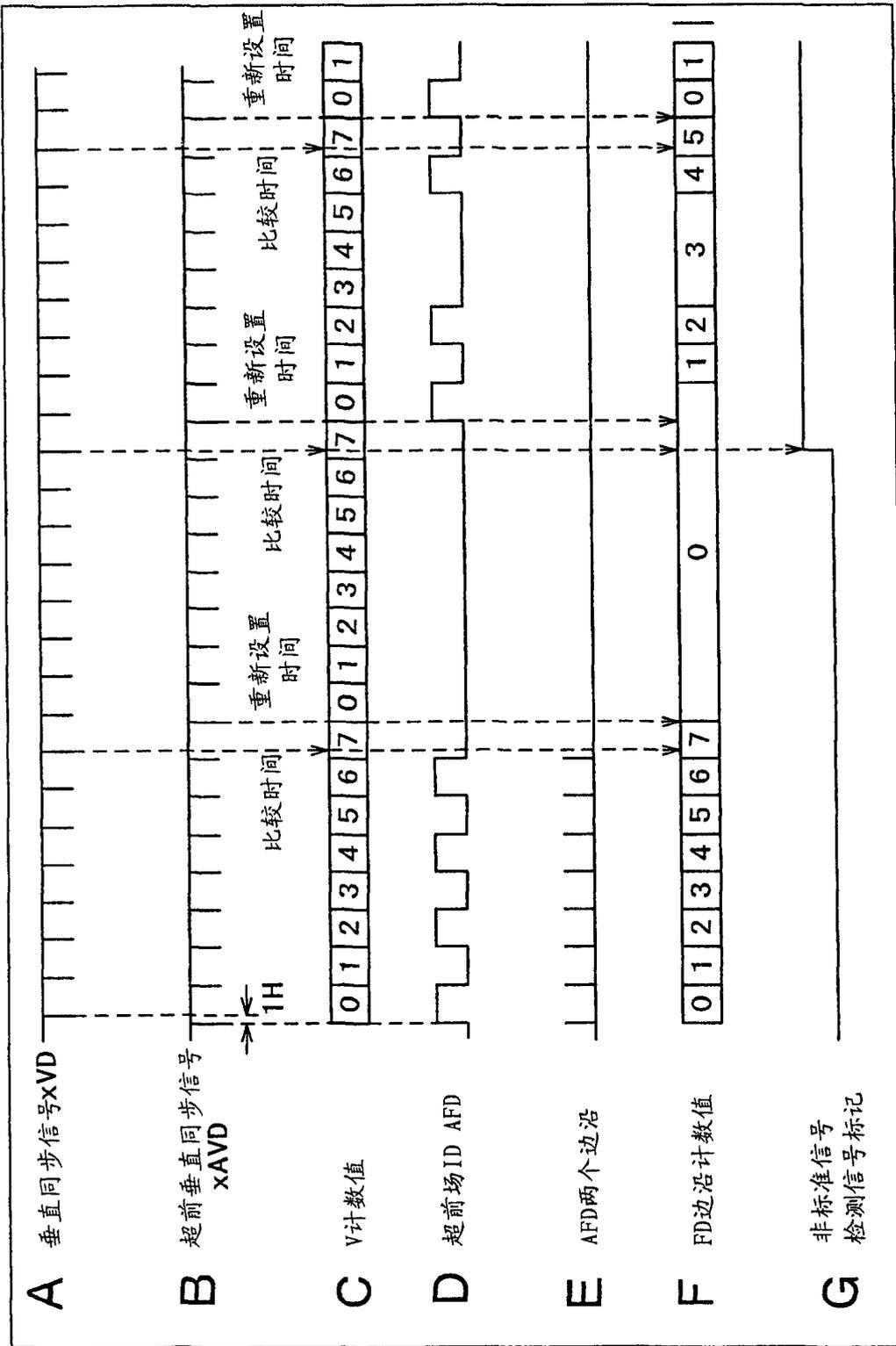


图 6

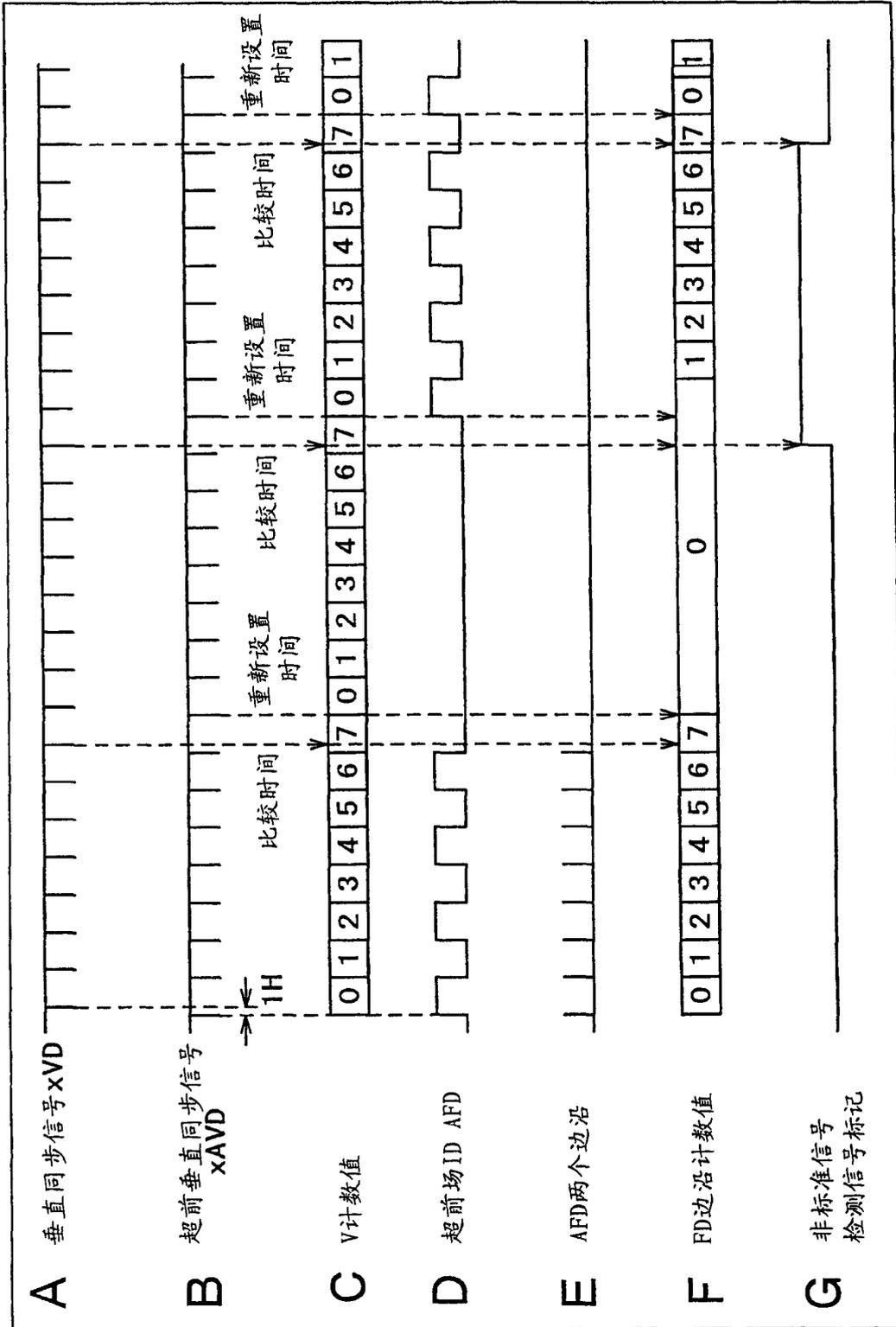


图 7