

公告本

| | |
|------|--------------------|
| 申請日期 | 89.2.16 |
| 案 號 | 89102604 |
| 類 別 | H01L 27/2 . 21/ 22 |

A4
C4

492190

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|------------|---------------|--|
| 一、發明 名稱 | 中 文 | SOI半導體裝置之穩定方法及SOI半導體裝置 |
| | 英 文 | METHOD FOR STABILIZING SOI SEMICONDUCTOR DEVICE AND SOI SEMICONDUCTOR DEVICE |
| 二、發明 人 | 姓 名 | 1.新美 憲一 2.艾伯特 奧斯卡 亞登 |
| | 國 籍 | 1.日本 2. 阿根廷 |
| | 住、居所 | 1.日本國奈良縣天理市櫛本町2613-1 2.日本國奈良縣生駒市光丘3-1-30 |
| 三、申請人 | 姓 名 (名稱) | 日商夏普股份有限公司 |
| | 國 籍 | 日本 |
| | 住、居所 (事務所) | 日本國大阪府大阪市阿倍野區長池町22番22號 |
| | 代 表 人 姓 名 | 町田 勝彥 |

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 1999年05月31日 特願平11-152124 有 無主張優先權

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（¹）

發明背景

1. 發明領域

本發明是關於一種絕緣體上半導體(SOI)結構之半導體裝置穩定的方法，以及用這種穩定方法的SOI半導體裝置。

2. 習用技術說明

隨著可攜式裝置的愈發風行，很有需要發展出能利用單一電池電源做長時間工作的LSI。此外，對於能高速操作且低耗電的SOI-MOSFET研究與發展也已經都在進行。

一般，要實現低耗電的SOI-MOSFET，就必須減少漏電流。在LSI級的待命狀態耗電量，會大到數百 μA ，因而導致嚴重的問題。

以短通道SOI-NMOSFET為例，將參閱圖10與圖11，來對待命狀態的操作原則做解釋。

舉例來說，在SOI-NMOSFET的待命狀態中，汲極4加上正電壓。因此，電子從源極4經過通道11而移動到汲極4。此時，電子經過SOI-NMOSFET的細小通道11，進入高電場的汲極附近，進而轉變成高能狀態。然後到達汲極4的電子會造成轟擊離子化，並產生電子電洞對。由轟擊離子化所產生的新電子流入汲極4內，而電洞12會聚集在鄰接到源極5之表面矽層3的較低部分中，此處的電壓較低。

圖11的等效電路顯示出待命狀態下得漏電流模型。依據圖11，轟擊離子化所造成的懸浮本體效應可以當作是關閉漏電流的主要因素。

亦即，源極5所釋放出來的電子會變成電流 I_{ch} 。這些電

五、發明說明 (2)

子可能在汲極4的附近造成轟擊離子化，並乘上一乘積係數(M-1)，進而轉變成電流 I_i (由轟擊離子化所產生電子而造成的電流)。亦即，汲極4所釋放出來的電洞會聚集在本體13(表面矽層的較低部分)中。聚集在本體13的電洞12增加基底電壓 V_{bs} ，亦即造成懸浮本體效應。

當產生懸浮本體效應以及增加基底電壓 V_{bs} 時，MOSFET的臨界電壓 V_{th} 會降低。結果，次臨界電流很容易流過通道11。

此外，當增加基底電壓 V_{bs} 時，寄生雙載子效應會增加。亦即，在MOSFET中，由源極區/汲極區以及底下的本體13形成NPN型雙載子結構。因此，本體電壓的上升讓電子很容易從源極5脫離開，進而增加經過本體或NPN雙載子電晶體的基極，而流到汲極的電流 I_c 。電流 I_c 與電流 I_{ch} 合併，進一步增加轟擊離子化。所以，相對於關閉漏電流(圖11中電流 I_b 是轟擊離子化與寄生雙載子效應所產生的電洞所造成，而 β 是寄生雙載子效應的電流增益)，寄生雙載子效應變成正回饋的因素。

一般，MOSFET的關閉漏電流會顯示出如圖12所示的行為。

當汲極與源間的電壓 V_{ds} 較小時(區域I)，是由SOI-MOSFET的臨界電壓控制漏電流。

此外，當電壓 V_{ds} 稍微增加時(區域II)，電壓 V_{ds} 的增加量以及反向偏壓的效應會變成漏電流的主要因素。簡言之，寄生雙載子效應會增加，並產生轟擊離子化，進一步增

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明 (3)

加漏電流(區域III)。

當電壓 V_{ds} 進一步增加時(區域III)，與正回饋有關的轟擊離子化具有主導作用，使得漏電流快速增加。

從以上說明中，降低關閉漏電流的方法是：

1. 增加臨界電壓，
2. 壓制寄生雙載子效應，以及
3. 壓制轟擊離子化。

傳統上，已經有許多降低關閉漏電流的提議。例如，在1995年IEEE. SSDM. Tech. Dig., PP627-630的文章中，已經提出一種方法，利用Ar離子佈植到本體內而形成晶格缺陷。用這種方法所引發的晶格缺陷當作是捕捉電壓，縮短載子的壽命，並能壓制寄生雙載子效應及降低關閉漏電流。

然而，在這種Ar離子的離子佈植方法中，晶格缺陷是在具有SOI結構之基底的表面矽層內形成，進而降低載子游動率以及電晶體的驅動電流。此外，該方法在工業應用上是有問題的，因為會增加製程以及製造成本。

因此，利用電場來加入捕捉電壓的技術已經被提出(日本尚未查出之專利公報HEI 9 (1997)-8259)。依據如圖13所示的技術，支撐基底1是保持在溫度100到200°C內，閘極6，汲極4以及源極5是接地，而支撐基底1是接到正電壓。因此電場在通道區7內造成缺陷8。缺陷8當作是載子的捕捉電壓，並造成待命狀態下漏電流的降低。附帶一提的是，利用電荷轟擊方法來檢驗電場所產生的缺陷。

然而，在上述的方法中，基底必須加熱到大約200°C，且

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

施加電場幾個小時。因此在工業上不夠有效率且很難實現。此外，電場也要加到前端通道區9。所以在前端通道區9形成缺陷。因此，可以降低電晶體的驅動電流。

發明摘要

依據本發明，提出一種穩定SOI半導體裝置的方法，包括以下步驟：提供由SOI基底，源極區/汲極區以及閘極所構成的SOI半導體裝置，其中該SOI基底包含支撐基底，在支撐基底上的埋植絕緣層，以及在埋植絕緣層上的表面半導體層，而源極區/汲極區是在表面半導體層內形成，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間的表面半導體層上形成；以及施加電場到支撐基底與源極區或汲極區之間，使得反向通道能在表面半導體層到埋植絕緣層的一側內形成，進而在至少接近埋植絕緣層內源極區或汲極區與表面半導體層的表面上，加入捕捉電壓。

此外，本發明提供一種利用上述方法所穩定的SOI半導體裝置。

亦即，本發明以經發展出一種方法，以上述問題的觀點，依據與傳統技術不同的原理，施加電場。所以，本發明提供一種有效的方法，來穩定SOI半導體裝置，其中捕捉電壓只加到適當的位置維持一段很短的時間(數秒到數百秒)，而不用加熱基底溫度，並因此而得到半導體裝置。

本發明的這些目的以及其它目的，將從以下的說明中變得更清楚。然而，要注意的是，代表本發明較佳實施例的詳細說明以及特定實例，只是當作說明性質之用，因為在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (5)

本發明精神以及範圍內的不同改變與修飾，對於熟知該技術領域的人士來說，是很明顯的。

圖式的簡單說明

圖1是SOI半導體裝置主要部分的剖示圖，顯示本發明穩定SOI半導體裝置的方法；

圖2是SOI半導體裝置主要部分的剖示圖，顯示出當偏壓以順向方式加到圖1中穩定SOI半導體裝置時的操作；

圖3是SOI半導體裝置主要部分的剖示圖，顯示出當偏壓以反向方式加到圖1中穩定SOI半導體裝置時的操作；

圖4顯示出當偏壓以順向方式加到圖1中SOI半導體裝置時，漏電流隨著外加電場的週期而變動的情形；

圖5顯示出當偏壓以反向方式加到圖1中SOI半導體裝置時，漏電流隨著外加電場的週期而變動的情形；

圖6顯示出當偏壓以順向方式加到圖1中SOI半導體裝置時，漏電流隨著外加電場的週期而變動的情形；

圖7顯示出當偏壓以反向方式加到圖1中SOI半導體裝置時，漏電流隨著外加電場的週期而變動的情形；

圖8顯示出當圖1的電場加到圖1的SOI半導體裝置後，圖2驅動電流變動的情形；

圖9顯示出當圖1的電場加到圖1的SOI半導體裝置後，圖3驅動電流變動的情形；

圖10顯示傳統短通道SOI半導體裝置，在待命狀態下的操作原理；

圖11是顯示圖10待命狀態下半導體裝置電流的等效電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (6)

圖：

圖12是半導體裝置中漏電流行為的圖式；以及

圖13 SOI半導體裝置主要部分的剖示圖，顯示穩定SOI半導體裝置的傳統方法。

較佳實施例的詳細說明

在穩定本發明SOI半導體裝置方法中所使用的SOI半導體裝置，主要是由SOI基底，源極區/汲極區以及閘極所構成，其中該SOI基底包含支撐基底，在支撐基底上的埋植絕緣層，以及在埋植絕緣層上的表面半導體層，而源極區/汲極區是在表面半導體層內形成，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間之表面半導體層上形成。

在此，SOI基底並不特別限定，只要是一般的材料，結構以及厚度即可。例如，BESOI與SIMOX(被離子佈植氧所隔離開)半導體基底將做說明。

有不同的基底當作支撐基底來用，例如矽，鍺以及其它類似的半導體基底，GaAs，InGaAs以及其它類似的化合物半導體基底，藍寶石，石英，玻璃，塑膠以及其它類似的絕緣基底。

例如，埋植絕緣層可以是SiO₂薄膜或SiN薄膜。埋植絕緣層的厚度可以依據所需半導體裝置特性，加到半導體裝置的電壓大小以及其它類似的因素，來調節到約50到500 nm，比如說。

表面半導體層是薄的半導體層，當形成電晶體的作主動層，並可以用半導體薄層來形成，比如矽或鍺，或GaAs或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

InGaAs的化合物半導體。在這些之中，最好是使用矽薄層。以所需半導體裝置的特性觀點來說，表面半導體層的厚度可以適當的調節到約30至200 nm，視不同的參數而定，比如電晶體中源極/汲極的接面深度，在表面半導體層的表面上所形成的通道深度以及離子佈植濃度。稍後將對這些參數做說明。此外，表面半導體層具有源極區/汲極區，以及稍後會做說明的通道區。因此很適合將表面半導體層的離子佈植濃度(例如磷或砷的N型雜質，或是硼的P型雜質)，設定到約 1×10^{15} 至 1×10^{18} 原子/cm³，使得該濃度對應到所需半導體裝置的臨界值。

表面半導體層內所形成的源極區/汲極區，最好是具有等於表面半導體層厚度的接面深度。源極區/汲極區內的雜質並不特別限定，可以是N型或P型。雜質濃度約為 1×10^{20} 至 1×10^{21} 原子/cm³。此外，源極區/汲極區可以具有LDD結構。

在源極區/汲極區之間的面半導體層上所形成的閘極絕緣層與閘極，並不特別限定，只要是用一般半導體裝置所使用的材料與厚度即可。例如，閘極絕緣層可以用氧化矽層，氮化矽層或堆疊層構成，厚度約3到10 nm。閘極可以用多晶矽；如W，Ta，Ti及Mo的高溫金屬；包含這些矽化物的多矽化物(例如MoSi₂與WSi₂)以及多晶矽；以及厚度約150到300 nm的其它材料。此外，閘極也可以具有絕緣層的側壁隔層，考慮用雜質的側向擴散，形成源極區/汲極區。

使用上述SOI半導體裝置，將電場加到支撐基底與源極區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

或汲極區之間。特別是對於其中汲極是接地的NMOS，約1到5V(2.5到3.5V)的電壓以及約5到20V的電壓分別被加到源極以及基底。在源極是接地時，約1到5V(2.5到3.5V)的電壓以及約5到20V的電壓分別被加到汲極以及基底。在施加電場到源極或汲極是接地的這二種情形時，約-0.1V到-0.8V的電壓，亦即-0.5V的電壓會被加到閘極，以保持表面為輕度聚集狀態，使得表面通道不會形成。此外，特別是對於其中汲極是接地的PMOS，約2.5到3.5V的電壓以及約-5到-20V的電壓分別被加到源極以及基底。在源極是接地時，約2.5到3.5V的電壓以及約-5到-20V的電壓分別被加到汲極以及基底。類似NMOS的情形，在施加電場到源極或汲極是接地的這二種情形時，約0.1V到0.8V的電壓，亦即0.5V的電壓會被加到閘極，以避免形成表面通道。

對於施加上述電場來說，基底溫度最好是接近室溫(約30°C)。然而在本發明的方法中，不需要硬性的控制基底溫度，因為本發明方法中所施加的電場並不會增加基底溫度。

施加電場維持約數秒到數百秒，特別是約10秒到500秒。對於施加電場，上述的電壓可以一次或多次的維持上述時間，或是可以用改變上述電壓的圖案，來達到對電壓的應用。以簡化操作的觀點來說，最好是只用一個所需的電壓維持一段所需時間。

利用上述方式施加電場，可以在具有埋植絕緣層的表面半導體層的一側形成反向通道，而表面半導體層，埋植絕緣層以及支撐基底分別被當作是主動層，閘極絕緣層與閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

極。因此，捕捉電壓至少要加到源極區/汲極區與埋植絕緣層上表面半導體層之間的表面附近。

捕捉電壓可以加到埋植絕緣層上表面半導體層的整個表面上。

在本發明的SOI半導體裝置內，可以降低待命狀態下的漏電流，因為捕捉電壓利用上述方法只加到所需的位置。此外，只單獨利用電場，便可以降低順向與反向的漏電流。

在此，將參閱圖式來詳細說明穩定SOI半導體裝置的方法以及SOI半導體裝置的實例。

如圖1所示，NMOSFET包括SOI基底，該SOI基底包括矽基底1，厚度約1000Å的埋植絕緣層2，以及矽基底1上厚度約577Å的表面矽層3，表面矽層3內所形成的汲極4與源極5，以及在表面矽層3上所形成具有閘極絕緣層間格的閘極6。

NMOSFET的汲極4接地，而2.5V與5.0V的電壓分別被加到源極5與矽基底1。施加電場的時間設定為1到300秒。此時的基底溫度約20到30°C。依此，在表面矽層3到埋植絕緣層2上形成反向通道7。因此，捕捉電壓8被加到接近源極5與埋植絕緣層內表面矽層3之間的界面。

在半導體裝置中，加上電場的影響是利用形成前端通道的一般電壓來做評估。該評估是相對於順向偏壓，其中正電壓加到汲極4，而源極5與矽基底1接地，當作GND電壓，如圖2所示，而相對於反向偏壓，其中正電壓加到源極5，而汲極4與矽基底1接地，當作GND電壓，如圖3所示。

結果顯示於圖4與圖5中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

圖4顯示出，在半導體裝置的順向偏壓下，關閉漏電流以及加到汲極與源極之間電壓 V_{ds} 之間的關係，其中電場的時間為10，20，30，120與300秒。隨著施加電場時間的增加，區域I與II的漏電流會減少，如圖12所示。尤其是，區域II的漏電流減少的很明顯。

圖5是半導體裝置反向偏壓下，關閉漏電流以及加到汲極與源極之間電壓 V_{ds} 之間的關係，其中電場的時間為20，30，120與300秒。隨著施加電場時間的增加，可看到類似於圖4中漏電流減少的結果。

依據這些結果，圖6與圖7顯示出漏電流以及電場施加時間之間的關係，其中分別加上順向與反向偏壓。

圖6與圖7顯示，在順向與反向偏壓的情形下，可以看出漏電流會隨著電場施加時間的增加而減少。

亦即，本體電壓通常會被在待命狀態下(閘極電壓為零)汲極與源極之間所加電壓而產生的轟擊離子化而增加。依據本體電壓的增加，電子被注入到源極5與汲極4(雙載子效應)。然而在本發明中，電場是用上述方式加上，而且捕捉電壓8被加到源極5與表面矽層2之間界面的較低部分。捕捉電壓8當作正固定電荷，並捕捉注入的電子，進而降低有效注入電子的數目。不論正電壓是加到汲極或源極上，電子都會被捕捉到。因此，可以只利用本發明中的單一電場來有效的降低漏電流，即使是用雙向電壓加到實際的電路上。

此外，也決定出順向與反向偏壓時的驅動電流變動。然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

後，如圖8與圖9所示，很難觀察到驅動電流的降低。這表示，藉選取適當的電場施加條件，捕捉電壓只加到所需的位置上，而不會在表面矽層的前端表面上產生任何缺陷。

此外，依據本發明，待命狀態下的漏電流可以用一種簡單的方法來降低，因為不需要對已施加電場的基底進行加熱。

依據本發明，在包括SOI基底，源極區/汲極區以及閘極的半導體裝置中，其中SOI基底包含支撐基底，埋植絕緣層以及表面半導體層，而表面半導體層具有源極區/汲極區，埋植絕緣層以及支撐基底上的表面半導體層，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間的表面半導體層上形成，將電場加在支撐基底與源極區或汲極區之間，在表面半導體層到埋植絕緣層的一側上形成反向通道。因此，捕捉電壓被加到至少接近源極區或汲極區與埋植絕緣層內表面半導體層的界面。所以，利用一種簡單，容易又實際的方法，可以壓制寄生雙載子效應，臨界電壓與轟擊離子化也都被壓制，而且降低待命狀態下的漏電流，而不會降低驅動電流。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱: SOI半導體裝置之穩定方法及SOI半導體裝置)

一種將絕緣體上半導體(SOI)裝置穩定的方法，包括以下步驟：提供由SOI基底，源極區/汲極區以及閘極所構成的SOI半導體裝置，其中該SOI基底包含支撐基底，支撐基底上的埋植絕緣層，以及埋植絕緣層上的表面半導體層，而源極區/汲極區是在表面半導體層內形成，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間的表面半導體層上形成；以及外加電場到支撐基底與源極區或汲極區之間，使得反向通道能在表面半導體層到埋植絕緣層的一側內形成，進而在至少接近埋植絕緣層內源極區或汲極區與表面半導體層的表面上，加入捕捉電壓。

英文發明摘要 (發明之名稱: METHOD FOR STABILIZING SOI SEMICONDUCTOR DEVICE AND SOI SEMICONDUCTOR DEVICE)

A method for stabilizing an SOI semiconductor device which comprises the steps of: providing an SOI semiconductor device constituted of an SOI substrate including a support substrate, a buried insulating film formed on the support substrate and a surface semiconductor layer formed on the buried insulating film, source/drain regions formed in the surface semiconductor layer and a gate electrode formed on the surface semiconductor layer between the source/drain regions with intervention of a gate insulating film; and applying an electric stress between the support substrate and one of the

四、中文發明摘要 (發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱:)

source/drain regions so that a back channel is formed in a side of the surface semiconductor layer to the buried insulating film, thereby to introduce a capturing potential at least near an interface between said one of the source/drain regions and the surface semiconductor layer in the buried insulating film side.

六、申請專利範圍

1. 一種穩定絕緣體上半導體裝置之方法，包括以下步驟：
提供由絕緣體上半導體(SOI)基底，源極區/汲極區以及閘極所構成的SOI半導體裝置，其中該SOI基底包含支撐基底，在支撐基底上的埋植絕緣層，以及在埋植絕緣層上的表面半導體層，而源極區/汲極區是在表面半導體層內形成，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間的表面半導體層上形成；
以及施加電場到支撐基底與源極區或汲極區之間，使得反向通道能在表面半導體層到埋植絕緣層的一側內形成，進而在至少接近埋植絕緣層內源極區或汲極區與表面半導體層的表面上，加入捕捉電壓。
2. 如申請專利範圍第1項之方法，其中該電場的施加時間被調節到使得捕捉電壓被加到表面半導體層的整個埋植絕緣層側。
3. 如申請專利範圍第1項或第2項之方法，其中藉設定源極區/汲極區到接地而其它部分是接到正電壓來施加該電場。
4. 如申請專利範圍第3項之方法，其中該正電壓是1V到5V。
5. 如申請專利範圍第3項之方法，其中進一步在N通道半導體裝置時，設定支撐基底為正電壓，或是在P通道半導體裝置時，設定支撐基底為負電壓，來施加該電場。
6. 如申請專利範圍第5項之方法，其中該正電壓是5V到20V，而負電壓是-5V到-20V。
7. 如申請專利範圍第3項之方法，其中進一步在N通道半導體裝置時，設定閘極為負電壓，或是在P通道半導體裝

六、申請專利範圍

- 置時，設定閘極為正電壓，來施加該電場。
8. 如申請專利範圍第5項之方法，其中進一步在N通道半導體裝置時，設定閘極為負電壓，或是在P通道半導體裝置時，設定閘極為正電壓，來施加該電場。
 9. 如申請專利範圍第5項之方法，其中該負電壓是-0.1V到-0.8V，而正電壓是0.1V到0.8V。
 10. 如申請專利範圍第1項之方法，其中該電場的施加時間約為數秒到數百秒。
 11. 如申請專利範圍中第10項之方法，其中該電場的施加時間約為10秒到500秒。
 12. 一種SOI半導體裝置，其係包括：
絕緣體上半導體(SOI)基底、源極區/汲極區以及閘極；其中該SOI基底包含支撐基底，在支撐基底上的埋植絕緣層，以及在埋植絕緣層上的表面半導體層，而源極區/汲極區是在表面半導體層內形成，閘極是在具有閘極絕緣層隔開之源極區/汲極區之間的表面半導體層上形成；
其中該SOI半導體裝置係藉由施加電場到支撐基底與源極區或汲極區之間，使得反向通道能在表面半導體層到埋植絕緣層的一側內形成，進而在至少接近埋植絕緣層內源極區或汲極區與表面半導體層的表面上，加入捕捉電壓，以獲得穩定。
 13. 如申請專利範圍中第5項之方法，其中該電場被加上，形成單向的反向通道，並降低雙向的漏電流。

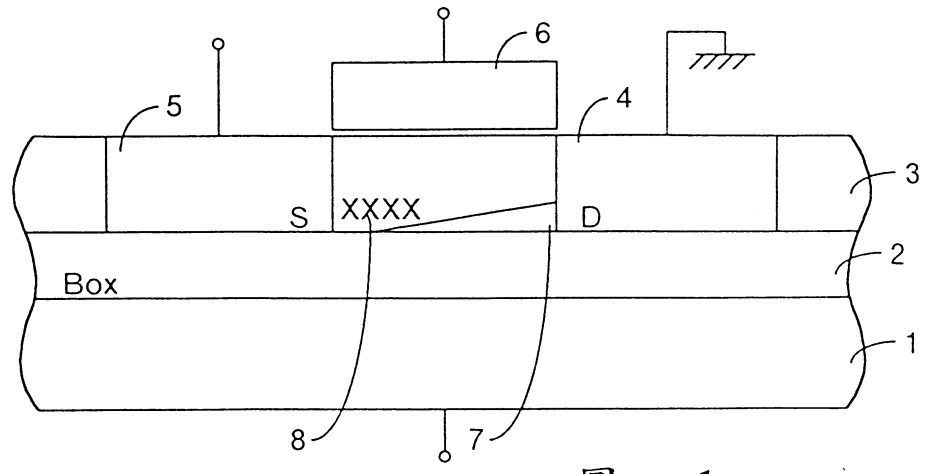


圖 1

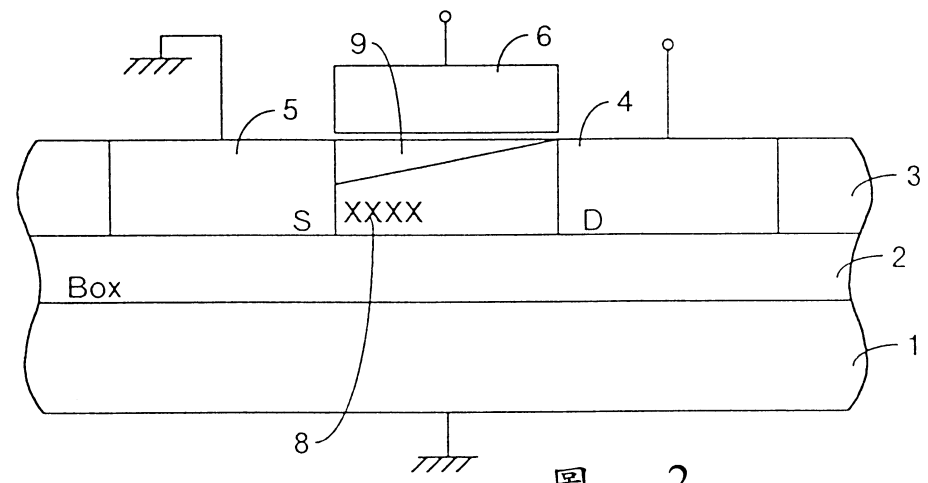


圖 2

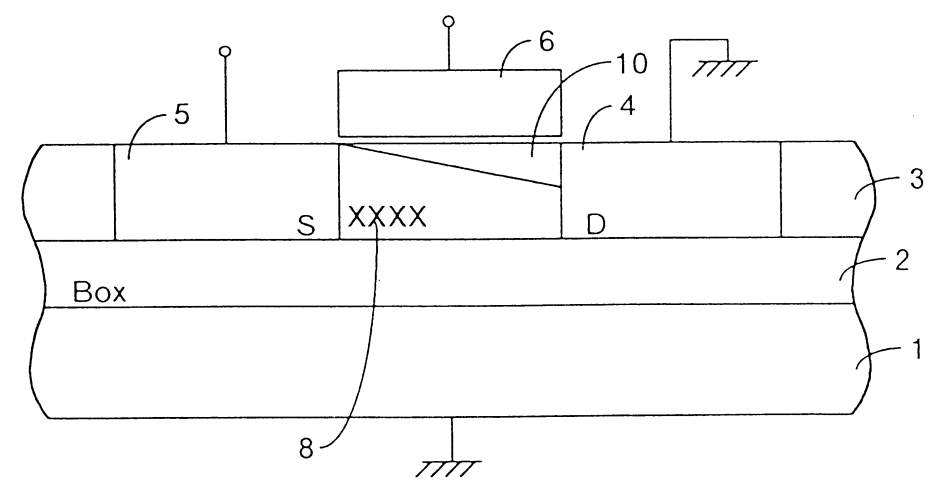


圖 3

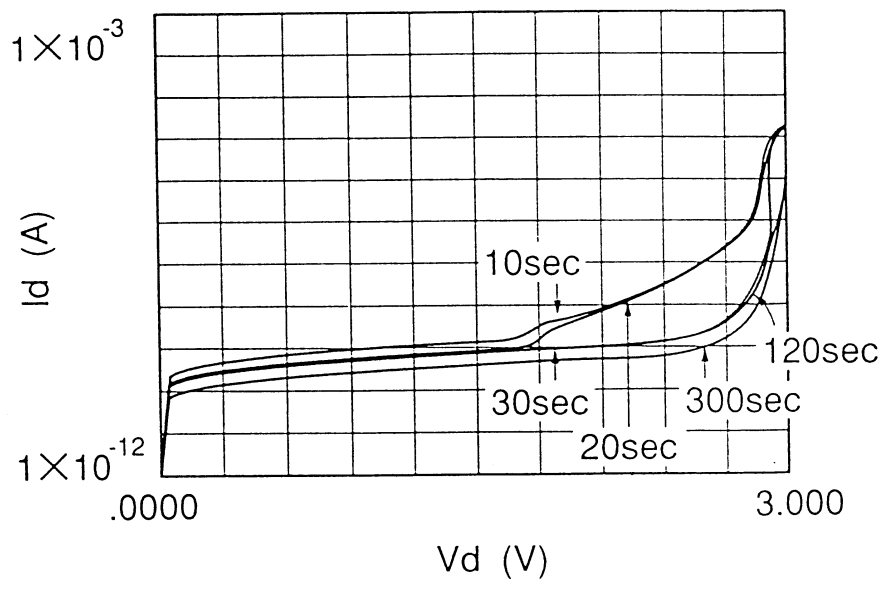


圖 4

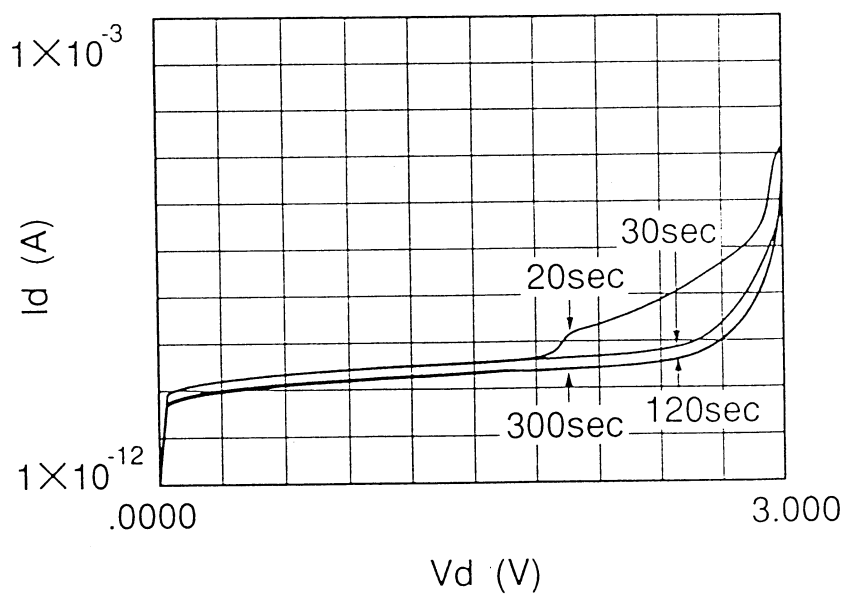


圖 5

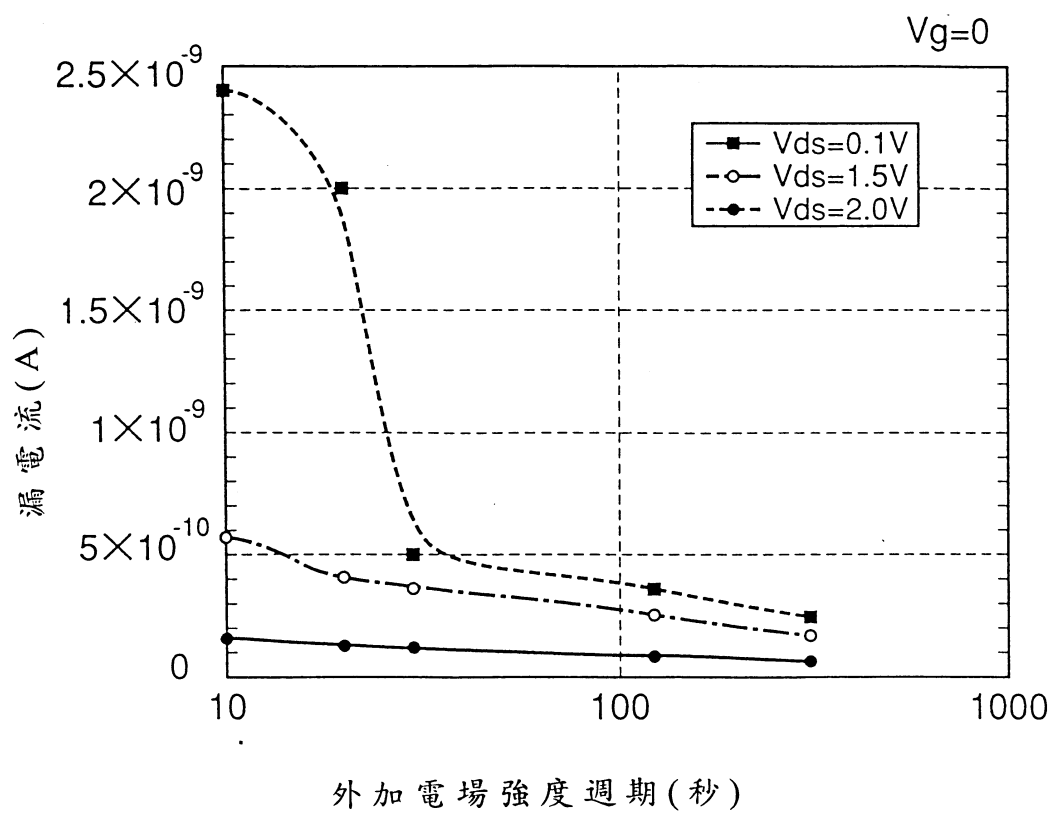


圖 6

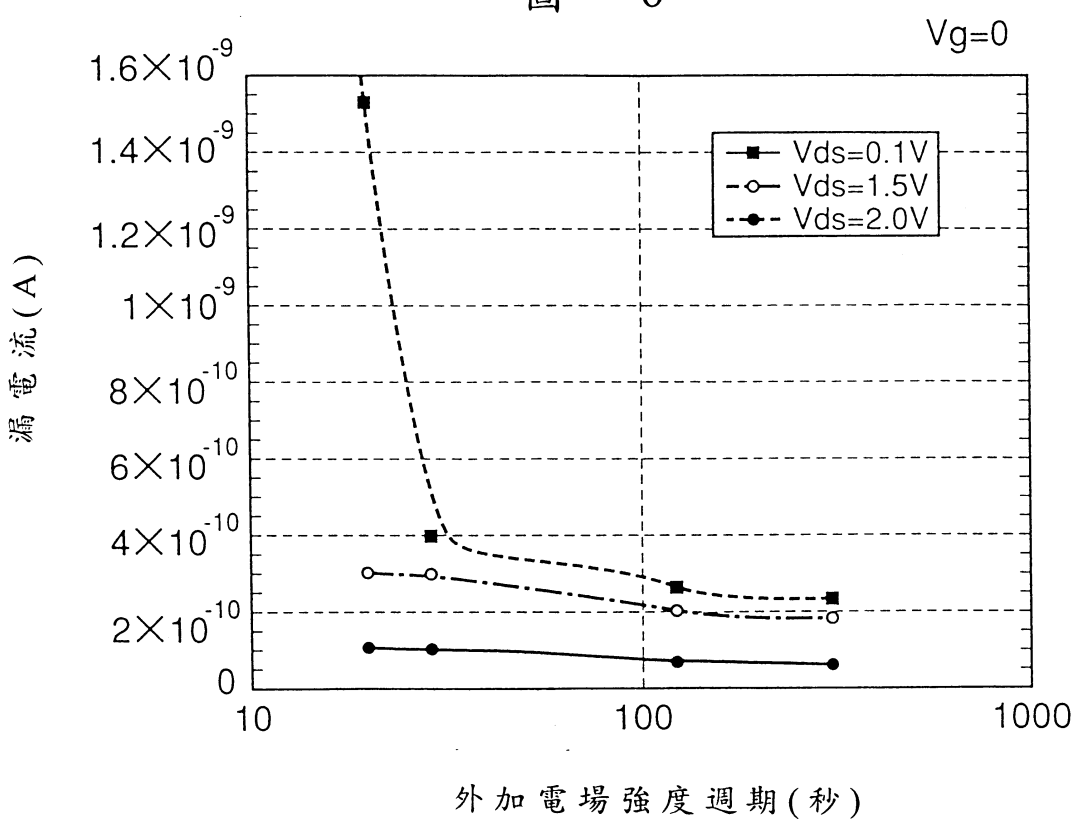


圖 7

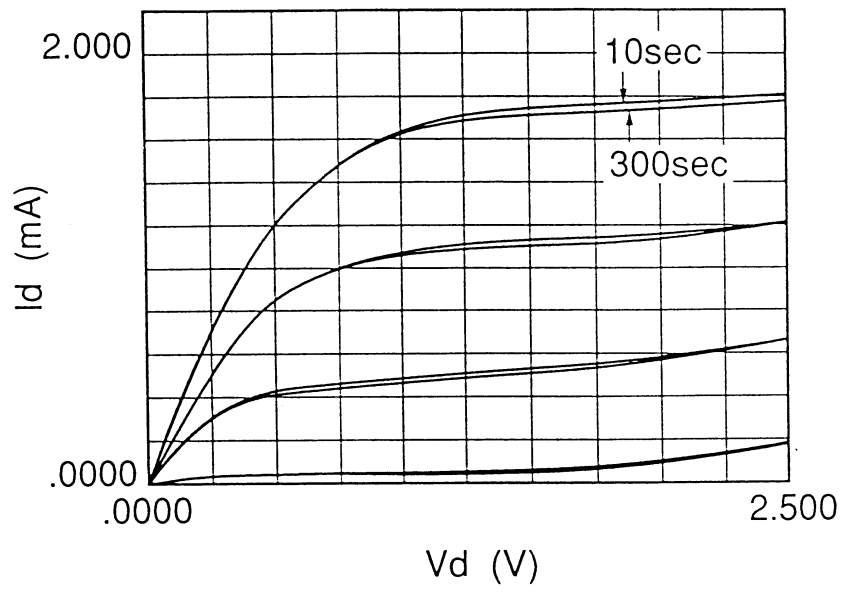


圖 8

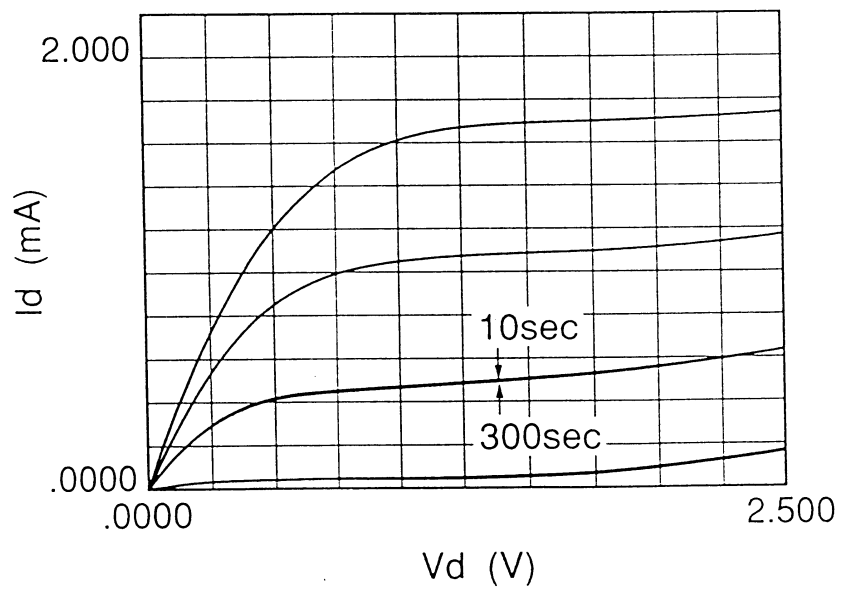


圖 9

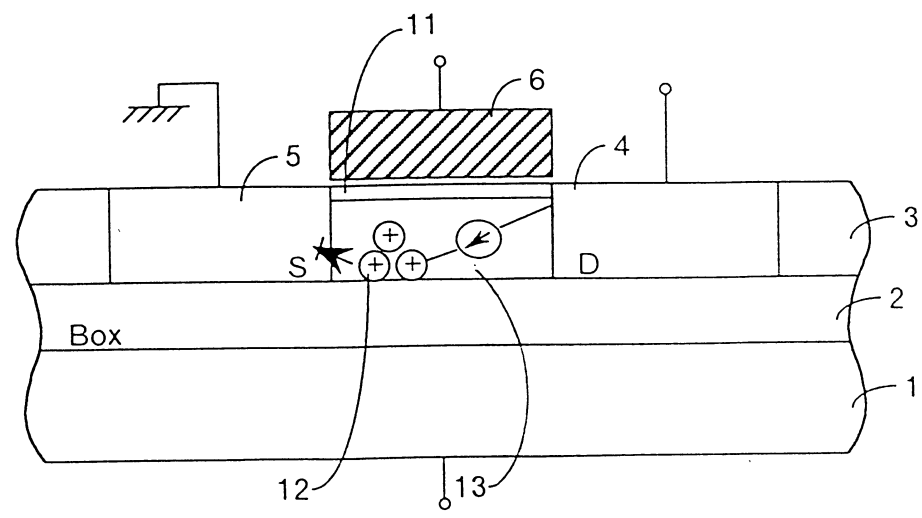


圖 10 (先前技藝)

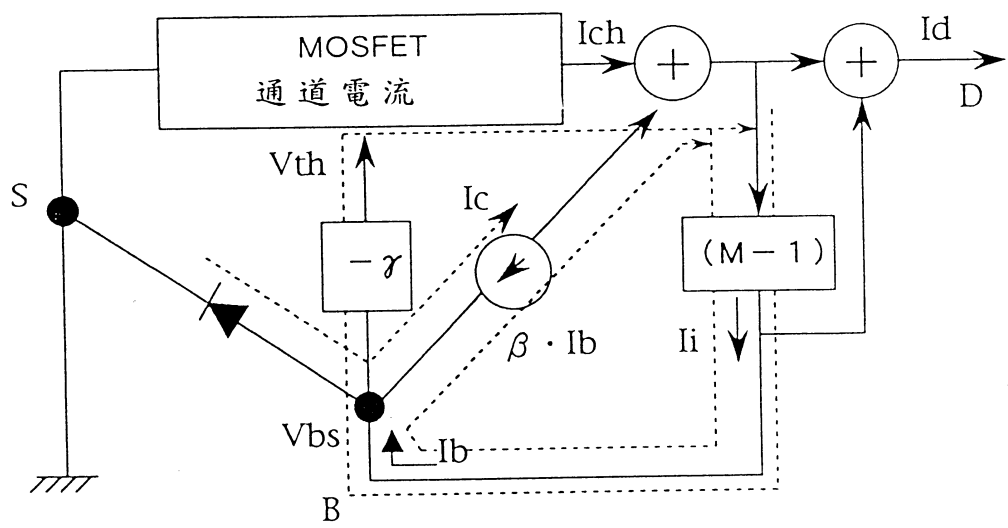


圖 11 (先前技藝)

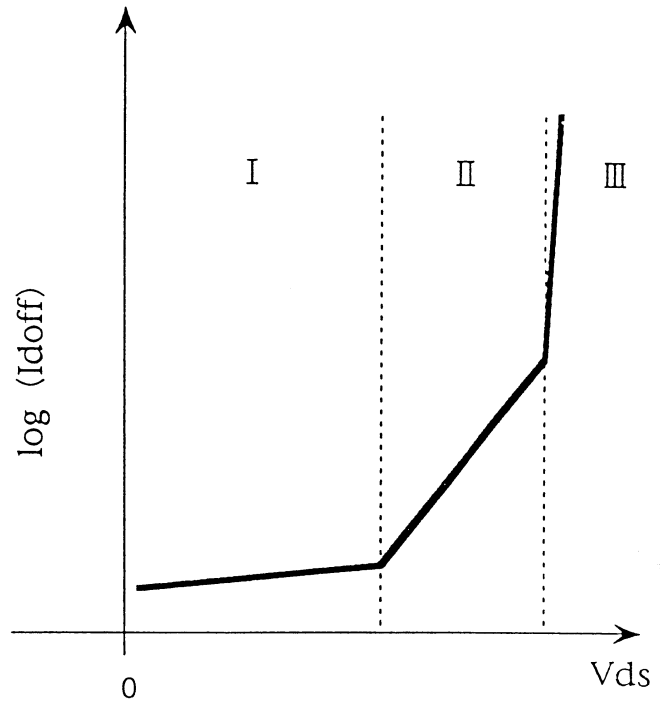


圖 12 (先前技藝)

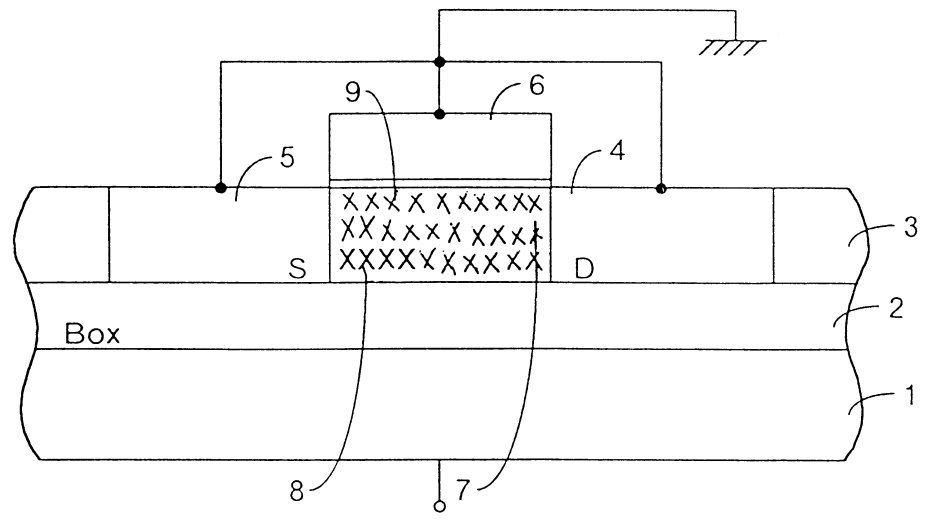


圖 13 (先前技藝)