



(12) 发明专利

(10) 授权公告号 CN 102782859 B

(45) 授权公告日 2015. 07. 29

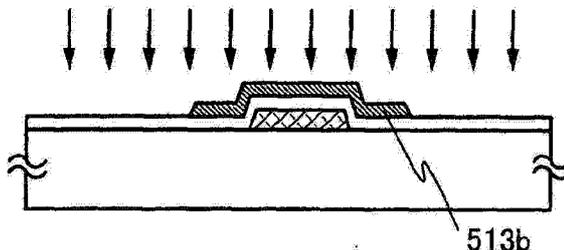
- (21) 申请号 201180010845. 3 H01L 21/8242(2006. 01)
- (22) 申请日 2011. 02. 09 H01L 21/8247(2006. 01)
- (30) 优先权数据 H01L 27/108(2006. 01)
2010-043555 2010. 02. 26 JP H01L 27/115(2006. 01)
- (85) PCT国际申请进入国家阶段日 H01L 29/788(2006. 01)
2012. 08. 24 H01L 29/792(2006. 01)
- (86) PCT国际申请的申请数据 (56) 对比文件
PCT/JP2011/053311 2011. 02. 09 US 2009/0142887 A1, 2009. 06. 04, 说明书第
- (87) PCT国际申请的公布数据 [0035]-[0040]、[0042] 段, 图 1-6.
W02011/105268 EN 2011. 09. 01 CN 1353329 A, 2002. 06. 12, 全文.
- (73) 专利权人 株式会社半导体能源研究所 CN 1930692 A, 2007. 03. 14, 全文.
地址 日本神奈川 审查员 邱广猷
- (72) 发明人 山崎舜平 大原宏树
- (74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038
代理人 陈华成
- (51) Int. Cl.
H01L 29/786(2006. 01)
H01L 21/336(2006. 01)
H01L 21/425(2006. 01)

权利要求书2页 说明书34页 附图18页

(54) 发明名称
半导体装置的制造方法

(57) 摘要

目的之一是提供可靠性高的半导体装置、功耗低的半导体装置、批量生产性高的半导体装置以及这些半导体装置的制造方法。不产生氧缺损地去除残留在氧化物半导体层中的杂质并将氧化物半导体层纯化到极高纯度。具体而言,在对氧化物半导体层添加氧之后,对氧化物半导体层进行加热处理来去除杂质。为了添加氧,优选采用使用离子注入法或离子掺杂法等添加高能量的氧的方法。



1. 一种半导体装置的制造方法,包括如下步骤:
形成氧化物半导体层;
通过离子注入法或离子掺杂法对所述氧化物半导体层进行氧添加,以切断氧化物半导体层中包含的金属与氢的键、金属与羟基的键或者键合到金属的羟基中的氧与氢的键;以及
在 250°C 以上且 700°C 以下对进行了氧添加的所述氧化物半导体层进行热处理。
2. 根据权利要求 1 所述的半导体装置的制造方法,其中所述氧化物半导体层包括 In-Ga-Zn-O 类氧化物半导体。
3. 一种半导体装置的制造方法,包括如下步骤:
形成栅电极;
在所述栅电极上形成栅极绝缘层;
以接触于所述栅极绝缘层的方式形成与所述栅电极重叠的氧化物半导体层;
通过离子注入法或离子掺杂法对所述氧化物半导体层进行氧添加,以切断氧化物半导体层中包含的金属与氢的键、金属与羟基的键或者键合到金属的羟基中的氧与氢的键;
对进行了氧添加的所述氧化物半导体层进行热处理;
以接触于进行了所述热处理的所述氧化物半导体层的方式形成其端部与所述栅电极重叠的源电极和漏电极;以及
以与所述氧化物半导体层的沟道形成区接触且重叠的方式形成绝缘层。
4. 根据权利要求 3 所述的半导体装置的制造方法,其中所述绝缘层是通过溅射法形成的氧化硅层。
5. 根据权利要求 3 所述的半导体装置的制造方法,还包括步骤:
在通过溅射法形成的所述绝缘层上形成氮化硅层,
其中所述绝缘层是通过溅射法形成的氧化硅层。
6. 一种半导体装置的制造方法,包括如下步骤:
形成源电极和漏电极;
形成与所述源电极的端部和所述漏电极的端部重叠的氧化物半导体层;
通过离子注入法或离子掺杂法对所述氧化物半导体层进行氧添加,以切断氧化物半导体层中包含的金属与氢的键、金属与羟基的键或者键合到金属的羟基中的氧与氢的键;
对进行了氧添加的所述氧化物半导体层进行热处理;
以接触于进行了所述热处理的所述氧化物半导体层的方式形成与所述源电极的端部和所述漏电极的端部重叠的栅极绝缘层;以及
以接触于所述栅极绝缘层的方式形成与所述源电极的端部和所述漏电极的端部重叠的栅电极。
7. 根据权利要求 6 所述的半导体装置的制造方法,其中所述栅极绝缘层是通过溅射法形成的氧化硅层。
8. 根据权利要求 6 所述的半导体装置的制造方法,其中所述栅极绝缘层是氧化硅层和在所述氧化硅层上的氮化硅层的叠层,并且
其中所述氧化硅层和所述氮化硅层通过溅射法形成。
9. 根据权利要求 1、3 和 6 中的任一项所述的半导体装置的制造方法,还包括步骤:

在形成所述氧化物半导体层之前,在晶体管上形成绝缘膜,
其中所述氧化物半导体层形成在所述绝缘膜上。

10. 根据权利要求 1、3 和 6 中的任一项所述的半导体装置的制造方法,还包括步骤:
在进行所述氧添加之前,对所述氧化物半导体层进行第二热处理。

11. 根据权利要求 3 或 6 所述的半导体装置的制造方法,其中所述氧化物半导体层包括
In-Ga-Zn-O 类氧化物半导体,并且
其中所述栅电极包含钛。

12. 根据权利要求 1、3 和 6 中的任一项所述的半导体装置的制造方法,其中所述氧化物
半导体层使用 In_2O_3 、 Ga_2O_3 和 ZnO 通过溅射法形成。

半导体装置的制造方法

技术领域

[0001] 本发明涉及一种包括氧化物半导体的半导体装置的制造方法。在此,半导体装置一般是指通过利用半导体特性工作的元件或装置。

背景技术

[0002] 已知使用形成在具有绝缘表面的衬底上的半导体层来形成晶体管的技术。例如,已知使用包含硅类半导体材料的薄膜在玻璃衬底上形成晶体管并将其应用于液晶显示装置等的技术。

[0003] 用于液晶显示装置的晶体管主要使用诸如非晶硅或多晶硅等的半导体材料制造。使用非晶硅的晶体管虽然其场效应迁移率低,但是可以对应于玻璃衬底的大面积化。另一方面,使用多晶硅形成的晶体管虽然其场效应迁移率高,但是需要诸如激光退火等的晶化工序,具有不一定合适于玻璃衬底的大面积化的特性。

[0004] 作为可以在具有绝缘表面的衬底上形成并用于形成晶体管的其他材料,氧化物半导体受到注目。作为氧化物半导体的材料,已知氧化锌或以氧化锌为成分的物质。而且,已公开了使用电子载流子浓度低于 $10^{18}/\text{cm}^3$ 的非晶氧化物(氧化物半导体)形成的薄膜晶体管(专利文献 1 至专利文献 3)。

[0005] [专利文献 1] 日本专利申请公开 2006-165527 号公报

[0006] [专利文献 2] 日本专利申请公开 2006-165528 号公报

[0007] [专利文献 3] 日本专利申请公开 2006-165529 号公报

发明内容

[0008] 作为利用半导体特性的晶体管,优选其随时间的劣化所导致的阈值电压的变化小且截止电流低等。例如,当因随时间的劣化而阈值电压的变化变大的晶体管用于半导体装置时,半导体装置的可靠性降低。另外,当截止电流大的晶体管用于半导体装置时,半导体装置的功耗增大。

[0009] 本发明的实施例的目的之一是提供可靠性高的半导体装置。另外,目的之一是提供可靠性高的半导体装置的制造方法。

[0010] 另外,目的之一是提供功耗低的半导体装置。另外,目的之一是提供功耗低的半导体装置的制造方法。

[0011] 另外,目的之一是提供批量生产性高的半导体装置。另外,目的之一是提供批量生产性高的半导体装置的制造方法。

[0012] 为了实现上述目的,本发明人等注意到的一个事实就是在将氧化物半导体用于半导体层的半导体装置中,包含在氧化物半导体层中的杂质浓度及氧化物半导体层中的氧缺损量影响到阈值电压的变动和截止电流的增大。注意,作为杂质,例如可以举出氢、诸如水等的包含氢原子的物质。

[0013] 通过在沉积氧化物半导体之后进行的第一加热处理可以基本去除包含在氧化物

半导体中的杂质。但是,与氧化物半导体中包含的金属强键接的杂质(例如氢及羟基)由于其强烈的键接力而残留在半导体层中。如果将残留有杂质的氧化物半导体用于半导体层,则产生不良现象,如因长期使用或光照射而半导体装置的阈值电压变动或者增大截止电流等。

[0014] 另外,有由于杂质的排除工序而作为氧化物半导体的主要成分材料之一的氧也减少的问题。即使仅失去少量的氧,也在氧化物半导体中形成杂质能级,且导致诸如阈值电压的变动、截止电流的增大等的不良现象。

[0015] 因此,为了实现上述目的,可以不产生氧缺损地去除残留在氧化物半导体层中的杂质,并可以将氧化物半导体层纯化到具有极高纯度。具体而言,在对氧化物半导体层添加氧之后,可以对氧化物半导体层进行用来去除杂质的加热处理。特别地,作为氧的添加方法,优选采用使用离子注入法或离子掺杂法等添加高能量的氧的方法。

[0016] 通过使用离子注入法或离子掺杂法等对氧化物半导体添加高能量的氧,例如可以切断氧化物半导体中包含的金属与氢的键、金属与羟基的键或者键合到金属的羟基中的氧与氢的键。另外,从金属脱离的氢或羟基与添加的氧起反应而生成水。然后,加热氧化物半导体,可以去除通过以上反应而产生的水。

[0017] 与直接去除强烈地键合到包含在氧化物半导体中的金属的氢或羟基的方法相比,通过加热去除与所添加的氧起反应而产生的水的方法更容易。另外,因为在进行加热处理之前对氧化物半导体层添加氧而使氧化物半导体层中的氧处于过剩状态,所以作为氧化物半导体的主要成分材料之一的氧在热处理中减少的问题得到缓和。

[0018] 也就是说,根据本发明一实施方式,一种半导体装置的制造方法包括如下步骤:形成氧化物半导体层;对所述氧化物半导体层添加氧;以及对添加了氧的所述氧化物半导体层进行 250°C 以上且 700°C 以下的加热处理。

[0019] 另外,根据本发明一实施方式,一种半导体装置的制造方法包括如下步骤:在具有绝缘表面的衬底上形成栅电极;在所述栅电极上形成栅极绝缘层;接触于所述栅极绝缘层地形成与所述栅电极重叠的氧化物半导体层;对所述氧化物半导体层添加氧;对添加了氧的所述氧化物半导体层进行加热处理;与进行了加热处理的所述氧化物半导体层接触地形成其端部与栅电极重叠的源电极及漏电极;以及以重叠于所述氧化物半导体层的沟道形成区且接触于所述氧化物半导体层的表面的方式形成第一绝缘层。

[0020] 另外,根据本发明一实施方式,在半导体装置的制造方法中,通过溅射法形成氧化硅层作为与所述氧化物半导体层的沟道形成区重叠且与所述氧化物半导体层的表面接触的所述第一绝缘层。

[0021] 另外,根据本发明一实施方式,在半导体装置的制造方法中,通过溅射法形成氧化硅层和所述氧化硅层上的氮化硅层作为与所述氧化物半导体层的沟道形成区重叠且与所述氧化物半导体层的表面接触的所述第一绝缘层。

[0022] 另外,根据本发明一实施方式,一种半导体装置的制造方法包括如下步骤:在具有绝缘表面的衬底上形成源电极及漏电极;形成覆盖所述源电极的端部及所述漏电极的端部的氧化物半导体层;对所述氧化物半导体层添加氧;对添加了氧的所述氧化物半导体层进行加热处理;与进行了加热处理的所述氧化物半导体层接触地形成与所述源电极的端部及所述漏电极的端部重叠的栅极绝缘层;以及形成与所述栅极绝缘层接触且与所述源电极的

端部及所述漏电极的端部重叠的栅电极。

[0023] 另外,根据本发明一实施方式,在半导体装置的制造方法中,通过溅射法形成氧化硅层作为与所述氧化物半导体层接触的栅极绝缘层。

[0024] 另外,根据本发明一实施方式,在半导体装置的制造方法中,通过溅射法形成氧化硅层和所述氧化硅层上的氮化硅层作为与所述氧化物半导体层接触的栅极绝缘层。

[0025] 另外,根据本发明一实施方式,一种半导体装置的制造方法包括:使用上述半导体装置的制造方法在形成在第一晶体管上的绝缘膜上制造第二晶体管。

[0026] 另外,根据本发明一实施方式,在半导体装置的制造方法中,使用离子注入法或离子掺杂法进行所述氧的添加。

[0027] 通过本发明的半导体装置的制造方法,可以降低残留在氧化物半导体层中的杂质。在具有降低了残留的杂质的氧化物半导体层的半导体装置中,抑制了阈值电压的变动,半导体装置的可靠性高。

[0028] 因此,根据本发明一实施方式,可以提供可靠性高的半导体装置。另外,可以提供可靠性高的半导体装置的制造方法。

[0029] 通过本发明的半导体装置的制造方法,可以降低残留在氧化物半导体层中的杂质。在具有降低了残留的杂质的氧化物半导体层的半导体装置中,降低了截止电流,并且半导体装置的功耗低。

[0030] 因此,根据本发明一实施方式,可以提供功耗低的半导体装置。另外,可以提供功耗低的半导体装置的制造方法。

[0031] 通过本发明的半导体装置的制造方法,可以降低残留在氧化物半导体层中的杂质。在具有降低了残留的杂质的氧化物半导体层的半导体装置中,半导体特性的偏差小,且半导体装置具有优异的批量生产性。

[0032] 由此,根据本发明一实施方式,可以提供批量生产性高的半导体装置。另外,可以提供批量生产性高的半导体装置的制造方法。

附图说明

[0033] 图 1A 和图 1B 是说明根据实施方式的半导体装置的结构图;

[0034] 图 2A 至图 2E 是说明根据实施方式的半导体装置的制造方法的图;

[0035] 图 3A 和图 3B 是说明根据实施方式的半导体装置的结构图;

[0036] 图 4A 至图 4E 是说明根据实施方式的半导体装置的制造方法的图;

[0037] 图 5A 和图 5B 是说明根据实施方式的半导体装置的结构图;

[0038] 图 6A 至图 6D 是说明根据实施方式的半导体装置的制造方法的图;

[0039] 图 7A 至图 7C 是说明根据实施方式的半导体装置的制造方法的图;

[0040] 图 8A 至图 8D 是说明根据实施方式的半导体装置的制造方法的图;

[0041] 图 9A 至图 9C 是说明根据实施方式的半导体装置的制造方法的图;

[0042] 图 10A 至图 10E 是说明根据实施例的样品的制造方法的图;

[0043] 图 11 是说明根据实施例的样品的二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)结果的图;

[0044] 图 12 是说明根据实施例的样品的二次离子质谱分析结果的图;

- [0045] 图 13A-1 至图 13B 是根据实施方式的半导体装置的电路图；
- [0046] 图 14A 和图 14B 是根据实施方式的半导体装置的电路图；
- [0047] 图 15A 至图 15C 是根据实施方式的半导体装置的电路图；
- [0048] 图 16A 至图 16F 是用来说明使用根据实施方式的半导体装置的电子设备的图；
- [0049] 图 17 是说明根据实施例的样品的低温光致发光光谱测定的结果的图。

具体实施方式

[0050] 参照附图对实施方式进行详细的说明。但是,本发明的实施方式并不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解的一个事实就是其方式及细节可以不脱离本发明的宗旨及其范围地变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下实施方式所记载的内容中。注意,在以下说明的结构中,在不同的附图之间共同使用同一附图标记来表示同一部分或具有同一功能的部分,而省略其重复说明。

[0051] 实施方式 1

[0052] 在本实施方式中,参照图 1A 和 1B 以及图 2A 至 2E 对一种底栅型晶体管的制造方法进行说明,在该方法中,在对氧化物半导体层添加氧之后,对氧化物半导体层进行加热处理来去除杂质,从而使氧化物半导体层高纯化。

[0053] 图 1A 和图 1B 示出在本实施方式中制造的底栅型晶体管 550 的结构。图 1A 示出晶体管 550 的俯视图,图 1B 示出晶体管 550 的截面图。注意,图 1B 相当于沿着图 1A 所示的切断线 P1-P2 的截面。

[0054] 在晶体管 550 中,在具有绝缘表面的衬底 500 上具有栅电极 511 以及覆盖栅电极 511 的栅极绝缘层 502。在栅极绝缘层 502 上具有与栅电极 511 重叠的被高度纯化的氧化物半导体层 513c。此外,具有与氧化物半导体层 513c 接触且端部与栅电极 511 重叠的用作源电极和漏电极的第一电极 515a 及第二电极 515b。另外,具有与氧化物半导体层 513c 的沟道形成区接触并重叠的绝缘层 507 以及覆盖晶体管 550 的保护绝缘层 508。

[0055] 接着,使用图 2A 至图 2E 对在衬底 500 上制造晶体管 550 的方法进行说明。

[0056] 首先,在具有绝缘表面的衬底 500 上形成导电膜,通过第一光刻工序形成包括栅电极 511 的布线层。注意,也可以通过喷墨法形成抗蚀剂掩模。因为当通过喷墨法形成抗蚀剂掩模时不需要光掩模,所以可以减少制造成本。

[0057] 在本实施方式中,使用玻璃衬底作为具有绝缘表面的衬底 500。

[0058] 也可以在衬底 500 和栅电极 511 之间设置用作基底膜的绝缘膜。基底膜具有防止来自衬底 500 的杂质元素(例如,诸如 Li、Na 等的碱金属及诸如 Ca 等的碱土金属等)的扩散的功能,并且可以使用选自氮化硅膜、氧化硅膜、氮氧化硅膜、氧氮化硅膜等中的一种膜的单层结构或多种膜的叠层结构形成基底膜。

[0059] 此外,可以使用诸如钼、钛、铬、钽、钨、钕、铈等的金属材料或以上述金属材料为主要成分的合金材料的单层或叠层结构形成栅电极 511。注意,若能够耐受在后面的工序中进行的加热处理的温度,则作为上述金属材料可以使用铝、铜。为了避免耐热性或腐蚀性的问题,优选将铝或铜与高熔点金属材料组合而使用。作为高熔点金属材料,可以使用钼、钛、铬、钽、钨、钕、铈等。另外,当使用铜时,优选在成为基底的层上设置 Cu-Mg-Al 合金,并且在其上形成铜。通过设置 Cu-Mg-Al 合金,发挥提高诸如氧化膜等的基底和铜的粘合性的效

果。

[0060] 接着,在栅电极 511 上形成栅极绝缘层 502。栅极绝缘层 502 可以使用 CVD 法或溅射法等形成。另外,栅极绝缘层 502 可以使用选自氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、氧化铝层、氮化铝层、氧氮化铝层、氮氧化铝层、氧化钪层、氧化钽层或氧化镓层等中的一种层的单层或多种层的叠层结构形成。

[0061] 作为本实施方式的氧化物半导体,使用通过去除杂质而成为 i 型或实质上 i 型的氧化物半导体(被高纯度化的氧化物半导体)。因为这种被高纯度化的氧化物半导体对界面态和界面电荷极敏感,所以氧化物半导体层和栅极绝缘层之间的界面是重要的。因此,与被高纯度化的氧化物半导体接触的栅极绝缘层被要求具有高质量。

[0062] 例如,优选采用使用微波(例如,频率为 2.45GHz)的高密度等离子体 CVD 法,因为所形成的绝缘层可以是致密的且具有高的耐受电压和高质量。这是因为当被高纯度化的氧化物半导体和高质量的栅极绝缘层彼此紧密接触时,可以降低界面态密度以获得良好的界面特性。

[0063] 当然,只要能够形成用作栅极绝缘层的优质绝缘层,就可以应用诸如溅射法、等离子体 CVD 法等的其他成膜方法。此外,也可以采用通过成膜之后的热处理,改善其膜性质、与氧化物半导体之间的界面特性的绝缘层。总之,只要采用如下绝缘层就可以:作为栅极绝缘层的膜性质良好,并且,可以降低与氧化物半导体之间的界面态密度且形成良好的界面。

[0064] 注意,栅极绝缘层 502 与后面形成的氧化物半导体膜接触。因为当氧化物半导体膜含有氢时对晶体管特性造成负面影响,所以优选栅极绝缘层 502 不包含氢、羟基及湿气。为了尽量不使栅极绝缘层 502、氧化物半导体膜包含氢、羟基及湿气,作为在形成氧化物半导体膜之前进行的预处理,优选通过在溅射装置的预加热室中对其上形成到栅电极 511 的衬底 500 或其上形成到栅极绝缘层 502 的衬底 500 进行预加热,来对吸附到衬底 500 的诸如氢、湿气等的杂质进行脱离及移除。预加热的温度是 100℃ 以上且 400℃ 以下,优选是 150℃ 以上且 300℃ 以下。作为设置在预加热室中的排气单元,优选使用低温泵。注意,也可以省略预加热处理。此外,也可以类似地在形成绝缘层 507 之前对其上形成到第一电极 515a 及第二电极 515b 的衬底 500 进行该预加热。

[0065] 接着,在栅极绝缘层 502 上形成厚度为 2nm 以上且 200nm 以下,优选为 5nm 以上且 30nm 以下的氧化物半导体膜。将氧化物半导体用作靶材并使用溅射法形成氧化物半导体膜。另外,氧化物半导体膜可以在稀有气体(例如氩)气氛下、在氧气氛下或在稀有气体(例如氩)及氧的混合气氛下通过溅射法形成。

[0066] 注意,优选的是,在通过溅射法形成氧化物半导体膜之前,进行引入氩气体产生等离子体的反溅射,来去除附着于栅极绝缘层 502 表面的粉状物质(也称为颗粒、尘屑)。反溅射是指如下一种方法,其中在氩气氛下使用 RF 电源对衬底侧施加电压来在衬底附近形成等离子体,而对表面进行修改。注意,也可以使用氮气氛、氦气氛、氧气氛等代替氩气氛。

[0067] 作为用于氧化物半导体膜的氧化物半导体,可以使用下列氧化物半导体:四元金属氧化物,诸如 In-Sn-Ga-Zn-O 类氧化物半导体;三元金属氧化物,诸如 In-Ga-Zn-O 类氧化物半导体、In-Sn-Zn-O 类氧化物半导体、In-Al-Zn-O 类氧化物半导体、Sn-Ga-Zn-O 类氧化物半导体、Al-Ga-Zn-O 类氧化物半导体、或 Sn-Al-Zn-O 类氧化物半导体;二元金属氧化物,诸如 In-Zn-O 类氧化物半导体、Sn-Zn-O 类氧化物半导体、Al-Zn-O 类氧化物半导体、

Zn-Mg-O 类氧化物半导体、Sn-Mg-O 类氧化物半导体、In-Mg-O 类氧化物半导体、或 In-Ga-O 类氧化物半导体；In-O 类氧化物半导体、Sn-O 类氧化物半导体、Zn-O 类氧化物半导体等。另外，也可以使上述氧化物半导体膜包含氧化硅。通过使氧化物半导体膜包含阻碍晶化的氧化硅(SiO_x ($x>0$))，可以抑制当在制造工艺中形成氧化物半导体膜之后进行加热处理时氧化物半导体层晶化。另外，优选氧化物半导体膜处于非晶状态，但是氧化物半导体膜的一部分也可以晶化。在此，例如，In-Ga-Zn-O 类氧化物半导体是指具有铟(In)、镓(Ga)、锌(Zn)的氧化物膜，并且对其组成比并没有特别限制。另外，氧化物半导体膜也可以包含 In、Ga、Zn 以外的元素，可以使用以化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，并且 m 不是自然数)表示的薄膜。在此，M 表示选自 Ga、Al、Mn 和 Co 中的一种或多种金属元素。例如，作为 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。氧化物半导体优选为包含 In，更优选为包含 In 及 Ga。为了使氧化物半导体层为 i 型(本征)，脱水化或脱氢化是有效的。在本实施方式中，通过溅射法并使用 In-Ga-Zn-O 类氧化物靶材形成氧化物半导体膜。

[0068] 作为用于通过溅射法制造氧化物半导体膜的靶材，例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比] 的组成比的氧化物靶材，从而形成 In-Ga-Zn-O 膜。注意，不局限于上述靶材的材料及组成，例如还可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比] 或者 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔比] 的组成比的氧化物靶材。

[0069] 另外，当作为氧化物半导体膜使用 In-Zn-O 类材料时，将所使用的靶材的组成比设定为原子数比为 In:Zn=50:1 至 1:2(摩尔比为 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4)，优选为 In:Zn=1:1 至 1:20(摩尔比为 $\text{In}_2\text{O}_3:\text{ZnO}=2:1$ 至 10:1)，更优选为 In:Zn=1.5:1 至 15:1(摩尔比为 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 至 15:2)。例如，作为用于形成 In-Zn-O 类氧化物半导体的靶材，原子数比为 In:Zn:O=1:1:X，其中 $X>1$ ，优选 $X>1.5$ 。

[0070] 另外，氧化物靶材的填充率为 90% 以上且 100% 以下，优选为 95% 以上且 99.9% 以下。通过使用高填充率的氧化物靶材，可以使所形成的氧化物半导体膜成为致密的膜。另外，优选靶材的纯度为 99.99% 以上，并且优选使用特别降低了诸如 Na、Li 等的碱金属及诸如 Ca 等的碱土金属等的杂质的靶材。

[0071] 作为在形成氧化物半导体膜时使用的溅射气体，使用去除了诸如氢、水、羟基或氢化物等的杂质的高纯度气体。例如，优选使用杂质被去除到浓度为 10ppm 左右以下，优选 1ppm 以下的高纯度气体。具体而言，优选使用露点为 -60°C 以下的高纯度气体。

[0072] 在保持为减压状态的成膜室中放置衬底，将衬底温度设定为 100°C 以上且 600°C 以下，优选设定为 200°C 以上且 400°C 以下。通过在加热衬底的状态下进行成膜，可以降低包含在所形成的氧化物半导体膜中的杂质浓度。此外，可以减轻溅射所引起的损伤。然后，一边使用排气泵去除成膜室内的残留湿气及从成膜室外部侵入的氢和湿气(当泄漏时侵入的氢和湿气)一边引入去除了氢及湿气的溅射气体，并且使用上述靶材在衬底 500 上形成氧化物半导体膜。为了去除成膜室中的残留湿气，优选使用吸附型的真空泵，例如低温泵、离子泵、钛升华泵。此外，作为排气单元，也可以使用配备有冷阱的涡轮泵。因为在使用低温泵进行排气的成膜室中，去除了例如氢原子、诸如水(H_2O) 等的包含氢原子的化合物(更优选的是还有包含碳原子的化合物)等，所以可以降低在该成膜室中形成的氧化物半导体膜所包含的杂质的浓度。

[0073] 作为进行溅射法的气氛，可以采用稀有气体(典型的是氩)气氛、氧气氛或稀有气

体和氧的混合气氛。

[0074] 作为成膜条件的一个例子,可以使用如下条件:衬底和靶材之间的距离为 100mm;压强为 0.6Pa;直流(DC)电源的电功率为 0.5kW;以及采用氧(氧流量比率为 100%)气氛。注意,通过脉冲直流电源是优选的,因为可以减轻在进行成膜时产生的粉状物质(也称为颗粒、尘屑),且膜厚度分布也变得均匀。另外,通过将溅射装置的处理室的泄漏率设定为 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下,可以减少当通过溅射法形成膜时诸如碱金属、氢化物等的杂质混入到氧化物半导体膜中。另外,通过使用吸附真空泵作为排气系统,可以降低诸如碱金属、氢原子、氢分子、水、羟基或氢化物等的杂质从排气系统倒流。注意,优选降低包含在氧化物半导体层中的诸如 Li、Na 等的碱金属及诸如 Ca 等的碱土金属等的杂质。具体而言,当使用 SIMS 测量浓度时包含在氧化物半导体层中的 Li、Na 和 K 的杂质浓度每个均是 $5 \times 10^{15} \text{cm}^{-3}$ 以下,优选是 $1 \times 10^{15} \text{cm}^{-3}$ 以下。因为对于氧化物半导体来说碱金属及碱土金属是恶性的杂质,所以优选氧化物半导体所含有的碱金属及碱土金属量尽可能少。当与氧化物半导体接触的绝缘膜是氧化物时,碱金属,尤其是 Na 扩散到氧化物中并成为 Na^+ 。另外,在氧化物半导体内,Na 断裂金属与氧的键或者挤进该键中。其结果是,导致晶体管特性的劣化(例如,晶体管变成常开的(阈值电压向负一侧偏移)、迁移率的降低等)。并且,还成为特性偏差的原因。特别在氧化物半导体中的氢浓度充分低时,这些问题变得明显。由此,当氧化物半导体中的氢浓度是 $5 \times 10^{19} \text{cm}^{-3}$ 以下,特别是 $5 \times 10^{18} \text{cm}^{-3}$ 以下时,强烈要求将碱金属的浓度设定为上述值。

[0075] 接着,通过第二光刻工序将氧化物半导体膜加工为岛状的氧化物半导体层 513a。此外,也可以通过喷墨法形成用来形成岛状的氧化物半导体层的抗蚀剂掩模。因为当通过喷墨法形成抗蚀剂掩模时不需要使用光掩模,所以可以降低制造成本。

[0076] 此外,当在栅极绝缘层 502 中形成接触孔时,可以在进行氧化物半导体膜的加工的同时进行形成接触孔的工序。

[0077] 注意,作为在此进行的氧化物半导体膜的蚀刻,可以采用干蚀刻、湿蚀刻、或干蚀刻和湿蚀刻二者。例如,作为用于氧化物半导体膜的湿蚀刻的蚀刻剂,可以使用磷酸、醋酸、硝酸的混合溶液等。此外,还可以使用 IT007N(由日本关东化学株式会社制造)。作为用于干蚀刻的蚀刻气体,优选使用含有氯的气体(氯类气体,例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)或四氯化碳(CCl_4)等)。另外,还可以使用含有氟的气体(氟类气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氢(HBr)、氧(O_2)或对上述气体添加了诸如氦(He)或氩(Ar)等的稀有气体的气体等。作为干蚀刻法,可以使用平行板型 RIE(Reactive Ion Etching:反应性离子蚀刻)法或 ICP(Inductively Coupled Plasma:感应耦合等离子体)蚀刻法。适当地调节蚀刻条件(施加到线圈形电极的电功率量、施加到衬底一侧的电极的电功率量、衬底一侧的电极温度等),以便可以蚀刻为所希望的加工形状。注意,图 2A 示出此时的截面图。

[0078] 接着,对氧化物半导体层 513a 添加氧。通过离子注入法、离子掺杂法等,添加具有高能量的氧。

[0079] 在离子注入法中,使源气体等离子体化,提取该等离子体所包含的离子种,进行质量分离,将具有预定质量的离子种加速,并且用离子束形式的加速离子种辐照待处理物。在离子掺杂法中,使源气体等离子体化,通过预定电场的操作从等离子体提取离子种,加速所

提取的离子种而不进行质量分离,并且用离子束形式的加速离子种辐照待处理物。通过使用进行质量分离的离子注入法添加氧,可以防止诸如金属元素等的杂质与氧一起被添加到氧化物半导体膜中。另外,由于与离子注入法相比离子掺杂法可以增大离子束的辐照面积,所以通过使用离子掺杂法添加氧,可以缩短处理时间。

[0080] 在使用氧气体并利用离子注入法来添加氧的情况下,可以将加速电压设定为5keV以上且100keV以下,并且可以将氧离子的注入量设定为 1×10^{14} [离子/cm²]以上且 5×10^{17} [离子/cm²]以下。

[0081] 通过使用离子注入法或离子掺杂法等将高能量的氧添加到氧化物半导体中,例如可以切断氧化物半导体中包含的金属与氢的键、金属与羟基的键或者键合于金属的羟基中的氧与氢的键。氧化物半导体层513a成为包含从金属脱离了的杂质的氧化物半导体层513b。图2B示出此时的截面图。

[0082] 接着,对包含从金属脱离了的杂质的氧化物半导体层513b进行第一加热处理。通过该第一加热处理,可以从氧化物半导体层去除从金属脱离了的杂质。例如,可以去除通过所添加的氧与从金属脱离了的氢或羟基起反应而产生的水。与直接去除强烈地结合到金属的氢或羟基的方法相比,通过加热去除所产生的水的方法更容易。

[0083] 第一加热处理的温度为250℃以上且700℃以下,优选为450℃以上且650℃以下,或者450℃以上且低于衬底的应变点。例如,也可以以500℃的温度进行3分钟以上且6分钟以下的第一加热处理。通过作为加热处理使用RTA(Rapid Thermal Anneal:快速热退火)法,可以在短时间内进行脱水化或脱氢化;因此,也可以以甚至超过玻璃衬底的应变点的温度进行第一加热处理。至于具有第四代玻璃衬底左右的尺寸的衬底,可以在250℃以上且750℃以下的温度进行加热处理。但是至于具有第六代至第十代玻璃衬底左右尺寸的衬底,优选在250℃以上且450℃以下的温度进行加热处理。在此,衬底放在加热处理装置之一的电炉内,在氮气氛下以600℃的温度对氧化物半导体层进行一个小时的加热处理,然后对氧化物半导体层进行缓冷到200℃以下的温度而不暴露到空气,从而防止水和氢混入到氧化物半导体层中,由此得到氧化物半导体层513c(参照图2C)。通过将氧化物半导体层缓冷到200℃以下,可以防止高温的氧化物半导体层与空气中的水或湿气接触。如果高温的氧化物半导体层与空气中的水或湿气接触,则有时包含氢原子的杂质污染氧化物半导体。

[0084] 加热处理装置不局限于电炉,也可以使用由诸如电阻发热体等的发热体的热传导或热辐射加热待处理物的装置。例如,可以使用诸如GRTA(Gas Rapid Thermal Anneal:气体快速热退火)装置、LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)装置等的RTA(Rapid Thermal Anneal:快速热退火)装置。LRTA装置是利用诸如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯等的灯所发射的光(电磁波)的辐射来加热待处理物的装置。GRTA装置是利用高温的气体进行加热处理的装置。作为高温的气体,使用在进行加热处理的情况下也不与待处理物产生反应的惰性气体如诸如氩等的稀有气体或氮。

[0085] 例如,作为第一加热处理,可以进行GRTA,其中将衬底放置到加热到高温,即650℃至700℃的惰性气体中,进行几分钟的加热,然后将衬底从加热到高温的惰性气体中取出。

[0086] 注意,在第一加热处理中,优选氮或诸如氦、氖、氩等的稀有气体不包含水、氢等。优选将引入到加热处理装置的氮或诸如氦、氖、氩等的稀有气体的纯度设定为6N

(99.9999%)以上,更优选设定为 7N (99.99999%)以上(即,将杂质浓度设定为 1ppm 以下,优选设定为 0.1ppm 以下)。

[0087] 此外,也可以在通过第一加热处理加热氧化物半导体层之后,对相同的炉中引入高纯度的氧气体、高纯度的 N_2O 气体或超干燥空气(使用 CRDS (cavity ring-down laser spectroscopy :光腔衰荡光谱法) 方式的露点仪来测定时的湿气量为 20ppm (露点换算为 $-55^{\circ}C$) 以下,优选为 1ppm 以下,更优选为 10ppb 以下)。优选氧气体或 N_2O 气体不包含水、氢等。或者,优选将引入到加热处理装置的氧气体或 N_2O 气体的纯度设定为 6N 以上,优选设定为 7N 以上(即,将氧气体或 N_2O 气体中的杂质浓度设定为 1ppm 以下,优选设定为 0.1ppm 以下)。通过利用氧气体或 N_2O 气体的作用,供应在脱水化或脱氢化的杂质排除工序的同时减少了的作为氧化物半导体的主要成分材料的氧,从而氧化物半导体层可以是高纯度且电性上 i 型(本征)的氧化物半导体层。

[0088] 此外,只要在添加氧之后,就也可以在加工为岛状的氧化物半导体层之前对氧化物半导体膜进行第一加热处理。在此情况下,在第一加热处理之后将衬底从加热装置取出,然后进行光刻工序。

[0089] 注意,除了上述时序之外,只要在形成氧化物半导体层之后,就可以以任意下列时序进行第一加热处理:在氧化物半导体层上形成源电极及漏电极之后;以及在源电极及漏电极上形成绝缘层之后。

[0090] 另外,当在栅极绝缘层 502 中形成接触孔时,也可以在对氧化物半导体膜进行第一加热处理之前或之后进行该形成工序。通过上述工序可以降低岛状氧化物半导体层中的氢浓度,从而实现高纯度化。由此,可以实现氧化物半导体层的稳定化。另外,通过玻璃衬底的应变点以下的加热处理,可以形成载流子密度极低的带隙宽氧化物半导体膜。由此,可以使用大面积衬底制造晶体管,而可以提高批量生产性。另外,通过使用该氢浓度被降低的被高纯度化的氧化物半导体膜,可以制造耐压性高且截止电流显著低的晶体管。只要在形成氧化物半导体层之后,就可以在任何时间进行上述加热处理。注意,当加热氧化物半导体膜时,虽然也根据氧化物半导体膜的材料或加热条件,但是有时在氧化物半导体膜的表面上形成板状晶体。板状晶体优选 c 轴沿大致垂直于氧化物半导体膜的表面的方向排列。

[0091] 此外,通过分两次执行膜形成,并分两次进行加热处理,无论先形成的氧化物半导体膜所接触的基底构件的材料是氧化物、氮化物还是金属等的材料都不妨,而可以形成具有大厚度结晶区,即 c 轴垂直于膜表面排列的结晶区的氧化物半导体膜,作为所述氧化物半导体膜。例如,形成 3nm 以上且 15nm 以下厚度的第一氧化物半导体膜,进行第一氧添加,并且在氮、氧、稀有气体或干燥空气的气氛下进行温度在 $450^{\circ}C$ 以上且 $850^{\circ}C$ 以下,优选为 $550^{\circ}C$ 以上且 $750^{\circ}C$ 以下的用于晶化的第一加热处理,从而形成在包括表面的区域中具有结晶区(包括板状晶体)的第一氧化物半导体膜,然后,形成其厚度比第一氧化物半导体膜大的第二氧化物半导体膜,进行第二氧添加,以 $450^{\circ}C$ 以上且 $850^{\circ}C$ 以下的温度,优选以 $600^{\circ}C$ 以上且 $700^{\circ}C$ 以下的温度进行用于晶化的第二加热处理,从而以第一氧化物半导体膜为晶种继续向上方进行结晶生长,且整个第二氧化物半导体膜被晶化。以此方式,可以形成具有大厚度结晶区的氧化物半导体层。另外,在形成氧化物半导体膜时,也可以通过在将衬底加热到使氧化物半导体进行 c 轴取向的温度的同时进行成膜来形成具有 c 轴垂直于膜表面排列的结晶区的氧化物半导体膜。通过使用该成膜方法,可以缩短工艺。作为加热衬底的

温度,因为根据成膜装置而其他成膜条件不同,所以可以适当地设定适合其他条件的温度。例如,当使用溅射装置进行成膜时,衬底温度可以设定为 250℃ 以上的温度。

[0092] 接着,在栅极绝缘层 502 和氧化物半导体层 513c 上形成用于形成第一电极及第二电极(包括形成在与它们相同的层中的布线)的导电膜。作为用于形成第一电极及第二电极的导电膜,例如可以使用含有选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金属膜,以任意上述元素为成分的合金膜或金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)等。此外,为了解决耐热性或腐蚀性的问题,还可以采用在诸如 Al、Cu 等的金属膜的下侧和上侧之一或二者层叠诸如 Ti、Mo、W、Cr、Ta、Nd、Sc、Y 等的高熔点金属膜或它们的金属氮化物膜(氮化钛膜、氮化钼膜、氮化钨膜)的结构。另外,导电膜可以采用单层结构或两层以上的叠层结构。例如,可以举出:包含硅的铝膜的单层结构;在铝膜上层叠钛膜的两层结构;以及钛膜、层叠在该钛膜上的铝膜、在其上层叠的钛膜的三层结构等。或者,导电膜也可以使用导电性的金属氧化物形成。作为导电性的金属氧化物,可以使用氧化铟、氧化锡、氧化锌、氧化铟氧化锡合金、氧化铟氧化锌合金或使所述金属氧化物材料包含硅或氧化硅的材料。另外,在形成导电膜之后进行加热处理的情况下,优选使导电膜具有足以承受该加热处理的耐热性。

[0093] 通过第三光刻工序在导电膜上形成抗蚀剂掩模,选择性地蚀刻来形成用作源电极和漏电极的第一电极 515a 及第二电极 515b,然后去除抗蚀剂掩模(参照图 2D)。

[0094] 作为通过第三光刻工序形成抗蚀剂掩模时的曝光,可以使用紫外线、KrF 激光或 ArF 激光。后面形成的晶体管的沟道长度 L 取决于在氧化物半导体层 513c 上彼此相邻的第一电极的下端部和第二电极的下端部之间的距离。另外,当在沟道长度 L 短于 25nm 的情况下进行曝光时,优选使用波长极短,即几 nm 至几十 nm 的深紫外线(Extreme Ultraviolet)进行第三光刻工序中的用于形成抗蚀剂掩模的曝光。利用深紫外线的曝光的分辨率高且聚焦深度大。因此,也可以将后面形成的晶体管的沟道长度 L 设定为 10nm 以上且 1000nm 以下,这样可以实现电路的操作速度的高速化。

[0095] 此外,为了缩减用于光刻工序的光掩模数及工序数,也可以使用由透过光成为多种强度的曝光掩模的多级灰度掩模形成的抗蚀剂掩模进行蚀刻工序。由于使用多级灰度掩模形成的抗蚀剂掩模成为具有多种厚度的形状,且可以通过进行蚀刻来进一步改变形状,因此可以用于加工为不同图案的多个蚀刻工序。由此,可以使用一个多级灰度掩模形成至少对应于两种以上的不同图案的抗蚀剂掩模。从而,可以缩减曝光掩模数,并还可以缩减与其对应的光刻工序,所以可以实现工序的简化。

[0096] 注意,优选的是,当进行导电膜的蚀刻时,可以优化蚀刻条件以防止氧化物半导体层 513c 被蚀刻而分断。但是,难以获得只对导电膜进行蚀刻而完全不对氧化物半导体层 513c 进行蚀刻的条件,有时当对导电膜进行蚀刻时仅部分氧化物半导体层 513c 被蚀刻,由此氧化物半导体层 513c 具有槽部(凹部)。

[0097] 在本实施方式中,作为导电膜使用 Ti 膜,并作为氧化物半导体层 513c 使用 In-Ga-Zn-O 类氧化物半导体。在采用上述组合时,作为蚀刻剂优选使用氨水-过氧化氢混合液(氨水、水和过氧化氢溶液的混合液)。通过作为蚀刻剂使用氨水-过氧化氢混合液,可以对导电膜选择性地蚀刻。

[0098] 接着,也可以进行使用 N₂O、N₂、Ar 等的气体的等离子体处理,来去除吸附到露出的氧化物半导体层的表面的水等。另外,也可以使用氧和氩的混合气体进行等离子体处理。在

进行等离子体处理之后,形成与氧化物半导体层的一部分接触的成为保护绝缘膜的绝缘层 507 而不暴露到大气。

[0099] 绝缘层 507 优选尽量不包含诸如湿气、氢等的杂质,且可以由单层绝缘膜或层叠的多个绝缘膜形成。另外,绝缘层 507 至少具有 1nm 以上的厚度,并且可以适当地采用溅射法等的不使诸如水、氢等的杂质混入到绝缘层 507 中的方法形成绝缘层 507。当绝缘层 507 包含氢时,导致氢侵入到氧化物半导体层中或氢抽出氧化物半导体层中的氧,而使氧化物半导体层的背沟道低电阻化(N型化),因此可能形成寄生沟道。因此,重要的是,在成膜方法中不使用氢,以使绝缘层 507 成为尽量不包含氢的膜。例如,也可以形成具有在通过溅射法形成的厚度为 200nm 的氧化镓膜上层叠有通过溅射法形成的厚度为 100nm 的氧化铝膜的结构绝缘膜。形成膜时的衬底温度可以设定为室温以上且 300℃ 以下。另外,绝缘膜优选含有多量的氧,即优选含有超过化学计量比的程度,更优选超过化学计量比的 1 倍且小于 2 倍的氧。如此,通过绝缘膜具有过剩的氧,可以向与岛状氧化物半导体膜之间的界面供应氧而降低氧缺损。

[0100] 在本实施方式中,通过溅射法形成用作绝缘层 507 的厚度为 200nm 的氧化硅膜。成膜时的衬底温度可以设定为室温以上且 300℃ 以下。在本实施方式中将成膜时的衬底温度设定为 100℃。可以在稀有气体(典型的是氩)气氛下、氧气氛下或稀有气体和氧的混合气氛下,通过溅射法形成氧化硅膜。此外,作为靶材,可以使用氧化硅靶材或硅靶材。例如,可以在包含氧的气氛下通过溅射法并使用硅靶材形成氧化硅膜。作为与氧化物半导体层接触地形成的绝缘层 507,使用不包含诸如湿气、氢离子、OH 等的杂质并阻挡这些杂质从外部侵入的无机绝缘膜,典型地使用氧化硅膜、氮化硅膜、氧化铝膜或氮化铝膜等。

[0101] 为了以与沉积氧化物半导体膜相同的方式去除绝缘层 507 的成膜室中的残留湿气,优选使用吸附型的真空泵(低温泵等)。当在使用低温泵排气的成膜室中形成绝缘层 507 时,可以减少绝缘层 507 所包含的杂质的浓度。此外,作为用来去除绝缘层 507 的成膜室中的残留湿气的排气单元,也可以采用配备有冷阱的涡轮泵。

[0102] 作为当形成绝缘层 507 时使用的溅射气体,优选使用去除了诸如氢、水、羟基或氢化物等的杂质的高纯度气体。

[0103] 注意,也可以在形成绝缘层 507 之后进行第二加热处理(当分两次形成氧化物半导体层且分两次进行加热处理时,第三加热处理)。该加热处理在氮、超干燥空气或稀有气体(氩、氦等)的气氛下优选以 200℃ 以上且 400℃ 以下,例如 250℃ 以上且 350℃ 以下进行。优选的是,上述气体中的水的含量是 20ppm 以下,优选是 1ppm 以下,更优选是 10ppb 以下。或者,也可以与第一加热处理同样地进行高温且短时间的 RTA 处理。通过在设置包含氧的绝缘层 507 之后进行加热处理,即使因第一加热处理而在岛状氧化物半导体层中产生氧缺损,绝缘层 507 也向岛状氧化物半导体层供应氧。并且,通过向岛状氧化物半导体层供应氧,可以在岛状氧化物半导体层中减少成为施主的氧缺损而满足化学计量比。结果,可以使岛状氧化物半导体层基本是 i 型,降低因氧缺损而导致的晶体管的电特性的偏差,从而实现电特性的提高。进行该第二加热处理的时序只要是形成绝缘层 507 之后即可,没有特别的限制,并且通过将该加热处理兼作其他工序例如形成树脂膜时的加热处理、用来使透明导电膜低电阻化的加热处理,可以在不增加工序数的条件下执行该第二加热处理,由此可以使岛状氧化物半导体层基本呈 i 型。另外,也可以通过在氧气氛下对岛状氧化物半导体

层进行加热处理,对氧化物半导体添加氧,而减少在岛状氧化物半导体层中成为施主的氧缺损。加热处理的温度例如是 100℃ 以上且低于 350℃,优选是 150℃ 以上且低于 250℃。优选上述用于氧气氛下的加热处理的氧气体不包含水、氢等。或者,优选将引入到加热处理装置的氧气体的纯度设定为 6N (99.9999%) 以上,更优选设定为 7N (99.99999%) 以上(也就是说,氧中的杂质浓度为 1ppm 以下,优选为 0.1ppm 以下)。在本实施方式中,在惰性气体气氛下或氧气体气氛下进行第二加热处理(在 200℃ 以上且 400℃ 以下,例如 250℃ 以上且 350℃ 以下的温度)。例如,在氮气氛下以 250℃ 的温度进行 1 小时的第二加热处理。当进行第二加热处理时,在氧化物半导体层的一部分(沟道形成区)与绝缘层 507 接触的状态下进行加热。第二加热处理具有如下效果。通过上述第一加热处理,从氧化物半导体层意图性地排除诸如氢、湿气、羟基或氢化物(也称为氢化合物)等的杂质,但是另一方面有时作为氧化物半导体的主要成分材料之一的氧也减少。因为在第二加热处理中向进行了第一加热处理的氧化物半导体层供应氧,所以氧化物半导体层被高纯度化及在电性上 i 型(本征)化。

[0104] 如上所述,对氧化物半导体膜添加氧,并在添加氧到氧化物半导体膜之后进行第一加热处理,由此可以从氧化物半导体层意图性地去除诸如氢、湿气、羟基或氢化物(也称为氢化合物)等的杂质。另外,因为在进行加热处理之前对氧化物半导体层添加氧而使氧化物半导体层中的氧处于过剩状态,所以下列问题得到缓解:因加热处理而作为氧化物半导体的主要成分材料之一的氧被减少。因此,氧化物半导体层被高纯度化及在电性上呈 i 型(本征)或者实质上呈 i 型。以上述工序形成晶体管 550。

[0105] 此外,当作为绝缘层 507 使用包含多缺陷的氧化硅层时,通过在形成氧化硅层之后进行的加热处理,包含在氧化物半导体层中的诸如氢、湿气、羟基或氢化物等的杂质能扩散到氧化硅层,而进一步减少包含在氧化物半导体层中的该杂质。另外,当作为绝缘层 507 使用包含过剩的氧的氧化硅层时,通过形成绝缘层 507 之后的加热处理,绝缘层 507 中的氧移动到氧化物半导体层 513c,这提高了氧化物半导体层 513c 的氧浓度,从而实现了氧化物半导体层 513c 的高纯度化。

[0106] 可以在绝缘层 507 上形成保护绝缘层 508。例如,通过 RF 溅射法形成氮化硅膜作为保护绝缘层 508。因为 RF 溅射法具有高批量生产性,所以作为保护绝缘层的成膜方法,优选使用 RF 溅射法。作为保护绝缘层,使用不包含诸如湿气等的杂质并阻挡这些杂质从外部侵入的无机绝缘膜,例如使用氮化硅膜、氮化铝膜等。在本实施方式中,使用氮化硅膜来形成保护绝缘层 508(参照图 2E)。

[0107] 在本实施方式中,作为保护绝缘层 508,将其上形成到绝缘层 507 的衬底 500 加热到 100℃ 至 400℃,引入包含氢及湿气被去除了的高纯度氮的溅射气体并使用硅半导体的靶材来形成氮化硅膜。在此情况下,也优选以与绝缘层 507 相同的方式,在去除处理室中的残留湿气的同时形成保护绝缘层 508。

[0108] 也可以在形成保护绝缘层之后,在大气气氛中以 100℃ 以上且 200℃ 以下进一步进行一个小时以上且三十个小时以下的加热处理。在该加热处理中,既可以保持一定的加热温度地进行加热,又可以多次反复从室温到 100℃ 以上且 200℃ 以下的加热温度的升温 and 从加热温度到室温的降温。

[0109] 在根据本实施方式制造的包括被高纯度化的氧化物半导体层的晶体管中,阈值电压的偏差小。因此,通过使用本实施方式所例示的半导体装置的制造方法,可以提供可靠性

高的半导体装置。另外,可以提供批量生产性高的半导体装置。

[0110] 另外,因为可以降低截止电流,所以可以提供功耗低的半导体装置。

[0111] 此外,因为包括被高纯度化的氧化物半导体层的晶体管可以获得高的场效应迁移率,所以可以进行高速驱动。因此,通过将包括被高纯度化的氧化物半导体层的晶体管用于液晶显示装置的像素部,可以提供高图像质量的图像。另外,通过利用包括被高纯度化的氧化物半导体层的晶体管,可以在同一衬底上分别制造驱动电路部、像素部,因此可以缩减液晶显示装置的部件数。

[0112] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合而实施。

[0113] 实施方式 2

[0114] 在本实施方式中,使用图 3A 至 3B 和图 4A 至 4E 对制造顶栅型晶体管的方法进行说明,在该方法中,采用在对氧化物半导体层添加氧之后进行加热处理,去除杂质来使氧化物半导体层高纯度化的方法。

[0115] 图 3A 和图 3B 示出在本实施方式中制造的顶栅型晶体管 650 的结构。图 3A 示出晶体管 650 的俯视图,图 3B 示出晶体管 650 的截面图。另外,图 3B 相当于沿着图 3A 所示的切断线 Q1-Q2 的截面。

[0116] 晶体管 650 在具有绝缘表面的衬底 600 上具有用作源电极和漏电极的第一电极 615a 及第二电极 615b。另外,还具有覆盖第一电极 615a 及第二电极 615b 的端部的被高纯度化的氧化物半导体层 613c 以及覆盖氧化物半导体层 613c 的栅极绝缘层 602。另外,还具有接触于栅极绝缘层 602 且与第一电极 615a 及第二电极 615b 的端部重叠的栅电极 611 以及接触于栅电极 611 且覆盖晶体管 650 的保护绝缘层 608。

[0117] 接着,使用图 4A 至图 4E 对在衬底 600 上制造晶体管 650 的方法进行说明。

[0118] 首先,在具有绝缘表面的衬底 600 上形成成为第一电极及第二电极(包括形成在此相同的层中的布线)的导电膜。作为用于形成第一电极及第二电极的导电膜,例如可以使用包含选自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金属膜或含有任意上述元素作为成分的金属氮化物膜(诸如氮化钛膜、氮化钼膜、氮化钨膜)等。此外,还可以采用在诸如 Al、Cu 等的金属膜的下侧和上侧之一或二者层叠诸如 Ti、Mo、W 等的高熔点金属膜或它们的金属氮化物膜(诸如氮化钛膜、氮化钼膜、氮化钨膜)的结构。尤其是,优选在与氧化物半导体层接触的一侧层叠有包含钛的导电膜。

[0119] 通过第一光刻工序在导电膜上形成抗蚀剂掩模,选择性地蚀刻来形成用作源电极和漏电极的第一电极 615a 及第二电极 615b,然后去除抗蚀剂掩模。另外,也可以通过喷墨法形成抗蚀剂掩模。因为当通过喷墨法形成抗蚀剂掩模时不需要使用光掩模,所以可以减少制造成本。

[0120] 在本实施方式中,作为具有绝缘表面的衬底 600 使用玻璃衬底。

[0121] 也可以在第一电极 615a 及第二电极 615b 与衬底 600 之间设置成为基底膜的绝缘膜。基底膜具有防止来自衬底 600 的杂质元素的扩散的功能,并且可以使用选自氮化硅膜、氧化硅膜、氮氧化硅膜、氧氮化硅膜等中的一种膜的单层结构或多种膜的叠层结构形成基底膜。

[0122] 接着,在用作源电极和漏电极的第一电极 615a 及第二电极 615b 上形成厚度为 2nm 以上且 200nm 以下,优选为 5nm 以上且 30nm 以下的氧化物半导体膜。

[0123] 另外,优选的是,在通过溅射法形成氧化物半导体膜之前,进行引入氩气体产生等离子体的反溅射,来去除附着于第一电极 615a 及第二电极 615b 的表面以及衬底 600 的露出部分的绝缘表面上的粉状物质(也称为颗粒、尘屑)。

[0124] 本实施方式所例示的氧化物半导体膜可以使用与实施方式 1 所示的氧化物半导体膜类似的材料、方法及条件形成。具体而言,作为用来形成氧化物半导体膜的条件,可以使用与实施方式 1 类似的氧化物半导体、成膜方法、靶材组成、靶材填充率、溅射气体的纯度、成膜时的衬底温度、溅射装置的排气单元以及溅射气体的组成等。因此,作为详细内容可以参照实施方式 1。

[0125] 接着,通过第二光刻工序将氧化物半导体膜加工为岛状的氧化物半导体层 613a。此外,也可以通过喷墨法形成用来形成岛状的氧化物半导体层的抗蚀剂掩模。因为当通过喷墨法形成抗蚀剂掩模时不需要使用光掩模,所以可以降低制造成本。

[0126] 注意,作为在此进行的氧化物半导体膜的蚀刻,可以采用干蚀刻、湿蚀刻、或二者。例如,作为用于氧化物半导体膜的湿蚀刻的蚀刻剂,可以使用磷酸、醋酸、硝酸的混合溶液等。此外,还可以使用 IT007N(由日本关东化学株式会社制造)。注意,图 4A 示出此时的截面图。

[0127] 接着,对氧化物半导体层添加氧。作为氧的添加法,可以使用离子注入法或离子掺杂法等将高能量的氧添加到氧化物半导体层中。通过使用离子注入法或离子掺杂法等将高能量的氧添加到氧化物半导体中,例如可以切断氧化物半导体包含的金属与氢的键、金属与羟基的键或者键合到金属的羟基中的氧与氢的键。注意,氧化物半导体层 613a 成为包含从金属脱离了的杂质的氧化物半导体层 613b。注意,图 4B 示出此时的截面图。

[0128] 接着,对包含从金属脱离了的杂质的氧化物半导体层 613b 进行第一加热处理。通过该第一加热处理,可以从氧化物半导体层去除从金属脱离了的杂质。例如,可以去除通过所添加的氧与从金属脱离了的氢或羟基起反应而产生的水。与直接去除强烈地结合到金属的氢或羟基的方法相比,通过加热去除所产生的水的方法更容易。

[0129] 第一加热处理的温度为 250℃ 以上且 700℃ 以下,优选为 450℃ 以上且 650℃ 以下,或者 450℃ 以上且低于衬底的应变点。在此,将衬底放到作为加热处理装置之一的电炉中,在氮气氛下以 600℃ 的温度对氧化物半导体层进行一个小时的加热处理,然后不接触于大气且防止水、氢再次混入到氧化物半导体层,由此得到氧化物半导体层 613c(参照图 4C)。

[0130] 注意,加热处理装置不局限于电炉,可以使用实施方式 1 所示的加热单元、加热方法及加热条件。具体而言,可以使用与实施方式 1 类似的加热处理装置、加热温度以及用于加热的气体的种类及纯度等。因此,作为详细内容可以参照实施方式 1。

[0131] 此外,只要在添加氧之后,就也可以对加工为岛状的氧化物半导体层之前的氧化物半导体膜进行第一加热处理。在此情况下,在第一加热处理之后将衬底从加热装置取出,然后进行光刻工序。

[0132] 注意,除了上述时序之外,只要在形成氧化物半导体层之后进行,第一加热处理就可以任意下列时序进行:在氧化物半导体层上层叠栅极绝缘层之后,以及在栅极绝缘层上形成栅电极之后。

[0133] 此外,也可以通过分两次形成氧化物半导体层,并分两次进行加热处理,无论首先形成的氧化物半导体层所接触的基底构件的材料是氧化物、氮化物还是金属等的材料都无

妨,形成具有大厚度的结晶区(单晶区),即c轴与膜表面垂直地排列的结晶区的氧化物半导体层。注意,作为具有结晶区的氧化物半导体层,可以使用实施方式1所示的成膜条件。因此,作为详细内容可以参照实施方式1。

[0134] 接着,也可以进行使用诸如 N_2O 、 N_2 、Ar等的气体的等离子体处理,来去除吸附到氧化物半导体层的暴露部分的表面的水等。在进行等离子体处理之后,形成与氧化物半导体层接触的栅极绝缘层602而不暴露到空气。

[0135] 作为本实施方式的氧化物半导体,使用通过去除杂质而呈i型或实质上i型的氧化物半导体。因为这种被高纯度化的氧化物半导体对界面态、界面电荷极敏感,所以氧化物半导体层和栅极绝缘层之间的界面是重要的。因此,与被高纯度化的氧化物半导体层接触的栅极绝缘层被要求高质量化。

[0136] 栅极绝缘层602至少具有1nm以上的厚度,并且可以适当地采用溅射法等的不使诸如水、氢等的杂质混入到栅极绝缘层602中的方法形成栅极绝缘层602。当栅极绝缘层602包含氢时,有如下忧虑:因该氢侵入到氧化物半导体层中或该氢抽出氧化物半导体层中的氧,而使氧化物半导体层的背沟道低电阻化(N型化),因此可能形成寄生沟道。因此,重要的是,在成膜方法中不使用氢,以使栅极绝缘层602成为尽量不包含氢的膜。

[0137] 在本实施方式中,通过溅射法形成用作栅极绝缘层602的氧化硅膜。成膜时的衬底温度可以为室温以上且 $300^{\circ}C$ 以下。在本实施方式中将成膜时的衬底温度设定为 $100^{\circ}C$ 。可以在稀有气体(典型的是氩)气氛下、氧气氛下或稀有气体和氧的混合气氛下,通过溅射法形成氧化硅膜。此外,作为靶材,可以使用氧化硅靶材或硅靶材。例如,可以在包含氧的气氛下通过溅射法并使用硅靶材形成氧化硅膜。作为与氧化物半导体层接触地形成的栅极绝缘层602,使用不包含诸如湿气、氢离子、OH等的杂质并阻挡这些杂质从外部侵入的无机绝缘膜,典型地使用氧化硅膜、氮化硅膜、氧化铝膜或氮化铝膜等。

[0138] 为了以与形成氧化物半导体膜时相同的方式去除栅极绝缘层602的成膜室中的残留湿气,优选使用吸附型的真空泵(低温泵等)。在使用低温泵排气的成膜室中形成栅极绝缘层602时,可以减少栅极绝缘层602所包含的杂质的浓度。此外,作为用来去除栅极绝缘层602的成膜室中的残留湿气的排气单元,也可以采用配备有冷阱的涡轮泵。

[0139] 作为当形成栅极绝缘层602时使用的溅射气体,优选使用去除了诸如氢、水、羟基或氢化物等的杂质的高纯度气体。注意,图4D示出此时的截面图。

[0140] 接着,当在栅极绝缘层602中形成接触孔时,通过第三光刻工序在栅极绝缘层602中形成接触孔。注意,图4A至图4E未图示出接触孔。

[0141] 接着,在栅极绝缘层602上形成导电膜之后,通过第四光刻工序形成包括栅电极611的布线层。另外,也可以使用喷墨法形成抗蚀剂掩模。当使用喷墨法形成抗蚀剂掩模时不需要使用光掩模,由此可以降低制造成本。

[0142] 另外,栅电极611可以使用诸如钼、钛、钽、钨、铝、铜、钕、铈等的金属材料或以该金属材料为主要成分的合金材料的单层或叠层形成。

[0143] 也可以在栅电极611上形成保护绝缘层608。例如,通过RF溅射法形成氮化硅膜。因为RF溅射法具有高批量生产性,所以作为保护绝缘层的成膜方法,优选使用RF溅射法。作为保护绝缘层,使用不包含诸如湿气等的杂质并阻挡这些杂质从外部侵入的无机绝缘膜,使用氮化硅膜、氮化铝膜等。在本实施方式中,使用氮化硅膜来形成保护绝缘层608。

注意,图 4E 示出此时的截面图。

[0144] 在本实施方式中,作为保护绝缘层 608,将其上形成到栅电极 611 的衬底 600 加热到 100℃至 400℃,引入包含氢及湿气被去除了的高纯度氮的溅射气体并使用硅半导体的靶材来形成氮化硅膜。在此情况下,以与栅极绝缘层 602 类似的方式,优选在去除处理室内的残留湿气的同时形成保护绝缘层 608。

[0145] 还可以在形成保护绝缘层之后,在空气气氛中以 100℃以上且 200℃以下的温度进行一个小时以上且三十个小时以下的加热处理。在该加热处理中,既可以保持一定的加热温度地进行加热,又可以多次反复从室温到 100℃以上且 200℃以下的加热温度的升温 and 从加热温度到室温的降温。

[0146] 在根据本实施方式制造的包括被高纯度化的氧化物半导体层的晶体管中,阈值电压的偏差小。因此,通过使用本实施方式所例示的半导体装置的制造方法,可以提供可靠性高的半导体装置。另外,可以提供批量生产性高的半导体装置。

[0147] 另外,因为可以降低截止电流,所以可以提供功耗低的半导体装置。

[0148] 此外,因为包括被高纯度化的氧化物半导体层的晶体管可以获得高的场效应迁移率,所以可以进行高速驱动。因此,通过将包括被高纯度化的氧化物半导体层的晶体管用于液晶显示装置的像素部,可以提供高图像质量的图像。另外,通过利用包括被高纯度化的氧化物半导体层的晶体管,可以在同一衬底上分别制造驱动电路部、像素部,因此可以缩减液晶显示装置的部件数。

[0149] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合而实施。

[0150] 实施方式 3

[0151] 在本实施方式中,使用图 5A 和 5B、图 6A 至 6D、图 7A 至 7C、图 8A 至 8D 以及图 9A 至 9C 对本发明一实施方式的半导体装置的结构及其制造方法进行说明。另外,可以将本实施方式所例示的半导体装置用作存储装置。

[0152] 图 5A 和图 5B 示出本实施方式所例示的半导体装置的结构。图 5A 示出半导体装置的截面图,图 5B 示出半导体装置的俯视图。另外,图 5A 相当于沿着图 5B 的切断线 A1-A2 及 B1-B2 的截面。

[0153] 本实施方式中所例示的半导体装置具有在下部的使用第一半导体材料形成的晶体管 260,在上部的使用第二半导体材料形成的晶体管 262、以及电容器元件 264。晶体管 260 的栅电极 210 与晶体管 262 的第一电极 242a 直接连接。

[0154] 通过与晶体管 260 重叠地设置晶体管 262 及电容器元件 264,可以实现高集成化。例如,通过构思布线 and 电极的连接,以最小特征尺寸为 F,可以使存储单元所占的面积为 $15F^2$ 至 $25F^2$ 。

[0155] 晶体管 260 所具有的第一半导体材料和晶体管 262 所具有的第二半导体材料可以是彼此不同的材料。例如,可以通过将单晶半导体用于第一半导体材料来使晶体管 260 能容易地进行高速操作,将氧化物半导体用于第二半导体材料来使晶体管 262 具有截止电流被充分地降低而能够长时间保持电荷的结构。

[0156] 作为第一半导体材料或第二半导体材料,例如可以使用氧化物半导体或氧化物半导体以外的半导体材料。作为氧化物半导体以外的半导体材料,例如可以使用硅、锗、硅锗、碳化硅或砷化镓等。另外,可以使用有机半导体材料等。

[0157] 在本实施方式中,对如下情况进行说明,即将单晶硅用于第一半导体材料来形成能够进行高速操作的晶体管 260,并且将氧化物半导体用于第二半导体材料来形成截止电流被降低的晶体管 262。

[0158] 另外,具有晶体管 260 的栅电极 210 与晶体管 262 的第一电极 242a 彼此连接的结构半导体装置适用于存储装置。通过使晶体管 262 处于截止状态,可以极长时间保持晶体管 260 的栅电极 210 的电位。另外,通过具备电容器元件 264,可以容易地保持施加到晶体管 260 的栅电极 210 的电荷,且可以容易地读出所储存的数据。另外,通过使用利用能够进行高速操作的半导体材料的晶体管 260,可以高速地读出数据。

[0159] 另外,虽然假设本实施方式所例示的半导体装置所具备的晶体管都是 n 沟道型晶体管而进行说明,但是当然也可以使用 p 沟道型晶体管。另外,因为所公开的发明的技术本质是组合地提供截止电流被充分地降低的使用氧化物半导体的晶体管和能够进行充分的高速操作的使用氧化物半导体以外的材料的晶体管,所以不需要将具体条件限制到这里所描述的那些,诸如用于半导体装置的材料或半导体装置的结构。

[0160] 晶体管 260 具有设置在包含第一半导体材料的衬底 200 中的沟道形成区 216 和夹着沟道形成区 216 的杂质区 220。另外,晶体管 260 还具有与杂质区 220 接触的金属化合物区 224、设置在沟道形成区 216 上的栅极绝缘层 208 和设置在栅极绝缘层 208 上的栅电极 210。

[0161] 另外,在衬底 200 上围绕晶体管 260 地设置有元件隔离绝缘层 206,并且在晶体管 260 上设置有绝缘层 228 及绝缘层 230。另外,虽然未图示,但是晶体管 260 的金属化合物区 224 的一部分通过用作源电极或漏电极的电极连接到布线 256 或其他布线。注意,虽然有时在图中不具有源电极或漏电极,但是为了方便起见有时将这种结构也称为晶体管。

[0162] 为了实现高集成化,如图 5A 和图 5B 所示优选晶体管 260 不具有侧壁绝缘层。另一方面,当重视晶体管 260 的特性时,也可以在栅电极 210 的侧面设置侧壁绝缘层,并且设置如下杂质区 220,该杂质区 220 可以包括形成在与该侧壁绝缘层重叠的区域中的杂质浓度与杂质区 220 不同的杂质区域。

[0163] 另外,在本实施方式中,作为包含第一半导体材料的衬底 200,使用硅等的单晶半导体衬底。当使用硅等的单晶半导体衬底时,可以使半导体装置的读操作高速化。

[0164] 晶体管 262 具备作为第二半导体材料的被高纯度化的氧化物半导体层。晶体管 262 在绝缘层 230 上具有用作源电极和漏电极的第一电极 242a 及第二电极 242b 以及与第一电极及第二电极电连接的氧化物半导体层 244。另外,晶体管 262 还具有覆盖氧化物半导体层 244 的栅极绝缘层 246 以及设置在栅极绝缘层 246 上的与氧化物半导体层 244 重叠的栅电极 248a。另外,在第一电极 242a 和氧化物半导体层 244 之间具有与栅电极 248a 重叠的绝缘层 243a,并且在第二电极 242b 和氧化物半导体层 244 之间具有与栅电极 248a 重叠的绝缘层 243b。

[0165] 绝缘层 243a 及绝缘层 243b 降低产生在源电极和漏电极与栅电极之间的电容。但是,也可以采用不设置绝缘层 243a 及绝缘层 243b 的结构。

[0166] 在此,优选氧化物半导体层 244 是通过被充分地去掉诸如氢等的杂质或被供应充分的氧来获得的被高纯度化的氧化物半导体层。在本实施方式中,使用在对氧化物半导体层添加氧之后进行加热处理来去除杂质而使氧化物半导体高纯度化的方法,从而形成被高

纯度化的氧化物半导体层。如此,通过使用被高纯度化的氧化物半导体,可以得到具有极为优异的截止电流特性的晶体管 262。另外,作为氧化物半导体层 244 的细节,可以参照实施方式 2。

[0167] 注意,虽然在图 5A 和图 5B 的晶体管 262 中,为了抑制因微型化而在元件之间产生泄漏电流,使用被加工为岛状的氧化物半导体层 244,但是也可以采用包括未加工为岛状的氧化物半导体层 244 的结构。当不将氧化物半导体层加工为岛状时,可以防止因加工时的蚀刻而导致的氧化物半导体层 244 的污染。

[0168] 在图 5A 和图 5B 所示的半导体装置中,晶体管 260 的栅电极 210 的上表面从绝缘层 230 露出而与晶体管 262 的用作源电极或漏电极的第一电极 242a 直接连接。也可以使用另行设置的用来接触的开口及电极连接栅电极 210 与第一电极 242a,但是通过直接连接栅电极 210 与第一电极 242a,可以缩小接触面积而实现半导体装置的高集成化。

[0169] 例如,当将本实施方式的半导体装置用作存储装置时,为了增加单位面积的存储容量,高集成化是重要的。另外,因为也可以省略为了实现接触另行形成的开口及电极所需的工序,所以可以简化半导体装置的制造工序。

[0170] 图 5A 和图 5B 中的电容器元件 264 包括用作源电极或漏电极的第一电极 242a、氧化物半导体层 244、栅极绝缘层 246 以及电极 248b。也就是说,第一电极 242a 用作电容器元件 264 的一个电极,电极 248b 用作电容器元件 264 的另一个电极。

[0171] 注意,虽然在图 5A 和图 5B 所示的电容器元件 264 中在第一电极 242a 和电极 248b 之间夹有氧化物半导体层 244 和栅极绝缘层 246,但是也可以只夹有栅极绝缘层 246 来确保大电容。另外,也可以采用其中设置与绝缘层 243a 同样地形成的绝缘层的结构。再者,如果不需要电容器,则可以不设置电容器元件 264。

[0172] 另外,在晶体管 262 及电容器元件 264 上设置有绝缘层 250,并且在绝缘层 250 上设置有绝缘层 252。另外,在形成于栅极绝缘层 246、绝缘层 250、绝缘层 252 等中的开口中设置有电极 254。另外,在绝缘层 252 上设置有布线 256,并且布线 256 通过电极 254 与第二电极 242b 电连接。另外,也可以使布线 256 直接接触于第二电极 242b。

[0173] 此外,也可以使连接到金属化合物区 224 的电极(未图示)与第二电极 242b 连接。在此情况下,通过彼此重叠地设置连接到金属化合物区 224 的电极和电极 254,可以实现半导体装置的高集成化。

[0174] < 半导体装置的制造方法 >

[0175] 接着,将对上述半导体装置的制造方法的一个例子进行说明。以下,首先,参照图 6A 至 6D 和图 7A 至 7C 对下部晶体管 260 的制造方法进行说明,然后,参照图 8A 至 8D 和图 9A 至 9C 对上部晶体管 262 以及电容器元件 264 的制造方法进行说明。

[0176] < 下部晶体管的制造方法 >

[0177] 首先,准备包含半导体材料的衬底 200 (参照图 6A)。作为包含半导体材料的衬底 200,可以使用硅或碳化硅等的单晶半导体衬底或多晶半导体衬底、硅锗等的化合物半导体衬底、SOI 衬底等。这里,示出作为包含半导体材料的衬底 200 使用单晶硅衬底时的一个例子。

[0178] 注意,一般来说,术语“SOI 衬底”是指其中在绝缘表面上设置有硅半导体层的衬底,但是在本说明书等中,“SOI 衬底”还包括在绝缘表面上设置有由硅以外的材料形成的半

导体层的衬底。换言之，“SOI 衬底”所具有的半导体层不局限于硅半导体层。另外，SOI 衬底的例子还包括在诸如玻璃衬底等的绝缘衬底上隔着绝缘层而设置有半导体层的衬底。

[0179] 特别优选的是，作为包含半导体材料的衬底 200，使用硅等的单晶半导体衬底，因为这样可以使晶体管 260 的操作高速化。

[0180] 在衬底 200 上形成用作用来形成元件隔离绝缘层的掩模的保护层 202（参照图 6A）。作为保护层 202，例如可以使用由氧化硅、氮化硅、氧氮化硅等形成的绝缘层。另外，在该工序之前或之后，也可以将赋予 n 型导电性的杂质元素或赋予 p 型导电性的杂质元素添加到衬底 200 中，以控制晶体管的阈值电压。在半导体材料为硅时，作为赋予 n 型导电性的杂质，例如可以使用磷、砷等。另外，作为赋予 p 型导电性的杂质，例如可以使用硼、铝、镓等。

[0181] 接着，将上述保护层 202 用作掩模进行蚀刻来去除不由保护层 202 覆盖的区域（露出的区域）中的衬底 200 的一部分。由此，形成与其他半导体区分离的半导体区 204（参照图 6B）。该蚀刻优选使用干蚀刻，但是也可以使用湿蚀刻。可以根据被蚀刻材料适当地选择蚀刻气体、蚀刻液。

[0182] 接着，覆盖半导体区 204 地形成绝缘层，并通过选择性地去除重叠于半导体区 204 的区域的绝缘层，来形成元件隔离绝缘层 206（参照图 6C）。该绝缘层使用氧化硅、氮化硅、氧氮化硅等形成。作为绝缘层的去除方法，有诸如化学机械抛光（Chemical Mechanical Polishing :CMP）处理等的抛光处理或蚀刻处理等，可以使用其中的任何方法，并也可以将上述处理组合而使用。另外，在形成半导体区 204 之后，或者，在形成元件隔离绝缘层 206 之后，去除保护层 202。

[0183] 另外，作为元件隔离绝缘层 206 的形成方法，除了选择性地去除绝缘层的方法以外，还可以使用通过导入氧等来形成绝缘区的方法等。

[0184] 接着，在半导体区 204 的表面上形成绝缘层，并且在该绝缘层上形成包含导电材料的层。

[0185] 绝缘层之后成为栅极绝缘层，该绝缘层例如可以通过对半导体区 204 的表面进行热处理（热氧化处理或热氮化处理等）来形成。也可以使用高密度等离子体处理代替热处理。高密度等离子体处理例如可以使用诸如 He、Ar、Kr、Xe 等的稀有气体、氧、氧化氮、氮、氢等中的任意气体的混合气体来进行。当然，也可以使用 CVD 法或溅射法等形成绝缘层。优选该绝缘层具有包含氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化钇、硅酸钪（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的硅酸钪（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的铝酸钪（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的单层结构或多层结构。另外，绝缘层的厚度例如可以为 1nm 以上且 100nm 以下，优选设定为 10nm 以上且 50nm 以下。

[0186] 包含导电材料的层可以使用诸如铝、铜、钛、钽、钨等的金属材料而形成。另外，也可以通过使用诸如多晶硅等的半导体材料形成包含导电材料的层。对形成包含导电材料的层的方法也没有特别的限制，可以使用蒸镀法、CVD 法、溅射法、旋涂法等的所有成膜方法中的任意方法。此外，在本实施方式中，对使用金属材料形成包含导电材料的层时的一个例子进行说明。

[0187] 然后，通过选择性地蚀刻绝缘层和包含导电材料的层，形成栅极绝缘层 208 和栅电极 210（参照图 6C）。

[0188] 接着,将磷(P)或砷(As)等添加到半导体区 204 中,从而形成沟道形成区 216 以及杂质区 220 (参照图 6D)。这里,虽然添加磷或砷以形成 n 沟道晶体管,但是在形成 p 沟道晶体管时可以添加诸如硼(B)或铝(Al)等的杂质元素。在此,虽然可以适当地设定所添加的杂质的浓度,但是在进行半导体元件的高微型化时优选提高其浓度。

[0189] 另外,也可以在栅电极 210 的周围形成侧壁绝缘层,从而形成添加有不同浓度的杂质元素的杂质区。

[0190] 接着,覆盖栅电极 210、杂质区 220 等地形成金属层 222 (参照图 7A)。金属层 222 可以使用诸如真空蒸镀法、溅射法和旋涂法等各种成膜方法中的任意方法形成。优选使用与半导体区 204 含有的半导体材料起反应而成为低电阻的金属化合物的金属材料形成金属层 222。作为上述金属材料,例如有钛、钽、钨、镍、钴、铂等。

[0191] 接着,进行热处理,使上述金属层 222 与半导体材料起反应。由此,形成接触于杂质区 220 的金属化合物区 224 (参照图 7A)。另外,在作为栅电极 210 使用多晶硅等的情况下,还在栅电极 210 与金属层 222 接触的部分中形成金属化合物区。

[0192] 作为上述热处理,例如可以使用闪光灯照射。当然,也可以使用其它热处理方法,但是优选使用可以在极短的时间内进行热处理的方法,以提高关于金属化合物形成的化学反应的控制性。另外,上述金属化合物区由金属材料与半导体材料的反应而形成,该金属化合物区的导电性充分得到提高。通过形成该金属化合物区,可以充分地降低电阻并提高元件特性。另外,在形成金属化合物区 224 之后,去除金属层 222。

[0193] 接着,覆盖通过上述工序形成的各结构地形成绝缘层 228 和绝缘层 230 (参照图 7B)。绝缘层 228 和绝缘层 230 可以使用包含诸如氧化硅、氮氧化硅、氧化铝等的无机绝缘材料形成。尤其是优选将低介电常数(low-k)材料用于绝缘层 228 和绝缘层 230,因为这样可以充分地降低起因于各种电极或布线的重叠的电容。另外,也可以将使用上述材料的多孔绝缘层用于绝缘层 228 和绝缘层 230。因为多孔绝缘层的介电常数比致密绝缘层低,所以可以进一步降低起因于电极或布线的电容。

[0194] 另外,也可以在绝缘层 228 或绝缘层 230 中包括具有诸如氮氧化硅、氮化硅等的含有大量氮的无机绝缘材料的层。由此,可以防止下部晶体管 260 包括的材料所包含的诸如水或氢等的杂质侵入到后面形成的上部晶体管 262 的氧化物半导体层 244 中。但是,在此情况下,难以只使用后面的工序中进行的 CMP 处理去除包括含有大量氮的无机绝缘材料的层,因此优选 CMP 处理和蚀刻处理组合进行。

[0195] 另外,也可以形成氮氧化硅作为绝缘层 228,并形成氧化硅作为绝缘层 230。如此,通过以此方式只使用诸如氮氧化硅或氧化硅等的含有大量氧的无机绝缘材料形成绝缘层 228 及绝缘层 230,可以在后面的工序中容易地对绝缘层 228 和绝缘层 230 进行 CMP 处理。

[0196] 注意,虽然在此实施方式中采用绝缘层 228 和绝缘层 230 的叠层结构,但是所公开的发明的实施方式不局限于此。既可以采用单层结构,又可以采用三层以上的叠层结构。例如,在上述形成氮氧化硅作为绝缘层 228 并形成氧化硅作为绝缘层 230 的结构中,还可以在绝缘层 228 和绝缘层 230 之间形成氮氧化硅。

[0197] 然后,作为形成晶体管 262 之前的处理,对绝缘层 228 和绝缘层 230 进行 CMP 处理来使绝缘层 228 及绝缘层 230 的表面平坦化,并使栅电极 210 的上表面露出(参照图 7C)。

[0198] 可以进行一次的 CMP 处理或多次的 CMP 处理。当分多次进行 CMP 处理时,优选在

进行高抛光速率的初期抛光之后,进行低抛光速率的精抛光。通过如此将抛光速率彼此不同的抛光组合,可以进一步提高绝缘层 228 及绝缘层 230 的表面的平坦性。

[0199] 另外,当绝缘层 228 和绝缘层 230 的叠层结构包括包含大量氮的无机绝缘材料时,难以只进行 CMP 处理去除包含大量氮的无机绝缘材料,所以优选组合使用 CMP 处理和蚀刻处理。作为包含大量氮的无机绝缘材料的蚀刻处理,可以使用干蚀刻或湿蚀刻的任一种,但是从元件的微型化的观点而言,优选使用干蚀刻。另外,优选适当地设定蚀刻条件(蚀刻气体、蚀刻液、蚀刻时间、温度等),以便使各绝缘层的蚀刻速率均匀且得到相对于栅电极 210 的高蚀刻选择性。另外,作为用于干蚀刻的蚀刻气体,例如可以使用含有氟的气体(诸如三氟甲烷(CHF_3)等)、添加有诸如氦(He)或氩(Ar)等的稀有气体的含有氟的气体等。

[0200] 另外,当使栅电极 210 的上表面从绝缘层 230 露出时,优选使栅电极 210 的上表面与绝缘层 230 位于同一平面。

[0201] 注意,上述各工序中的每个之前或之后还可以包括形成电极、布线、半导体层、绝缘层等的工序。例如,也可以形成与金属化合物区 224 的一部分连接的用作晶体管 260 的源电极或漏电极的电极。另外,作为布线的结构,也可以采用包括绝缘层及导电层的叠层结构的多层布线结构来实现高度集成化了的半导体装置。

[0202] <上部晶体管的制造方法>

[0203] 接着,在栅电极 210、绝缘层 228、绝缘层 230 等上形成导电层,对该导电层选择性地蚀刻,从而形成用作源电极和漏电极的第一电极 242a 及第二电极 242b(参照图 8A)。第一电极 242a 及第二电极 242b 可以使用与实施方式 2 所示的用作源电极和漏电极的电极相同的材料、方法来形成。因此,作为详细内容,可以参照实施方式 2。

[0204] 在此,将第一电极 242a 及第二电极 242b 蚀刻为具有锥形末端部分。利用第一电极 242a、第二电极 242b 的锥形端部,后面形成的氧化物半导体层能容易地覆盖该端部,从而可以防止断开。另外,可以提高后面形成的栅极绝缘层的覆盖性,而可以防止断开。

[0205] 在此,将锥形角例如设定为 30° 以上且 60° 以下。注意,锥形角是指当从垂直于截面(与衬底的表面正交的面)的方向观察具有锥形形状的层(例如,第一电极 242a)时,该层的侧面和底面所形成的倾斜角。

[0206] 另外,上部晶体管的沟道长度(L)由第一电极 242a 及第二电极 242b 的下端部的间隔决定。另外,当进行形成用于形成沟道长度(L)短于 25nm 的晶体管的掩模的曝光时,优选使用波长为几 nm 至几十 nm 短的深紫外线(Extreme Ultraviolet)。利用深紫外线的曝光的分辨率高且聚焦深度大。由此,也可以将后面形成的晶体管的沟道长度(L)形成为 10nm 以上至 1000nm ($1\ \mu\text{m}$)以下,而可以提高电路的操作速度。再者,通过微型化也可以降低半导体装置的功耗。

[0207] 在此,晶体管 262 的第一电极 242a 与晶体管 260 的栅电极 210 直接彼此连接(参照图 8A)。

[0208] 接着,在第一电极 242a 上形成绝缘层 243a,并且在第二电极 242b 上形成绝缘层 243b(参照图 8B)。在形成覆盖第一电极 242a、第二电极 242b 的绝缘层之后对该绝缘层选择性地蚀刻来形成绝缘层 243a 及绝缘层 243b。另外,绝缘层 243a 及绝缘层 243b 形成得重叠于后面形成的栅电极的一部分。通过设置这种绝缘层,可以降低产生在栅电极与源电极或漏电极之间的电容。

[0209] 可以使用诸如氧化硅、氧氮化硅、氮化硅、氧化铝等的无机绝缘材料形成绝缘层 243a 及绝缘层 243b。尤其是通过将低介电常数 (low-k) 材料用于绝缘层 243a 及绝缘层 243b, 可以充分地降低栅电极与源电极或漏电极之间的电容, 所以是优选的。另外, 也可以将含有任意上述材料的多孔绝缘层用于绝缘层 243a 及绝缘层 243b。因为多孔绝缘层的介电常数比致密绝缘层低, 所以可以进一步降低栅电极与源电极或漏电极之间的电容。

[0210] 注意, 虽然从降低栅电极与源电极或漏电极之间的电容的观点而言, 优选形成绝缘层 243a 及绝缘层 243b, 但是也可以采用不设置绝缘层 243a 及绝缘层 243b 的衬底。

[0211] 接着, 在覆盖第一电极 242a 及第二电极 242b 地形成氧化物半导体层之后, 对该氧化物半导体层选择性地蚀刻来形成氧化物半导体层 244 (参照图 8C)。氧化物半导体层 244 可以使用与实施方式 2 所示的氧化物半导体层相似的材料、方法形成。因此, 作为详细内容, 可以参照实施方式 2。

[0212] 另外, 如实施方式 2 所示, 优选在通过溅射法形成氧化物半导体层之前进行引入氩气体来产生等离子的反溅射, 从而去除附着在其上形成氧化物半导体层的表面 (例如绝缘层 230 的表面) 上的物质。

[0213] 对氧化物半导体层添加氧, 接着进行热处理 (第一热处理)。作为进行氧添加处理及热处理 (第一热处理) 的方法, 可以使用实施方式 2 所示的装置、方法。因此, 作为详细内容, 可以参照实施方式 2。

[0214] 通过对氧化物半导体层添加氧, 并进行热处理 (第一热处理), 可以降低氧化物半导体层中残留的杂质来形成 i 型 (本征) 或实质上 i 型的氧化物半导体层。在包括其中残留杂质得到减少的 i 型 (本征) 或实质上 i 型的氧化物半导体层的晶体管中, 阈值电压的变动能得到抑制, 截止电流可以减小, 即可以实现极为优异的特性。

[0215] 另外, 氧化物半导体层的蚀刻可以进行在热处理 (第一热处理) 之前或之后。另外, 从元件的微型化的观点而言, 优选使用干蚀刻, 但是也可以使用湿蚀刻。可以根据被蚀刻的材料适当地选择蚀刻气体或蚀刻液。另外, 当元件中的泄漏电流等不成为问题时, 也可以使用氧化物半导体层而不将其加工为岛状。

[0216] 接着, 形成接触于氧化物半导体层 244 的栅极绝缘层 246, 然后在栅极绝缘层 246 上的与氧化物半导体层 244 重叠的区域中形成栅电极 248a, 并且在与第一电极 242a 重叠的区域中形成电极 248b (参照图 8D)。栅极绝缘层 246 可以使用与实施方式 2 所示的栅极绝缘层相似的材料、方法形成。

[0217] 优选在形成栅极绝缘层 246 之后在惰性气体气氛下或在氧气氛下进行第二热处理。第二热处理可以使用与实施方式 2 所示的方法相似的方法进行。通过进行第二热处理, 可以减轻晶体管的电特性的偏差。另外, 当栅极绝缘层 246 包含氧时, 也可以向氧化物半导体层 244 供应氧且填补氧化物半导体层 244 的氧缺损, 从而可以形成 i 型 (本征) 或实质上 i 型的氧化物半导体层。

[0218] 注意, 虽然在本实施方式中在形成栅极绝缘层 246 之后进行第二热处理, 但是第二热处理的时序不局限于此。例如, 也可以在形成栅电极之后进行第二热处理。另外, 也可以使第二热处理兼作第一热处理。

[0219] 如上所述, 通过在添加氧之后执行第一热处理和第二热处理中的至少一个, 可以使氧化物半导体层 244 高纯度化, 以使其尽量不包含其主要成分以外的杂质。

[0220] 栅电极 248a 可以使用与实施方式 2 所示的栅电极 611 相似的材料、方法形成。另外,当形成栅电极 248a 时,通过对导电层选择性地蚀刻来可以同时形成电极 248b。作为以上说明的详细内容,可以参照实施方式 2。

[0221] 接着,在栅极绝缘层 246、栅电极 248a 及电极 248b 上形成绝缘层 250 及绝缘层 252 (参照图 9A)。绝缘层 250 及绝缘层 252 可以使用与实施方式 1 所示的绝缘层 507 及保护绝缘层 508 相似的材料、方法形成。因此,作为详细内容,可以参照实施方式 1。

[0222] 接着,在栅极绝缘层 246、绝缘层 250、绝缘层 252 中形成到达第二电极 242b 的开口(参照图 9B)。通过使用掩模等选择性地蚀刻来进行该开口的形成。

[0223] 然后,在上述开口中形成电极 254,并且在绝缘层 252 上形成与电极 254 接触的布线 256 (参照图 9C)。

[0224] 例如,可以以下列方式形成电极 254:使用 PVD 法或 CVD 法等包括开口的区域中形成导电层,然后,使用诸如蚀刻处理或 CMP 等的方法去除上述导电层的一部分。

[0225] 更具体而言,例如,可以采用下列方法:在包括开口的区域中通过 PVD 法形成薄的钛膜,并通过 CVD 法形成薄的氮化钛膜,然后埋入开口地形成钨膜。在此,通过 PVD 法形成的钛膜具有还原形成电极的表面上的氧化膜(例如原生氧化膜等)并降低与下部电极等(例如,在此为第二电极 242b)的接触电阻的功能。另外,其后形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。另外,也可以在形成使用钛或氮化钛等的阻挡膜之后通过镀敷法形成铜膜。

[0226] 另外,当去除上述导电层的一部分以形成电极 254 时,优选进行加工来使其表面平坦。例如,当在包括开口的区域中形成薄的钛膜或氮化钛膜,然后埋入开口地形成钨膜时,可以通过后面的 CMP 处理来去除过多的钨、钛、氮化钛等并提高其表面的平坦性。如此,通过使包括电极 254 的表面平坦化,可以在后面的工序中形成良好的电极、布线、绝缘层、半导体层等。

[0227] 布线 256 可以使用与实施方式 2 所示的包括栅电极 611 的布线相似的材料、方法形成。因此,作为详细内容,可以参照实施方式 2。

[0228] 如上所述,完成使用被高纯度化的氧化物半导体层 244 的晶体管 262 及电容器元件 264 (参照图 9C)。

[0229] 通过使用如此被高纯度化且本征的氧化物半导体层 244,可以充分地降低晶体管的截止电流。另外,通过使用这种晶体管,可以得到能够极长时间保持存储内容的半导体装置。

[0230] 根据本实施方式描述的方法,可以制造在下部具有使用氧化物半导体以外的半导体材料的晶体管并在上部具有使用氧化物半导体的晶体管的半导体装置。

[0231] 另外,通过使栅电极 210 与第一电极 242a 直接彼此连接,可以缩小接触面积,从而可以实现半导体装置的高集成化。因此,可以增大能够用作存储装置的半导体装置的单位面积的存储容量。

[0232] 本实施方式所示的结构、方法等可以适当地与其他实施方式所示的结构、方法等组合而使用。

[0233] 实施方式 4

[0234] 在本实施方式中,参照图 13A-1 至图 13B 对根据所公开的发明的一实施方式的半

导体装置的应用例子进行说明。在此,对存储装置的一个例子进行说明。另外,在一些电路图中,为了表示使用氧化物半导体的晶体管,有时在晶体管旁边写上“OS”的符号。

[0235] 在图 13A-1 所示的半导体装置中,第一布线(第一线)与晶体管 700 的源电极电连接,第二布线(第二线)与晶体管 700 的漏电极电连接。另外,晶体管 700 的栅电极和晶体管 710 的源电极和漏电极之一与电容器元件 720 的一个电极电连接,第五布线(第五线)与电容器元件 720 的另一个电极电连接。再者,第三布线(第三线)与晶体管 710 的源电极和漏电极中的另一个电连接,第四布线(第四线)与晶体管 710 的栅电极电连接。

[0236] 在此,将使用氧化物半导体的晶体管用于晶体管 710。在本实施方式中,作为使用氧化物半导体的晶体管,例如可以使用之前的实施方式所示的晶体管 262。使用氧化物半导体的晶体管具有截止电流极为小的特征。因此,通过使晶体管 710 成为截止状态,可以极长时间地保持晶体管 700 的栅电极的电位。再者,通过具有电容器元件 720,容易保持施加到晶体管 700 的栅电极的电荷,另外,也容易读出所保持的数据。在此,作为电容器元件 720,可以使用之前的实施方式所示的电容器元件 264。

[0237] 另外,将使用氧化物半导体以外的半导体材料的晶体管用于晶体管 700。作为氧化物半导体以外的半导体材料,例如可以使用硅、锗、硅锗、碳化硅或砷化镓等,优选使用单晶半导体。另外,也可以使用有机半导体材料等。使用这种半导体材料的晶体管容易进行高速工作。在此,作为使用氧化物半导体以外的半导体材料的晶体管,例如可以使用之前的实施方式所示的晶体管 260。

[0238] 另外,如图 13B 所示那样,也可以采用不设置电容器元件 720 的结构。

[0239] 在图 13A-1 所示的半导体装置中,通过有效地利用能够保持晶体管 700 的栅电极的电位的特性,可以如下所示那样进行数据的写入、保持以及读出。

[0240] 首先,对数据的写入和保持进行说明。首先,将第四布线的电位设定为使晶体管 710 成为导通状态的电位,从而使晶体管 710 成为导通状态。由此,对晶体管 700 的栅电极和电容器元件 720 施加第三布线的电位。也就是说,对晶体管 700 的栅电极提供预定电荷(写入)。在此,将施加不同电位的两种电荷之一(以下将施加低电位的电荷称为电荷 Q_L ,将施加高电位的电荷称为电荷 Q_H)施加到晶体管 700 的栅电极。另外,也可以使用施加三个或三个以上的不同电位的电荷,以提高存储容量。然后,通过将第四布线的电位设定为使晶体管 710 成为截止状态的电位,使晶体管 710 成为截止状态,而保持对晶体管 700 的栅电极施加的电荷(保持)。

[0241] 因为晶体管 710 的截止电流极为小,所以晶体管 700 的栅电极的电荷被长时间地保持。

[0242] 接着,对数据的读出进行说明。当在对第一布线施加预定电位(恒定电位)的状态下,对第五布线施加适当的电位(读出电位)时,根据保持在晶体管 700 的栅电极中的电荷量,第二布线具有不同的电位。这是因为一般而言,在晶体管 700 为 n 沟道晶体管的情况下,对晶体管 700 的栅电极施加 Q_H 时的表观阈值电压 $V_{th,H}$ 低于对晶体管 700 的栅电极施加 Q_L 时的表观阈值电压 $V_{th,L}$ 的缘故。在此,表观阈值电压是指为了使晶体管 700 成为“导通状态”所需要的第五布线的电位。从而,通过将第五布线的电位设定为 $V_{th,H}$ 和 $V_{th,L}$ 的中间电位 V_0 ,可以辨别对晶体管 700 的栅电极施加的电荷。例如,在写入中提供 Q_H 的情况下,当第五布线的电位设置为 V_0 ($>V_{th,H}$) 时,晶体管 700 成为“导通状态”。在写入中提供 Q_L 的情况

下,即使第五布线的电位设置为 V_0 ($<V_{thL}$),晶体管 700 也保持在“截止状态”。因此,通过利用第二布线的电位可以读出所保持的数据。

[0243] 另外,当将存储单元配置为阵列状而使用时,需要只读出所希望的存储单元的数据。因此,为了读出预定存储单元的数据,且不读出其他存储单元的数据,在存储单元的晶体管 700 彼此并联连接的情况下,可以对将不读取其数据的存储单元的第五布线施加不管栅电极的状态如何都使晶体管 700 成为“截止状态”的电位,也就是小于 V_{thH} 的电位。另外,在存储单元的晶体管 700 彼此串联连接的情况下,可以对将不读取其数据的存储单元的第五布线施加不管栅电极的状态如何都使晶体管 700 成为“导通状态”的电位,也就是大于 V_{thL} 的电位。

[0244] 接着,对数据的改写(rewriting)进行说明。数据的改写与上述数据的写入和保持类似地进行。也就是说,将第四布线的电位设定为使晶体管 710 成为导通状态的电位,从而使晶体管 710 成为导通状态。由此,对晶体管 700 的栅电极和电容器元件 720 施加第三布线的电位(有关新数据的电位)。然后,通过将第四布线的电位设定为使晶体管 710 成为截止状态的电位,使晶体管 710 成为截止状态,而使晶体管 700 的栅电极成为施加有关新数据的电荷的状态。

[0245] 在根据所公开的发明的半导体装置中,通过如上所述的那样再次进行信息的写入,可以直接改写数据信息。因此,不需要快闪存储器等所需要的使用高电压的从浮置栅极抽出电荷,可以抑制起因于擦除工作的工作速度的降低。换言之,实现了半导体装置的高速运行。

[0246] 另外,通过将晶体管 710 的源电极或漏电极与晶体管 700 的栅电极电连接,由此可以获得与用作非易失性存储元件的浮置栅型晶体管的浮置栅相似的效果。由此,有时将附图中的晶体管 710 的源电极或漏电极与晶体管 700 的栅电极电连接的部分称为浮置栅极部 FG。当晶体管 710 处于截止状态时,可以认为浮置栅极部 FG 被埋设在绝缘体中,因此在浮置栅极部 FG 中保持有电荷。因为使用氧化物半导体的晶体管 710 的截止电流的量为使用硅半导体等而形成的晶体管的截止电流的量的十万分之一以下,所以可以不考虑由于晶体管 710 的漏泄电流引起的储存在浮置栅极部 FG 中的电荷的消失。也就是说,通过使用氧化物半导体的晶体管 710,可以实现即使没有电力供给也能够保持信息的非易失性存储装置。

[0247] 例如,当室温下的晶体管 710 的截止电流为 10zA (1zA (仄普托安培)等于 $1 \times 10^{-21}\text{A}$) 以下,并且电容器元件 720 的电容值为 10fF 左右时,至少可以保持数据 10^4 秒以上。另外,当然该保持时间根据晶体管特性或电容值而变动。

[0248] 另外,在此情况下不存在在现有的浮置栅型晶体管中被指出的栅极绝缘膜(隧道绝缘膜)的劣化的问题。也就是说,可以解决以往被视为问题的将电子注入到浮置栅时的栅极绝缘膜的劣化问题。这意味着在原理上不存在写入次数的限制。另外,也不需要现有的浮置栅型晶体管中当写入或擦除数据所需要的高电压。

[0249] 图 13A-1 所示的半导体装置中的诸如晶体管等的部件可视为包括如图 13A-2 所示的电阻器和电容器。换言之,在图 13A-2 中,晶体管 700 和电容器元件 720 每个可视为包括电阻器和电容器。 $R1$ 和 $C1$ 表示电容器元件 720 的电阻值和电容值,电阻值 $R1$ 对应于电容器元件 720 包括的绝缘层的电阻值。另外, $R2$ 和 $C2$ 表示晶体管 700 的电阻值和电容值,电阻值 $R2$ 对应于晶体管 700 处于导通状态时栅极绝缘层的电阻值,电容值 $C2$ 对应于所谓的

栅极电容(形成在栅电极与源电极和漏电极中的每个之间的电容、以及形成在栅电极和沟道形成区之间的电容)的电容值。

[0250] 当使晶体管 710 处于截止状态时源电极和漏电极之间的电阻值(也称为有效电阻)由 R_{OS} 表示。在晶体管 710 的栅极泄漏电流充分小的条件下,当 R_1 和 R_2 满足 $R_1 \geq R_{OS}$ 且 $R_2 \geq R_{OS}$ 时,主要根据晶体管 710 的截止电流来决定电荷的保持时间(也称为数据保持时间)。

[0251] 另一方面,当不满足该条件时,即使晶体管 710 的截止电流充分小也难以充分确保保持时间。这是因为晶体管 710 的截止电流之外的漏泄电流(例如,在源电极和漏电极之间产生的漏泄电流等)大的缘故。由此,可以说本实施方式所公开的半导体装置优选满足上述关系。

[0252] 另一方面, C_1 和 C_2 优选满足 $C_1 \geq C_2$ 的关系。这是因为当 C_1 大时,第五布线的电位可以在由第五布线控制浮置栅极部 FG 的电位时高效地提供到浮置栅极部 FG,且可以使向第五布线供应的电位之间(例如,读出电位和非读出电位)的电位差得到减小。

[0253] 通过满足上述关系,可以实现更优选的半导体装置。另外, R_1 和 R_2 由晶体管 700 的栅极绝缘层和电容器元件 720 的绝缘层来控制。 C_1 和 C_2 也同样。因此,优选适当地设定栅极绝缘层的材料和厚度等,以满足上述关系。

[0254] 在本实施方式所示的半导体装置中,浮置栅极部 FG 起到与快闪存储器等的浮置栅极型晶体管的浮置栅极类似的作用,但是,本实施方式的浮置栅极部 FG 具有与快闪存储器等的浮置栅极根本不同的特征。在快闪存储器的情况中,因为施加到控制栅极的电压高,所以为了防止高电压的电位影响到相邻单元的浮置栅极,需要保持各单元之间的适当距离。这是阻碍半导体装置的高集成化的主要原因之一。该原因起因于施加高电场而发生隧道电流的快闪存储器的根本原理。

[0255] 另外,由于快闪存储器的上述原理,绝缘膜劣化,且因此还导致诸如重写次数的界限(10^4 至 10^5 次左右)的另一问题。

[0256] 根据所公开的发明的半导体装置通过包括氧化物半导体的晶体管的开关来操作,而不使用如上所述的由隧道电流而起的电荷注入的原理。就是说,不像快闪存储器,不需要用来注入电荷的高电场。由此,因为不需要考虑控制栅极的高电场对相邻单元的影响,所以容易实现高集成化。

[0257] 另外,因为不利用由隧道电流而起的电荷注入,所以不存在存储单元的退化的原因。就是说,与快闪存储器相比,具有高耐久性和高可靠性。

[0258] 另外,不需要高电场、不需要大型外围电路(升压电路等)这一点也优越于快闪存储器。

[0259] 另外,在电容器元件 720 所包括的绝缘层的相对介电常数 ϵ_{r1} 与晶体管 700 所包括的绝缘层的相对介电常数 ϵ_{r2} 不同的情况下,在电容元件 720 包括的绝缘层的面积 S_1 和晶体管 700 中导致生成栅极电容的栅绝缘层的面积 S_2 满足 $2 \cdot S_2 \geq S_1$ (优选为 $S_2 \geq S_1$) 时,容易满足 $C_1 \geq C_2$ 。换言之,在使电容器元件 720 包括的绝缘层的面积小时,可以容易地满足 $C_1 \geq C_2$ 。具体地说,例如,在电容器元件 720 包括的绝缘层中,可以采用由诸如氧化铪等的高 k 材料形成的膜或由诸如氧化铪等的高 k 材料形成的膜与由氧化物半导体形成的膜的叠层结构,从而可以将 ϵ_{r1} 设定为 10 以上,优选设定为 15 以上,并且在导致产生栅极电

容的栅绝缘层中,可以采用氧化硅,从而可以将 ϵ_{r2} 设定为 3 至 4。

[0260] 这种结构的组合实现了根据所公开的发明的半导体装置的更高集成化。

[0261] 另外,上述说明涉及使用以电子为多数载流子的 n 沟道型晶体管的情况,但是,当然也可以使用以空穴为多数载流子的 p 沟道型晶体管代替 n 沟道型晶体管。

[0262] 如上所述,根据所公开的发明的一实施方式的半导体装置具有非易失性存储单元,该非易失性存储单元包括:截止状态下的源极和漏极之间的泄漏电流(截止电流)小的写入用晶体管;使用与该写入用晶体管不同的半导体材料形成的读出用晶体管;以及电容器元件。

[0263] 在环境温度(例如 25°C)下,写入用晶体管的截止电流为 100zA (1×10^{-19} A) 以下,优选为 10zA (1×10^{-20} A) 以下,更优选为 1zA (1×10^{-21} A) 以下。在使用通常的硅半导体时,难以获得上述那样低的截止电流,但是在将氧化物半导体在适合的条件加工而得到的晶体管中,可以获得上述那样低的截止电流。因此,作为写入用晶体管优选利用使用氧化物半导体的晶体管。

[0264] 再者,因为使用氧化物半导体的晶体管的亚阈值摆幅值(S 值)小,所以即使迁移率比较低,也可以使开关速度十分高。因此,通过将晶体管用于写入用晶体管,可以使施加到浮置栅极部 FG 的写入脉冲的上升极为陡峭。另外,因为截止电流小,所以可以减少浮置栅极部 FG 中保持的电荷量。就是说,通过将使用氧化物半导体的晶体管用于写入用晶体管,可以高速地进行数据的重写。

[0265] 虽然读出用晶体管没有对截止电流的限制,但是优选使用进行高速操作的晶体管,以提高读出速度。例如,作为读出用晶体管,优选使用开关速度为 1 纳秒以下的晶体管。

[0266] 以此方式,通过将使用氧化物半导体的晶体管用于写入用晶体管并将使用氧化物半导体以外的半导体材料的晶体管用于读出用晶体管,可以实现能够长时间保持数据且能够高速地读出数据的可以用于存储装置的半导体装置。

[0267] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0268] 实施方式 5

[0269] 在本实施方式中,使用图 14A 和图 14B 以及图 15A 至图 15C 对根据所公开的发明的一实施方式的半导体装置的应用例进行说明。

[0270] 图 14A 及图 14B 每个是使用多个图 13A-1 所示的半导体装置(以下也表示为存储单元 750)的半导体装置的电路图。图 14A 是其中存储单元 750 串联连接的所谓 NAND 型半导体装置的电路图,图 14B 是其中存储单元 750 并联连接的所谓 NOR 型半导体装置的电路图。

[0271] 图 14A 所示的半导体装置具有源极线 SL、位线 BL、第一信号线 S1、多个第二信号线 S2、多个字线 WL、以及多个存储单元 750。图 14A 示出半导体装置具有一个源极线 SL 和一个位线 BL 的结构,但是该实施方式不局限于此,可以采用具有多个源极线 SL 及多个位线 BL 的结构。

[0272] 在每个存储单元 750 中,晶体管 700 的栅电极、晶体管 710 的源电极和漏电极之一以及电容器元件 720 的一个电极彼此电连接。另外,第一信号线 S1 与晶体管 710 的源电极和漏电极中的另一个彼此电连接,第二信号线 S2 与晶体管 710 的栅电极彼此电连接。再者,

字线 WL 与电容器元件 720 的另一个电极彼此电连接。

[0273] 另外,存储单元 750 所具有的晶体管 700 的源电极与相邻的存储单元 750 所包括的晶体管 700 的漏电极彼此电连接,存储单元 750 所具有的晶体管 700 的漏电极与相邻的存储单元 750 所包括的晶体管 700 的源电极彼此电连接。注意,串联连接的多个存储单元中的设置在端部之一的存储单元 750 所具有的晶体管 700 的漏电极与位线电连接。另外,串联连接的多个存储单元中的设置在另一端部的存储单元 750 所具有的晶体管 700 的源电极与源极线电连接。

[0274] 在图 14A 所示的半导体装置中,按行进行写入操作和读出操作。以如下步骤进行写入操作:对进行写入的行的第二信号线 S2 施加使晶体管 710 成为导通状态的电位,从而使进行写入的行的晶体管 710 成为导通状态。由此,对所指定的行的晶体管 700 的栅电极施加第一信号线 S1 的电位,从而对该栅电极施加预定的电荷。像这样,可以对所指定的行的存储单元写入数据。

[0275] 另外,以如下步骤进行读出操作:首先,对进行读出的行之外的字线 WL 施加不管施加到晶体管 700 的栅电极的电荷如何都使晶体管 700 成为导通状态的电位,从而使进行读出的行之外的晶体管 700 成为导通状态。然后,对进行读出的行的字线 WL 施加根据晶体管 700 的栅电极所具有的电荷选择晶体管 700 的导通状态或截止状态的电位(读出电位)。然后,对源极线 SL 施加恒定电位,使与位线 BL 连接的读出电路(未图示)被操作。这里,源极线 SL 和位线 BL 之间的多个晶体管 700 除了进行读出的行的晶体管 700 之外都处于导通状态,所以源极线 SL 与位线 BL 之间的导电率根据进行读出的行的晶体管 700 的状态(导通状态或截止状态)决定。因为晶体管的导电率根据进行读出的行的晶体管 700 的栅电极所具有的电荷而不同,所以位线 BL 的电位也相应地改变。通过使用读出电路读出位线 BL 的电位,可以从所指定的行的存储单元读出数据。

[0276] 图 14B 所示的半导体装置具有多个源极线 SL、多个位线 BL、多个第一信号线 S1、多个第二信号线 S2 以及多个字线 WL,还具有多个存储单元 750。晶体管 700 的栅电极、晶体管 710 的源电极和漏电极之一、以及电容器元件 720 的一个电极彼此电连接。另外,源极线 SL 与晶体管 700 的源电极彼此电连接,位线 BL 与晶体管 700 的漏电极彼此电连接。另外,第一信号线 S1 与晶体管 710 的源电极和漏电极中的另一个彼此电连接,第二信号线 S2 与晶体管 710 的栅电极彼此电连接。再者,字线 WL 与电容器元件 720 的另一个电极彼此电连接。

[0277] 在图 14B 所示的半导体装置中,按行进行写入操作和读出操作。写入操作以与上述图 14A 所示的半导体装置相似的方法进行。读出工作以如下步骤进行:首先,对进行读出的行之外的字线 WL 施加不管施加到晶体管 700 的栅电极的电荷如何都使晶体管 700 成为截止状态的电位,从而使进行读出的行之外的晶体管 700 成为截止状态。然后,对进行读出的行的字线 WL 施加根据晶体管 700 的栅电极所具有的电荷选择晶体管 700 的导通状态或截止状态的电位(读出电位)。然后,对源极线 SL 施加恒定电位,使与位线 BL 连接的读出电路(未图示)被操作。这里,源极线 SL 和位线 BL 之间的导电率根据进行读出的行的晶体管 700 的状态(导通状态或截止状态)决定。就是说,位线 BL 的电位依赖于根据进行读出的行的晶体管 700 的栅电极所具有的电荷。通过使用读出电路读出位线 BL 的电位,可以从所指定的行的存储单元读出数据。

[0278] 注意,尽管在上述说明中,使各存储单元 750 保持的数据量为 1 位,但是本实施方式所示的存储装置的结构不局限于此。也可以准备三种以上的施加到晶体管 700 的栅电极的电位,来增加各存储单元 750 保持的数据量。例如,当施加到晶体管 700 的栅电极的电位为四种时,可以使各存储单元保持 2 位的数据。

[0279] 接着,参照图 15A 至图 15C 对可以应用于图 14A 和图 14B 所示的半导体装置等的读出电路的一个例子进行说明。

[0280] 图 15A 示出读出电路的示意图。该读出电路具有晶体管和读出放大器电路。

[0281] 在读出数据时,将端子 A 连接于连接有进行数据读出的存储单元的位线。另外,将偏置电位 V_{bias} 施加到晶体管的栅电极,从而控制端子 A 的电位。

[0282] 存储单元 750 的电阻根据所储存的数据而变化。具体地说,在所选择的存储单元 750 的晶体管 700 处于导通状态时,存储单元 750 具有低电阻,而在所选择的存储单元 750 的晶体管 700 处于截止状态时,存储单元 750 具有高电阻。

[0283] 在存储单元具有高电阻的情况下,端子 A 的电位高于参考电位 V_{ref} ,读出放大器电路输出对应于端子 A 的电位的电位。另一方面,在存储单元具有低电阻的情况下,端子 A 的电位低于参考电位 V_{ref} ,读出放大器电路输出对应于端子 A 的电位的电位。

[0284] 像这样,通过使用读出电路,可以从存储单元读出数据。另外,本实施方式的读出电路是一个例子。也可以使用其他电路。另外,读出电路还可以具有预充电电路。代替参考电位 V_{ref} ,参考位线可以连接到读出放大器电路。

[0285] 图 15B 示出作为读出放大器电路的一个例子的差分型读出放大器。差分型读出放大器具有输入端子 $V_{in (+)}$ 、 $V_{in (-)}$ 和输出端子 V_{out} ,并放大 $V_{in (+)}$ 和 $V_{in (-)}$ 之间的差异。在 $V_{in (+)} > V_{in (-)}$ 时, V_{out} 大概为高输出,而在 $V_{in (+)} < V_{in (-)}$ 时, V_{out} 大概为低输出。在将该差分型读出放大器用于读出电路的情况下, $V_{in (+)}$ 和 $V_{in (-)}$ 之一连接于输入端子 A,并且对 $V_{in (+)}$ 和 $V_{in (-)}$ 中的另一个施加参考电位 V_{ref} 。

[0286] 图 15C 示出作为读出放大器电路的一个例子的锁存型读出放大器。锁存型读出放大器具有输入/输出端子 $V1$ 及 $V2$ 、控制用信号 Sp 、 Sn 的输入端子。首先,将控制信号 Sp 设定为高(High),将信号 Sn 设定为低(Low),中断电源电位(V_{dd})。然后,将待比较电位施加到 $V1$ 和 $V2$ 。然后,将信号 Sp 设定为低,将信号 Sn 设定为高,并提供电源电位(V_{dd})。如果待比较的电位 $V1_{in}$ 和 $V2_{in}$ 满足关系 $V1_{in} > V2_{in}$,则 $V1$ 的输出为高, $V2$ 的输出为低。如果待比较的电位 $V1_{in}$ 和 $V2_{in}$ 满足关系 $V1_{in} < V2_{in}$,则 $V1$ 的输出为低, $V2$ 的输出为高。通过利用这种关系,可以放大 $V1_{in}$ 和 $V2_{in}$ 之间的差异。在将该锁存型读出放大器用于读出电路的情况下, $V1$ 和 $V2$ 之一通过开关连接于端子 A 和输出端子,并且对 $V1$ 和 $V2$ 中的另一个施加参考电位 V_{ref} 。

[0287] 本实施方式所示的结构、方法等可以与其他实施方式所示的结构、方法等适当地组合而使用。

[0288] 实施方式 6

[0289] 在本实施方式中,参照图 16A 至图 16F 说明应用任意上述实施方式所示的半导体装置的电子设备的例子。在本实施方式中,应用任意上述实施方式所示的半导体装置的电子设备的例子包括:计算机;移动电话机(也称为移动电话、移动电话装置);便携式信息终端(包括便携式游戏机、音频再现装置等);数码相机、数码摄像机等的影像拍摄装置;电子

纸;以及电视装置(也称为电视机或电视接收机)等。

[0290] 图 16A 示出笔记本个人计算机,包括框体 601、框体 605、显示部 603 以及键盘 604 等。在框体 601 和框体 605 中的至少一个内设置有前述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的笔记本个人计算机。

[0291] 图 16B 示出包括主体 610 的便携式信息终端(PDA),在主体 610 中设置有显示部 613、外部接口 615 以及操作按钮 614 等。另外,还具备操作便携式信息终端的触屏笔 612 等。在主体 610 内设置有前述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的便携式信息终端。

[0292] 图 16C 示出电子书阅读器 620,该电子书阅读器 620 包括电子纸和两个框体,即框体 621 及框体 623。在框体 621 及框体 623 中分别设置有显示部 625 及显示部 627。框体 621 与框体 623 由铰链 637 连接,从而电子书阅读器 620 能够以铰链 637 为轴进行开闭动作。另外,框体 621 具备电源按钮 631、操作键 633 以及扬声器 635 等。在框体 621 和框体 623 中的至少一个内设置有上述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的电子书阅读器。

[0293] 图 16D 示出移动电话机,该移动电话机包括两个框体,即框体 640 和框体 641。再者,如图 16D 所示状态的框体 640 和框体 641 能够通过滑动而转移到彼此重叠的状态。因此,可以减小移动电话机的尺寸。另外,框体 641 具备显示面板 642、扬声器 643、麦克风 644、指向装置 646、照相用透镜 647 以及外部连接端子 648 等。此外,框体 640 具备对移动电话机进行充电的太阳能电池单元 649 和外部储存槽 651 等。另外,显示面板 642 具备触摸屏功能,图 16D 使用虚线示出被显示出来的多个操作键 645。另外,天线内置在框体 641 中。在框体 640 和框体 641 中的至少一个内设置有前述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的移动电话机。

[0294] 图 16E 示出数码相机,该数码相机包括主体 661、显示部 667、取景器 663、操作开关 664、显示部 665 以及电池 666 等。在主体 661 内设置有前述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的数码相机。

[0295] 图 16F 示出电视装置 670,该电视装置包括框体 671、显示部 673 以及支架 675 等。通过利用框体 671 所具备的开关、遥控器 680 可以进行电视装置 670 的操作。在框体 671 和遥控器 680 中的至少一个中设置有前述实施方式的具有包括氧化物半导体的晶体管 and 包括氧化物半导体以外的半导体材料的晶体管的组合的半导体装置。因此,实现能够长时间保持数据并高速地读出数据的电视装置。

[0296] 如上所述,在本实施方式所示的电子设备中安装有根据任意前述实施方式的半导体装置。因此,实现具备诸如小型、高速操作、低功耗等的特性的电子设备。

[0297] 实施例 1

[0298] 在本实施例中,将描述纯化氧化物半导体层以获得极高纯度的方法以及通过二次

离子质谱分析得到的分析结果。在该方法中,使用离子注入法对氧化物半导体层添加高能量的氧,接着对氧化物半导体层进行热处理。

[0299] 使用图 10A 至图 10E 对在本实施例中制造的被高纯度化的氧化物半导体层的制造方法进行说明。

[0300] < 样品 1 的制造方法 >

[0301] 样品 1 具有进行高纯度化处理之前的氧化物半导体层 413a。以下对样品 1 的制造方法进行说明。

[0302] 将厚度为 0.7mm 的玻璃用作衬底 400,并且在衬底 400 上使用等离子 CVD 法形成 100nm 的氮化硅(SiO_xN_y , $x>y$)作为绝缘膜 401 (参照图 10A)。

[0303] 接着,利用溅射法并使用 In-Ga-Zn-O 类氧化物靶材来在绝缘膜 401 上形成 200nm 的氧化物半导体层 413a。作为靶材,使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物靶材。另外,氧化物靶材所包含的金属的组成比为 In:Ga:Zn=1:1:0.5 [原子比],并且氧化物靶材的填充率为 95%以上且 100%以下。

[0304] 在设置有低温泵作为排气单元的成膜室内形成氧化物半导体层 413a。成膜条件是:衬底与靶材之间的距离是 60mm;压强是 0.4Pa;直流(DC)电源的电功率是 0.5kW;并且作为成膜气体,使流量为 30sccm 的氩气体和流量为 15sccm 的氧气体流到成膜室。

[0305] 根据上述方法,形成其中在衬底 400 上的绝缘膜 401 上设置有氧化物半导体层 413a 的样品 1 (参照图 10B)。

[0306] < 样品 2 的制造方法 >

[0307] 样品 2 具有添加有氧的氧化物半导体层 413b。以下对样品 2 的制造方法进行说明。

[0308] 使用离子注入装置对使用与样品 1 相似的方法制造的氧化物半导体层 413a 注入氧离子,从而形成添加有氧的氧化物半导体层 413b。将氧离子的注入量设定为 1×10^{16} [离子/cm²],将加速能量设定为 50keV,并且将相对于样品的注入角设定为 7° (参照图 10C)。注意,虽然在本实施例中注入质量数为 18 的氧离子(¹⁸O 离子),但是注入的氧离子的质量数不局限于 18。另外,可以使用二次离子质谱分析技术(SIMS:Secondary Ion Mass Spectrometry)测定所注入的质量数为 18 的氧离子(¹⁸O 离子)在氧化物半导体层中的分布。

[0309] < 样品 3 的制造方法 >

[0310] 样品 3 具有添加了氧之后进行了加热处理的氧化物半导体层 413c。以下对样品 3 的制造方法进行说明。

[0311] 在氮气氛下以 600°C 的温度加热通过与样品 2 相似的方法制造的添加有氧的氧化物半导体层 413b 60 分钟,由此制造添加了氧之后进行了加热处理的氧化物半导体层 413c (参照图 10D)。

[0312] < 比较样品 1 的制造方法 >

[0313] 比较样品 1 具有不对样品 1 添加氧而进行了加热处理的氧化物半导体层。以下对比较样品 1 的制造方法进行说明。

[0314] 在氮气氛下以 600°C 的温度加热进行高纯度化处理之前的氧化物半导体层 413a 60 分钟,由此制造只进行了加热处理的氧化物半导体层 413d (参照图 10E)。

[0315] < 利用二次离子质谱分析得到的分析结果 1 >

[0316] 使用二次离子质谱分析技术测定样品 1 至样品 3 及比较样品 1 每个所具有的氧化物半导体层中的氢浓度。图 11 示出测量结果。图 11 的纵轴表示氢浓度,横轴表示离表面的深度(膜厚度)。

[0317] 注意,通过二次离子质谱分析得到的测定结果具有有效范围。通过二次离子质谱分析得到的测定结果的有效范围依赖于测定条件、样品的制造条件等。在本实施例中,氧化物半导体层中的氢浓度的测定下限是 2×10^{18} [离子/cm³] 左右。

[0318] 在图 11 所示的结果中,在氧化物半导体层的表面(距离表面的深度为 0nm 以上且小于 10nm 的范围)及在氧化物半导体层与绝缘膜 401 的界面处(深度为 165nm 以上且小于 185nm 的范围),难以算出准确的值。因此,在本实施例中,将深度为 10nm 以上且小于 165nm 的范围设定为通过二次离子质谱分析得到的测定结果的有效范围。

[0319] 表 1 示出样品 1 至样品 3 及比较样品 1 中的氧化物半导体层中的氢浓度的测定结果。

[0320] [表 1]

样品名称	氢浓度 [原子/cm ³]
样品 1	3×10^{19}
样品 2	3×10^{19}
样品 3	测定下限以下
比较样品 1	6×10^{18}

[0321] 包含在样品 1 的氧化物半导体层中的氢浓度是 3×10^{19} [离子/cm³] 左右。包含在对样品 1 添加氧形成的样品 2 的氧化物半导体层中的氢浓度是 3×10^{19} [离子/cm³] 左右。包含在对样品 2 进行加热处理形成的样品 3 的氧化物半导体层中的氢浓度是测定下限以下的约 1×10^{18} [离子/cm³] 以下。另外,包含在对样品 1 进行加热处理形成的比较样品 1 的氧化物半导体层中的氢浓度是 6×10^{18} [离子/cm³] 左右。

[0322] 本实施例表明,样品 3 中的氢浓度低于比较样品 1 中的氢浓度。

[0323] 根据以上结果,与对氧化物半导体层仅进行加热处理的方法相比,对氧化物半导体层添加氧并进行加热处理的方法更具有降低包含在氧化物半导体层中的氢浓度的效果。

[0324] 通过使用本实施例所例示的方法,对氧化物半导体层添加氧并然后进行加热处理,从而可以去除残留在氧化物半导体层中的杂质,由此可以将氧化物半导体层纯化以具有极高纯度。

[0325] <利用二次离子质谱分析得到的分析结果 2>

[0326] 利用二次离子质谱分析测定样品 2 至样品 4 所具有的氧化物半导体层中的质量数为 16 的氧和质量数为 18 的氧的浓度。

[0327] <样品 4 的制造方法>

[0328] 样品 4 具有在添加氧之后进行了加热处理的氧化物半导体层。以下对样品 4 的制造方法进行说明。

[0329] 利用与样品 2 相似的方法制造添加有氧的氧化物半导体层,且在氮气氛下以 650℃加热该氧化物半导体层 60 分钟,从而制造在添加氧之后进行了加热处理的氧化物半

导体层。

[0331] 图 12 示出结果。注意,图 12 的纵轴是源于氧离子的二次离子强度,其是包含在氧化物半导体层中的氧浓度的指标。横轴是离表面的深度(膜厚度)。质量数为 16 的氧是 In-Ga-Zn-O 类氧化物半导体层的主要成分,其二次离子强度在样品 2 至样品 4 的氧化物半导体层中是高的。

[0332] 检测出来的质量数为 18 的氧的大多数源于利用离子注入装置注入的氧离子。在样品 2 中,对氧化物半导体层注入的氧离子在深度 50nm 附近具有峰值。在进行了 600°C 加热获得的样品 3 中,质量数为 18 的氧被宽地分布。此外,在进行了 650°C 加热获得的样品 4 中,质量数为 18 的氧分布更宽。这些结果表明,注入的氧离子通过加热在氧化物半导体层中扩散。

[0333] 另外,因为被注入的氧离子通过加热扩散到整个氧化物半导体层中,并且其浓度平均化,因此发现被注入的氧离子在氧化物半导体层内稳定地存在,而不容易从氧化物半导体层的表面放出。

[0334] 因此确认,通过使用离子注入装置等对氧化物半导体层添加氧,可以补偿产生在氧化物半导体层中的氧缺损。

[0335] 实施例 2

[0336] 在本实施例中,对将氧化物半导体层进行纯化以具有极高纯度的方法进行说明。具体而言,使用离子注入法对氧化物半导体层添加高能量的氧,接着该氧化物半导体层经历加热处理以被纯化从而具有极高纯度。其结果将与低温光致发光光谱测量的结果一起描述。

[0337] < 样品 5 的制造方法 >

[0338] 本实施例所例示的样品 5 包括在石英衬底上的氧化物半导体层。另外,使用离子注入装置对该氧化物半导体层添加氧,并且还对该氧化物半导体层进行加热处理。以下对样品 5 的详细制造方法进行说明。

[0339] 使用溅射法在厚度为 0.7mm 的石英衬底上形成厚度为 100nm 的氧化物半导体层。作为靶材,使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物靶材。另外,氧化物靶材所包含的金属的组成比是 In:Ga:Zn=1:1:1[原子比],并且氧化物靶材的填充率是 95% 以上且 100% 以下。

[0340] 以如下条件形成该氧化物半导体层,即:衬底和靶材之间的距离是 60mm;压强是 0.4Pa;直流(DC)电源的电功率是 0.5kW。另外,在作为排气单元设置有低温泵的成膜室内导入作为成膜气体的流量为 30sccm 的氩气体和流量为 15sccm 的氧气体。

[0341] 接着,使用离子注入装置对该氧化物半导体层注入氧离子。氧离子的注入量设置为 1×10^{16} [离子/cm²],加速能量设置为 50KeV,相对于样品的注入角设置为 7°。注意,虽然在本实施例中注入质量数为 18 的氧离子(¹⁸O 离子),但是注入的氧离子的质量数不局限于 18。

[0342] 接着,对注入有氧离子的上述氧化物半导体层进行加热处理。使用竖炉在氮气氛下以 650°C 的温度进行 1 小时的加热处理。通过上述工序制造样品 5。

[0343] < 比较样品 2 的制造方法 >

[0344] 比较样品 2 包括在石英衬底上的只进行了加热处理的氧化物半导体层。以下对比

较样品 2 的制造方法进行说明。

[0345] 首先,使用与样品 5 相似的方法并使用溅射法在厚度为 0.7mm 的石英衬底上形成厚度为 100nm 的氧化物半导体层。

[0346] 接着,不注入氧离子,进行加热处理。使用竖炉在氮气体气氛下以 650°C 的温度进行 1 小时的加热处理。通过上述工序制造比较样品 2。

[0347] < 利用低温光致发光光谱测量得到的结果 >

[0348] 对样品 5 的三个部分及比较样品 2 的三个部分进行低温光致发光光谱测量。用作激发光的具有 325nm 波长的光(He-Cd 激光)照射放在温度为 10K 的氦气体中的样品,然后测定光致发光。对比较样品 2 或样品 5 发射的光进行分光,并且使用将光的波长转换为能量来得到的值记录其强度。图 17 示出对每个样品的三个区域进行测定的结果。

[0349] 从样品 5 及比较样品 2 获得了具有约 1.8eV 能量的发光,并且样品 5 的发光强度比比较样品 2 的发光强度弱。另外确认,3.1eV 附近的平缓的峰值是源于石英衬底的发光峰值,而不是源于氧化物半导体层的发光。助于,具有约 1.8eV 能量的发光是源于因氧化物半导体的氧缺损而产生的陷阱能级的发光。换言之,与比较样品 2 相比,在样品 5 中源于因氧缺损而产生的陷阱能级的发光更弱。

[0350] 由此,可以确认到:与比较样品 2 相比,在样品 5 中因氧缺损而产生的陷阱能级的数量更少。换言之,可以确认到:与不使用离子注入法进行氧添加而进行加热处理的氧化物半导体层相比,在使用离子注入装置添加氧之后进行加热处理的氧化物半导体层中,能够减少氧缺损。

[0351] 本申请基于 2010 年 2 月 26 日向日本专利局提交的日本专利申请 No. 2010-043555,其整个内容通过引用合并于此。

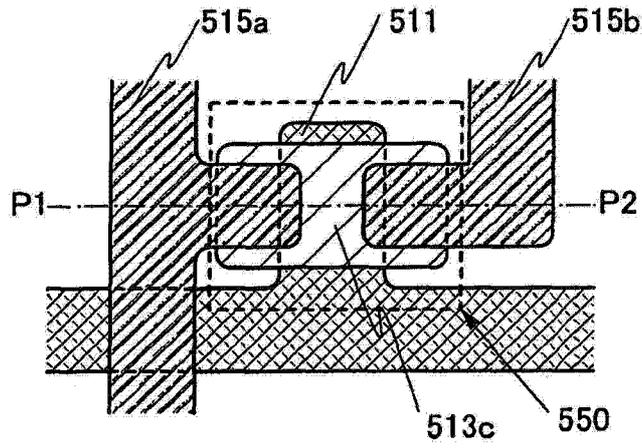


图 1A

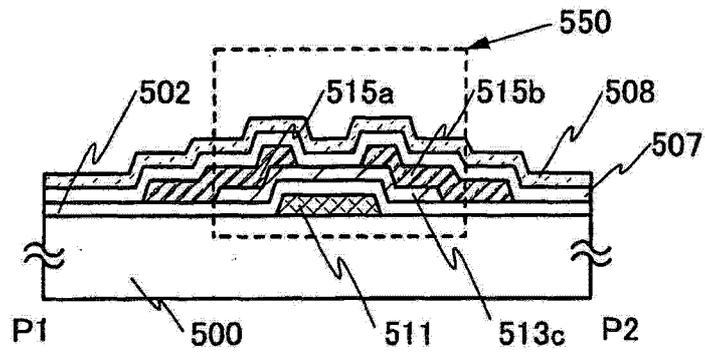


图 1B

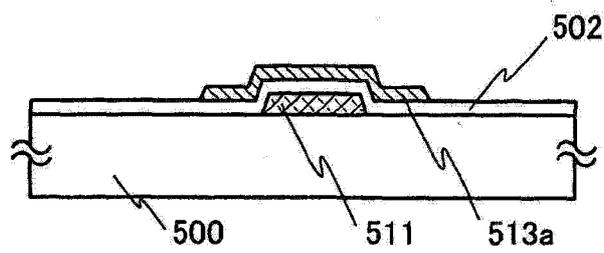


图 2A

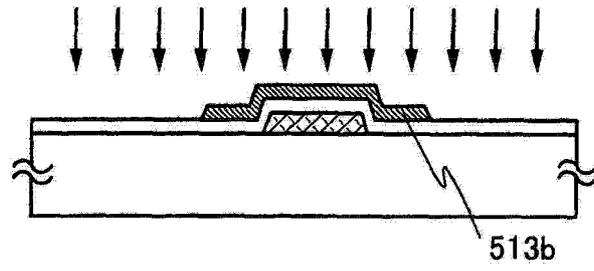


图 2B

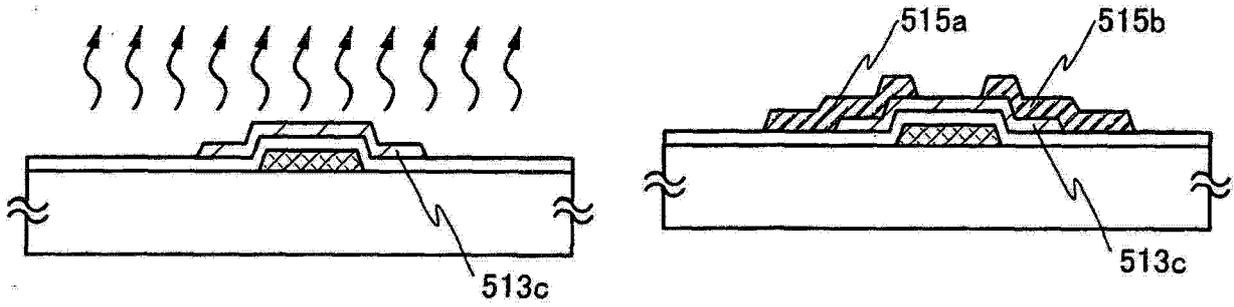


图 2C

图 2D

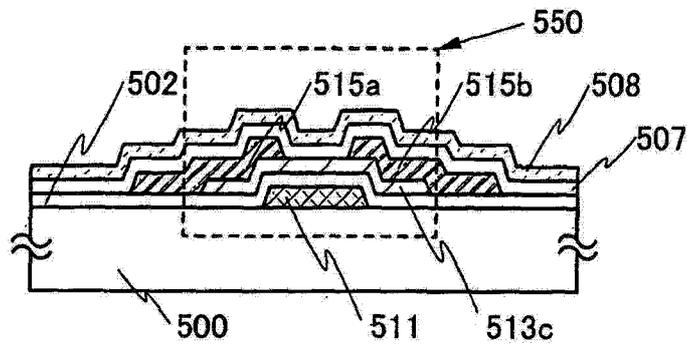


图 2E

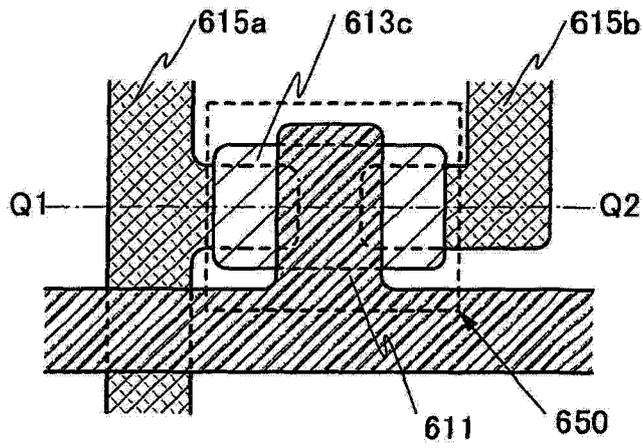


图 3A

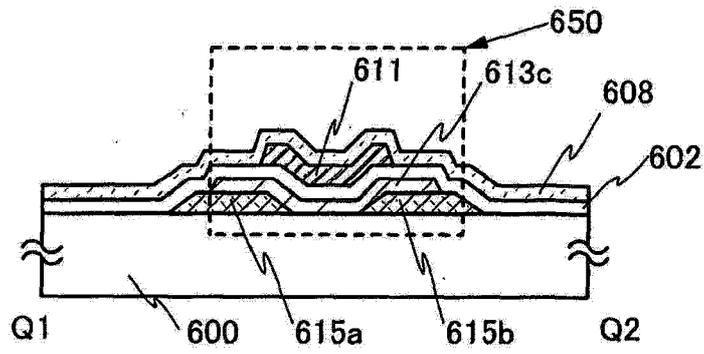


图 3B

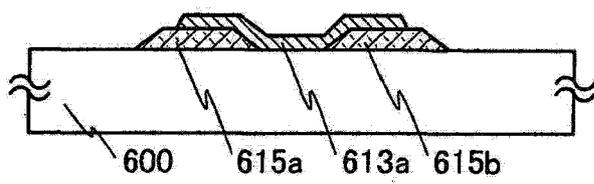


图 4A

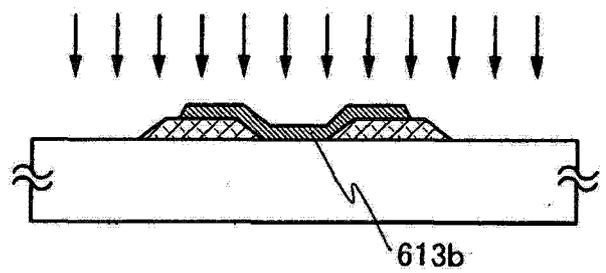


图 4B

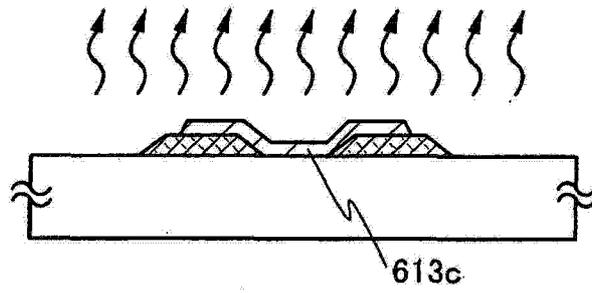


图 4C

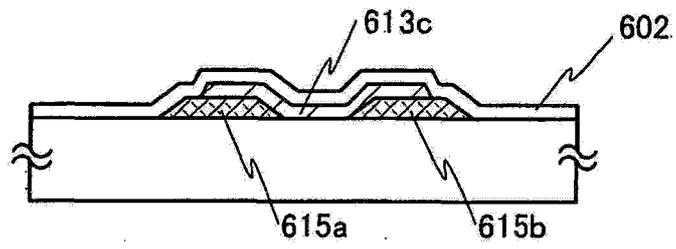


图 4D

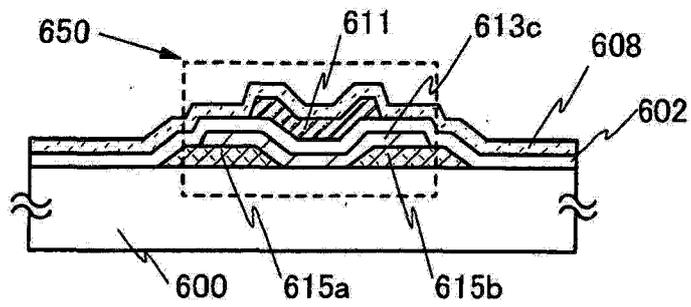


图 4E

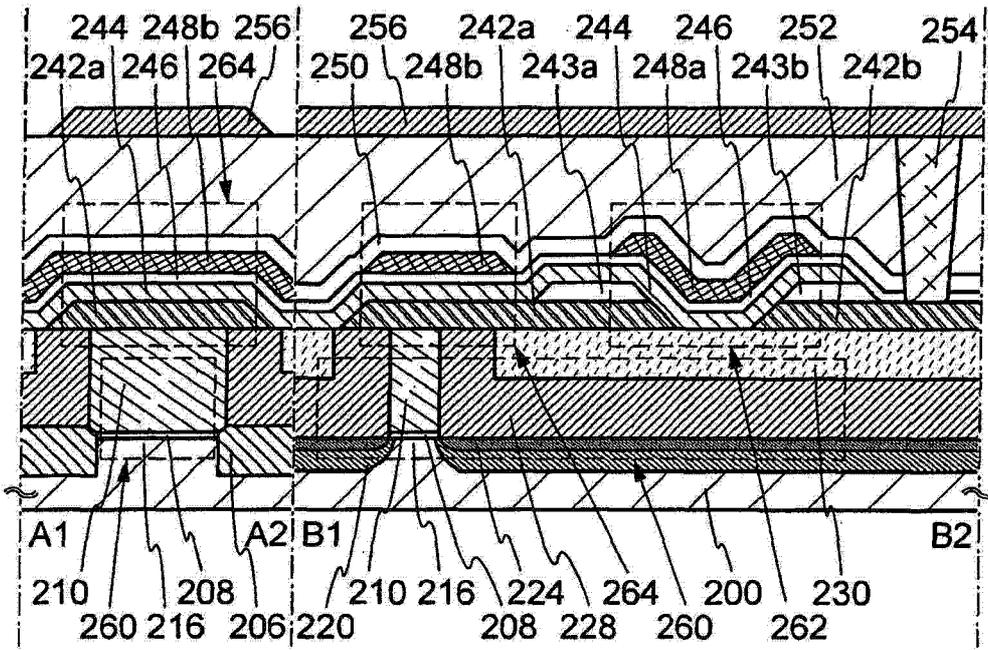


图 5A

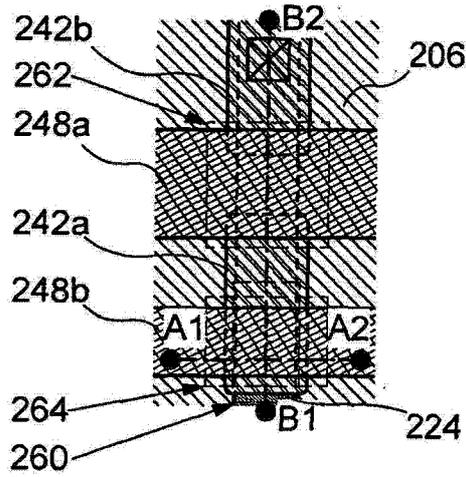


图 5B

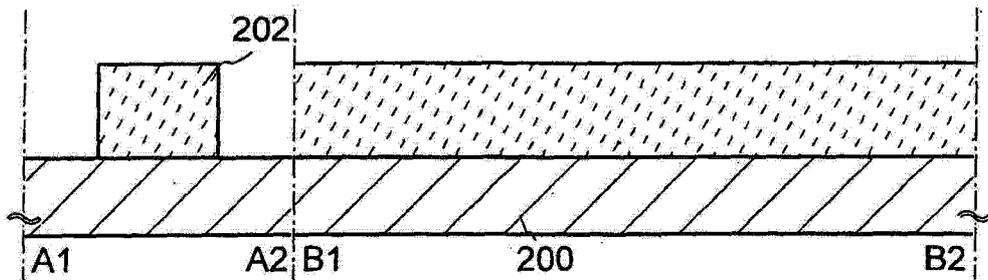


图 6A

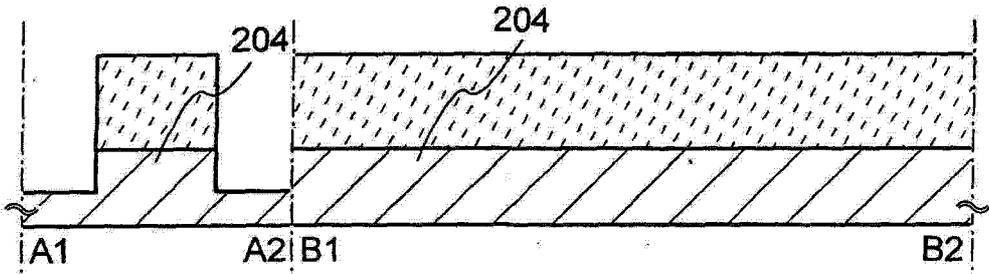


图 6B

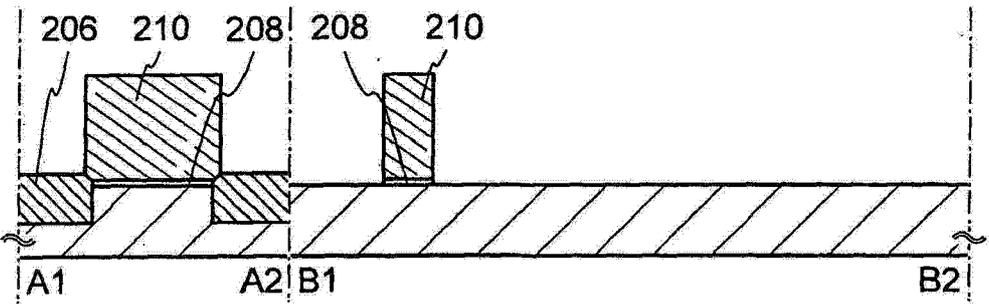


图 6C

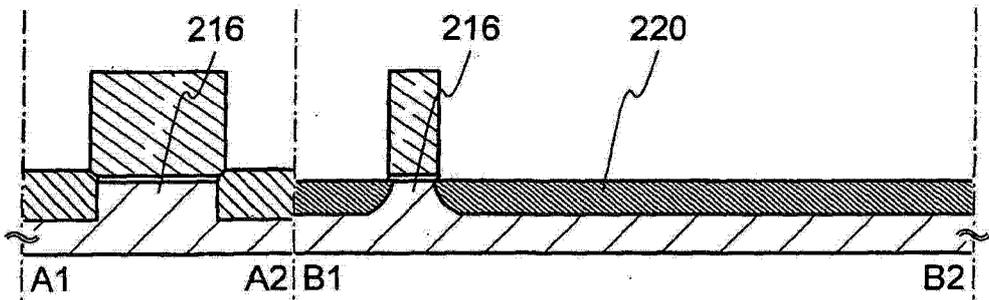


图 6D

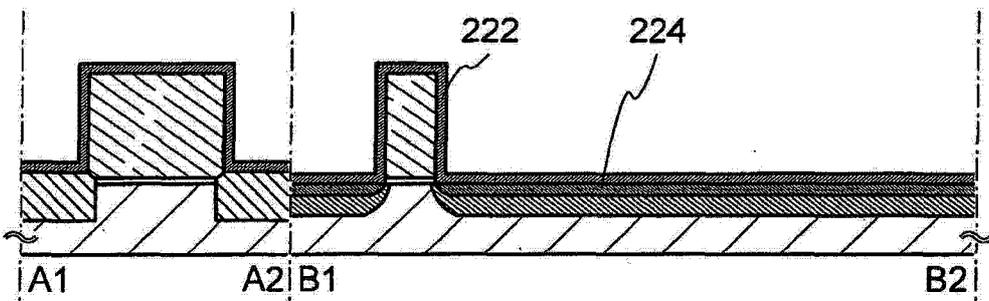


图 7A

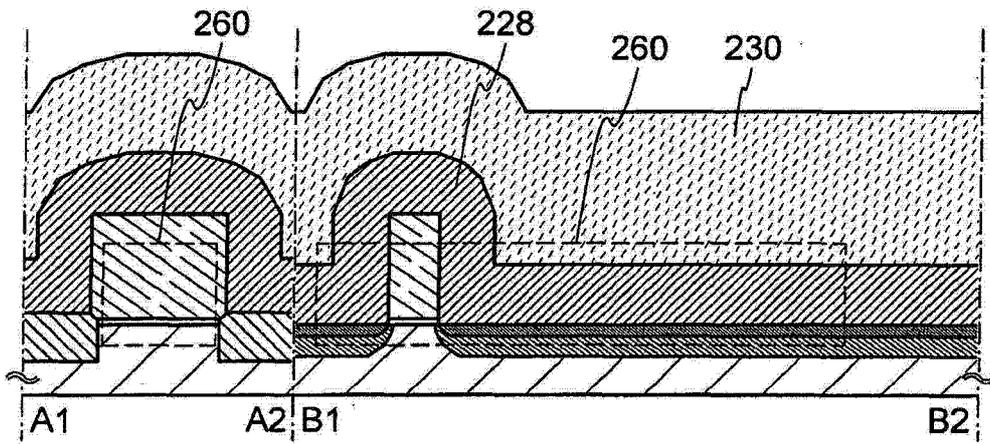


图 7B

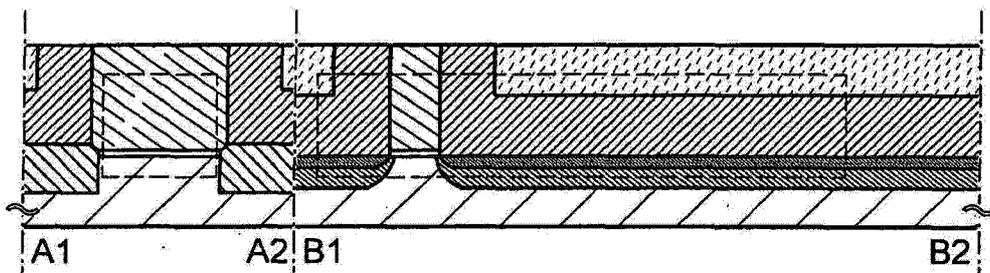


图 7C

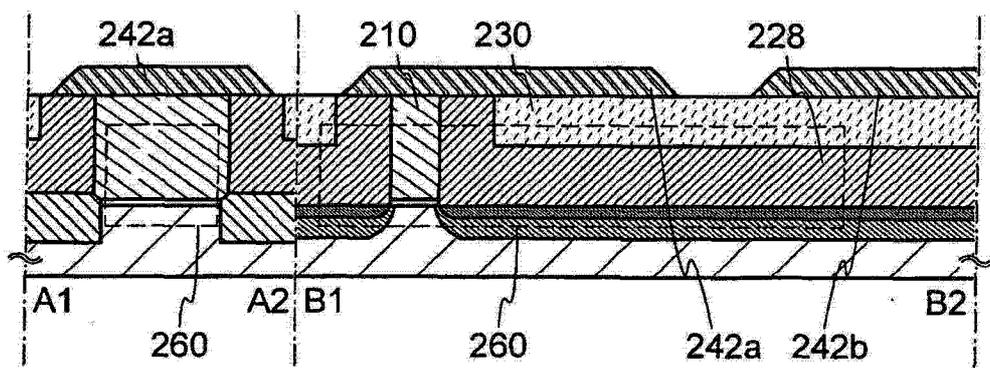


图 8A

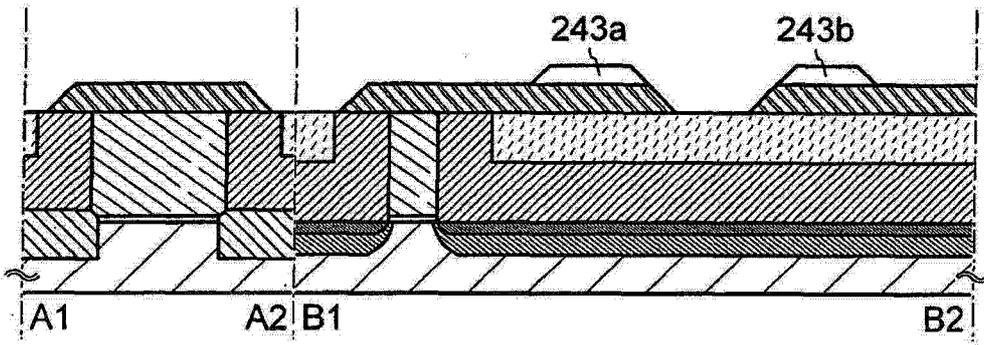


图 8B

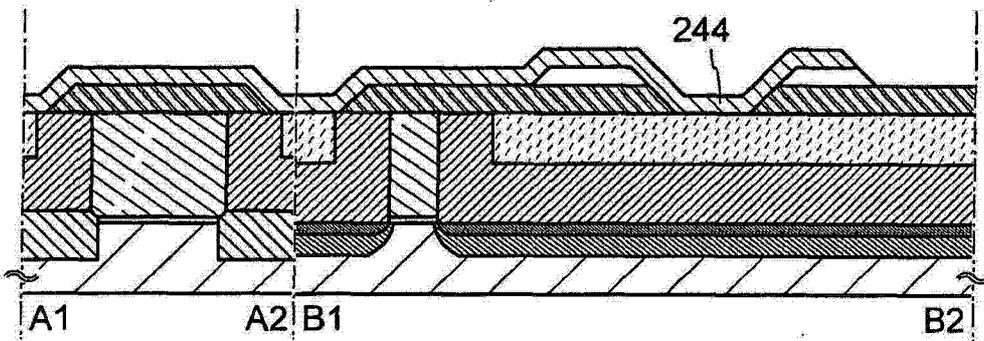


图 8C

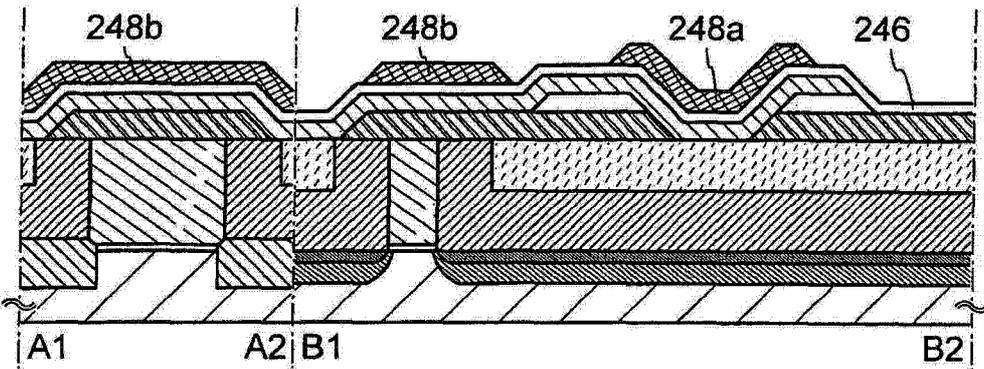


图 8D

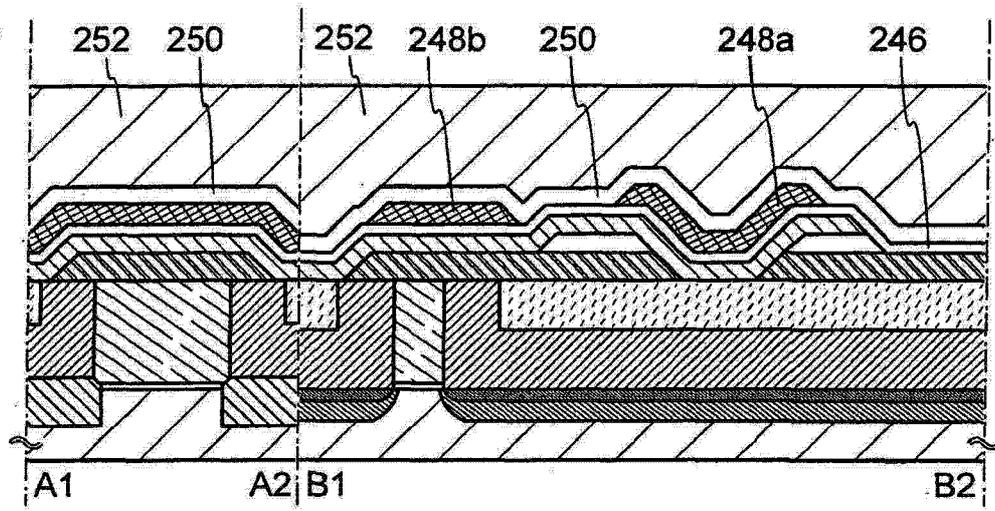


图 9A

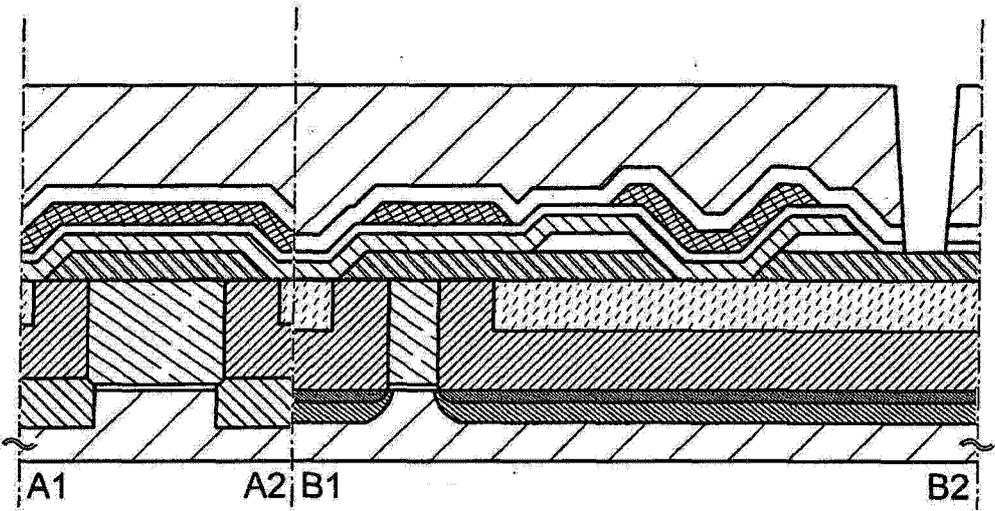


图 9B

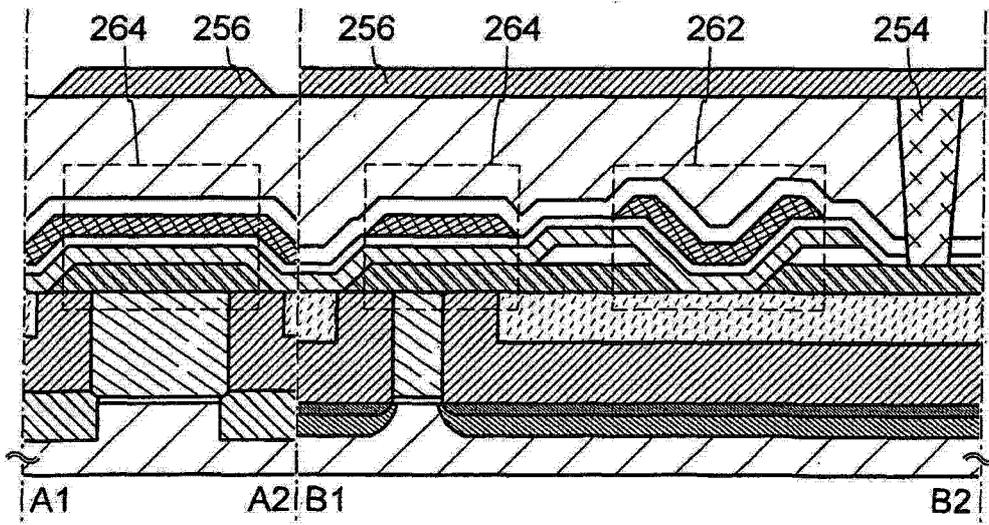


图 9C

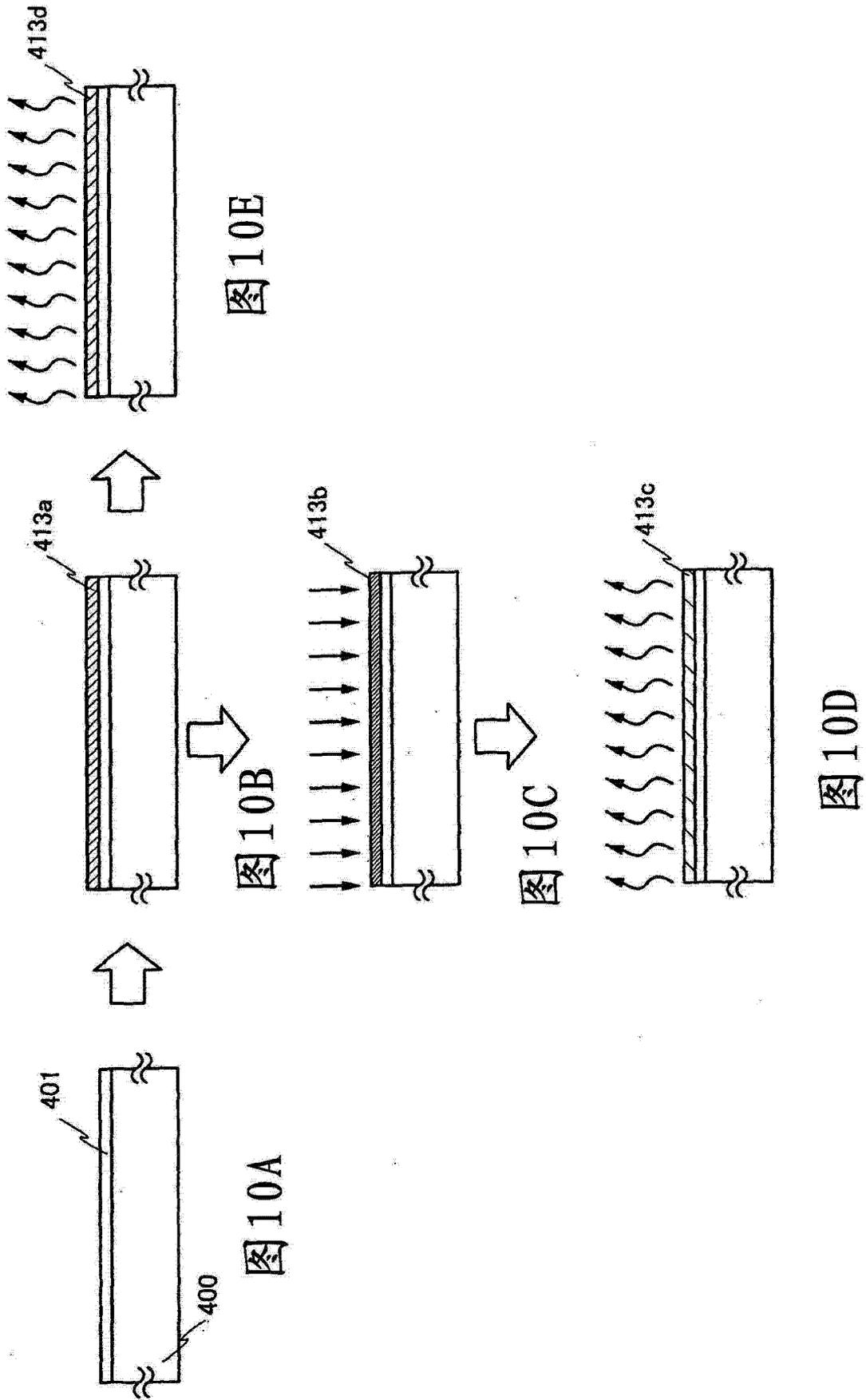


图 10A 图 10B 图 10C 图 10D 图 10E

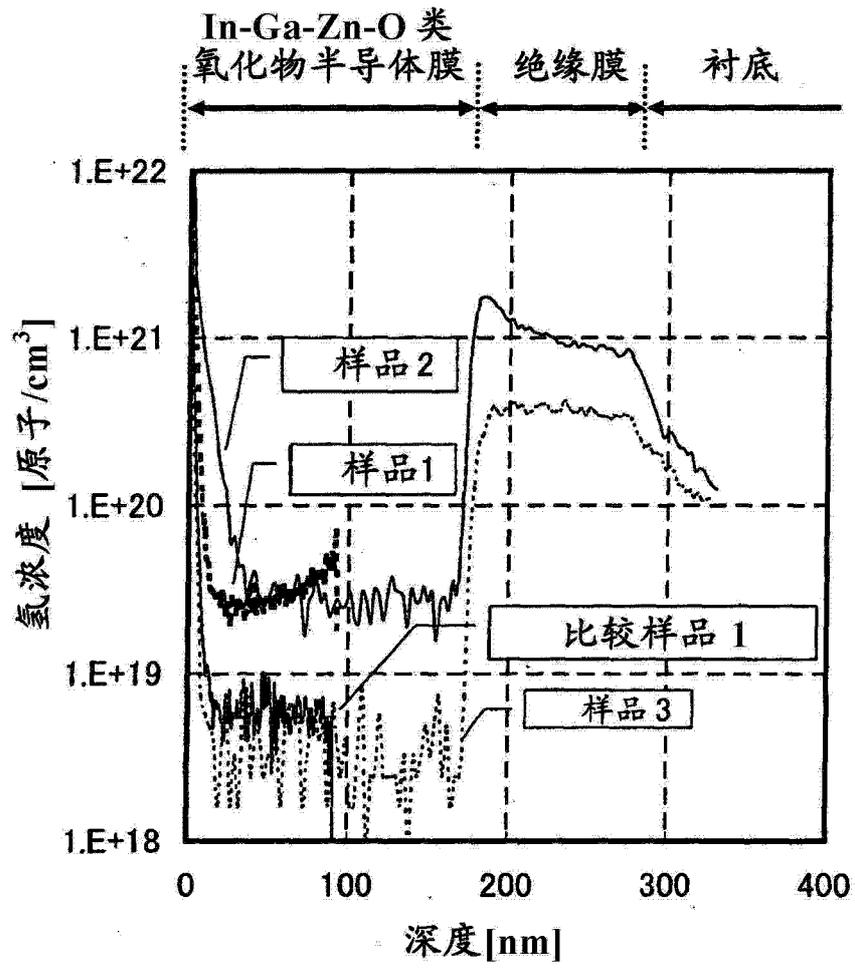


图 11

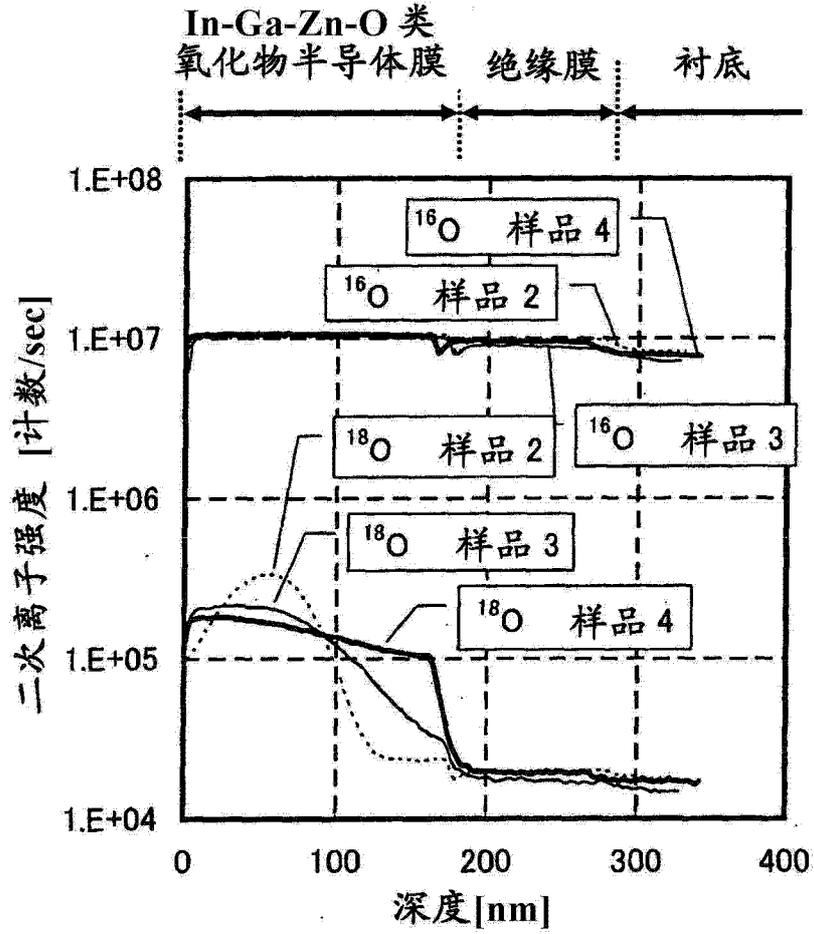


图 12

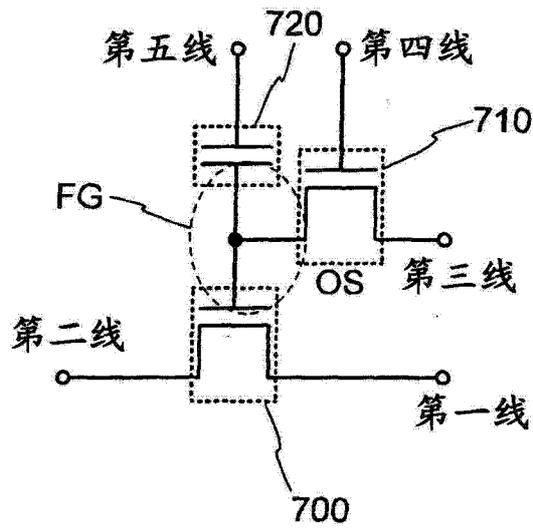


图 13A-1

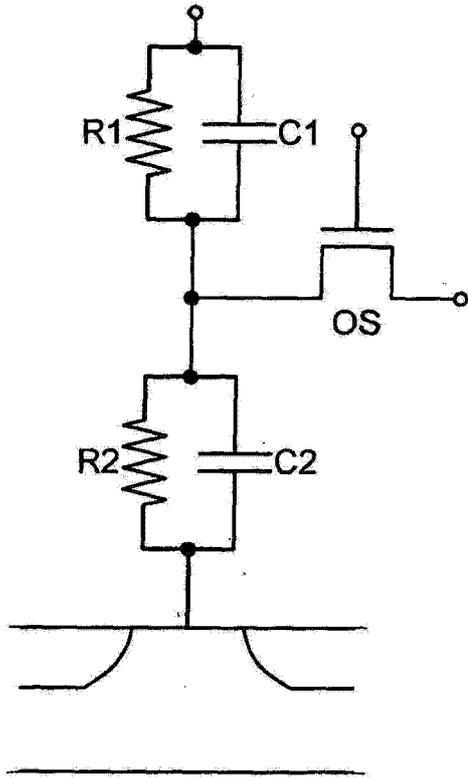


图 13A-2

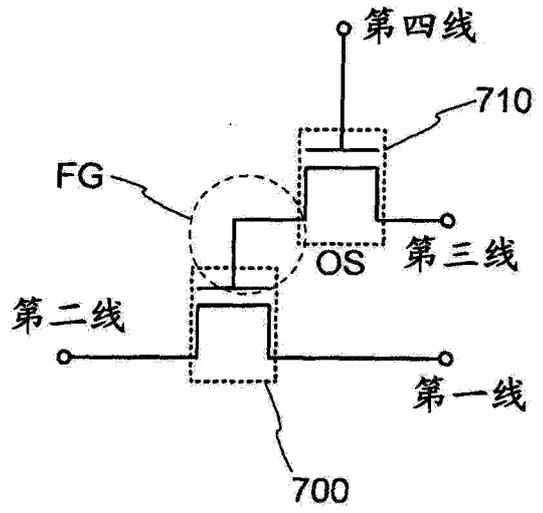


图 13B

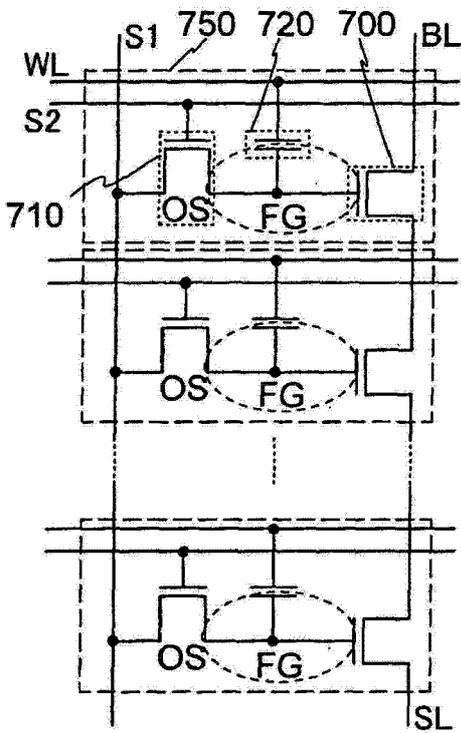


图 14A

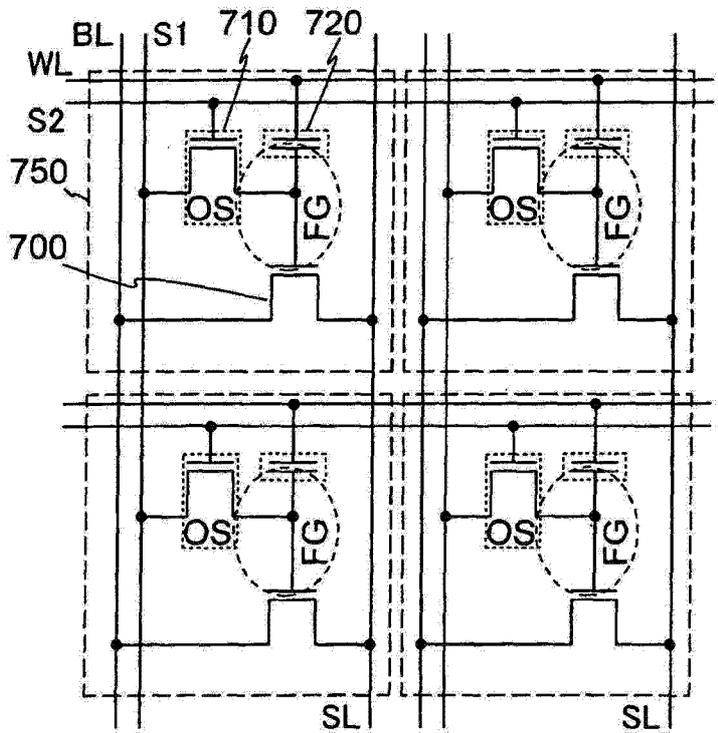


图 14B

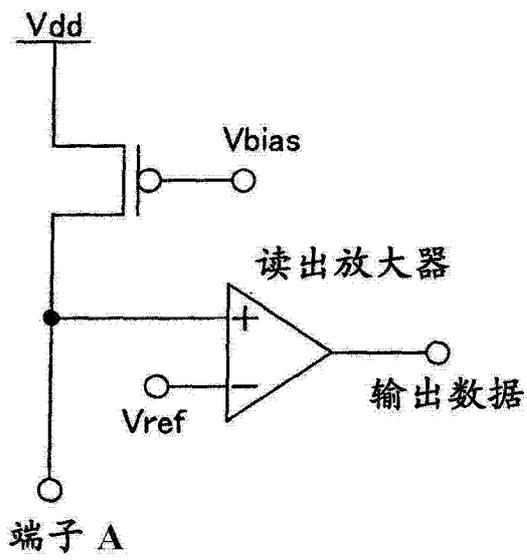


图 15A

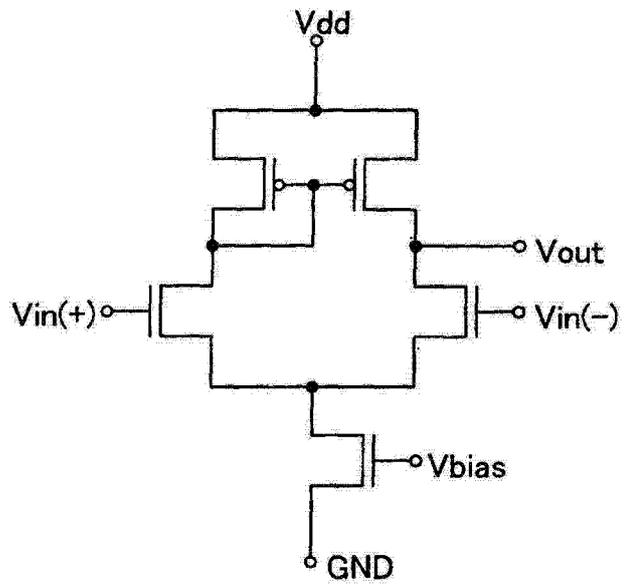


图 15B

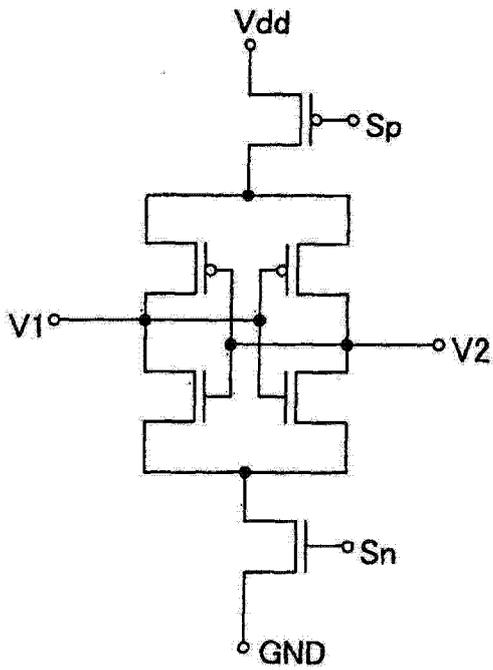


图 15C

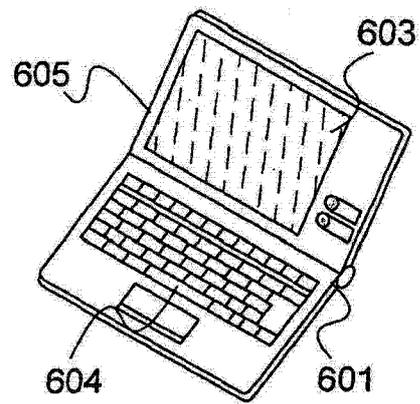


图 16A

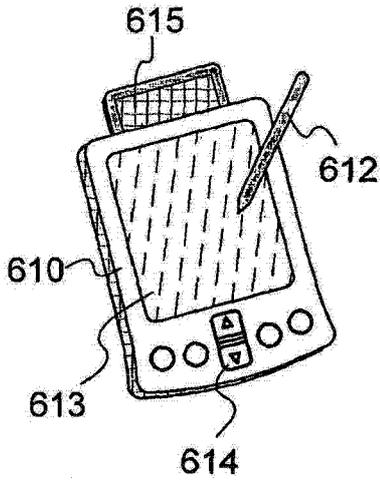


图 16B

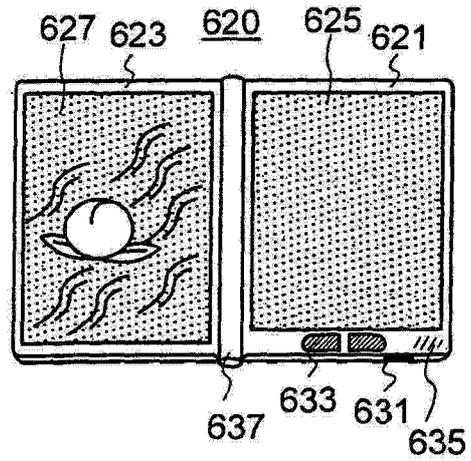


图 16C

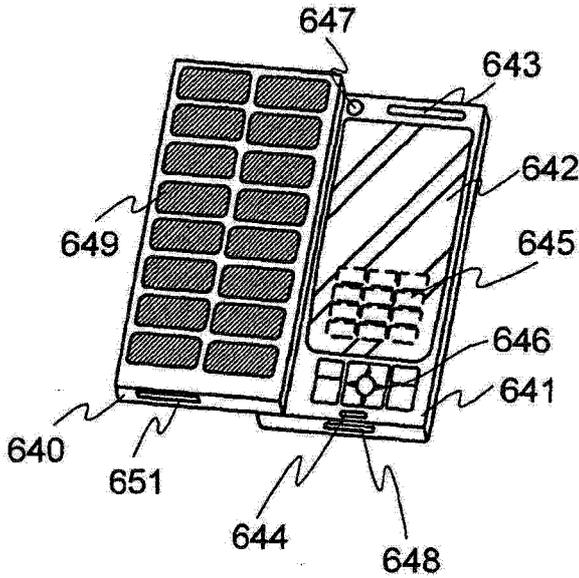


图 16D

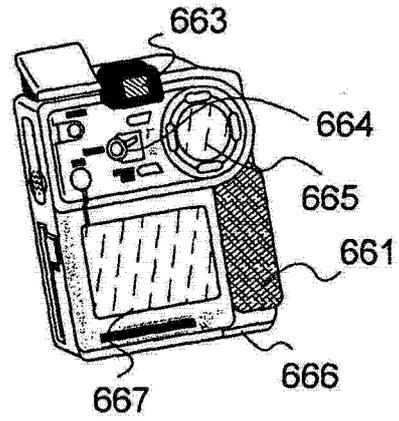


图 16E

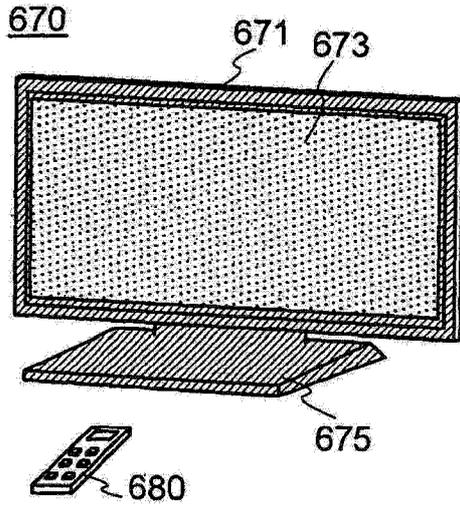


图 16F

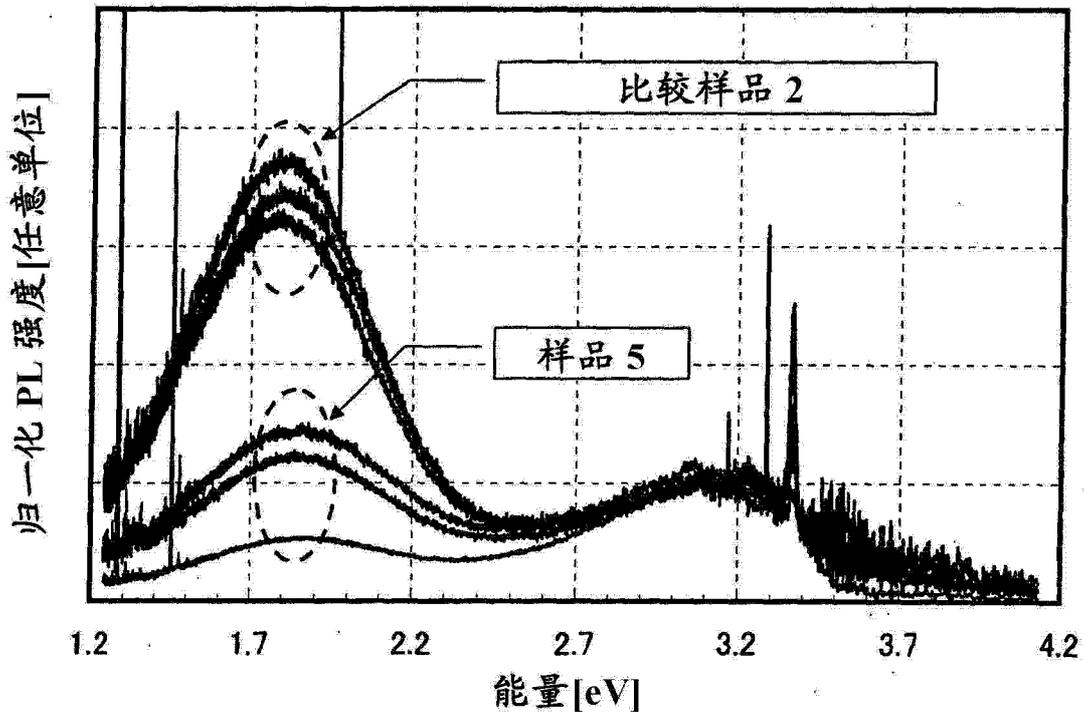


图 17

附图标记说明

104 半导体区 130 绝缘层 148a 栅电极 150 绝缘层 152 绝缘层 200 衬底 202 保护层 204 半导体区 206 元件隔离绝缘层 208 栅极绝缘层 210 栅电极 216 沟道形成区 220 杂质区 222 金属层 224 金属化合物区 228 绝缘层 230 绝缘层 242a 电极 242b 电极 243a 绝缘层 243b 绝缘层 244 氧化物半导体层 246 栅极绝缘层 248a 栅电极 248b 电极 250 绝缘层 252 绝缘层 254 电极 256 布线 260 晶体管 262 晶体

管 264 电容器元件 400 衬底 401 绝缘膜 413a 氧化物半导体层 413b 氧化物半导体层 413c 氧化物半导体层 413d 氧化物半导体层 500 衬底 502 栅极绝缘层 507 绝缘层 508 保护绝缘层 511 栅电极 513a 氧化物半导体层 513b 氧化物半导体层 513c 氧化物半导体层 515a 电极 515b 电极 550 晶体管 600 衬底 601 框体 602 栅极绝缘层 605 框体 603 显示部 604 键盘 608 保护绝缘层 610 主体 611 栅电极 612 触屏笔 613 显示部 613a 氧化物半导体层 613b 氧化物半导体层 613c 氧化物半导体层 614 操作按钮 615 外部接口 615a 电极 615b 电极 620 电子书阅读器 621 框体 623 框体 625 显示部 627 显示部 631 电源按钮 633 操作键 635 扬声器 637 轴部 640 框体 641 框体 642 显示面板 643 扬声器 644 麦克风 645 操作键 646 定位装置 647 照相用透镜 648 外部连接端子 649 太阳能电池单元 650 晶体管 651 外部储存槽 661 主体 663 取景器 664 操作开关 665 显示部 666 电池 667 显示部 670 电视装置 671 框体 673 显示部 675 支架 680 遥控器 700 晶体管 710 晶体管 720 电容器元件 750 存储单元