



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210197

(11)

(B1)

(22) Přihlášeno 17 06 80
(21) (PV 4267-80)

(51) Int. Cl.³
G 06 F 3/153

(40) Zveřejněno 30 04 81

(45) Vydáno 15 06 83

(75)

Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro inverzní zobrazování znaků

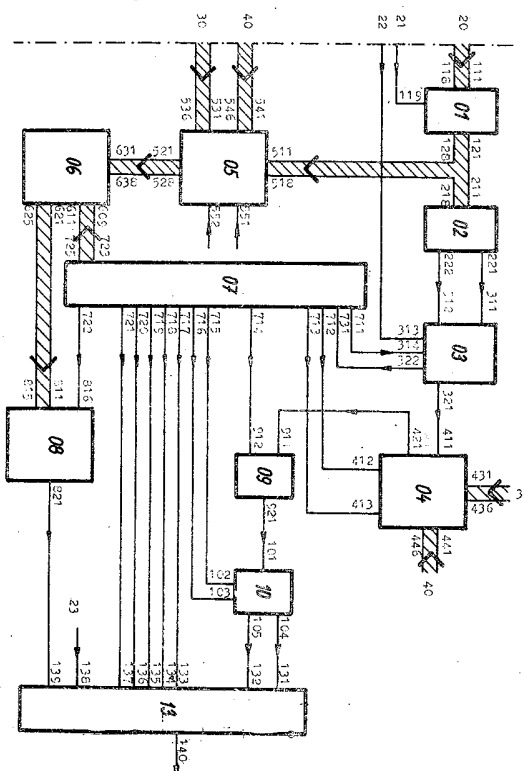
Vynález se týká oboru výpočetní techniky, zejména zobrazování znaků na výstupních zařízeních počítače, zejména obrazovkového displeje a řádkové bodové tiskárny.

Vynález řeší vytváření normálního a inverzního zobrazování znaků, kdy kód znaku je před zápisem do paměti dekodován, přičemž je podle výsledků rozhodnuto, zda se kód znaku zaznamená do paměti kódu znaků, nebo se užije k nastavení paměti inverzního bitu.

Podstatou vynálezu je vzájemné propojení paměti kódu znaku, rozšířená o další bit paměti inverzního zobrazení znaku s časovým zdrojem, pamětí dat, dekodérem dat, pamětí zápisu inverzního bitu, pevnou pamětí znaku, registrem zobrazení, modulačním obvodem, vyrovnávací pamětí inverzního bitu a pamětí zobrazení inverzního bitu.

Vynálezu může být užito v oboru kancelářské techniky, zejména u sériových bodových tiskáren s řádkováním tiskací hlavičky.

Vynález charakterizuje předmět vynálezu a připojený výkres.



Vynález se týká zapojení obvodů pro inverzní zobrazování znaků, tvořených bodovou maticí, zejména pro obrazovkové displeje a řádkové tiskárny s bodovým tiskem.

Vizuální styk operátora s počítačem se děje nejčastěji prostřednictvím obrazovkového displeje nebo řádkové tiskárny. Pro zobrazování znaků se nejčastěji užívá zobrazení v takovém tvaru, že znak je složen z bodů, uspořádaných v bodové mozaice, přičemž množství bodů, tvořících mozaiku, přímo ovlivňuje čitelnost znaku. V oblasti obrazovkových displejů pro zobrazování abecedně číslíkových znaků se užívá jasové modulace obrazovky, kdy body tvořící znak jsou zobrazovány jako svítící, ostatní body mozaikového pole jsou nesvítící, to znamená, že nejsou zobrazovány. Pro obrazovkové displeje s větším počtem zobrazovaných znaků se zpravidla zlepšuje orientace operátora zavedením tak zvaného inverzního způsobu zobrazování znaků, kdy určitá část textu je, podle volby operátora, zobrazena v inverzním tvaru, to znamená, že původně svítící body mozaiky, tvořící znak, jsou zobrazeny jako nesvítící, to je černé, zatímco zbývající body mozaikového pole znaku jsou zobrazeny jako svítící. Znak je pak zobrazen ve tvaru tmavých bodů ve svítícím poli, což zlepšuje přehlednost zobrazených údajů na stínítku obrazovky.

Tento způsob zobrazování a vzájemná kombinace normálního a inverzního tvaru klade zvýšené nároky na obvodovou techniku modulačních obvodů. Dosud užívané obvody pro inverzní zobrazování znaků jsou značně složité, speciální, a tím i nákladné.

Zlepšení v obvodové technice modulačních obvodů, zjednodušení zapojení a zmenšení nákladů přináší zapojení obvodů pro inverzní zobrazování znaků podle vynálezu, jehož podstatu spočívá v tom, že vícenásobný vstup vstupních dat je připojen na první až osmý vstup paměti dat, přičemž na devátý vstup paměti je zapojena svorka zápisového signálu, zatímco první až osmý výstup paměti dat je připojen na první až osmý vstup dekodéru dat a současně na první až osmý vstup paměti kódu znaku, přičemž první a druhý výstup dekodéru je připojen na první a druhý vstup paměti zápisu inverzního bitu, zatímco na třetí vstup této paměti zápisu je připojena svorka nulovacího signálu a na čtvrtý vstup paměti zápisu inverzního bitu je připojen první výstup časového zdroje, přičemž první výstup paměti zápisu inverzního bitu je připojen na první vstup paměti inverzního zobrazení znaku, zatímco druhý výstup paměti zápisu inverzního bitu je připojen na první vstup časového zdroje, přičemž druhý a třetí vstup paměti inverzního zobrazení znaku je připojen na druhý a třetí výstup časového zdroje, který je současně připojen na dvacátý první a dvacátý druhý vstup paměti kódu znaku, zatímco na čtvrtý až devátý vstup paměti inverzního zobrazení znaku a současně na patnáctý až dvacátý vstup paměti kódu znaku je připojena první část sběrnice adresy, zatímco druhá část sběrnice adresy je připojena na desátý až patnáctý vstup paměti inverzního zobrazení znaku a současně na devátý až čtrnáctý vstup paměti kódu znaku, přičemž výstup paměti inverzního zobrazení znaku je připojen na první vstup vyrovnávací paměti inverzního bitu, přičemž na druhý vstup této paměti je připojen čtvrtý výstup časového zdroje, přičemž výstup vyrovnávací paměti inverzního bitu je spojen s prvním vstupem paměti zobrazení inverzního bitu, zatímco na druhý a třetí vstup paměti zobrazení inverzního bitu je připojen pátý a šestý výstup časového zdroje, první a druhý výstup této paměti je spojen s prvním a druhým vstupem modulačního obvodu, přičemž třetí, čtvrtý, pátý, šestý a sedmý vstup modulačního obvodu je propojen se sedmým, osmým, devátým, desátým a jedenáctým výstupem časového zdroje, zatímco dvanáctý výstup časového zdroje je spojen se šestým vstupem registru zobrazení, přičemž třináctý až patnáctý výstup časového zdroje je spojen s devátým až jedenáctým vstupem pevné paměti znaků, přičemž na první až osmý vstup této paměti je připojen první až osmý výstup paměti kódu znaku, zatímco první až pátý výstup pevné paměti znaků je připojen na první až pátý vstup registru zobrazení, přičemž výstup tohoto registru je připojen na devátý vstup modulačního obvodu, zatímco na osmý vstup tohoto obvodu je připojena svorka ovládacího signálu zobrazení, přičemž výstup modulačního obvodu je výstupem modulačního signálu.

Výhodou zapojení obvodů pro inverzní zobrazování znaků podle vynálezu je především to, že pomocí několika obvodů lze rozšířit normální způsob zobrazení znaků o další modifikaci

způsobu zobrazení. Velkou výhodou je malý počet běžných logických integrovaných obvodů a jednotná organizace paměti displeje.

Příklad zapojení obvodů pro inverzní zobrazování znaků je znázorněn na připojeném výkrese.

V uvedeném příkladě je znázorněna podstatná část obvodů pro inverzní zobrazování znaků, obsahující paměť 01 dat, dekodér 02 dat, paměť 03 zápisu inverzního bitu, paměť 04 inverzního zobrazení znaků, paměť 05 kódu znaků, pevnou paměť 06 znaků, časový zdroj 07, registr 08 zobrazení, vyrovnávací paměť 09 inverzního bitu, paměť 10 zobrazení inverzního bitu a modulační obvod 13.

Vícenásobný vstup 20 vstupních dat je přiveden na první 111 až osmý 118 vstup paměti 01 dat, přičemž na devátý vstup 119 paměti 01 dat je svorka 21 zápisového signálu, zatímco první 121 až osmý 128 výstup paměti 01 dat je připojen na první 211 až osmý 218 vstup dekodéru 02 dat a současně na první 511 až osmý 518 vstup paměti 05 kódu znaku, přičemž první 221 a druhý 222 výstup dekodéru 02 dat je připojen na první 311 a druhý 312 vstup paměti 03 zápisu inverzního bitu, zatímco na třetí vstup 313 této paměti zápisu je připojen na svorku 22 nulovacího signálu a na čtvrtý vstup 314 paměti 03 zápisu inverzního bitu je připojen první výstup 711 časového zdroje 07, přičemž první výstup 321 paměti 03 zápisu inverzního bitu je připojen na první vstup 411 paměti 04 inverzního zobrazení znaku.

Druhý výstup 322 paměti 03 zápisu inverzního bitu je připojen na první vstup 731 časového zdroje 07, přičemž druhý 412 a třetí 413 vstup paměti 04 inverzního zobrazení znaku je připojen na druhý 712 a třetí 713 výstup časového zdroje 07, který je současně připojen na dvacátý první 551 a dvacátý druhý 552 vstup paměti 05 kódu znaku, zatímco na čtvrtý 432 až devátý 436 vstup paměti 04 inverzního zobrazení znaku a současně na patnáctý 531 až dvacátý 536 vstup paměti 05 kódu znaku je připojena první část 30 sběrnice adresy, zatímco druhá část 40 sběrnice adresy je připojena na desátý 441 až patnáctý 446 vstup paměti 04 inverzního zobrazení znaku a současně na devátý 541 až čtrnáctý 546 vstup paměti 05 kódu znaku.

Výstup 421 paměti 04 inverzního zobrazení znaku je připojen na první vstup 911 vyrovnávací paměti 08 inverzního bitu, přičemž na druhý vstup 912 této paměti je připojen čtvrtý výstup 714 časového zdroje 07, přičemž výstup 921 vyrovnávací paměti 09 inverzního bitu je spojen s prvním vstupem 101 paměti 10 zobrazení inverzního bitu, přičemž na druhý 102 a třetí 103 vstup paměti 10 zobrazení inverzního bitu je připojen pátý 715 a šestý 716 výstup časového zdroje 07, zatímco první 104 a druhý 105 výstup této paměti 10 je spojen s prvním 131 a druhým 132 vstupem modulačního obvodu 13, přičemž třetí 133, čtvrtý 134, pátý 135, šestý 136 a sedmý 137 vstup modulačního obvodu 13 je propojen sedmým 717, osmým 718, devátým 719, desátým 720 a jedenáctým 721 výstupem časového zdroje 07.

Dvanáctý výstup 722 časového zdroje 07 je spojen se šestým vstupem 816 registru 08 zobrazení, přičemž třináctý 723 až patnáctý 725 výstup časového zdroje 07 je spojen s devátým 609 až jedenáctým 611 vstupem pevné paměti 06 znaků, přičemž na první 631 až osmý 638 vstup této paměti je připojen první 521 až osmý 528 výstup paměti 05 kódu znaku, zatímco první 621 až pátý 625 výstup pevné paměti 06 znaků je připojen na první 811 až pátý 815 vstup registru 08 zobrazení, přičemž výstup 821 tohoto registru je připojen na devátý vstup 139 modulačního obvodu 13, zatímco na osmý vstup 138 tohoto obvodu je připojena svorka 23 ovládacího signálu zobrazení, přičemž na výstupu 140 modulačního obvodu 13 se generuje modulační signál 50.

Činnost obvodu pro inverzní zobrazení znaků je následující:

Vícenásobný vstup 20 vstupních dat je přiveden na vstupy 111 až 118 paměti 01 dat a přes svorku 21 zápisového signálu, přivedeného z neznázorněné základní jednotky, jsou data přepsána do paměti 01 dat. Zapsaná data, představující zakódované znaky, jsou dekodována

v dekodéru 02 dat. Neobjeví-li se v dekodéru 02 dat kód, znamenající počátek inverzního zobrazení, jsou výstupní data z paměti 01 dat zaznamenávána do paměti 05 kódů znaků, a to do paměťové buňky, která je určena první 30 a druhou 40 částí adresy.

Objeví-li se kód, znamenající počátek inverzního zobrazení, není tento kód znaku zaznamenán do paměti 05 kódů znaků, ale je zaznamenán jeho výskyt v paměti 03 zápisu inverzního bitu a od určité adresy je zaznamenáván i do paměti 04 inverzního zobrazení znaku.

Ukončení inverzně zobrazovaných znaků je dáno vysláním kódu znaku, znamenajícího přechod na normální zobrazení.

Při čtení kódu znaku z paměti 05 kódů znaků je výstup této paměti přiveden na vstupy 631 až 638 pevné paměti 06 znaků, přičemž na další vstupy 639 až 641 je přiveden další časový údaj o zobrazovaném řádku z časového zdroje 07.

Výstupy 621 až 625 pevné paměti 06 znaků jsou přivedeny na vstupy 811 až 815 registru 08 zobrazení, časovány z dvanáctého výstupu 722 časového zdroje 07 a vysílány v sériovém tvaru na výstupu 821 registru 08 zobrazení a přiváděny na devátý vstup 139 modulačního obvodu 13.

Souběžně s adresováním 30, 40 paměti 05 kódů znaků je adresována i paměť 04 inverzního zobrazení znaku, její výstup 421 je periodicky přepisován do vyrovnávací paměti 09 inverzního bitu a s definovaným časovým zpožděním přehráván do paměti 10 zobrazení inverzního bitu, jehož výstupy 104 a 105 určují, zda zobrazovaný znak bude ve tvaru normálním nebo inverzním.

Z časového zdroje 07 jsou přiváděny časové průběhy určující dobu zobrazení textového řádku, dobu zobrazení snímku, dobu zobrazení horního a dolního řádku rastru při inverzním zobrazení. Ze svorky 23 ovládacího signálu zobrazení tento signál přiváděný ze základní jednotky na osmý vstup 138 modulačního obvodu 13 určuje, zda zobrazovací jednotka je v činnosti a zobrazuje příslušný text, nebo obrazovka je zatemněna a pro obsluhu zařízení není zdánlivě v činnosti.

Obdobného obvodu pro inverzní zobrazování znaků, jak je na výkrese, lze použít například v oboru tiskáren, kde je užíváno řádkovací tiskací bodové hlavy. Příkladem může být sériová bodová tiskárna s tiskem na teplotně citlivý papír.

Příklad zapojení obvodů pro inverzní zobrazování znaků podle vykresu platí pro znázornění znaků, které jsou sestaveny v bodové mozaice 5 x 7 bodů. Uvedené zapojení lze rozšířit podle potřeby i pro jiné rozměry mozaikového pole základního znaku.

P R E D M Ě T V Y N Á L E Z U

Zapojení obvodů pro inverzní zobrazování znaků, sestavené z paměti kódů znaků, pevné paměti znaků, posuvného registru a časového zdroje, vyznačené tím, že vícenásobný vstup (20) vstupních dat je připojen na první (111) až osmý (118) vstup paměti (01) dat, přičemž na devátý vstup (119) paměti (01) dat je zapojena svorka (21) zápisového signálu, zatímco první (121) až osmý (128) výstup paměti (01) dat je připojen na první (211) až osmý (218) vstup dekodéru (02) dat a současně na první (511) až osmý (518) vstup paměti (05) kódů znaků, přičemž první (221) a druhý (222) výstup dekodéru (02) dat je připojen na první (311) a druhý (312) vstup paměti (03) zápisu inverzního bitu, zatímco na třetí vstup (313) paměti (03) zápisu je připojena svorka (23) nulovacího signálu a na čtvrtý vstup (314) paměti (03) zápisu inverzního bitu je připojen první výstup (711) časového zdroje (07), přičemž první výstup (321) paměti (03) zápisu inverzního bitu je připojen na první vstup (411) paměti (04)

inversního zobrazení znaku, zatímco druhý výstup (322) paměti (03) zápisu inversního bitu je připojen na první vstup (731) časového zdroje (07), přičemž druhý (412) a třetí (413) vstup paměti (04) inversního zobrazení znaku je připojen na druhý (712) a třetí (713) výstup časového zdroje (07), který je současně připojen na dvacátý první (551) a dvacátý druhý (552) vstup paměti (05) kódu znaku, zatímco na čtvrtý (431) až devátý (436) vstup paměti (04) inversního zobrazení znaku a současně na patnáctý (531) až dvacátý (536) vstup paměti (05) kódu znaku je připojena první část (30) sběrnice adresy, zatímco druhá část (40) sběrnice adresy je připojena na desátý (441) až patnáctý (446) vstup paměti (04) inversního zobrazení znaku a současně na devátý (541) až čtrnáctý (546) vstup paměti (05) kódu znaku, přičemž výstup (421) paměti (04) inversního zobrazení znaku je připojen na první vstup (911) vyrovnávací paměti (09) inversního bitu, přičemž na druhý vstup (912) této paměti je připojen čtvrtý výstup (714) časového zdroje (07), přičemž výstup (921) vyrovnávací paměti (09) inversního bitu je spojen s prvním vstupem (101) paměti (10) zobrazení inversního bitu, zatímco na druhý (102) a třetí (103) vstup paměti (10) zobrazení inversního bitu je připojen pátý (715) a šestý (716) výstup časového zdroje (07), první (104) a druhý (105) výstup této paměti (10) je spojen s prvním (131) a druhým (132) vstupem modulačního obvodu (13), přičemž třetí (133), čtvrtý (134), pátý (135), šestý (136) a sedmý (137) vstup modulačního obvodu (13) je propojen se sedmým (717), osmým (718), devátým (719), desátým (720) a jedenáctým (721) výstupem časového zdroje (07), zatímco dvanáctý výstup (722) časového zdroje (07) je spojen se šestým vstupem (816) registru (08) zobrazení, přičemž třináctý (723) až patnáctý (725) výstup časového zdroje (07) je spojen s devátým (609) až jedenáctým (611) vstupem pevné paměti (06) znaků, přičemž na první (631) až osmý (638) vstup této paměti je připojen první (521) až osmý (528) výstup paměti (05) kódu znaku, zatímco první (621) až pátý (625) výstup pevné paměti (06) znaků je připojen na první (811) až pátý (815) vstup registru (08) zobrazení, přičemž výstup (821) tohoto registru je připojen na devátý vstup (139) modulačního obvodu (13), zatímco na osmý vstup (138) tohoto obvodu je připojena svorka (23) ovládacího signálu zobrazení, přičemž výstup (140) modulačního obvodu (13) je výstupem modulačního signálu.

1 list výkresů

