(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 106972019 B
(45)授权公告日 2020.03.24

(21)申请号 201610017863.9

(22)申请日 2016.01.12

(65)同一申请的已公布的文献号
申请公布号 CN 106972019 A

(43)申请公布日 2017.07.21

(73)专利权人 上海格易电子有限公司
地址 201203 上海市浦东新区张江高科技园区郭守敬路498号1幢502/15
专利权人 北京兆易创新科技股份有限公司

(72)发明人 刘钊 熊涛 许毅胜 舒清明

(74)专利代理机构 北京品源专利代理有限公司 11332
代理人 胡彬 邓猛烈

(51)Int.Cl.
*H01L 27/11517*(2017.01)
*H01L 21/762*(2006.01)

(56)对比文件
CN 1134054 C,2004.01.07,

审查员 杨敏

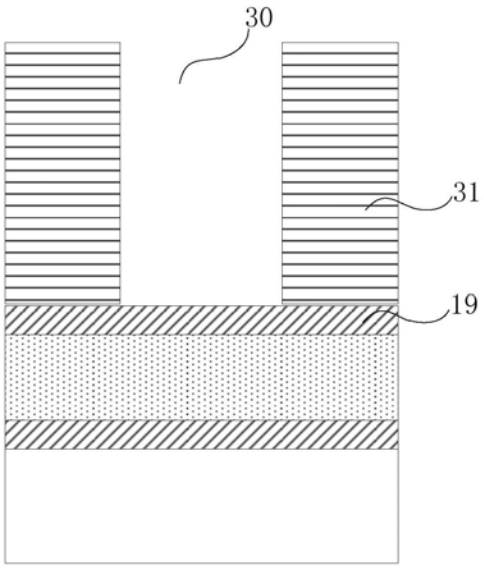
权利要求书1页 说明书5页 附图9页

(54)发明名称

一种闪存及其制作方法

(57)摘要

本发明公开了一种闪存及其制作方法。所述方法包括:提供衬底,在所述衬底上形成有源区和浅沟槽隔离区,并在所述有源区上依次形成第一氧化层、浮栅层和介质层;在所述介质层上形成包含第一凹槽的氮化硅层;在所述第一凹槽内露出的介质层上形成控制栅层,并形成第二凹槽;在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽;在所述第一凹槽和所述第二凹槽内形成第二氧化层,去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层,以形成栅极;依次形成栅极氧化层壁、漏极和接触窗。本发明实施例提供的闪存的制作方法,提高了芯片的运行效率和可靠性。




CN 106972019 B

1.一种闪存的制作方法,其特征在于,包括:

提供衬底,在所述衬底上形成有源区和浅沟槽隔离区,并在所述有源区上依次形成第一氧化层、浮栅层和介质层;

在所述介质层上形成包含第一凹槽的氮化硅层;

在所述第一凹槽内露出的介质层上形成控制栅层,并形成第二凹槽;

在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽;

在所述第一凹槽和所述第二凹槽内形成第二氧化层,去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层,以形成栅极;

依次形成栅极氧化层壁、漏极和接触窗;

其中,所述第一凹槽采用干法刻蚀工艺形成;

其中,在所述第一凹槽内露出的介质层上形成控制栅层,并形成第二凹槽,包括:

在所述第一凹槽内露出的介质层上以及所述氮化硅层的侧壁和上表面形成控制栅层;

依次对所述控制栅层、所述介质层、所述浮栅层和所述第一氧化层进行刻蚀,以形成所述第二凹槽。

2.根据权利要求1所述的方法,其特征在于,在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽,包括:

对所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区同时进行离子注入,以形成所述源极以及所述源极端导电沟槽。

3.根据权利要求2所述的方法,其特征在于,所述源极和所述源极端导电沟槽的掺杂区厚度相等。

4.根据权利要求1所述的方法,其特征在于,去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层,以形成栅极,包括:

采用磷酸剥离剩余的氮化硅层;

通过刻蚀去除多余的介质层、多余的浮栅层和多余的第一氧化层,以形成栅极。

5.根据权利要求1所述的方法,其特征在于,所述介质层的厚度取值范围为100-200Å。

6.根据权利要求1所述的方法,其特征在于,所述氮化硅层的厚度取值范围为1000-5000Å。

7.根据权利要求1所述的方法,其特征在于,在所述第一凹槽内露出的介质层上形成控制栅层,包括:

采用炉管生长工艺,在所述第一凹槽内露出的介质层上形成控制栅层。

8.根据权利要求1所述的方法,其特征在于,所述控制栅层厚度取值范围为500-2000Å。

9.一种闪存,其特征在于,所述闪存由权利要求1-8任一项所述的制作方法制得。

# 一种闪存及其制作方法

## 技术领域

[0001] 本发明实施例涉及半导体邻域，尤其涉及一种闪存及其制作方法。

## 背景技术

[0002] 随着半导体技术的不断发展，性能优良的非易失性存储器即闪存备受关注。

[0003] 现有技术中常采用栅极自对准工艺制作闪存器件，其工艺简单成本低，但是由于形成源极时需要获得的沟槽深宽比很大，导致控制栅刻蚀和源极刻蚀过程中的光阻残余很难清干净，而残余的光阻又会阻碍后续源极离子注入过程，导致芯片中一些存储单元电流偏低，降低了芯片中存储单元的电流均匀性，影响芯片的运行效率和可靠性。随着存储单元特征尺寸进一步缩小，工艺过程中的沟槽深比必将进一步增大，光阻残余的弊端会随之会越来越严重。

## 发明内容

[0004] 本发明提供一种闪存及其制作方法，以提高芯片的运行效率和可靠性。

[0005] 第一方面，本发明实施例提供了一种闪存的制作方法，所述方法包括：

[0006] 提供衬底，在所述衬底上形成有源区和浅沟槽隔离区，并在所述有源区上依次形成第一氧化层、浮栅层和介质层；

[0007] 在所述介质层上形成包含第一凹槽的氮化硅层；

[0008] 在所述第一凹槽内露出的介质层上形成控制栅层，并形成第二凹槽；

[0009] 在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽；

[0010] 在所述第一凹槽和所述第二凹槽内形成第二氧化层，去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层，以形成栅极；

[0011] 依次形成栅极氧化层壁、漏极和接触窗。

[0012] 第二方面，本发明实施例还提供了一种闪存，所述闪存由本发明任一实施例所述的制作方法制得。

[0013] 本发明通过在衬底上依次制备浅沟槽隔离结构、浮栅结构和介质层，将形成于介质层上具有第一凹槽的氮化硅层，以及形成于所述第一凹槽内介质层上的控制栅层作为掩体，通过刻蚀、离子注入工艺形成源极、栅极以及源极端导电沟槽，再依次形成栅极氧化层壁、漏极和接触窗，在刻蚀过程中未使用光阻，避免了光阻残余难于清除干净导致的离子注入受阻现象，另一方面，对控制栅层的干法刻蚀使形成的第二凹槽深宽比相对于现有技术减小了，进一步利于离子注入，提高了芯片的运行效率和可靠性。

## 附图说明

[0014] 图1a是现有技术中采用源极自对准工艺制备闪存的版图示意图；

[0015] 图1b-图1e是沿着图1a中AA’线的剖面图；

[0016] 图1f是沿着图1a中BB'线的剖面图；

[0017] 图2为本发明实施例中提供的闪存的制作方法的流程示意图；

[0018] 图3a-图3l是本发明实施例一中提供的闪存的制作方法的示意图。

## 具体实施方式

[0019] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0020] 图1a是现有技术中采用源极自对准工艺制备闪存的版图示意图。如图1a所示，控制栅层11与有源区12垂直相交，交点为器件的栅极13，栅极13的一端为器件的漏极14，另一端为器件的源极15，其中，漏极14通过接触窗16引出，源极15通过源极端导电沟槽引出。图1b-图1e是沿着图1a中AA'线的剖面图，如图1b所示，在衬底上形成有源区(未示出)和浅沟槽隔离区(未示出)，在有源区依次形成隧道氧化层17和浮栅层18，通过对浮栅层18进行电化学抛光获得表面平整的浮栅结构，然后在浮栅结构表面形成介质层19，并在介质层19衬底上形成控制栅层11，在控制栅层11上形成光阻层20并进行显影，露出源极区对应的控制栅层11上表面。如图1c所示，使用干法刻蚀将源极区对应的各层材料去掉，漏出衬底表面。然后重新铺上光阻，将源极区以及与源极区相邻的无源区内光阻去掉，经离子注入同时形成有源区的源极和无源区的源极端导电沟槽。如图1d所示，离子注入过程形成了源极15。图1f是沿着图1a中BB'线的剖面图，图1f对应的区域包括源极区以及与源极区相邻的浅沟槽隔离区，如图1f所示，采用干法刻蚀将浅沟槽隔离区中沟道隔离结构内的氧化物去除，接着进行离子注入，形成源极端导电沟槽21，源极端导电沟槽21与源极15相邻设置。如图1e所示，最后依次形成保护侧壁22、漏极14以及接触窗16。

[0021] 现有技术中制备闪存的工艺使用了光阻，但随着器件特征尺寸的不断减小，形成源极时需要获得的沟槽深宽比越来越大，导致刻蚀过程中光阻残余很难清干净，阻碍离子注入，进而降低形成芯片中器件单元的电流均匀性，影响芯片的运行效率和可靠性。

[0022] 针对上述问题，本发明提供了一种闪存的制作方法，该方法未使用光阻，通过使用氮化硅作为硬掩膜，并配合使用氧化层，实现了闪存器件的制备，解决了光阻残余带来了问题，并减小了形成源极时需要获得的沟槽深宽比，提高了芯片的运行效率和可靠性。

[0023] 实施例一

[0024] 图2为本发明实施例中提供的闪存的制作方法的流程示意图，如图2所示，该方法可以包括以下步骤：

[0025] 步骤210、提供衬底，在所述衬底上形成有源区和浅沟槽隔离区，并在所述有源区上依次形成第一氧化层、浮栅层和介质层。

[0026] 步骤220、在所述介质层上形成包含第一凹槽的氮化硅层。

[0027] 步骤230、在所述第一凹槽内露出的介质层上形成控制栅层，并形成第二凹槽。

[0028] 其中，在所述第一凹槽内露出的介质层上形成控制栅层，并形成第二凹槽，可以包括：在所述第一凹槽内露出的介质层上以及所述氮化硅层的侧壁和上表面形成控制栅层；依次对所述控制栅层、所述介质层、所述浮栅层和所述第一氧化层进行刻蚀，以形成所述第二凹槽。

[0029] 步骤240、在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽。

[0030] 其中，在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽，可以包括：对所示第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区同时进行离子注入，以形成所述源极以及所述源极端导电沟槽。

[0031] 步骤250、在所述第一凹槽和所述第二凹槽内形成第二氧化层，去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层，以形成栅极。

[0032] 其中，去除剩余的氮化硅层、多余的介质层、多余的浮栅层、多余的第一氧化层，以形成栅极，可以包括：采用磷酸剥离剩余的氮化硅层；通过刻蚀去除多余的介质层、多余的浮栅层和多余的第一氧化层，以形成栅极。

[0033] 步骤260、依次形成栅极氧化层壁、漏极和接触窗。

[0034] 本实施例通过在衬底上依次制备浅沟槽隔离结构、浮栅结构和介质层，将形成于介质层上具有第一凹槽的氮化硅层，以及形成于所述第一凹槽内介质层上的控制栅层作为掩体，通过刻蚀、离子注入工艺形成源极、栅极以及源极端导电沟槽，再依次形成栅极氧化层壁、漏极和接触窗，在刻蚀过程中未使用光阻，避免了光阻残余难于清除干净导致的离子注入受阻现象，另一方面，对控制栅层的干法刻蚀使形成的第二凹槽深宽比相对于现有技术减小了，进一步利于离子注入，提高了芯片的运行效率和可靠性。

[0035] 以下以65nm左右节点的NOR非易失闪存的制作方法为例。

[0036] 参考图3a所示，提供衬底，在衬底07上形成有源区08和浅沟槽隔离区09。其中，所述衬底07可以为多晶硅衬底。本发明对衬底07的材料不作具体限定，所述衬底07可以为半导体衬底，也可以是复合结构衬底。该半导体衬底的材料可以包括硅、锗、锗化硅、砷化镓等。

[0037] 参照图3b所示，在浅沟槽隔离区内形成浅沟槽氧化层10，填充所述浅沟槽隔离区。参考图3c所示，在有源区(未示出)上依次形成第一氧化层17、浮栅层18和介质层19。需要说明的是，为使描述的结构更为直观，图3c所示为有源区剖面图，与图3a-图3b所示剖面图的剖向垂直。所述第一氧化层17为隧道氧化层，其材料可以是氧化硅。介质层19的厚度可以为100-200Å，且介质层19可以为氧化物-氮化物-氧化物结构。

[0038] 还需要说明的是，由于第一氧化层17和浅沟槽隔离结构中填充的材料均为氧化物，一般均采用氧化硅，且第一氧化层17厚度小，因此第一氧化层17可以形成于整个衬底上，以省略第一氧化层17的图形化过程，简化工艺。浮栅层18和介质层19则依次形成于有源区的栅极区内，各存储单元的浮栅结构彼此分离，以使各存储单元可以独立工作。而存储单元阵列中，同行的各存储单元的控制栅则通过连续的控制栅层连接，所述连续的控制栅层作为字线，为连接的各存储单元提供控制信号，配合位线确定工作的存储单元。

[0039] 参考图3d所示，在所述介质层19上形成包含第一凹槽30的氮化硅层31。其中，氮化硅层31可以使用炉管生长，其厚度可以为1000-5000Å。首先沉积整层的氮化硅层31，然后经显影和干法刻蚀形成第一凹槽30。

[0040] 参考图3e所示，在所述第一凹槽内露出的介质层19上以及所述氮化硅层31的侧壁

和上表面形成控制栅层11。其中，控制栅层11可以使用炉管生长工艺制备，其厚度可以为500-2000Å。

[0041] 参考图3f所示，依次对所述控制栅层11、所述介质层19、所述浮栅层18和所述第一氧化层17进行刻蚀，以形成所述第二凹槽32。其中，第二凹槽32对应源极。采用干法刻蚀工艺刻蚀所述控制栅层11、所述介质层19、所述浮栅层18和所述第一氧化层17。需要说明的是，氮化硅层31属于硬掩膜体，基本不会受到本实施例中干法刻蚀的影响，第一凹槽内的控制栅层11厚度较大，虽受到干法刻蚀影响，但依旧保留了靠近氮化硅层31的部分体积，形成氮化硅多晶硅壁，且靠近氮化硅层的厚度大于远离氮化硅层的厚度，相对于现有技术，减小了第二凹槽32的深宽比，降低了第二凹槽的刻蚀以及清洗难度，且更利于离子注入。

[0042] 还需要说明的是，第二凹槽32包括有源区第二凹槽和浅沟槽隔离区第二凹槽，均在同一刻蚀工艺步骤中完成，且浅沟槽隔离区第二沟槽对应的浅沟槽隔离结构中填充的氧化物也在上述工艺步骤中通过干法刻蚀去除，以避免所述氧化物对后续工艺中形成源极端导电沟槽时进行的离子注入进行阻挡。

[0043] 参考图3g所示，第二沟凹槽32位于有源区的部分底部漏出有源区中的源极区，通过离子注入工艺形成源极15。图3h是本发明实施例一提供的NOR型闪存在与图3g同一离子注入过程中沿垂直于浅沟槽结构方向的断面结构示意图，所述断面仅包括源极和与源极相邻的浅沟槽隔离区。如图3h所示，源极端导电沟槽21与对应源极15相邻，源极15和源极端导电沟槽21通过同一离子注入形成，因此源极15和源极端导电沟槽21的掺杂区厚度相同，存储单元阵列中位于同行的各存储单元源极15通过源极端导电沟槽21引出。需要说明的是，源极端导电沟槽21的形状与浅沟槽隔离结构中形成的沟槽结构相似，一般为梯形，在进行离子注入时，所述梯形的底部和侧壁均会注入离子，且为提高源极端导电沟槽21的电性能，一般会对所述侧壁进行倾角注入，使源极端导电沟槽21底部和侧壁的掺杂区厚度相等。

[0044] 参考图3i所示，在所述第一凹槽和所述第二凹槽内形成第二氧化层33。需要说明的是，第二氧化层33用以填充所述第一凹槽和所述第二凹槽，形成的多余第二氧化层33通过化学机械抛光工艺去除。

[0045] 参考图3j所示，去除剩余的氮化硅层。需要说明的是，剩余的氮化硅层对应有源区的漏极和与所述漏极相邻的浅沟槽隔离区，去除多余的氮化硅层后，漏极对应的介质层19表面露出，具体的，可以采用磷酸剥离剩余的氮化硅层。此外，由于各存储单元栅极仅存在于有源区的栅极区，因此漏极对应的介质层19、浮栅层18和第一氧化层17属于多余结构。

[0046] 参考图3k所示，去除多余的介质层19、多余的浮栅层18和多余的第一氧化层17，以形成栅极。具体的，可以通过刻蚀去除多余的介质层19、多余的浮栅层18和多余的第一氧化层17。

[0047] 需要说明的是，本实施例保留第二氧化层33。一方面，第二凹槽内的第二氧化层33与栅极直接接触，可作为栅极氧化壁，另一方面，避免了因去除第二氧化层33带来的污染和杂质。

[0048] 参考图3l所示，依次形成栅极氧化层壁22、漏极14和接触窗16。所述栅极氧化层壁22紧贴栅极，仅形成于栅极13侧壁上，用于保护栅极13，并起到电绝缘作用，避免各电极之间的相互影响。需要说明的是，由于保留了第二氧化层33，栅极氧化壁22仅在栅极远离第二氧化层33的侧壁上形成即可。漏极14通过离子注入工艺形成，其使用的离子电极性与形成

源极时注入的离子电极性相同。接触窗16形成于漏极14上，其与对应漏极14接触表面面积小于所述漏极14的面积，用于将所述漏极14引出。

[0049] 本发明实施例中提供的闪存的制作方法中，相比传统工艺省略了光阻的使用，避免了光阻残余难于清除干净导致的离子注入受阻现象，并减小了形成源极时需要获得的沟槽深宽比，提高了芯片的运行效率和可靠性。

[0050] 本发明实施例还提供一种闪存，所述闪存可以由本发明任意实施例提供的闪存的制作方法制得。

[0051] 注意，上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解，本发明不限于这里所述的特定实施例，对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此，虽然通过以上实施例对本发明进行了较为详细的说明，但是本发明不仅仅限于以上实施例，在不脱离本发明构思的情况下，还可以包括更多其他等效实施例，而本发明的范围由所附的权利要求范围决定。

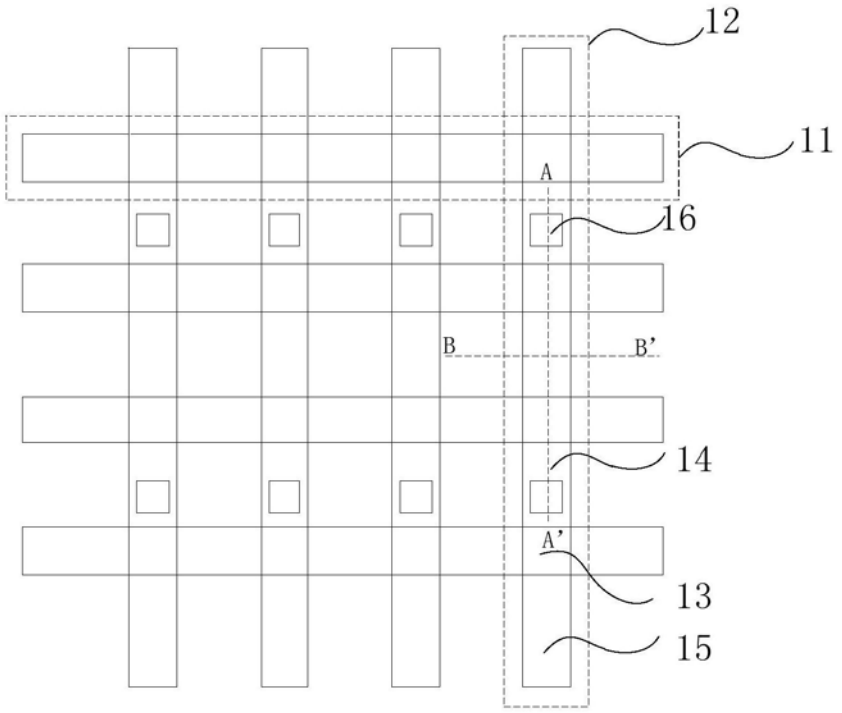



图1a

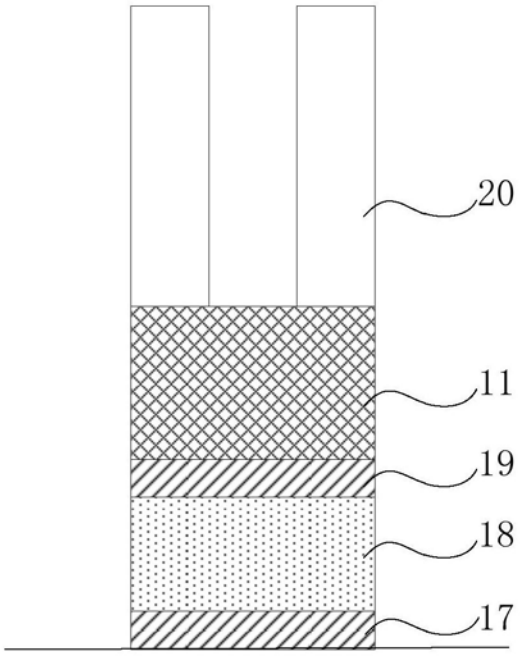



图1b

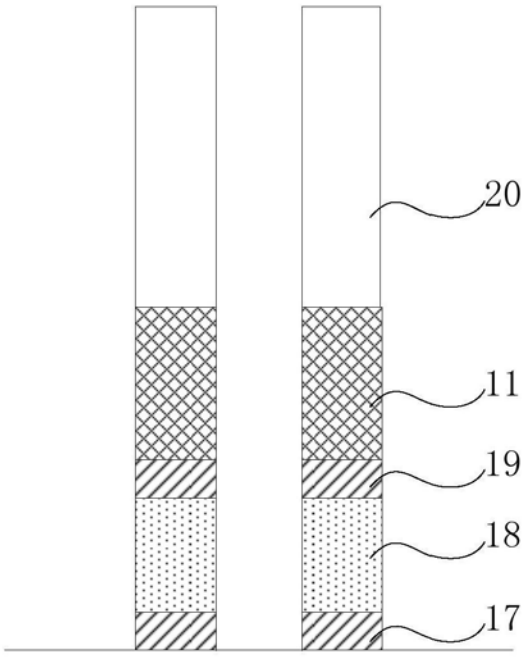



图1c

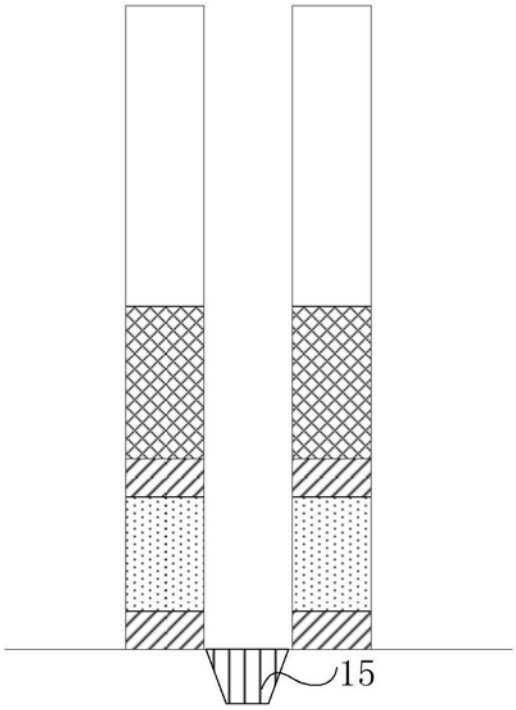



图1d

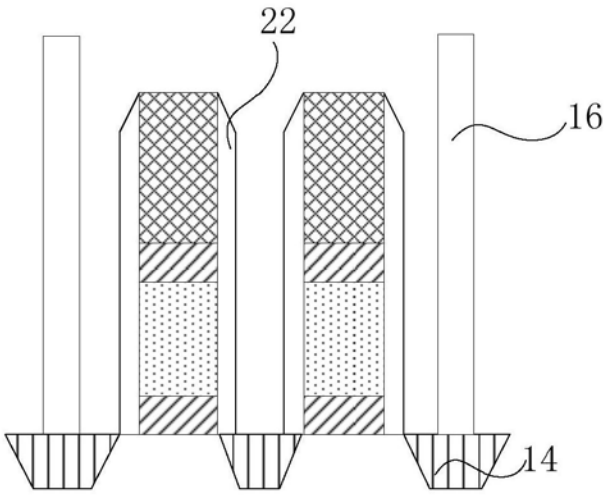



图1e

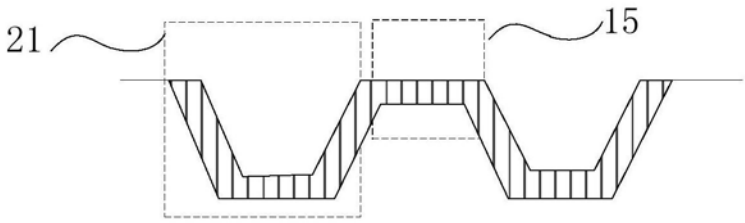



图1f

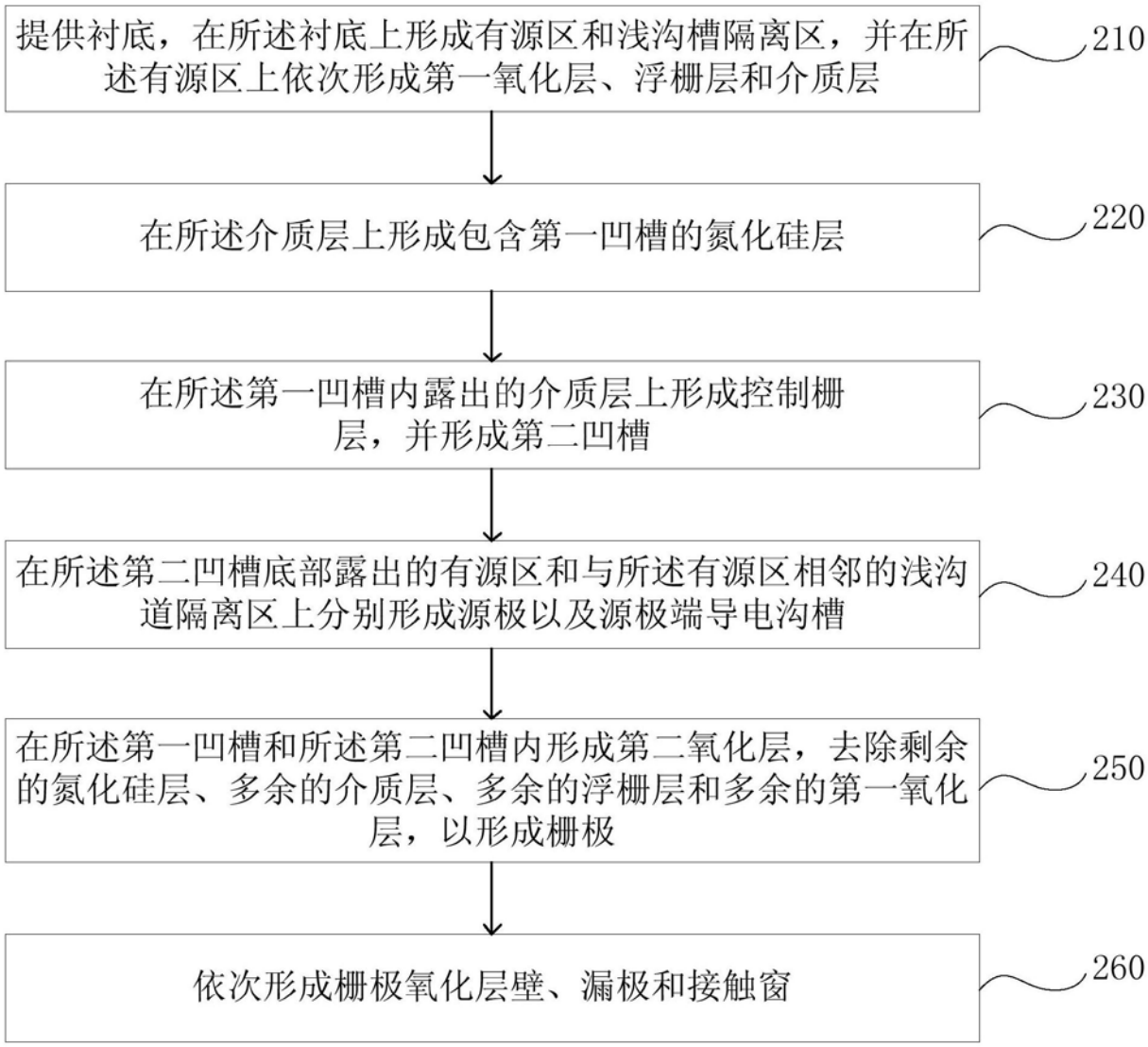

提供衬底，在所述衬底上形成有源区和浅沟槽隔离区，并在所述有源区上依次形成第一氧化层、浮栅层和介质层
210
在所述介质层上形成包含第一凹槽的氮化硅层
220
在所述第一凹槽内露出的介质层上形成控制栅层，并形成第二凹槽
230
在所述第二凹槽底部露出的有源区和与所述有源区相邻的浅沟道隔离区上分别形成源极以及源极端导电沟槽
240
在所述第一凹槽和所述第二凹槽内形成第二氧化层，去除剩余的氮化硅层、多余的介质层、多余的浮栅层和多余的第一氧化层，以形成栅极
250
依次形成栅极氧化层壁、漏极和接触窗
260

图2

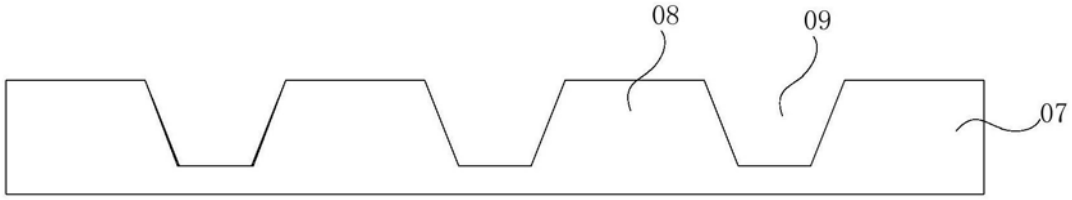

08
09
07

图3a

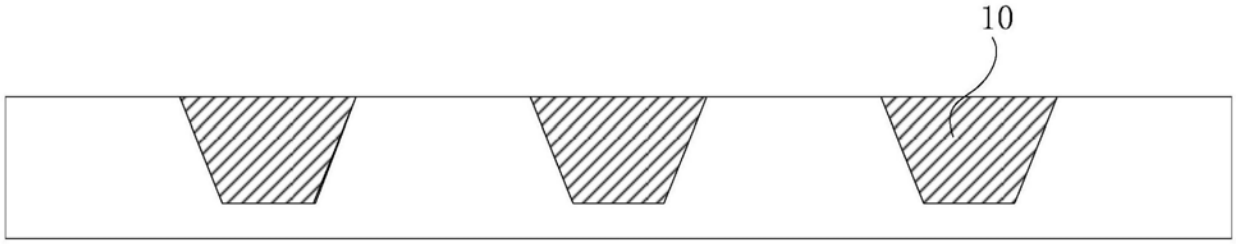



图3b

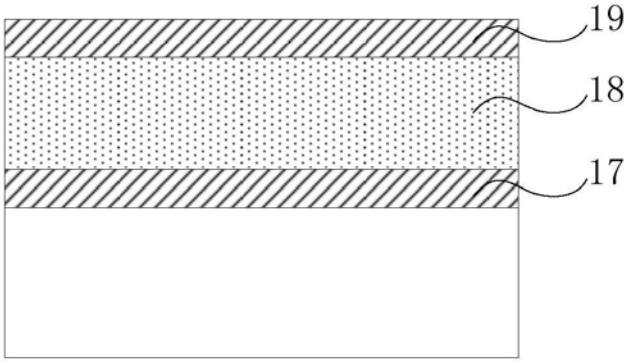



图3c

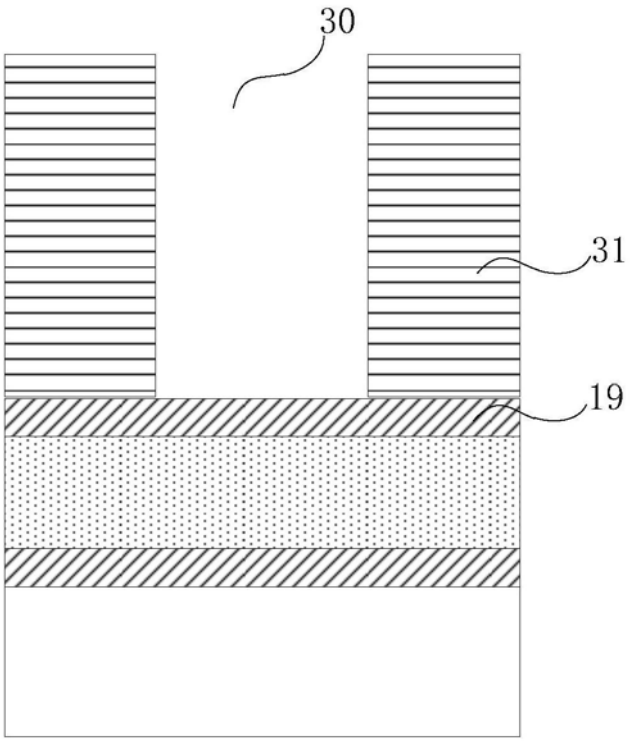



图3d

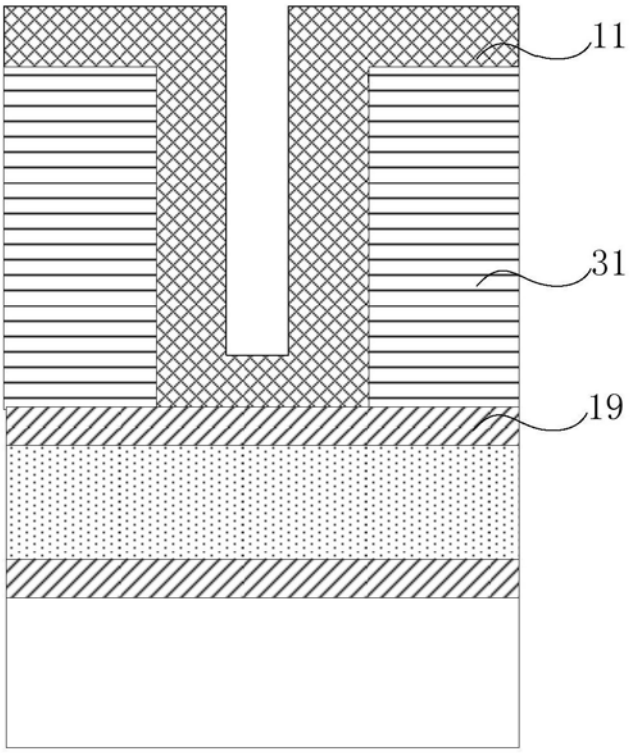



图3e

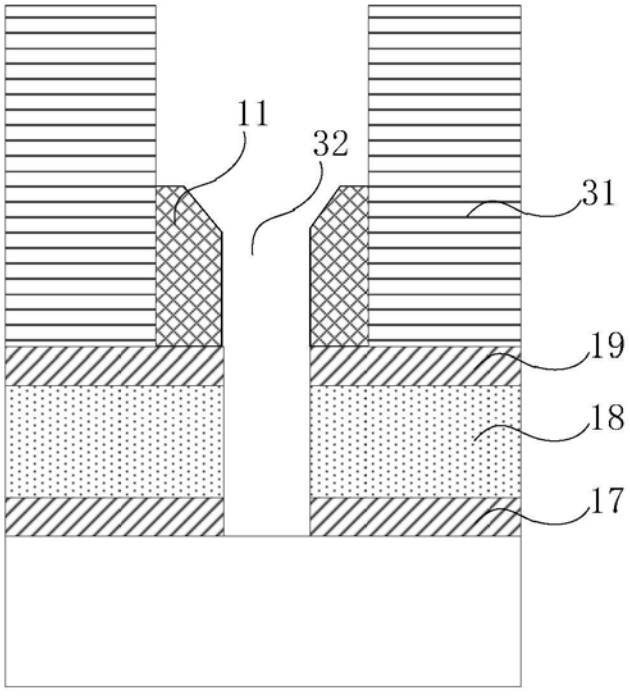



图3f

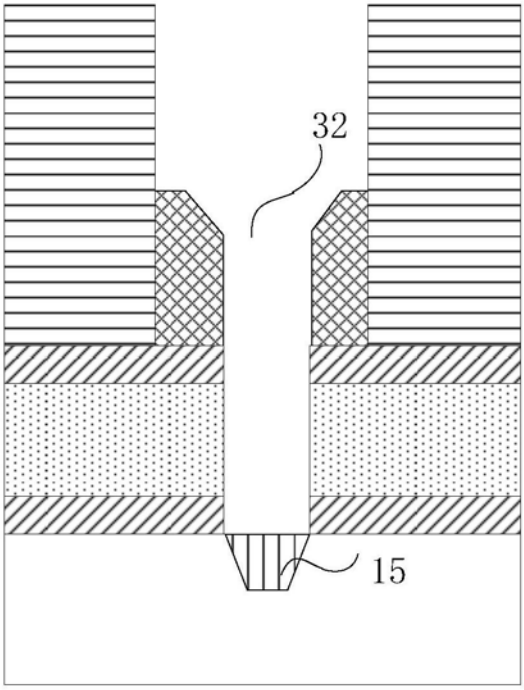



图3g

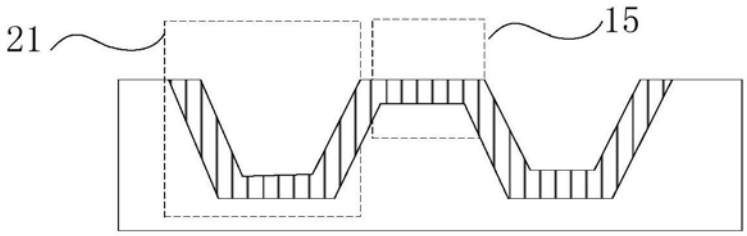



图3h

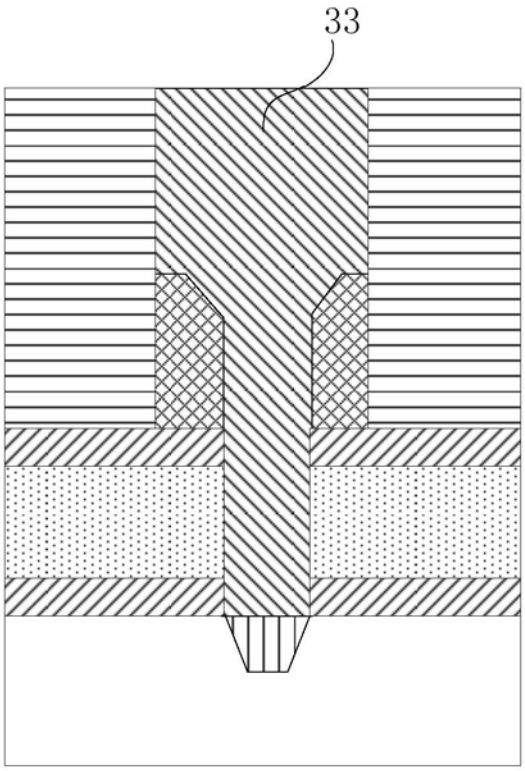



图3i

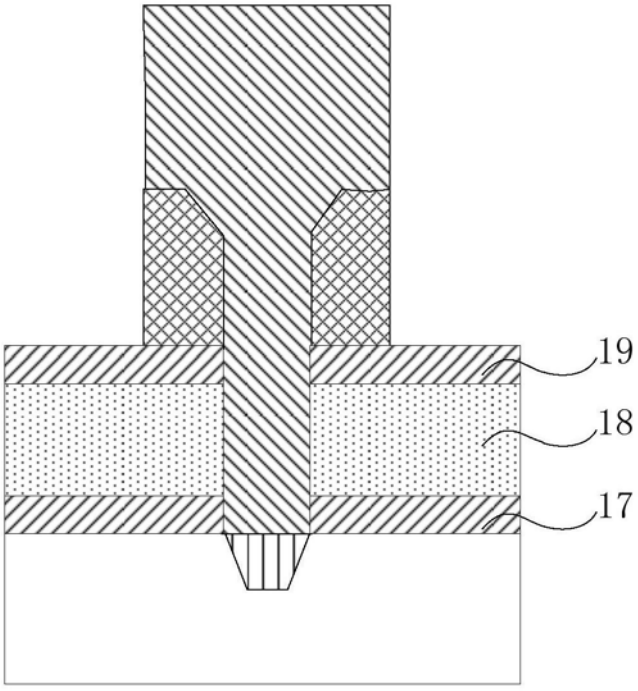



图3j

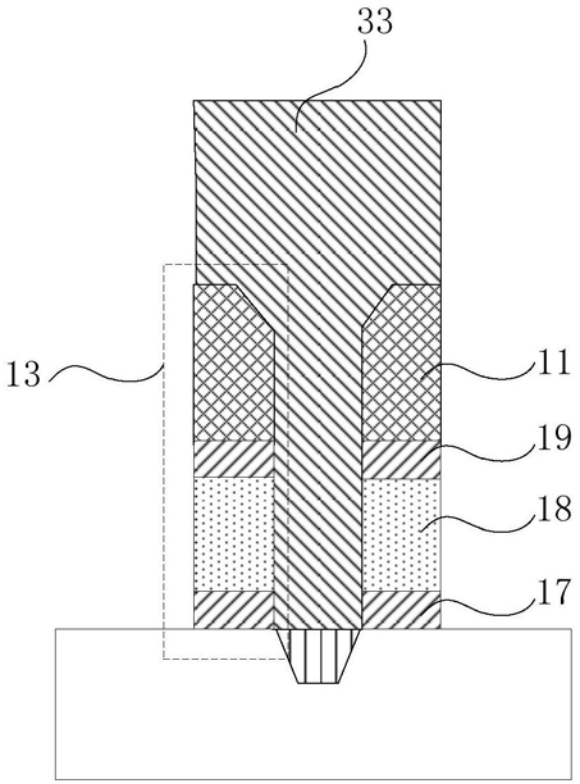



图3k

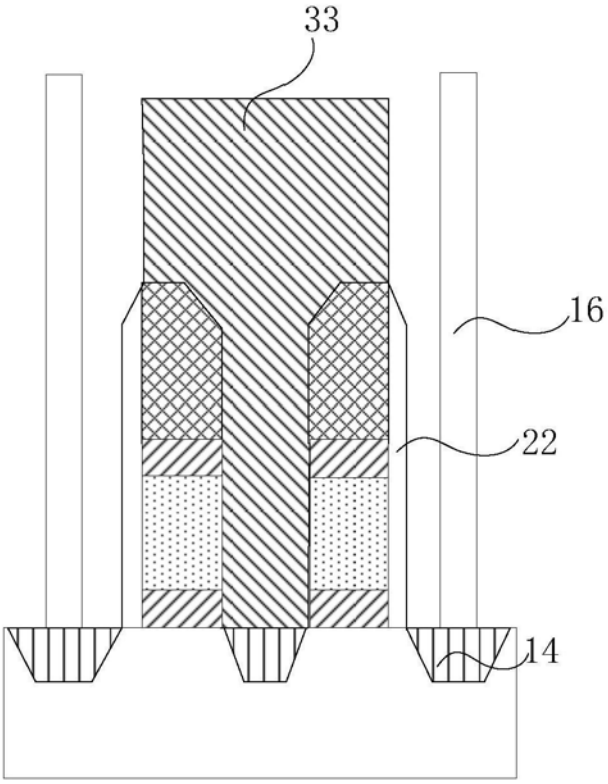



图31