



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I624823 B

(45)公告日：中華民國 107 (2018) 年 05 月 21 日

(21)申請案號：105133503

(22)申請日：中華民國 105 (2016) 年 10 月 18 日

(51)Int. Cl. : **G09G3/3258 (2016.01)**

(30)優先權：2016/01/26 日本

2016-012135

(71)申請人：日本顯示器股份有限公司 (日本) JAPAN DISPLAY INC. (JP)

日本

(72)發明人：澁沢誠 SHIBUSAWA, MAKOTO (JP)；木村裕之 KIMURA, HIROYUKI (JP)；森

田哲生 MORITA, TETSUO (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I409751

CN 100511373C

US 2005/0269959A1

審查人員：葉月芬

申請專利範圍項數：12 項 圖式數：9 共 55 頁

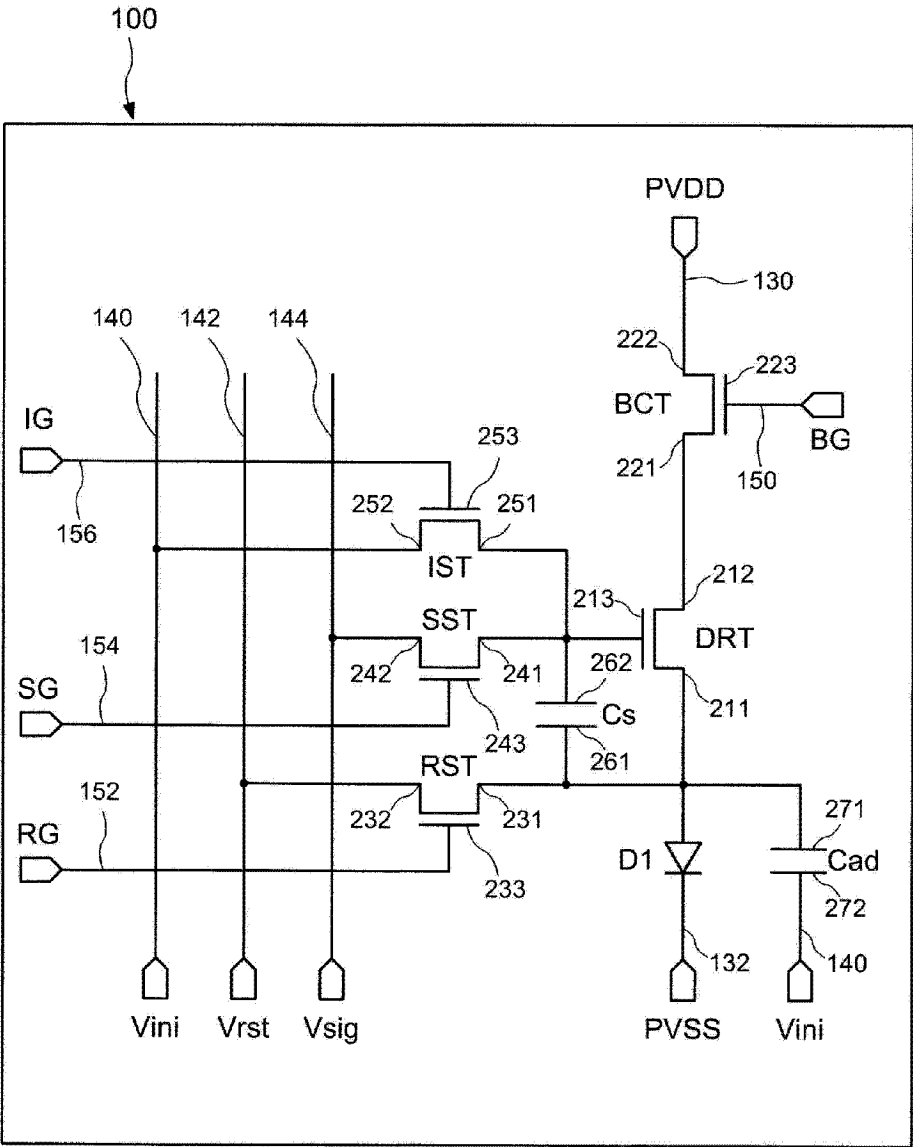
(54)名稱

顯示裝置

(57)摘要

本發明之目的在於提供一種可實現窄邊框化之顯示裝置。顯示裝置具有：發光元件；驅動電晶體，其連接於發光元件；第 1 開關元件，其連接於驅動電晶體及主電源線；第 2 開關元件，其連接於驅動電晶體及重設電源線；第 3 開關元件，其連接於驅動電晶體及信號線；第 4 開關元件，其連接於第 3 開關元件及初始化電源線；及電容元件，其連接於驅動電晶體及第 3 開關元件；且對第 2 開關元件、第 3 開關元件、及第 4 開關元件各者之閘極端子供給 2 水平期間之導通信號。

指定代表圖：



【圖2】

符號簡單說明：

- 100 . . . 像素電路
- 130 . . . 第 1 主電源線
- 132 . . . 第 2 主電源線
- 140 . . . 初始化電源線
- 142 . . . 重設電源線
- 144 . . . 圖像資料信號線
- 150 . . . 輸出控制信號線
- 152 . . . 重設控制信號線
- 154 . . . 像素控制信號線
- 156 . . . 初始化控制信號線
- 211 . . . 第 1 端子
- 212 . . . 第 2 端子
- 213 . . . 閘極端子
- 221 . . . 第 1 電子
- 222 . . . 第 2 端子
- 223 . . . 閘極端子
- 231 . . . 第 1 端子
- 232 . . . 第 2 端子
- 233 . . . 閘極端子
- 241 . . . 第 1 端子
- 242 . . . 第 2 端子
- 243 . . . 閘極端子
- 251 . . . 第 1 端子
- 252 . . . 第 2 端子
- 253 . . . 閘極端子
- 261 . . . 第 1 電容端子
- 262 . . . 第 2 電容端子

- 271 . . . 第 1 電容端
子
- 272 . . . 第 2 電容端
子
- BCT . . . 輸出電晶
體
- BG . . . 輸出控制信
號
- Cad . . . 輔助電容
- Cs . . . 保持電容
- D1 . . . 發光元件
- DRT . . . 驅動電晶
體
- IG . . . 初始化控制
信號
- IST . . . 初始化電晶
體
- PVDD . . . 第 1 主
電源電壓
- PVSS . . . 第 2 主電
源電壓
- RG . . . 重設控制信
號
- RST . . . 重設電晶
體
- SG . . . 像素控制信
號
- SST . . . 像素電晶
體
- Vini . . . 初始化電
源電壓
- Vrst . . . 重設電源
電壓
- Vsig . . . 圖像資料

【發明說明書】

【中文發明名稱】

顯示裝置

【技術領域】

本發明係關於一種顯示裝置。本發明尤其關於顯示裝置之電路構成。

【先前技術】

近年來，於移動用途之發光顯示裝置中，對高精細化及窄邊框化之要求逐漸增強。作為移動用途之顯示裝置，採用液晶顯示裝置(Liquid Crystal Display Device；LCD)、對顯示部使用有機EL元件(Organic Light-Emitting Diode；OLED)之顯示裝置、或電子紙等顯示裝置。

使用上述有機EL元件之顯示裝置不需要液晶顯示裝置所必須之背光燈光源或偏光板。再者，因光源即發光元件之驅動電壓低，故使用有機EL元件之顯示裝置作為低耗電且薄型之發光顯示裝置極受矚目。又，因使用有機EL元件之顯示裝置僅以薄膜形成，故可實現能夠彎折(可撓性)之顯示裝置。該可撓性顯示裝置不使用玻璃基板。因此，可實現輕巧、不易損壞之顯示裝置，故而極受矚目。

有機EL元件係藉由流動於元件之電流而改變發光亮度。流動於有機EL元件之電流會受到主動矩陣面板中使用之薄膜電晶體(TFT)元件之特性之影響。於有機EL顯示裝置中，驅動電晶體串聯連接於電源線與有機EL元件之間。因而致使流動於有機EL元件之電流受到驅動電晶體之臨限值電壓(V_{TH})偏差之影響。若流動於有機EL元件之電流於各像素不同，則成為顯示不均且顯示品質降低之主要原因。

因此，為了抑制驅動電晶體之特性偏差對顯示品質之影響，而開發了VTH補償電路。VTH補償電路係藉由用以將流動於有機EL元件之電流設為特定之定電流電路而抑制驅動電晶體之特性偏差的技術。

例如，如日本專利特開2009-276744號公報所示，VTH補償電路可減少驅動電晶體之VTH偏差之影響。因此，藉由輸入之階度資料而正確地控制供給至有機EL元件之電流量。因此，由於有效地補償驅動電晶體固有之VTH偏差，故有機EL顯示裝置之顯示品質大幅提高。

【發明內容】

[發明所欲解決之問題]

然而，VTH補償電路必須控制複數個電晶體。因此，必須對複數個電晶體之各者設置控制電路。該控制電路配置於顯示裝置之周邊區域。若對設置於VTH補償電路之複數個電晶體供給之信號複雜化，則驅動電路變大，因而周邊區域之面積變大。其結果便產生所謂邊框變大之問題。

本發明係鑑於上述實際情況，其目的在於提供一種可實現窄邊框化之顯示裝置。

[解決問題之技術手段]

本發明之一實施形態之顯示裝置係於行列方向配置有複數個像素之顯示裝置，複數個像素之各者具有：發光元件；驅動電晶體，其源極及汲極之一者連接於發光元件；第1開關元件，其源極及汲極之一者連接於驅動電晶體之源極及汲極之另一者，且源極及汲極之另一者連接於主電源線；第2開關元件，其源極及汲極之一者連接於驅動電晶體之源極及汲極之一者，且源極及汲極之另一者連接於重設電源線；第3開關元件，其源極及汲極之一者連接於驅動電晶體之閘極端子，且源極及汲極之另一者連

接於信號線；第4開關元件，其源極及汲極之一者連接於第3開關元件之源極及汲極之一者，源極及汲極之另一者連接於初始化電源線；及電容元件，其一者之電極連接於驅動電晶體之源極及汲極之一者，另一者之電極連接於第3開關元件之源極及汲極之一者；對第2開關元件、第3開關元件、及第4開關元件各者之閘極端予供給2水平期間之導通信號。

本發明之一實施形態之顯示裝置係於行列方向配置有複數個像素之顯示裝置，複數個像素之各者具有：發光元件；驅動電晶體，其源極及汲極之一者連接於發光元件；第1開關元件，其源極及汲極之一者連接於驅動電晶體之源極及汲極之另一者；第2開關元件，其源極及汲極之一者連接於第1開關元件之源極及汲極之另一者，且源極及汲極之另一者連接於主電源線；第3開關元件，其源極及汲極之一者連接於驅動電晶體之閘極端予，且源極及汲極之另一者連接於信號線；第4開關元件，其源極及汲極之一者連接於第3開關元件之源極及汲極之一者，且源極及汲極之另一者連接於初始化電源線；及電容元件，其一者之電極連接於驅動電晶體之源極及汲極之一者，另一者之電極連接於第3開關元件之源極及汲極之一者；且第1開關元件之源極及汲極之另一者及第2開關元件之源極及汲極之一者係經由第5開關元件而連接於重設電源線；對第3開關元件、第4開關元件、及第5開關元件各者之閘極端予供給2水平期間之導通信號。

本發明之一實施形態之顯示裝置係於行列方向配置有複數個像素之顯示裝置，複數個像素之各者具有：發光元件；驅動電晶體，其具有連接於發光元件之第1端子、第2端子及第1閘極端子；第1開關元件，其具有連接於第2端子之第3端子、連接於主電源線之第4端子、及第2閘極端子；第2開關元件，其具有連接於第1端子之第5端子、連接於重設電源線

之第6端子、及第3閘極端子；第3開關元件，其具有連接於第1閘極端子之第7端子、連接於信號線之第8端子、及第4閘極端子；第4開關元件，其具有連接於第7端子之第9端子、連接於初始化電源線之第10端子、及第5閘極端子；及電容元件，其具有連接於第1端子之第1電容端子及連接於第7端子之第2電容端子；對第3閘極端子、第4閘極端子、及第5閘極端子各自供給2水平期間之導通信號。

【圖式簡單說明】

圖1係顯示本發明之一實施形態之顯示裝置之電路構成之一例之概略圖。

圖2係顯示本發明之一實施形態之像素電路之電路構成之一例之電路圖。

圖3係顯示表示本發明之一實施形態之像素電路之驅動方法的時序圖之圖。

圖4係顯示本發明之一實施形態之周邊電路之電路構成之一例之電路圖。

圖5係顯示表示本發明之一實施形態之複數列之像素電路之驅動方法的時序圖之圖。

圖6係顯示本發明之一實施形態之像素電路之電路構成之一例之電路圖。

圖7係顯示表示本發明之一實施形態之像素電路之驅動方法的時序圖之圖。

圖8係顯示本發明之一實施形態之周邊電路之電路構成之一例之電路圖。

圖9係顯示本發明之一實施形態之表示複數列之像素電路之驅動方法的時序圖之圖。

【實施方式】

以下，對本發明之各實施形態，參照圖式予以說明。另，揭示僅為一例，凡是本領域技術人員可容易想到確保發明主旨之適當變更者，當然包含於本發明之範圍內。又，圖式因為更明確說明，故與實際態樣相比，有時示意性顯示各部之寬度、厚度、形狀等，但僅為一例，並未限定本發明之解釋。又，於本說明書與各圖中，對於既述之圖中與前述者相同之要件附註相同符號，且適當省略詳細說明。

<實施形態1>

使用圖1～圖5，對本發明之一實施形態之顯示裝置之概要進行說明。於實施形態1中，對設置有驅動電晶體之臨限值補償電路之有機EL顯示裝置進行說明。

[顯示裝置10之構成]

圖1係顯示本發明之一實施形態之顯示裝置之電路構成之一例之概略圖。如圖1所示，於顯示裝置10中，像素電路100配置成 n 列 m 行之矩陣狀。各像素電路100係由列驅動器110、行驅動器120予以控制。此處， $n=1、2、3、\dots$ ， $m=1、2、3、\dots$ 。例如， $n=3$ 係指配置於第3列之像素電路群。 $m=3$ 係指配置於第3行之像素電路群。於圖1中，例示有3列3行之像素電路群，但並未限定於該形態， n 及 m 之數係任意決定。

列驅動器110係選擇要執行資料寫入之列。如下所述，於像素電路100配置有複數個電晶體，列驅動器110係控制該複數個電晶體。換言之，於列驅動器110連接有複數條控制信號線112，該複數條控制信號線

112係連接於配置於像素電路100之複數個電晶體之各者之閘極電極(或閘極端子)。詳細內容予以後述，於實施形態1中，複數條控制信號線112包含輸出控制信號線、像素控制信號線、重設控制信號線、初始化控制信號線、及重設電源線。該等控制信號線112係逐列地按特定順序依序互斥地被選擇。

行驅動器120係基於所輸入之圖像資料而決定階度，將與所決定之階度相應之資料電壓供給至像素電路100。於行驅動器120連接有複數條資料信號線122。該複數條資料信號線122係連接於配置於像素電路100之複數個電晶體之一部分之源極及汲極電極之一者。換言之，上述之圖像資料係經由資料信號線122而供給至各行之像素電路100。詳細內容予以後述，於實施形態1中，複數條控制信號線122包含像素資料信號線。又，主電源線及初始化電源線沿與資料信號線122相同之方向延伸。另，該等電源線亦可與資料信號線122同樣連接於行驅動器120。該等資料信號線122係對由上述控制信號線112選擇之列之像素電路100供給圖像資料或特定電位。

圖2係顯示本發明之一實施形態之像素電路之電路構成之一例之電路圖。構成圖2所示之像素電路100之電晶體全體為n通道型電晶體。如圖2所示，像素電路100包含發光元件D1、驅動電晶體DRT、輸出電晶體BCT、重設電晶體RST、像素電晶體SST、初始化電晶體IST、保持電容Cs、及輔助電容Cad。於以下說明中，將電晶體之源極及汲極之一者稱為第1端子，將源極及汲極之另一者稱為第2端子。又，將電容元件之一者之端子稱為第1電容端子，將電容元件之另一者之端子稱為第2電容端子。

驅動電晶體DRT之第1端子211係連接於發光元件D1之陽極端子、保

持電容Cs之第1電容端子261、及輔助電容Cad之第1電容端子271。驅動電晶體DRT之第2端子212係連接於輸出電晶體BCT之第1端子221。輸出電晶體BCT之第2端子222係連接於第1主電源線130。重設電晶體RST之第1端子231係連接於驅動電晶體DRT之第1端子211、保持電容Cs之第1電容端子261、發光元件D1之陽極端子、及輔助電容Cad之第1電容端子271。重設電晶體RST之第2端子232係連接於重設電源線142。

像素電晶體SST之第1端子241係連接於驅動電晶體DRT之閘極端子213、初始化電晶體IST之第1端子251、及保持電容Cs之第2電容端子262。像素電晶體SST之第2端子242係連接於圖像資料信號線144。初始化電晶體IST之第2端子252係連接於初始化電源線140。輔助電容Cad之第2電容端子272係連接於初始化電源線140。又，發光元件D1之陰極端子係連接於第2主電源線132。此處，第1主電源線130與輔助電容Cad之第2電容端子272亦可連接，第2主電源線132與輔助電容Cad之第2電容端子272亦可連接。

此處，對第1主電源線130供給第1主電源電壓PVDD。對第2主電源線132供給第2主電源電壓PVSS。第1主電源電壓PVDD係施加於陽極。第2主電源電壓PVSS係施加於陰極。對初始化電源線140供給初始化電源電壓Vini。對重設電源線142供給重設電源電壓Vrst。對圖像資料信號線144供給圖像資料Vsig。

另，輸出電晶體BCT之閘極端子223係連接於輸出控制信號線150。重設電晶體RST之閘極端子233係連接於重設控制信號線152。像素電晶體SST之閘極端子243係連接於像素控制信號線154。初始化電晶體IST之閘極端子253係連接於初始化控制信號線156。對輸出控制信號線150供給輸

出控制信號BG。對重設控制信號線152供給重設控制信號RG。對像素控制信號線154供給像素控制信號SG。對初始化控制信號線156供給初始化控制信號IG。

若將上述構成換言之，則亦可說，保持電容Cs之第1電容端子261連接於驅動電晶體DRT之第1端子211，保持電容Cs之第2電容端子262連接於像素電晶體SST之第1端子241。又，於實施形態1中，例示構成像素電路100之電晶體全體為n通道型電晶體之構成，但並未限定於該構成。例如，構成像素電路100之驅動電晶體DRT以外之電晶體亦可全體為p通道型電晶體，亦可使用n通道型電晶體及p通道型電晶體之兩者。又，上述電晶體只要為可切換導通狀態與斷開狀態之開關元件即可，亦可為電晶體以外之開關元件。

輸出控制信號線150、重設控制信號線152、像素控制信號線154、初始化控制信號線156、及重設電源線142包含於圖1之控制信號線112。即，該等控制信號線及電源線係於顯示裝置10之列方向延伸。另一方面，第1主電源線130、初始化電源線140、及圖像資料信號線144包含於圖1之資料信號線122。即，該等控制信號線及電源線係於顯示裝置10之行方向延伸。另，第2主電源線132係配置於基板整面。

[顯示裝置10之驅動方法]

圖3係顯示本發明之一實施形態之表示像素電路之驅動方法的時序圖之圖。另，於本實施形態中，構成像素電路之電晶體全體為n通道型。即，若對電晶體之閘極端子供給「低位準」之控制信號，則該電晶體成為斷開狀態(非導通狀態)。另一方面，若對電晶體之閘極端子供給「高位準」之控制信號，則該電晶體成為導通狀態(接通狀態)。以下，使用圖2

之電路圖及圖3之時序圖，對顯示裝置10之驅動方法進行說明。另，此處，對於對第n列之像素電路群寫入圖像資料之例進行說明。

如圖3所示，顯示裝置10具有(a)第1重設期間、(b)第2重設期間、(c)臨限值補償期間、(d)第1寫入期間、(e)第2寫入期間、及(f)發光期間。以下，對於該等期間，一面參照圖2及圖3一面說明。另，圖3之以虛線區劃之期間相當於1水平期間(1H)。1水平期間意指對某1列像素電路全體寫入圖像資料信號之期間。

(a)第1重設期間

於第1重設期間中，輸出控制信號BG自高位準變為低位準，輸出電晶體BCT成為斷開狀態。因此，將驅動電晶體DRT之第2端子212藉由輸出電晶體BCT而自第1主電源線130切斷。重設控制信號RG自低位準變為高位準，重設電晶體RST成為導通狀態。因此，對驅動電晶體DRT之第1端子211及保持電容Cs之第1電容端子261經由重設電晶體RST供給重設電源電壓Vrst。初始化控制信號IG及像素控制信號SG係維持低位準，初始化電晶體IST及像素電晶體SST維持斷開狀態。即，驅動電晶體DRT之閘極端子213及保持電容Cs之第2電容端子262成為浮動。

此處，作為重設電源電壓Vrst，設定較第2主電源電壓PVSS低之電壓。但重設電源電壓Vrst未必一定要低於第2主電源電壓PVSS，只要為於其後說明之第2重設期間不於發光元件D1中流通電流之電壓即可。具體而言，重設電源電壓Vrst只要為較第2主電源電壓PVSS高出發光元件D1之臨限值電壓量之電壓以下即可。若重設電源電壓Vrst與第2主電源電壓PVSS相同，則因驅動顯示裝置所需之電源電壓之種類減少，故實現窄邊框化及耗能削減。又，為不使驅動電晶體DRT成為導通狀態，重設電源電

壓 V_{rst} 亦可以設定為較驅動電晶體DRT之閘極端子213之浮動電壓(即，有可能供給至閘極端子213之電壓)低之電壓。例如，供給-3 V作為重設電源電壓 V_{rst} 。藉由上述動作，停止對發光元件D1供給電流而設為非發光狀態。又，於該期間中，進行輔助電容 C_{ad} 之充放電，使輔助電容 C_{ad} 中保持之電荷量穩定。於實施形態1中，因輔助電容 C_{ad} 之第2電容端子277連接於初始化電源線140，故於第1重設期間，將基於初始化電源電壓 V_{ini} 與重設電源電壓 V_{rst} 之電位差之電荷保持於輔助電容 C_{ad} 。另一方面，由於保持電容 C_s 之第2電容端子262為浮動，因而不進行保持電容 C_s 之充放電，第2電容端子262之電位根據第1電容端子261之電位變化而變化。

(b)第2重設期間

於第2重設期間，初始化控制信號IG自低位準變為高位準，初始化電晶體IST成為導通狀態。因此，對驅動電晶體DRT之閘極端子213，經由初始化電晶體IST供給初始化電源電壓 V_{ini} 。重設控制信號RG維持高位準，重設電晶體RST維持導通狀態。輸出控制信號BG及像素控制信號SG維持低位準，輸出電晶體BCT及像素電晶體SST維持斷開狀態。即，對驅動電晶體DRT之第1端子211及保持電容 C_s 之第1電容端子261供給重設電源電壓 V_{rst} ，對驅動電晶體DRT之閘極端子213及保持電容 C_s 之第2電容端子262供給初始化電源電壓 V_{ini} 。

此處，作為初始化電源電壓 V_{ini} ，供給較重設電源電壓 V_{rst} 更高之電壓。例如，供給+1 V作為初始化電源電壓 V_{ini} 。因此，於驅動電晶體DRT中，相對於第1端子211之電位(V_{rst})的閘極端子213之電位(V_{ini})成為高位準，因而驅動電晶體DRT成為導通狀態。這是因為即便考慮到驅動電晶體DRT之臨限值電壓之偏差，驅動電晶體DRT之閘極、源極間仍被施

加了導通驅動電晶體DRT所需之足夠高之電壓。又，於該期間中，將基於重設電源電壓Vrst與初始化電源電壓Vini之電位差之電荷保持於保持電容Cs。

如上所述，於第1重設期間中對輔助電容Cad進行充放電，於第2重設期間中對保持電容Cs進行充放電。即，於各自不同之重設期間中，對輔助電容Cad及保持電容Cs進行充放電。

(c)臨限值補償期間

於臨限值補償期間，輸出控制信號BG自低位準變為高位準，輸出電晶體BCT成為導通狀態。因此，經由輸出電晶體BCT對驅動電晶體DRT之第2端子212供給第1主電源電壓PVDD。重設控制信號RG自高位準變為低位準，重設電晶體RST成為斷開狀態。因此，驅動電晶體DRT之第1端子211藉由重設電晶體RST而自重設電源線142切斷。初始化控制信號IG維持高位準，初始化電晶體IST維持導通狀態。像素控制信號SG維持低位準，像素電晶體SST維持斷開狀態。

此處，因驅動電晶體DRT於上述第2重設期間內成為導通狀態，故自第1主電源電壓PVDD供給之電流自驅動電晶體DRT之第2端子212朝第1端子211流動。藉由該電流，第1端子211之電位上升。且，若第1端子211之電位與閘極端子213之電位之差達到驅動電晶體DRT之臨限值電壓(VTH)，則驅動電晶體DRT成為斷開狀態。

此處，因對閘極端子213供給Vini，故若第1端子211之電位達到(Vini-VTH)，則驅動電晶體DRT成為斷開狀態。此時，對保持電容Cs之第2電容端子262供給Vini，且對第1電容端子261供給(Vini-VTH)，而將基於VTH之電荷保持於保持電容Cs。換言之，亦可說，於臨限值補償期

間，於保持電容Cs中保存基於驅動電晶體DRT之VTH之資訊。另，為了抑制發光元件D1於臨限值補償期間發光，較佳以滿足 $[(V_{ini}-V_{TH})-PVSS] < [\text{發光元件之臨限值電壓}]$ 之條件之方式設定Vini。

(d)第1寫入期間

於第1寫入期間，輸出控制信號BG及初始化控制信號IG自高位準變為低位準，輸出電晶體BCT及初始化電晶體IST成為斷開狀態。因此，驅動電晶體DRT之第2端子212藉由輸出電晶體BCT而自第1主電源線130切斷，驅動電晶體DRT之閘極端子213藉由初始化電晶體IST而自初始化電源線140切斷。像素控制信號SG自低位準變為高位準，像素電晶體SST成為導通狀態。重設控制信號RG維持低位準，重設電晶體RST維持斷開狀態。如此，於第1寫入期間，像素電路成為可對驅動電晶體DRT之閘極端子213供給圖像資料Vsig之狀態。此處，於實施形態1中，於第1寫入期間，不對圖像資料信號線144供給與目前列之像素100對應之圖像資料Vsig，而是供給與上一列之像素100對應之圖像資料Vsig。

(e)第2寫入期間

於第2寫入期間中，對圖像資料信號線144供給階度資料data(n)作為圖像資料Vsig。另，第2寫入期間之輸出控制信號BG、重設控制信號RG、初始化控制信號IG、及像素控制信號SG之位準(高位準或低位準)係與第1寫入期間相同。如此，經由像素電晶體SST對驅動電晶體DRT之閘極端子213及保持電容Cs之第2電容端子262供給階度資料data(n)。

此處，若保持電容Cs之第2電容端子262之電位出現 $V_{ini} \rightarrow V_{sig}$ 之變化，則第1電容端子261之電位基於 $(V_{sig}-V_{ini})$ 而上升。具體而言，因保持電容Cs及輔助電容Cad串聯連接，故位於該等電容中間之第1電容端子

261之電位(V_s)以下述式(1)表示。

[數1]

$$V_s = (V_{ini} - V_{TH}) + (V_{sig} - V_{ini}) \frac{C_s}{C_s + C_{ad}} \quad (1)$$

因此，第1端子211之電位與閘極端子213之電位之電位差(V_{gs})以下述式(2)表示。即，若對閘極端子213供給圖像資料 V_{sig} ，則將基於驅動電晶體DRT之 V_{TH} 及圖像資料 V_{sig} 之電荷保持於保持電容 C_s 。如此，驅動電晶體DRT成為基於圖像資料 V_{sig} 與驅動電晶體DRT之 V_{TH} 相加後之電位差的導通狀態。

[數2]

$$V_{gs} = V_{sig} - \left\{ (V_{ini} - V_{TH}) + (V_{sig} - V_{ini}) \frac{C_s}{C_s + C_{ad}} \right\} \quad (2)$$

(f)發光期間

於發光期間，輸出控制信號BG自低位準變為高位準，輸出電晶體BCT成為導通狀態。像素控制信號SG自高位準變為低位準，像素電晶體SST成為斷開狀態。重設控制信號RG及初始化控制信號IG維持低位準，重設電晶體RST及初始化電晶體IST維持斷開狀態。如此，驅動電晶體DRT係對發光元件D1提供供給至第2端子212之第1主電源電壓PVDD中、基於上述式(2)之電流。

此處，流動於驅動電晶體DRT之電流(I_d)係以下述式(3)表示。藉由將式(2)帶入式(3)，驅動電晶體DRT之 V_{TH} 成分自式(3)消除， I_d 係如下述式(4)所示，成為不依存於 V_{TH} 之電流。

[數3]

$$I_d = \beta (V_{gs} - V_{TH})^2 \quad (3)$$

[數4]

$$I_d = \beta \left\{ (V_{sig} - V_{ini}) \frac{C_{ad}}{C_s + C_{ad}} \right\}^2 \quad (4)$$

如上所述，於發光期間中，將排除驅動電晶體DRT之VTH之影響後之電流供給至發光元件D1。即，將補償驅動電晶體DRT之VTH後之電流供給至發光元件D1。

如圖3所示，於顯示裝置10中，於第1重設期間及第2重設期間各者中，供給1水平期間之高位準信號。因第1重設期間及第2重設期間為連續，故對重設控制信號RG供給2水平期間之高位準信號。即，對重設電晶體RST之閘極端子233供給2水平期間之導通信號。對第1寫入期間及第2寫入期間各者，供給1水平期間之高位準信號。因第1寫入期間及第2寫入期間為連續，故對像素控制信號SG供給2水平期間之高位準之信號。即，對像素電晶體SST之閘極端子243供給2水平期間之導通信號。

雖予以後述，但於上述之第1寫入期間中，不對目前列(第n列)之驅動電晶體DRT進行圖像資料之寫入，而對上一列(第n-1列)之驅動電晶體DRT寫入圖像資料Vsig。於實施形態1中，例示於第1寫入期間中對第n-1列之驅動電晶體DRT寫入圖像資料之驅動方法，但並未限定於該驅動方法。例如，亦可對第n-1列以外之驅動電晶體DRT寫入圖像資料。於實施形態1中，例示於第1寫入期間中對圖像資料信號線144供給第n-1列圖像資料Vsig，且於第2寫入期間中供給階度資料data(n)作為第n列之圖像資料Vsig之驅動方法，但並未限定於該驅動方法。

[顯示裝置10之周邊電路之電路構成]

圖4係顯示本發明之一實施形態之周邊電路之電路構成之一例之電路圖。於圖4顯示第n列至第n+3列之周邊電路之一部分。如圖4所示，於第n～n+3列之周邊電路300、302、304、及306，分別配置有移位暫存器

310、312、314、及316。第 n 列周邊電路300具有初始化控制信號線320、重設控制信號線330、OR電路340、變流器350、輸出控制信號線360、及像素控制信號線370。另，輸出控制信號線360係經由OR電路340及變流器350，而連接於重設控制信號線330及像素控制信號線370。

與第 n 列之周邊電路300同樣地，第 $n+1$ 列周邊電路302具有初始化控制信號線322、重設控制信號線332、OR電路342、變流器352、輸出控制信號線362、及像素控制信號線372。第 $n+2$ 列周邊電路304具有初始化控制信號線324、重設控制信號線334、OR電路344、變流器354、輸出控制信號線364、及像素控制信號線374。第 $n+3$ 列周邊電路306具有初始化控制信號線326、重設控制信號線336、OR電路346、變流器356、輸出控制信號線366、及像素控制信號線376。

於上述第 n 列周邊電路300之4條控制信號線中，像素控制信號線370連接於移位暫存器310。另一方面，初始化控制信號線320及重設控制信號線330係連接於第 n 列以外之移位暫存器。移位暫存器310係連接於第 $n+2$ 列之初始化控制信號線324、及第 $n+3$ 列之重設控制信號線336。即，對像素控制信號線370之像素控制信號 $SG(n)$ 、初始化控制信號線324之初始化控制信號 $IG(n+2)$ 、及重設控制信號線336之重設控制信號 $RG(n+3)$ ，供給相同之時序信號 $SR(n)$ 。

再者，若參照圖2及圖4進行說明，則第 n 列之移位暫存器310係經由第 n 列之像素控制信號線370控制第 n 列之像素電晶體 SST 。第 n 列之移位暫存器310係經由第 $n+2$ 列之初始化控制信號線324而控制第 $n+2$ 列之初始化電晶體 IST 。第 n 列之移位暫存器310係經由第 $n+3$ 列之重設控制信號線336而控制第 $n+3$ 列之重設電晶體 RST 。

此處，使用圖5，對使用圖4所示之複數個移位暫存器之顯示裝置10之驅動方法進行說明。圖5係顯示本發明之一實施形態之表示複數列之像素電路之驅動方法的時序圖之圖。於圖5中顯示供給至第 n 列至第 $n+3$ 列之周邊電路之時序信號。若參照圖4，則自第 n 列之移位暫存器310供給之時序信號 $SR(n)$ 係作為 $SG(n)$ 、 $IG(n+2)$ 、及 $RG(n+3)$ 而供給。即，如圖5所示，對 $SG(n)$ 、 $IG(n+2)$ 、及 $RG(n+3)$ 供給相同時序信號(參照圖5中之A、B、及C)。

若參照圖4，則作為 $SG(n)$ 及 $RG(n)$ 供給之時序信號經由OR電路340及變流器350供給至 $BG(n)$ 。即，如圖5所示，對 $BG(n)$ 供給 $RG(n)$ 及 $SG(n)$ 經反轉後之時序信號(參照圖5中之A、D、及E)。

如上所述，對 $BG(n)$ 、 $RG(n)$ 、 $IG(n)$ 、及 $SG(n)$ 全體供給2水平期間之時序信號。因此，只要於周邊電路配置有供給2水平期間之時序信號之移位暫存器即可。即，因不必對1列供給具有複數種期間之時序信號，故藉由對1列配置1種移位暫存器而驅動像素電路。

又，如圖5所示，例如第 n 列(目前列)之第1寫入期間(d)係與其上一列之第 $n-1$ 列之第2寫入期間(e')重疊，且供給第 $n-1$ 列之階度資料 $data(n-1)$ 作為 V_{sig} 。即，於第 n 列之第1寫入期間(d)中，對第 $n-1$ 列像素電路寫入階度資料 $data(n-1)$ 。且，於第 n 列之第2寫入期間(e)中，對第 n 列像素電路寫入階度資料 $data(n)$ 。如此，可於第1寫入期間對上一列像素電路進行寫入，且於第2寫入期間對目前列像素電路進行寫入。

如上所述，根據實施形態1之顯示裝置10，全體使用2水平期間之時序信號作為驅動像素電路之時序信號。藉此，因只要於周邊電路配置供給2水平期間之時序信號之移位暫存器即可，故可減小周邊電路之佔位面

積。其結果，可提供一種能實現窄邊框化之顯示裝置。

又，於各自不同之重設期間中，對輔助電容 C_{ad} 及保持電容 C_s 之各者進行充放電，藉此對連接於輔助電容 C_{ad} 與保持電容 C_s 之間之重設電源線142施加之負載於各重設期間分散。藉此，於列方向鄰接之像素電路中發光偏差減少。再者，顯示裝置10具有第1寫入期間及第2寫入期間，因而確保用以寫入之足夠之時間。因此，可進行更正確之信號寫入。又，於第1寫入期間中，對像素電路施加上一列之信號電壓。於第2寫入期間中，若對像素電路施加目前列之信號電壓，則施加於像素電路之信號電壓僅變動與上一列信號電壓之差量。因此，可避免施加於像素電路之信號電壓大幅變動。

<實施形態2>

使用圖6～圖9，對本發明之一實施形態之顯示裝置之概要進行說明。於實施形態2中，對設置有驅動電晶體之臨限值補償電路之有機EL顯示裝置進行說明。

[顯示裝置10A之構成]

顯示裝置10A整體之電路構成與圖1所示之實施形態1之顯示裝置10同樣，因而此處省略說明，且參照圖1進行說明。

圖6係顯示本發明之一實施形態之像素電路之電路構成之一例之電路圖。構成圖6所示之像素電路100A之電晶體全體為n通道型電晶體。如圖6所示，像素電路100A包含發光元件D1、驅動電晶體DRT、發光控制電晶體CCT、輸出電晶體BCT、像素電晶體SST、初始化電晶體IST、保持電容 C_s 、及輔助電容 C_{ad} 。像素電路100A中，配置於例如周邊電路等之像素電路100A外之重設電晶體RST連接於像素電路100A。於以下說明中，

將電晶體之源極及汲極之一者稱為第1端子，將源極及汲極之另一者稱為第2端子。又，將電容元件之一者之端子稱為第1電容端子，將電容元件之另一者之端子稱為第2電容端子。

驅動電晶體DRT之第1端子211A係連接於發光元件D1之陽極端子、保持電容Cs之第1電容端子261A、及輔助電容Cad之第1電容端子271A。第2端子212係連接於發光控制電晶體CCT之第1電子281A。發光控制電晶體CCT之第2端子282A係連接於輸出電晶體BCT之第1端子221A及重設電晶體RST之第1端子231A。輸出電晶體BCT之第2端子222A係連接於第1主電源線130A。

像素電晶體SST之第1端子241A係連接於驅動電晶體DRT之閘極端子213A、初始化電晶體IST之第1端子251A、及保持電容Cs之第2電容端子262A。像素電晶體SST之第2端子242A係連接於圖像資料信號線144A。初始化電晶體IST之第2端子252A係連接於初始化電源線140A。輔助電容Cad之第2電容端子272A係連接於初始化電源線140A。發光元件D1之陰極端子係連接於第2主電源線132A。

配置於像素電路100A外之重設電晶體RST之第1端子231A，係如上所述般連接於發光控制電晶體CCT之第2端子282A及輸出電晶體BCT之第1端子221A。第2端子232A係連接於重設電源線142A。

此處，對第1主電源線130A供給第1主電源電壓PVDD。對第2主電源線132A供給第2主電源電壓PVSS。對陽極施加第1主電源電壓PVDD。對陰極施加第2主電源電壓PVSS。對初始化電源線140A供給初始化電源電壓Vini。對重設電源線142A供給重設電源電壓Vrst。對圖像資料信號線144A供給圖像資料Vsig。

另，發光控制電晶體CCT之閘極端子283A連接於發光控制信號線158A。輸出電晶體BCT之閘極端子223A係連接於輸出控制信號線150A。像素電晶體SST之閘極端子243A係連接於像素控制信號線154A。初始化電晶體IST之閘極端子253A係連接於初始化控制信號線156A。對發光控制信號線158A供給發光控制信號CG。對輸出控制信號線150A供給輸出控制信號BG。對像素控制信號線154A供給像素控制信號SG。對初始化控制信號線156A供給初始化控制信號IG。重設電晶體RST之閘極端子233A係連接於重設控制信號線152A。對重設控制信號線152A供給重設控制信號RG。

若將上述構成換言之，則亦可說，保持電容Cs之第1電容端子261A連接於驅動電晶體DRT之第1端子211A，保持電容Cs之第2電容端子262A連接於像素電晶體SST之第1端子241A。又，於實施形態2中，例示構成像素電路100A之電晶體全體為n通道型電晶體之構成，但並未限定於該構成。例如，構成像素電路100A之驅動電晶體DRT以外之電晶體亦可全體為p通道型電晶體，亦可使用n通道型電晶體及p通道型電晶體之兩者。

[顯示裝置10A之驅動方法]

圖7係顯示本發明之一實施形態之表示像素電路之驅動方法的時序圖之圖。另，於本實施形態中，構成像素電路之電晶體全體為n通道型。即，若對電晶體之閘極端子供給「低位準」之控制信號，則該電晶體成為斷開狀態(非導通狀態)。另一方面，若對電晶體之閘極端子供給「高位準」之控制信號，則該電晶體成為導通狀態(接通狀態)。以下，使用圖6之電路圖及圖7之時序圖，對顯示裝置10A之驅動方法進行說明。另，此處，對於對第n列之像素電路群寫入圖像資料之例進行說明。

如圖7所示，顯示裝置10A具有(a)第1重設期間、(b)第2重設期間、(c)臨限值補償期間、(d)第1寫入期間、(e)第2寫入期間、及(f)發光期間。以下，對於該等期間，一面參照圖6及圖7一面說明。另，圖7之以虛線區劃之期間相當於1水平期間(1H)。1水平期間意指對某1列像素電路全體寫入圖像資料信號之期間。另，上述各期間中的動作概要係與實施形態1類似，因而省略詳細說明。

(a)第1重設期間

於第1重設期間，輸出控制信號BG自高位準變為低位準，重設控制信號RG自低位準變為高位準。發光控制信號CG維持高位準，初始化控制信號IG及像素控制信號SG維持低位準。即，發光控制電晶體CCT及重設電晶體RST成為導通狀態，輸出電晶體BCT、像素電晶體SST、及初始化電晶體IST成為斷開狀態。藉此，對驅動電晶體DRT之第2端子212A，供給重設電源電壓Vrst。另，重設電源電壓Vrst只要為於第1重設期間中導通驅動電晶體DRT所需之足夠高之電壓即可。換言之，重設電源電壓Vrst只要為對第2主電源電壓PVSS加上使驅動電晶體DRT之臨限值電壓VTH具有容限之電壓程度的電壓即可。

(b)第2重設期間

於第2重設期間，初始化控制信號IG自低位準變為高位準。輸出控制信號BG及像素控制信號SG維持低位準，重設控制信號RG及發光控制信號CG維持高位準。即，重設電晶體RST、發光控制電晶體CCT、及初始化電晶體IST成為導通狀態，輸出電晶體BCT及像素電晶體SST成為斷開狀態。藉此，對驅動電晶體DRT之第2端子212A供給重設電源電壓Vrst，對驅動電晶體DRT之閘極端子213A及保持電容Cs之第2電容端子262A供

給初始化電源電壓 V_{ini} 。

此處，對重設電源電壓 V_{rst} 及初始化電源電壓 V_{ini} 供給使驅動電晶體DRT成為導通狀態之電壓。因此，經由驅動電晶體DRT對第1端子211A及保持電容 C_s 之第1電容端子261A供給重設電源電壓 V_{rst} 。

(c)臨限值補償期間

於臨限值補償期間，輸出控制信號BG自低位準變為高位準，重設控制信號RG自高位準變為低位準。發光控制信號CG及初始化控制信號IG維持高位準，像素控制信號SG維持低位準。即，輸出電晶體BCT、發光控制電晶體CCT、及初始化電晶體IST成為導通狀態，重設電晶體RST及像素電晶體SST成為斷開狀態。

此處，因驅動電晶體DRT於上述第2重設期間內成為導通狀態，故自第1主電源電壓PVDD供給之電流自驅動電晶體DRT之第2端子212A朝第1端子211流動。藉由該電流，第1端子211A之電位上升。接著，若第1端子211A之電位與閘極端子213A之電位之差達到驅動電晶體DRT之臨限值電壓(V_{TH})，則驅動電晶體DRT成為斷開狀態。

此處，因對閘極端子213A供給 V_{ini} ，故若第1端子211A之電位達到($V_{ini}-V_{TH}$)，則驅動電晶體DRT成為斷開狀態。此時，對保持電容 C_s 之第2電容端子262A供給 V_{ini} ，且對第1電容端子261A供給($V_{ini}-V_{TH}$)，因而基於 V_{TH} 之電荷被保持電容 C_s 所保持。換言之，亦可稱為，於臨限值補償期間，於保持電容 C_s 保存基於驅動電晶體DRT之 V_{TH} 之資訊。

(d)第1寫入期間

於第1寫入期間，輸出控制信號BG、發光控制信號CG、及初始化控制信號IG自高位準變為低位準，像素控制信號SG自低位準變為高位準。

重設控制信號RG維持低位準。即，像素電晶體SST為導通狀態，輸出電晶體BCT、重設電晶體RST、發光控制電晶體CCT、及初始化電晶體IST為導通狀態。如此，於第1寫入期間中，像素電路係成為可對驅動電晶體DRT之閘極端子213A供給圖像資料Vsig之狀態。此處，於實施形態2中，於第1寫入期間中，未對圖像資料信號線144A供給與目前列之像素100A對應之圖像資料Vsig，而是供給與上一列之像素100A對應之圖像資料Vsig。

(e)第2寫入期間

於第2寫入期間，對圖像資料信號線144A供給階度資料data(n)作為圖像資料Vsig。另，第2寫入期間之輸出控制信號BG、重設控制信號RG、發光控制信號CG、初始化控制信號IG、及像素控制信號SG之位準(高位準或低位準)係與第1寫入期間相同。如此，經由像素電晶體SST對驅動電晶體DRT之閘極端子213A及保持電容Cs之第2電容端子262A供給階度資料data(n)。此時，驅動電晶體DRT之第1端子211A之電位與閘極端子231A之電位之電位差(V_{gs})以上述式(2)表示。

(f)發光期間

於發光期間，輸出控制信號BG及發光控制信號CG自低位準變為高位準，像素控制信號SG自高位準變為低位準。重設電晶體RST及初始化電晶體IST係維持斷開狀態。即，輸出電晶體BCT及發光控制電晶體CCT成為導通狀態，重設電晶體RST、初始化電晶體IST及像素電晶體SST成為斷開狀態。如此，驅動電晶體DRT係於第1主電源電壓PVDD被供給至第2端子212A期間，對發光元件D1提供基於上述式(2)之電流。

此處，流動於驅動電晶體DRT之電流(I_d)係以上述式(4)表示。即，

I_d 為不依存於 V_{TH} 之電流。

如上所述，於發光期間中，將排除驅動電晶體DRT之 V_{TH} 之影響後之電流被供給至發光元件D1。即，將補償驅動電晶體DRT之 V_{TH} 後之電流供給至發光元件D1。

如圖7所示，於顯示裝置10A中，於第1重設期間及第2重設期間之各者中，供給1水平期間之高位準信號。因第1重設期間及第2重設期間為連續，故對重設控制信號RG供給2水平期間之高位準信號。即，對重設電晶體RST之閘極端子233A供給2水平期間之導通信號。對第1寫入期間及第2寫入期間之各者，供給1水平期間之高位準信號。因第1寫入期間及第2寫入期間為連續，故對像素控制信號SG供給2水平期間之高位準之信號。即，對像素電晶體SST之閘極端子243A供給2水平期間之導通信號。

雖予以後述，但於上述之第1寫入期間，不對目前列(第n列)之驅動電晶體DRT進行圖像資料之寫入，而對上一列(第n-1列)之驅動電晶體DRT寫入圖像資料Vsig。其中，亦可於第1寫入期間中，對第n-1列以外之驅動電晶體DRT寫入圖像資料。

[顯示裝置10A之周邊電路之電路構成]

圖8係顯示本發明之一實施形態之周邊電路之電路構成之一例之電路圖。於圖8顯示有第n列至第n+3列之周邊電路之一部分。如圖8所示，於第n~n+3列之周邊電路300A、302A、304A、及306A，分別配置有移位暫存器310A、312A、314A、及316A。第n列周邊電路300A具有初始化控制信號線320A、重設控制信號線330A、OR電路340A、變流器350A、輸出控制信號線360A、像素控制信號線370A、變流器380A、及發光控制信號線390A。另，輸出控制信號線360A係經由OR電路340A及變流器

350A，而連接於重設控制信號線330A及像素控制信號線370A。又，發光控制信號線390A係經由變流器380A而連接於像素控制信號線370A。

與第n列周邊電路300A同樣地，第n+1列之周邊電路302A具有初始化控制信號線322A、重設控制信號線332A、OR電路342A、變流器352A、輸出控制信號線362A、像素控制信號線372A、變流器382A、及發光控制信號線392A。第n+2列周邊電路304A具有初始化控制信號線324A、重設控制信號線334A、OR電路344A、變流器354A、輸出控制信號線364A、像素控制信號線374A、變流器384A、及發光控制信號線394A。第n+3列周邊電路306A具有初始化控制信號線326A、重設控制信號線336A、OR電路346A、變流器356A、輸出控制信號線366A、像素控制信號線376A、變流器386A、及發光控制信號線396A。

於上述第n列周邊電路300A之5條控制信號線中，像素控制信號線370A及發光控制信號線390A連接於移位暫存器310A。另一方面，初始化控制信號線320A及重設控制信號線330A係連接於第n列以外之移位暫存器。移位暫存器310A係連接於第n+2列之初始化控制信號線324A、及第n+3列之重設控制信號線336A。即，對像素控制信號線370A之像素控制信號SG(n)、初始化控制信號線324A之初始化控制信號IG(n+2)、及重設控制信號線336A之重設控制信號RG(n+3)，供給相同之時序信號SR(n)。

再者，若參照圖6及圖8進行說明，則第n列之移位暫存器310A係經由第n列之像素控制信號線370A控制第n列之像素電晶體SST。第n列之移位暫存器310A係經由第n+2列之初始化控制信號線324A控制第n+2列之初始化電晶體IST。第n列之移位暫存器310A係經由第n+3列之重設控制信號線336A控制第n+3列之重設電晶體RST。

此處，使用圖9，對使用圖8所示之複數個移位暫存器之顯示裝置10A之驅動方法進行說明。圖9係顯示本發明之一實施形態之表示複數列之像素電路之驅動方法的時序圖之圖。於圖9顯示有供給至第 n 列至第 $n+3$ 列之周邊電路之時序信號。若參照圖8，則自第 n 列之移位暫存器310A供給之時序信號 $SR(n)$ 係被供給作為 $SG(n)$ 、 $IG(n+2)$ 、及 $RG(n+3)$ 。即，如圖9所示，對 $SG(n)$ 、 $IG(n+2)$ 、及 $RG(n+3)$ 供給相同時序信號(參照圖9中之F、G、及H)。

若參照圖8，則作為 $SG(n)$ 供給之時序信號經由變流器380A而供給至 $CG(n)$ 。即，如圖9所示，對 $CG(n)$ 供給反轉 $SG(n)$ 之時序信號(參照圖9中之F及I)。作為 $SG(n)$ 及 $RG(n)$ 供給之時序信號經由OR電路340A及變流器350A供給至 $BG(n)$ 。即，如圖9所示，對 $BG(n)$ 供給反轉 $RG(n)$ 及 $SG(n)$ 之時序信號(參照圖5中之F、J、及K)。

如上所述，對 $BG(n)$ 、 $RG(n)$ 、 $CG(n)$ 、 $IG(n)$ 、及 $SG(n)$ 全體供給2水平期間之時序信號。因此，只要於周邊電路配置有供給2水平期間之時序信號之移位暫存器即可。即，因不必對1列供給具有複數種期間之時序信號，故藉由對1列配置1種移位暫存器而驅動像素電路。

又，如圖9所示，例如第 n 列(目前列)之第1寫入期間(d)係與其上一列之第 $n-1$ 列之第2寫入期間(e')重疊，供給第 $n-1$ 列之階度資料 $data(n-1)$ 作為 V_{sig} 。即，於第 n 列之第1寫入期間(d)中，對第 $n-1$ 列像素電路寫入階度資料 $data(n-1)$ 。且，於第 n 列之第2寫入期間(e)中，對第 $n-1$ 列像素電路寫入階度資料 $data(n-1)$ 。如此，可於第1寫入期間中對上一列像素電路進行寫入，且於第2寫入期間中對目前列像素電路進行寫入。

如上所述，根據實施形態2之顯示裝置10A，全體使用2水平期間之

時序信號作為驅動像素電路之時序信號。藉此，因只要於周邊電路配置有供給2水平期間之時序信號之移位暫存器即可，故可減小周邊電路之佔位面積。其結果，可提供一種能實現窄邊框化之顯示裝置。

又，於各自不同之重設期間中，對輔助電容Cad及保持電容Cs之各者進行充放電，藉此對連接於輔助電容Cad與保持電容Cs之間之重設電源線142A施加之負載於各重設期間分散。藉此，於列方向鄰接之像素電路中發光偏差減少。再者，顯示裝置10A具有第1寫入期間及第2寫入期間，因而確保用以寫入之足夠之時間。因此，可進行更正確之信號寫入。又，於第1寫入期間中，對像素電路施加了上一列之信號電壓。於第2寫入期間中，若對像素電路施加目前列之信號電壓，則施加於像素電路之信號電壓僅變動與上一列信號電壓之差量。因此，可避免施加於像素電路之信號電壓大幅變動。

另，本發明並非限定於上述實施形態，在不脫離主旨之範圍內可進行適當變更。

【符號說明】

1H	1水平期間
10	顯示裝置
10A	顯示裝置
100	像素電路
100A	像素電路
110	列驅動器
112	控制信號線
120	行驅動器

122	資料信號線
130	第1主電源線
130A	第1主電源線
132	第2主電源線
132A	第2主電源線
140	初始化電源線
140A	初始化電源線
142	重設電源線
142A	重設電源線
144	圖像資料信號線
144A	圖像資料信號線
150	輸出控制信號線
150A	輸出控制信號線
152	重設控制信號線
152A	重設控制信號線
154	像素控制信號線
154A	像素控制信號線
156	初始化控制信號線
156A	初始化控制信號線
158A	發光控制信號線
211	第1端子
211A	第1端子
212	第2端子

212A	第2端子
213	閘極端子
213A	閘極端子
221	第1電子
221A	第1端子
222	第2端子
222A	第2端子
223	閘極端子
223A	閘極端子
231	第1端子
231A	第1端子
232	第2端子
232A	第2端子
233	閘極端子
233A	閘極端子
241	第1端子
241A	第1端子
242	第2端子
242A	第2端子
243	閘極端子
243A	閘極端子
251	第1端子
251A	第1端子

252	第2端子
252A	第2端子
253	閘極端子
253A	閘極端子
261	第1電容端子
261A	第1電容端子
262	第2電容端子
262A	第2電容端子
271	第1電容端子
271A	第1電容端子
272	第2電容端子
272A	第2電容端子
281A	第1電子
282A	第2端子
283A	閘極端子
300	周邊電路
300A	周邊電路
302	周邊電路
302A	周邊電路
304	周邊電路
304A	周邊電路
306	周邊電路
306A	周邊電路

310	移位暫存器
310A	移位暫存器
312	移位暫存器
312A	移位暫存器
314	移位暫存器
314A	移位暫存器
316	移位暫存器
316A	移位暫存器
320	初始化控制信號線
320A	初始化控制信號線
322	初始化控制信號線
322A	初始化控制信號線
324	OR 電路
324A	初始化控制信號線
326	初始化控制信號線
326A	初始化控制信號線
330	重設控制信號線
330A	重設控制信號線
332	重設控制信號線
332A	重設控制信號線
334	重設控制信號線
334A	重設控制信號線
336	重設控制信號線

336A	重設控制信號線
340	OR 電路
340A	OR 電路
342	OR 電路
342A	OR 電路
344	OR 電路
344A	OR 電路
346	OR 電路
346A	OR 電路
350	變流器
350A	變流器
352	變流器
352A	變流器
354	變流器
354A	變流器
356	變流器
356A	變流器
360	輸出控制信號線
360A	輸出控制信號線
362	輸出控制信號線
362A	輸出控制信號線
364	輸出控制信號線
364A	輸出控制信號線

366	輸出控制信號線
366A	輸出控制信號線
370	像素控制信號線
370A	像素控制信號線
372	像素控制信號線
372A	像素控制信號線
374	像素控制信號線
374A	像素控制信號線
376	像素控制信號線
376A	像素控制信號線
380A	變流器
382A	變流器
384A	變流器
386A	變流器
390A	發光控制信號線
392A	發光控制信號線
394A	發光控制信號線
396A	發光控制信號線
A	時序信號
B	時序信號
BCT	輸出電晶體
BG	輸出控制信號
C	時序信號

Cad	輔助電容
CCT	發光控制電晶體
CG	發光控制信號
Cs	保持電容
D	時序信號
D1	發光元件
data	階度資料
DRT	驅動電晶體
E	時序信號
F	時序信號
G	時序信號
H	時序信號
I	時序信號
IG	初始化控制信號
IST	初始化電晶體
J	時序信號
K	時序信號
PVDD	第1主電源電壓
PVSS	第2主電源電壓
RG	重設控制信號
RST	重設電晶體
SG	像素控制信號
SR	時序信號

SST	像素電晶體
Vini	初始化電源電壓
Vrst	重設電源電壓
Vsig	圖像資料
(a)	第1重設期間
(b)	第2重設期間
(c)	臨限值補償期間
(d)	第1寫入期間
(e)	第2寫入期間
(e')	第2寫入期間
(f)	發光期間



公告本

申請日: 105/10/18

IPC分類: G09G 3/3258 (2016.01)

【發明摘要】

【中文發明名稱】

顯示裝置

【中文】

本發明之目的在於提供一種可實現窄邊框化之顯示裝置。

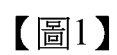
顯示裝置具有：發光元件；驅動電晶體，其連接於發光元件；第1開關元件，其連接於驅動電晶體及主電源線；第2開關元件，其連接於驅動電晶體及重設電源線；第3開關元件，其連接於驅動電晶體及信號線；第4開關元件，其連接於第3開關元件及初始化電源線；及電容元件，其連接於驅動電晶體及第3開關元件；且對第2開關元件、第3開關元件、及第4開關元件各者之閘極端予供給2水平期間之導通信號。

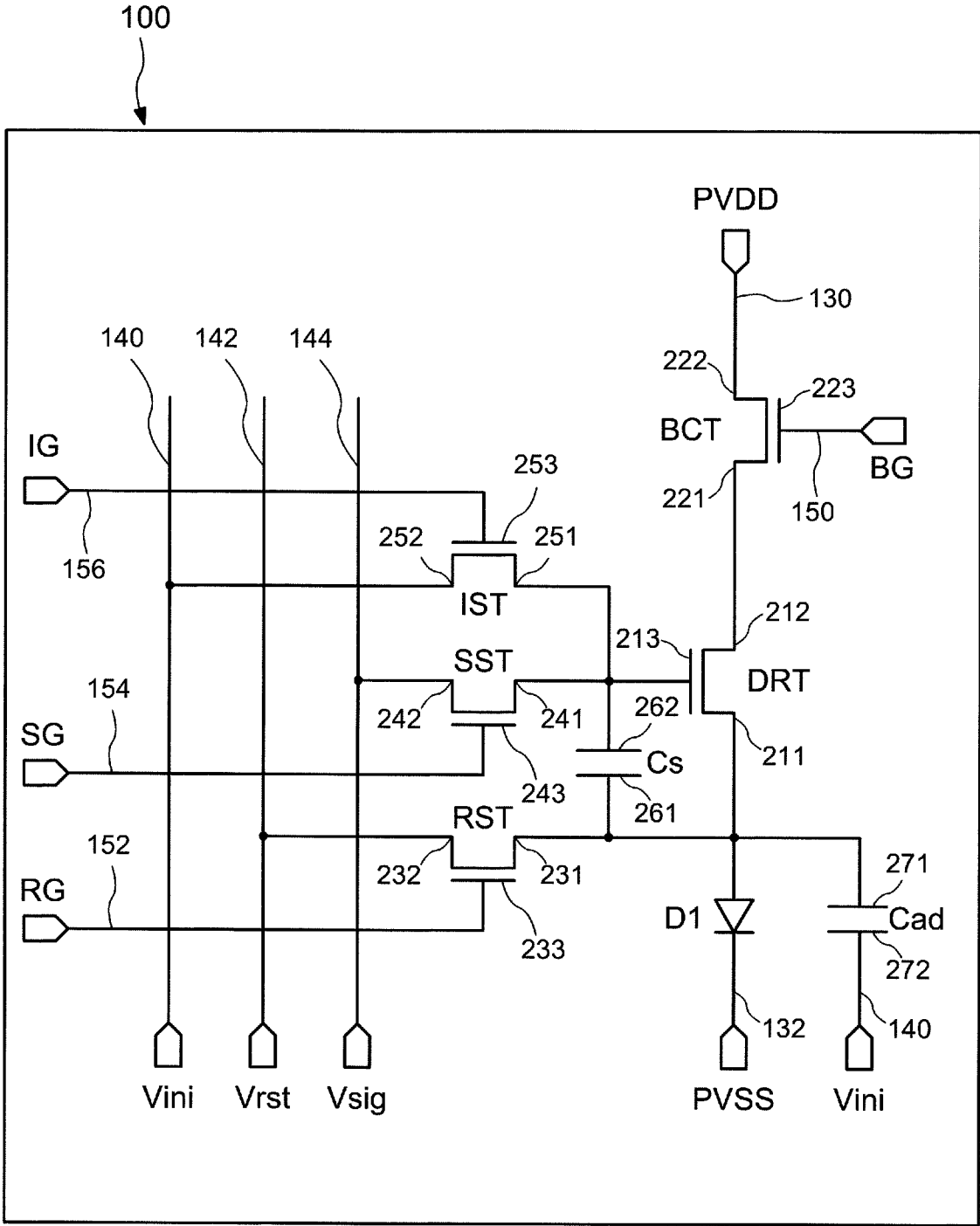
【指定代表圖】

圖2

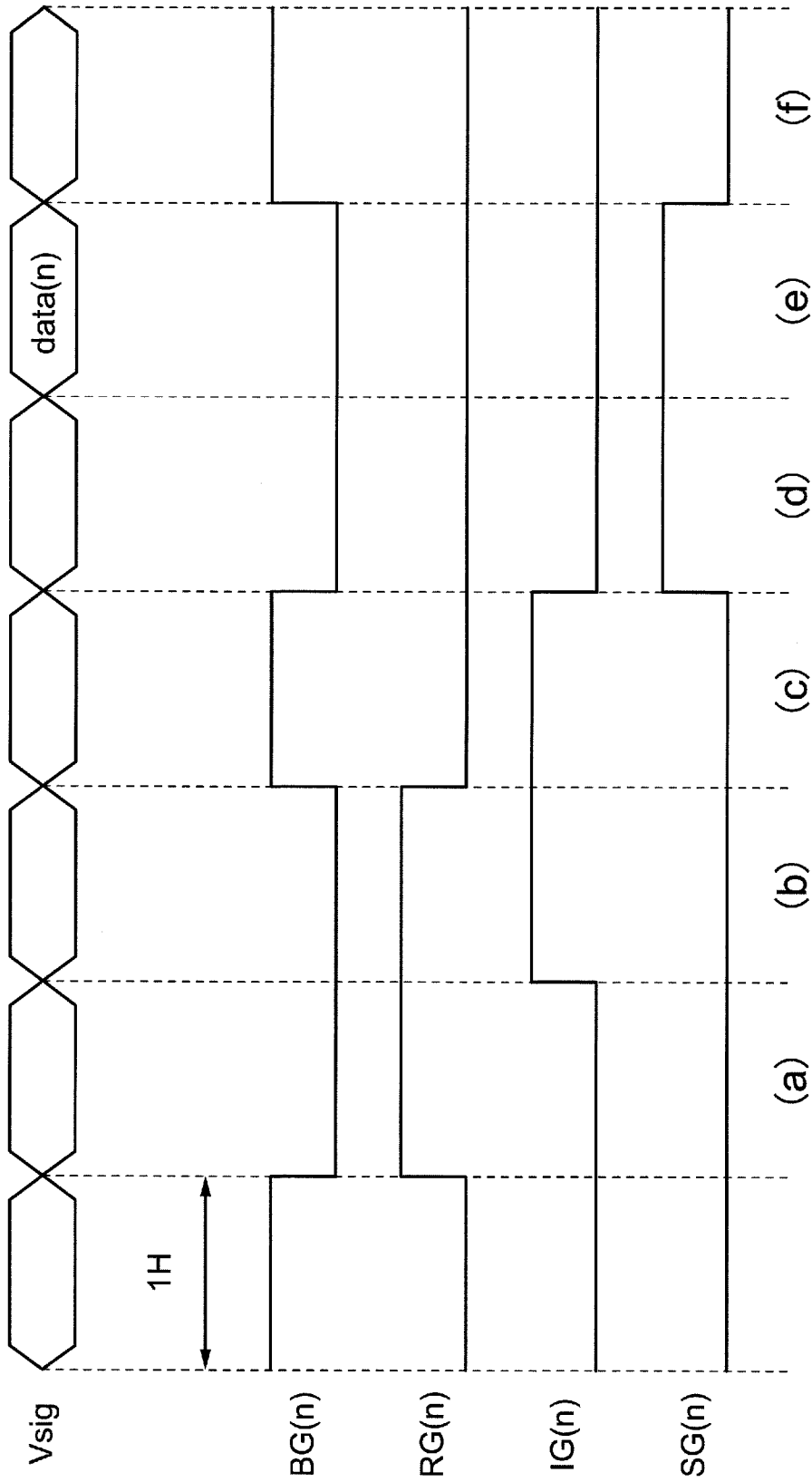
【代表圖之符號簡單說明】

100	像素電路
130	第1主電源線
132	第2主電源線
140	初始化電源線
142	重設電源線
144	圖像資料信號線
150	輸出控制信號線
152	重設控制信號線
154	像素控制信號線

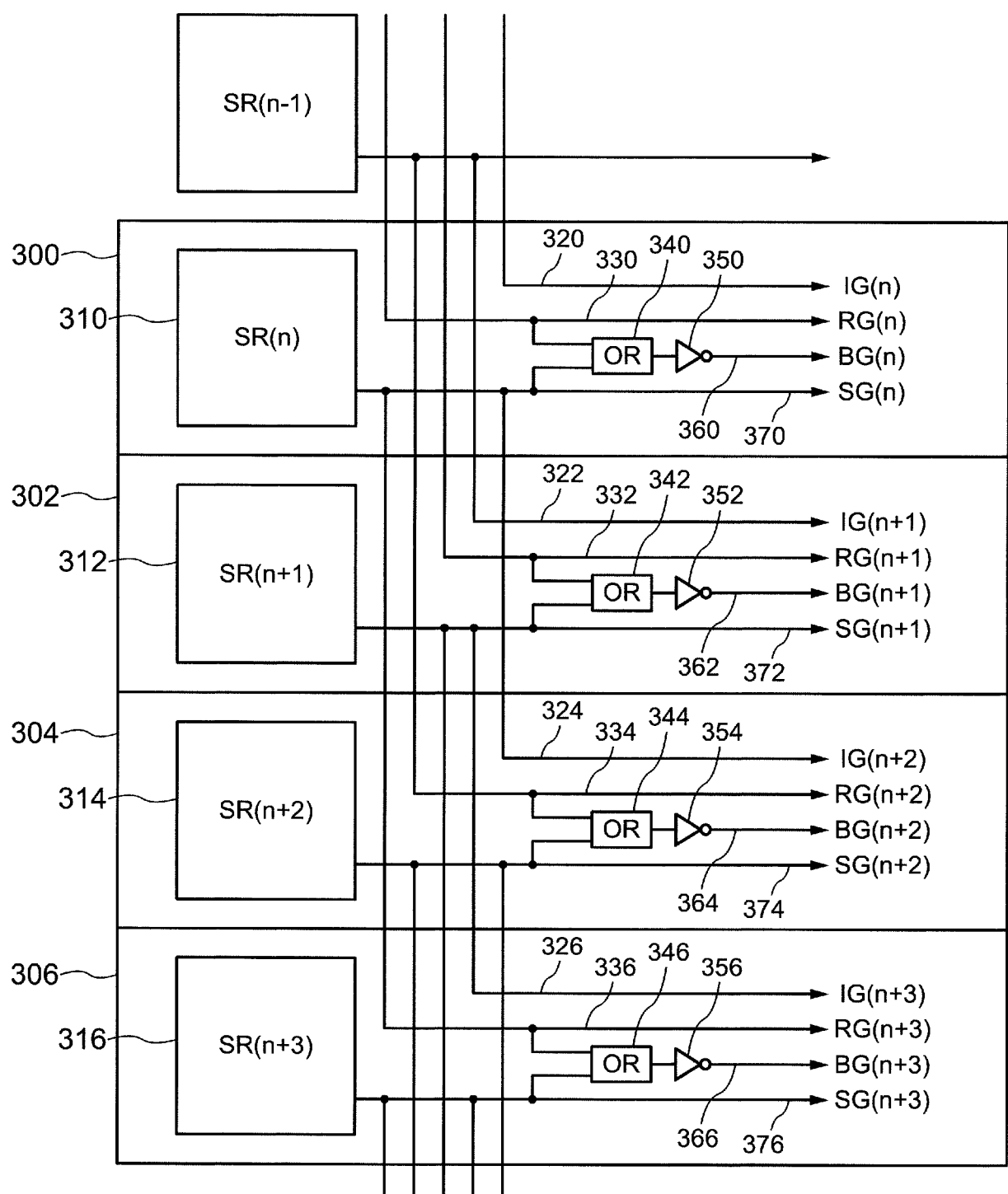




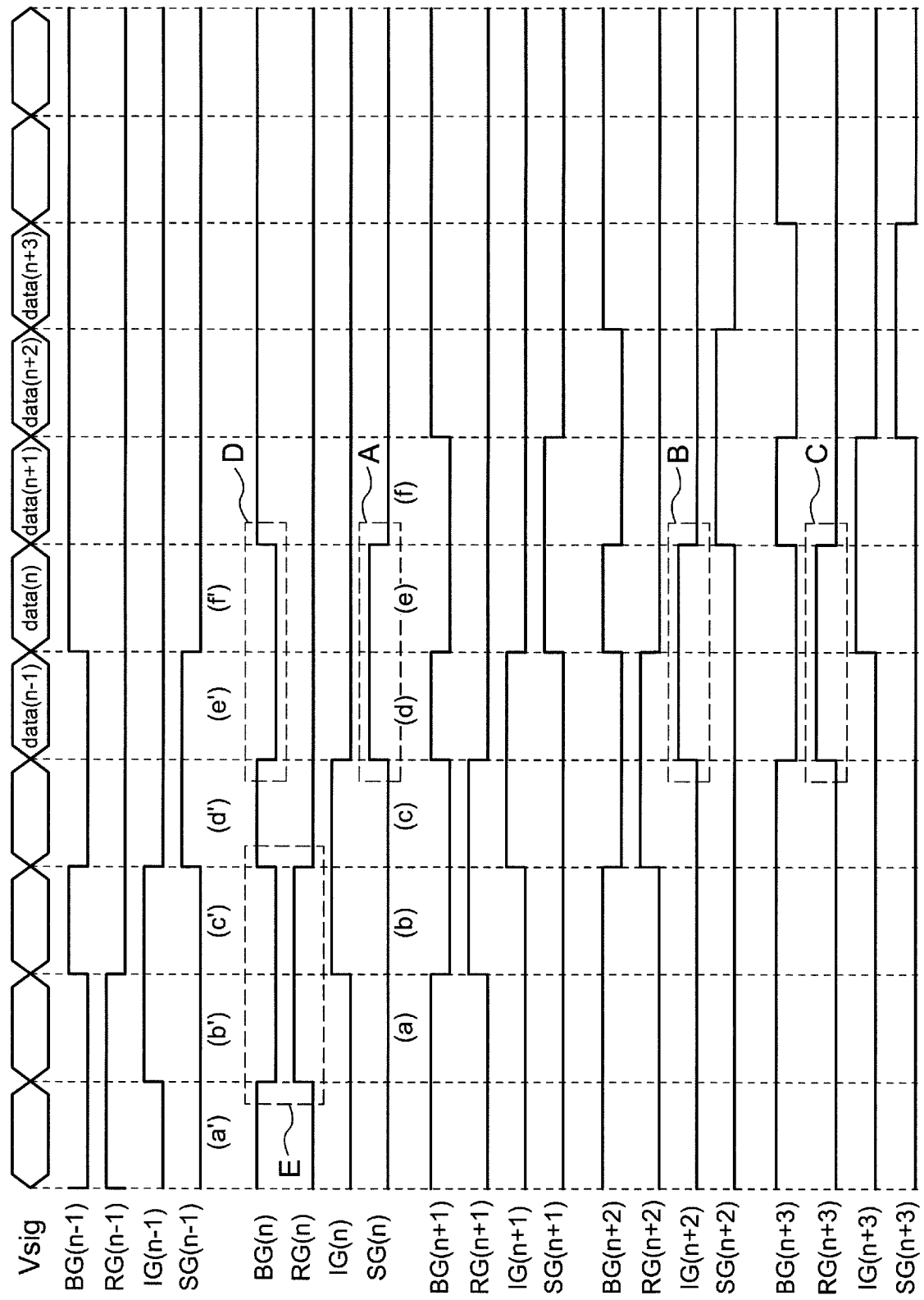
【圖2】



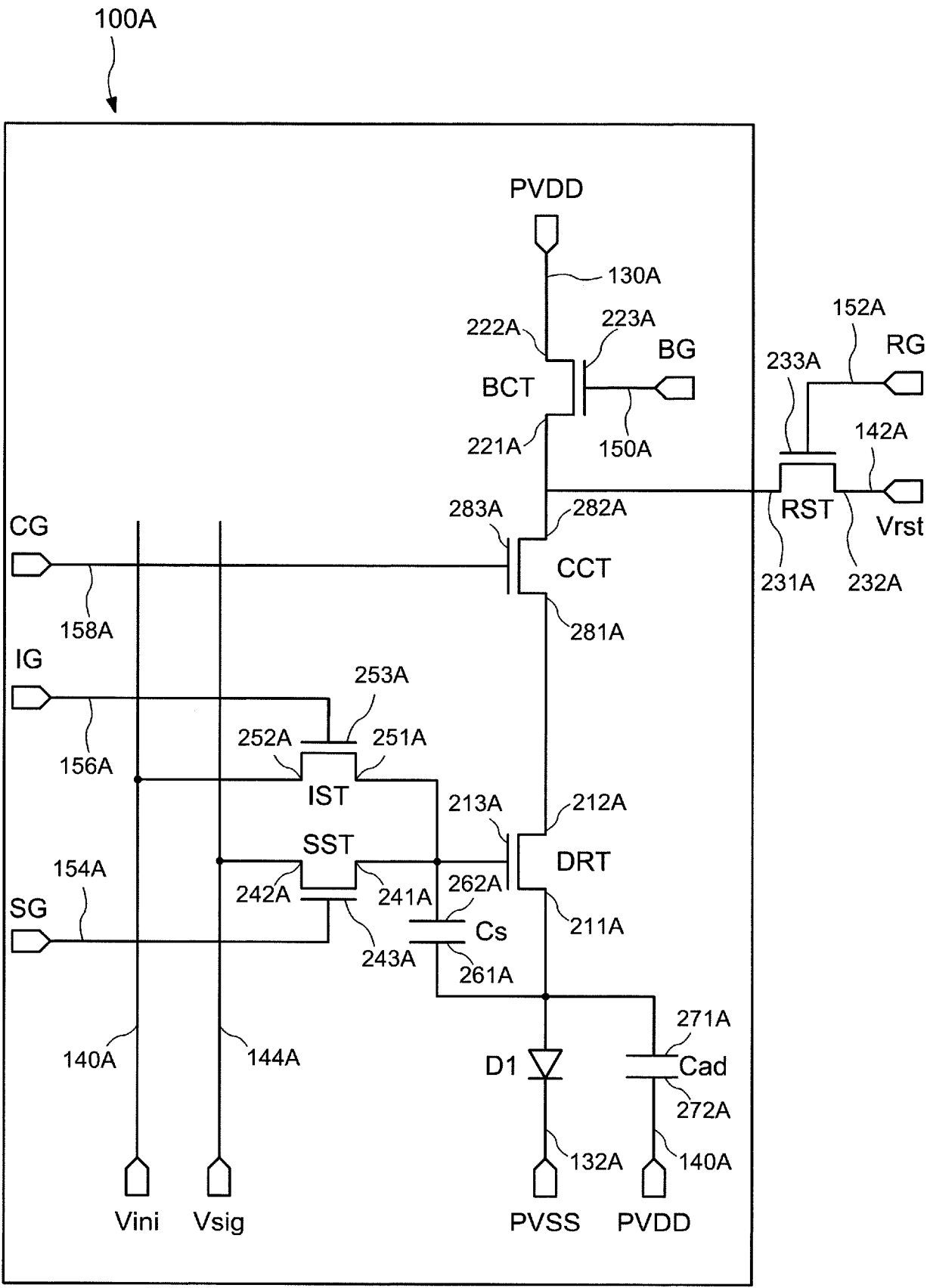
【圖3】



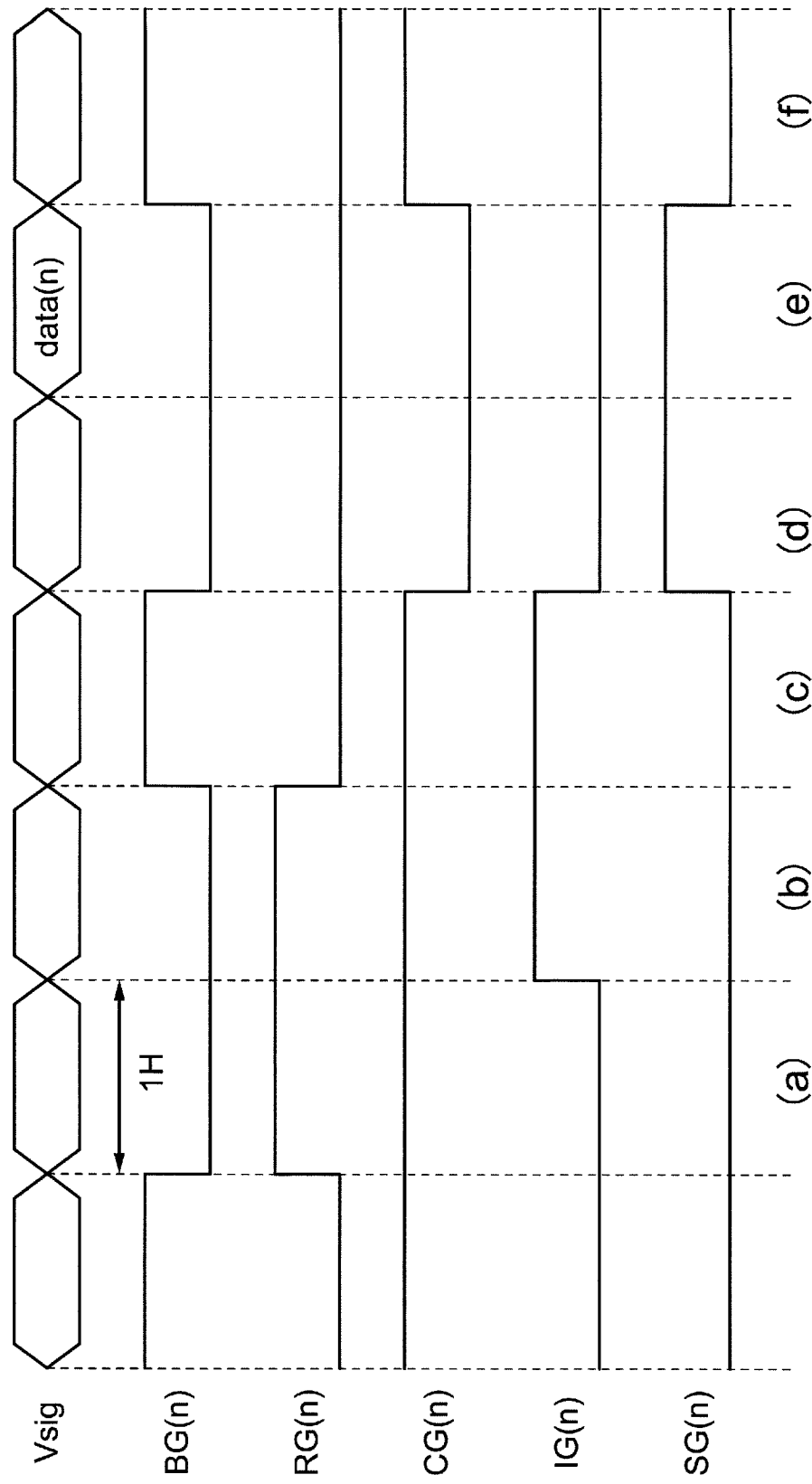
【圖4】



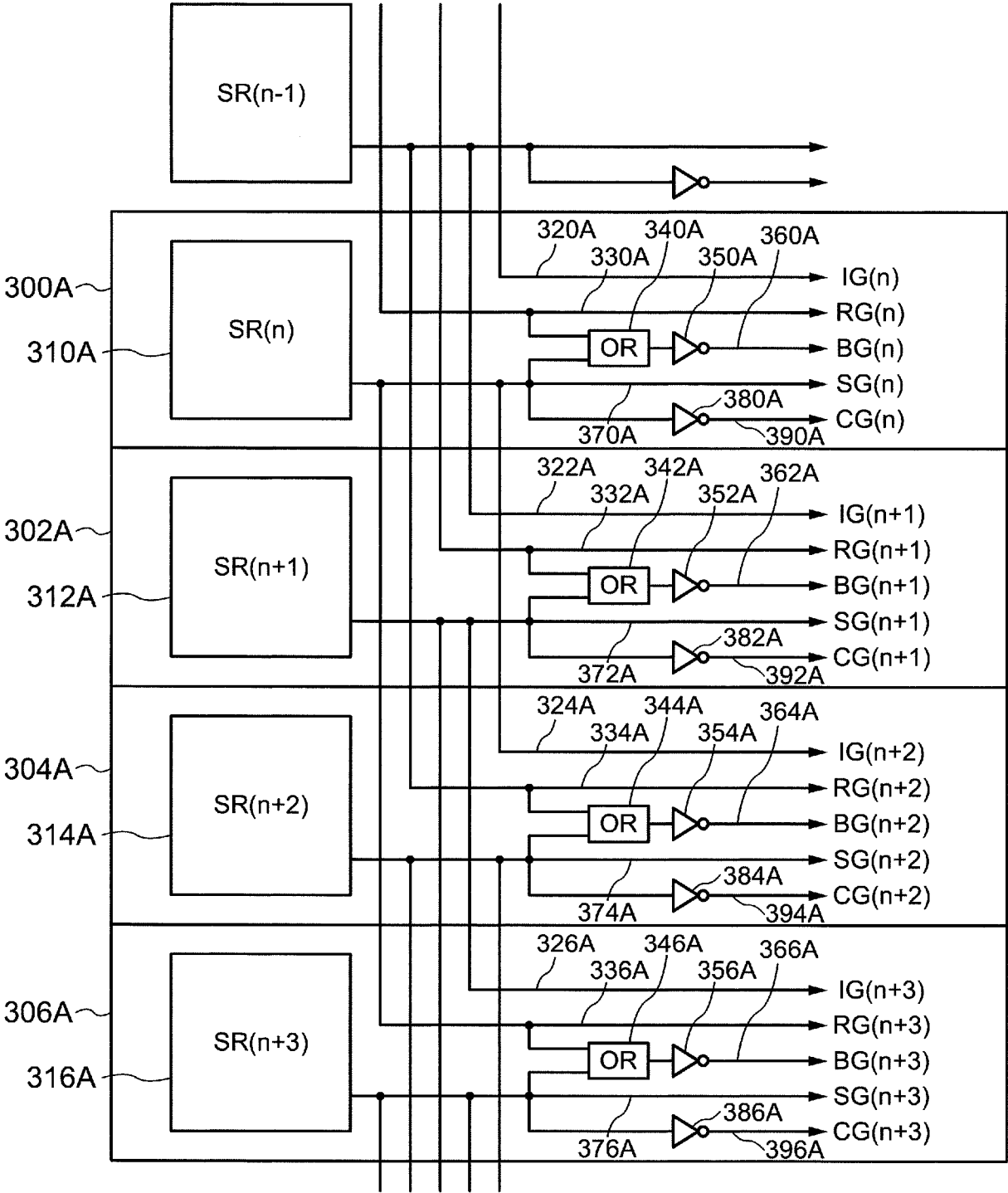
【圖5】



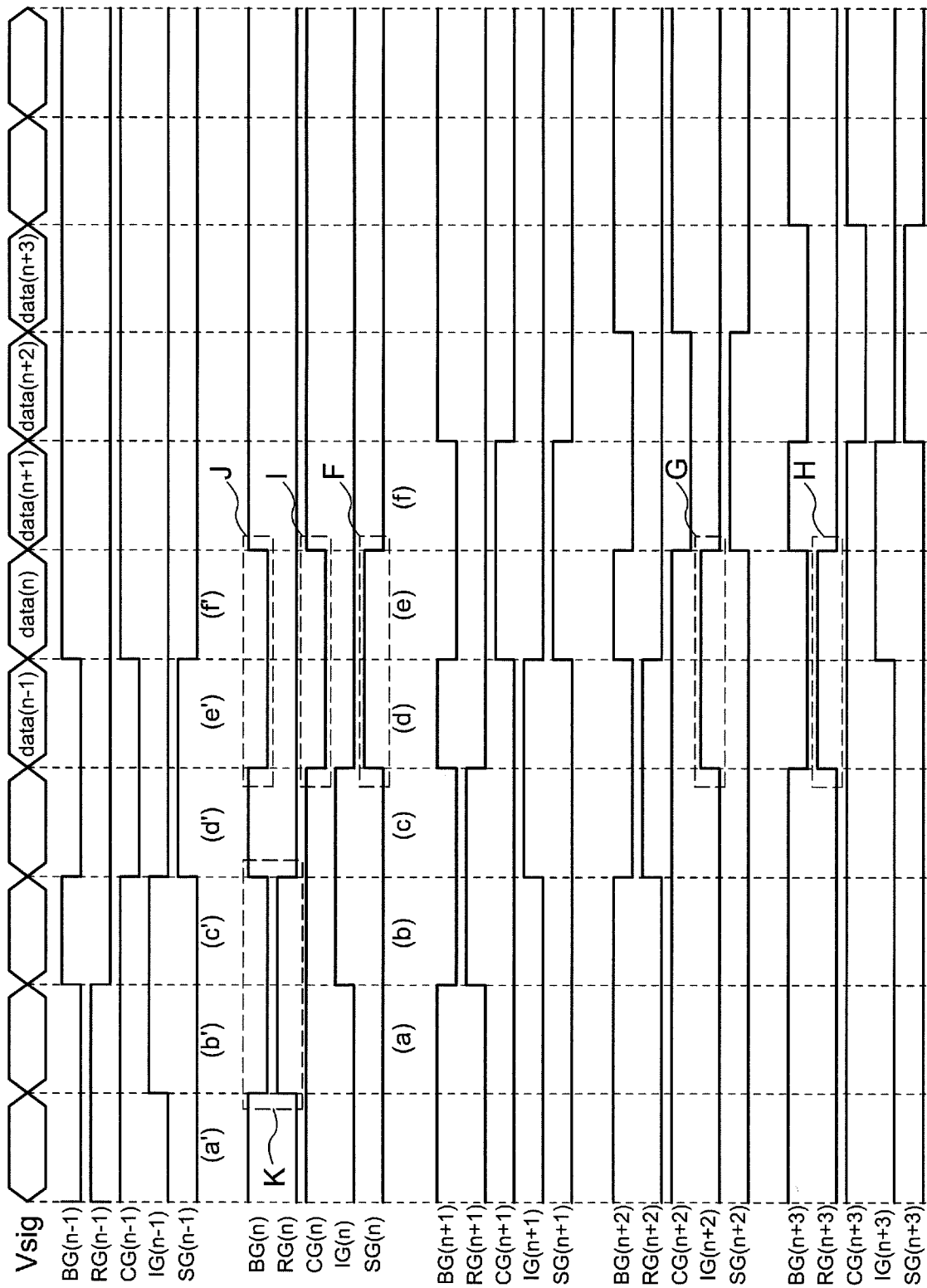
【圖6】



【圖7】



【圖8】



【圖9】



公告本

申請日: 105/10/18

IPC分類: G09G 3/3258 (2016.01)

【發明摘要】

【中文發明名稱】

顯示裝置

【中文】

本發明之目的在於提供一種可實現窄邊框化之顯示裝置。

顯示裝置具有：發光元件；驅動電晶體，其連接於發光元件；第1開關元件，其連接於驅動電晶體及主電源線；第2開關元件，其連接於驅動電晶體及重設電源線；第3開關元件，其連接於驅動電晶體及信號線；第4開關元件，其連接於第3開關元件及初始化電源線；及電容元件，其連接於驅動電晶體及第3開關元件；且對第2開關元件、第3開關元件、及第4開關元件各者之閘極端予供給2水平期間之導通信號。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

100	像素電路
130	第1主電源線
132	第2主電源線
140	初始化電源線
142	重設電源線
144	圖像資料信號線
150	輸出控制信號線
152	重設控制信號線
154	像素控制信號線

156	初始化控制信號線
211	第1端子
212	第2端子
213	閘極端子
221	第1電子
222	第2端子
223	閘極端子
231	第1端子
232	第2端子
233	閘極端子
241	第1端子
242	第2端子
243	閘極端子
251	第1端子
252	第2端子
253	閘極端子
261	第1電容端子
262	第2電容端子
271	第1電容端子
272	第2電容端子
BCT	輸出電晶體
BG	輸出控制信號
Cad	輔助電容

Cs	保持電容
D1	發光元件
DRT	驅動電晶體
IG	初始化控制信號
IST	初始化電晶體
PVDD	第1主電源電壓
PVSS	第2主電源電壓
RG	重設控制信號
RST	重設電晶體
SG	像素控制信號
SST	像素電晶體
Vini	初始化電源電壓
Vrst	重設電源電壓
Vsig	圖像資料

【發明申請專利範圍】

【第1項】

一種顯示裝置，其包含排列於列方向及行方向之複數個像素，且上述複數個像素之各者包含：

發光元件；

驅動電晶體，其源極及汲極之一者連接於上述發光元件；

第1開關元件，其源極及汲極之一者連接於上述驅動電晶體之源極及汲極之另一者，且源極及汲極之另一者連接於主電源線；

第2開關元件，其源極及汲極之一者連接於上述驅動電晶體之源極及汲極之一者，且源極及汲極之另一者連接於重設電源線；

第3開關元件，其源極及汲極之一者連接於上述驅動電晶體之閘極端子，且源極及汲極之另一者連接於信號線；

第4開關元件，其源極及汲極之一者連接於上述第3開關元件之源極及汲極之一者，源極及汲極之另一者連接於初始化電源線；及

電容元件，其一者之電極連接於上述驅動電晶體之源極及汲極之一者，另一者之電極連接於上述第3開關元件之源極及汲極之一者；

對上述第2開關元件、上述第3開關元件、及上述第4開關元件各者之閘極端子供給2水平期間之導通信號。

【第2項】

如請求項1之顯示裝置，其進而包含針對各列設置之複數個移位暫存器；且

第n列之上述移位暫存器係控制：

第n列之上述第3開關元件；

第 $n+2$ 列之上述第4開關元件；及

第 $n+3$ 列之上述第2開關元件。

【第3項】

如請求項1之顯示裝置，其中上述顯示裝置具有第1重設期間、第2重設期間、臨限值補償期間、及寫入期間；

上述第1重設期間係上述第1開關元件為斷開狀態，上述第2開關元件為導通狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為斷開狀態；

上述第2重設期間係上述第1開關元件為斷開狀態，上述第2開關元件為導通狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為導通狀態；

上述臨限值補償期間係上述第1開關元件為導通狀態，上述第2開關元件為斷開狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為導通狀態；

上述寫入期間係上述第1開關元件為斷開狀態，上述第2開關元件為斷開狀態，上述第3開關元件為導通狀態，及上述第4開關元件為斷開狀態。

【第4項】

如請求項1之顯示裝置，其中上述顯示裝置具有：

第1重設期間，其將供給至上述重設電源線之重設電源電壓，供給至上述驅動電晶體之源極及汲極之一者；

第2重設期間，其將供給至上述初始化電源線之初始化電源電壓，供給至上述驅動電晶體之閘極端子；

臨限值補償期間，其切斷供給至上述驅動電晶體之源極及汲極之一者之上述重設電源電壓，且將供給至上述主電源線之主電源電壓供給至上述驅動電晶體之源極及汲極之另一者，並使基於上述驅動電晶體之臨限值電壓之電荷保持於上述電容元件；及

寫入期間，其切斷供給至上述驅動電晶體之源極及汲極之另一者之上述主電源電壓、及供給至上述驅動電晶體之閘極端子之上述初始化電源電壓，將供給至上述信號線之信號電壓供給至上述驅動電晶體之閘極端子，且使基於上述臨限值電壓及上述信號電壓之電荷保持於上述電容元件。

【第5項】

一種顯示裝置，其包含排列於列方向及行方向之複數個像素，且上述複數個像素之各者包含：

發光元件；

驅動電晶體，其源極及汲極之一者連接於上述發光元件；

第1開關元件，其源極及汲極之一者連接於上述驅動電晶體之源極及汲極之另一者；

第2開關元件，其源極及汲極之一者連接於上述第1開關元件之源極及汲極之另一者，且源極及汲極之另一者連接於主電源線；

第3開關元件，其源極及汲極之一者連接於上述驅動電晶體之閘極端子，且源極及汲極之另一者連接於信號線；

第4開關元件，其源極及汲極之一者連接於上述第3開關元件之源極及汲極之一者，且源極及汲極之另一者連接於初始化電源線；及

電容元件，其一者之電極連接於上述驅動電晶體之源極及汲極之一

者，另一者之電極連接於上述第3開關元件之源極及汲極之一者；且

上述第1開關元件之源極及汲極之另一者及上述第2開關元件之源極及汲極之一者，係經由第5開關元件而連接於重設電源線；

對上述第3開關元件、上述第4開關元件、及上述第5開關元件各者之閘極端子，供給2水平期間之導通信號。

【第6項】

如請求項5之顯示裝置，其中進而包含針對各列設置之複數個移位暫存器；

第n列之上述移位暫存器係控制：

第n列之上述第3開關元件；

第n+2列之上述第4開關元件；

第n+3列之上述第5開關元件。

【第7項】

如請求項5之顯示裝置，其中上述顯示裝置具有第1重設期間、第2重設期間、臨限值補償期間、及寫入期間；

上述第1重設期間係上述第1開關元件為導通狀態，上述第2開關元件為斷開狀態，上述第3開關元件為斷開狀態，上述第4開關元件為斷開狀態，及第5開關元件為導通狀態；

上述第2重設期間係上述第1開關元件為導通狀態，上述第2開關元件為斷開狀態，上述第3開關元件為斷開狀態，上述第4開關元件為導通狀態，及第5開關元件為導通狀態；

上述臨限值補償期間係上述第1開關元件為導通狀態，上述第2開關元件為導通狀態，上述第3開關元件為斷開狀態，上述第4開關元件為導通

狀態，及第5開關元件為斷開狀態；

上述寫入期間係上述第1開關元件為斷開狀態，上述第2開關元件為斷開狀態，上述第3開關元件為導通狀態，上述第4開關元件為斷開狀態，及上述第5開關元件為斷開狀態。

【第8項】

如請求項5之顯示裝置，其中上述顯示裝置具有：

第1重設期間，其將供給至上述重設電源線之重設電源電壓，供給至上述驅動電晶體之源極及汲極之另一者；

第2重設期間，其將供給至上述初始化電源線之初始化電源電壓，供給至上述驅動電晶體之閘極端子；

臨限值補償期間，其切斷供給至上述驅動電晶體之源極及汲極之另一者之上述重設電源電壓，將供給至上述主電源線之主電源電壓供給至上述驅動電晶體之源極及汲極之另一者，且使基於上述驅動電晶體之臨限值電壓之電荷保持於上述電容元件；及

寫入期間，其切斷供給至上述驅動電晶體之源極及汲極之另一者之上述主電源電壓、及供給至上述驅動電晶體之閘極端子之上述初始化電源電壓，將供給至上述信號線之信號電壓供給至上述驅動電晶體之閘極端子，且使基於上述臨限值電壓及上述信號電壓之電荷保持於上述電容元件。

【第9項】

一種顯示裝置，其包含排列於列方向及行方向之複數個像素，且上述複數個像素之各者包含：

發光元件；

驅動電晶體，其包含連接於上述發光元件之第1端子、第2端子及第1閘極端子；

第1開關元件，其包含連接於上述第2端子之第3端子、連接於主電源線之第4端子、及第2閘極端子；

第2開關元件，其包含連接於上述第1端子之第5端子、連接於重設電源線之第6端子、及第3閘極端子；

第3開關元件，其包含連接於上述第1閘極端子之第7端子、連接於信號線之第8端子、及第4閘極端子；

第4開關元件，其包含連接於上述第7端子之第9端子、連接於初始化電源線之第10端子、及第5閘極端子；及

電容元件，其包含連接於上述第1端子之第1電容端子及連接於上述第7端子之第2電容端子；且

對上述第3閘極端子、上述第4閘極端子、及上述第5閘極端子分別供給2水平期間之導通信號。

【第10項】

如請求項9之顯示裝置，其進而包含針對各列設置之複數個移位暫存器；

第n列之上述移位暫存器係控制：

第n列之上述第3開關元件；

第n+2列之上述第4開關元件；

第n+3列之上述第2開關元件。

【第11項】

如請求項9之顯示裝置，其中上述顯示裝置具有第1重設期間、第2重

設期間、臨限值補償期間、及寫入期間；

上述第1重設期間係上述第1開關元件為斷開狀態，上述第2開關元件為導通狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為斷開狀態；

上述第2重設期間係上述第1開關元件為斷開狀態，上述第2開關元件為導通狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為導通狀態；

上述臨限值補償期間係上述第1開關元件為導通狀態，上述第2開關元件為斷開狀態，上述第3開關元件為斷開狀態，及上述第4開關元件為導通狀態；

上述寫入期間係上述第1開關元件為斷開狀態，上述第2開關元件為斷開狀態，上述第3開關元件為導通狀態，及上述第4開關元件為斷開狀態。

【第12項】

如請求項9之顯示裝置，其中上述顯示裝置具有：

第1重設期間，其將供給至上述重設電源線之重設電源電壓，供給至上述第1端子；

第2重設期間，其將供給至上述初始化電源線之初始化電源電壓，供給至上述第1閘極端子；

臨限值補償期間，其切斷供給至上述第1端子之上述重設電源電壓，將供給至上述主電源線之主電源電壓供給至上述第2端子，且使基於上述驅動電晶體之臨限值電壓之電荷保持於上述電容元件；及

寫入期間，其切斷供給至上述第2端子之上述主電源電壓、及供給至上述第1閘極端子之上述初始化電源電壓，將供給至上述信號線之信號電

壓供給至上述第1閘極端子，且使基於上述臨限值電壓及上述信號電壓之電荷保持於上述電容元件。