



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I855809 B

(45)公告日：中華民國 113 (2024) 年 09 月 11 日

(21)申請案號：112129423

(22)申請日：中華民國 112 (2023) 年 08 月 04 日

(51)Int. Cl. : **H02M3/335 (2006.01)**

(30)優先權：2023/06/16 中國大陸 2023107242231

(71)申請人：大陸商昂寶電子(上海)有限公司(中國大陸) (CN)
中國大陸

(72)發明人：趙春勝(CN)；劉拓夫(CN)；陳新政(CN)；孫運(CN)

(74)代理人：廖俊龍

(56)參考文獻：

TW 202226742A

TW 202304119A

CN 114123784A

US 2015/0280584A1

審查人員：陳丙寅

申請專利範圍項數：10 項 圖式數：9 共 27 頁

(54)名稱

返馳式變換器電源及其同步整流控制器

(57)摘要

提供了一種返馳式變換器電源及其同步整流控制器。返馳式變換器電源包括變壓器和同步整流電晶體，同步整流控制器被配置為在同步整流電晶體的當前開關週期中：在同步整流電晶體從導通狀態變為關斷狀態的情況下，判斷同步整流電晶體是否在從變壓器的二次繞組開始退磁的時刻開始的第一預定時段內從導通狀態變為關斷狀態；在同步整流電晶體在第一預定時段內從導通狀態變為關斷狀態的情況下，如果在從同步整流電晶體從導通狀態變為關斷狀態的時刻到第一預定時段的結束時刻期間，同步整流電晶體的漏端電壓小於同步整流開啟閾值的持續時間大於第一預定閾值，則控制同步整流電晶體從關斷狀態變為導通狀態。

指定代表圖：

符號簡單說明：

S502, S504, S506, S508, S510, S512, S514, S516, S518: 步驟

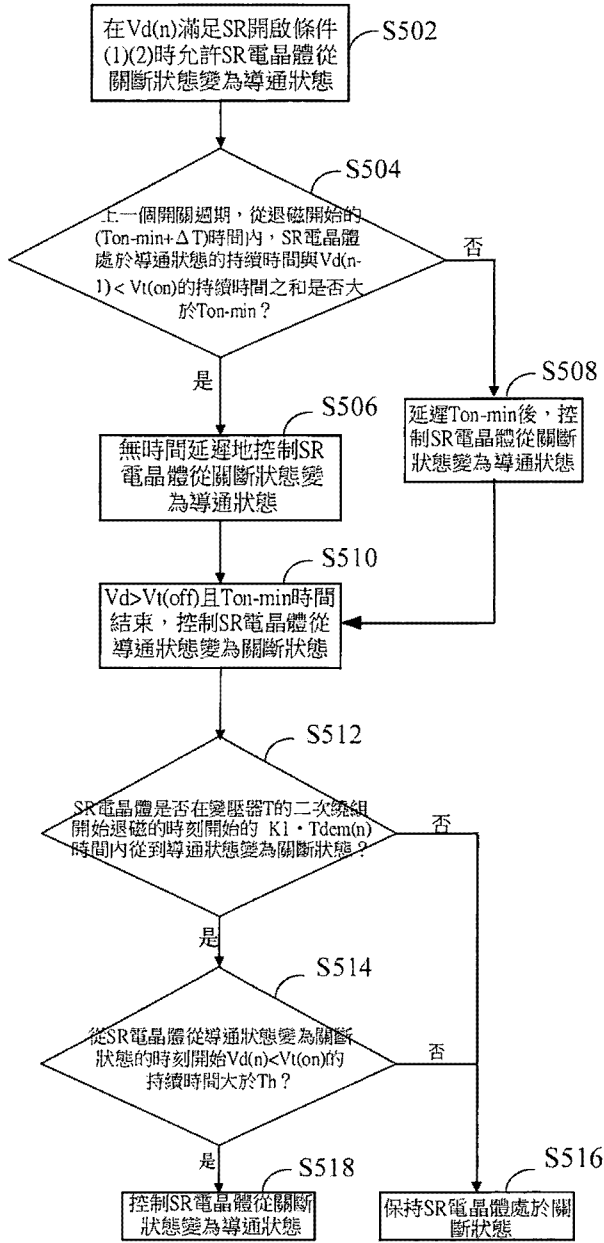


圖5

發明摘要

【發明名稱】(中文/英文)

返馳式變換器電源及其同步整流控制器

【中文】

提供了一種返馳式變換器電源及其同步整流控制器。返馳式變換器電源包括變壓器和同步整流電晶體，同步整流控制器被配置為在同步整流電晶體的當前開關週期中：在同步整流電晶體從導通狀態變為關斷狀態的情況下，判斷同步整流電晶體是否在從變壓器的二次繞組開始退磁的時刻開始的第一預定時段內從導通狀態變為關斷狀態；在同步整流電晶體在第一預定時段內從導通狀態變為關斷狀態的情況下，如果在從同步整流電晶體從導通狀態變為關斷狀態的時刻到第一預定時段的結束時刻期間，同步整流電晶體的漏端電壓小於同步整流開啟閾值的持續時間大於第一預定閾值，則控制同步整流電晶體從關斷狀態變為導通狀態。

【英文】

【代表圖】

【本案指定代表圖】：圖 5。

【本代表圖之符號簡單說明】：

S502, S504, S506, S508, S510, S512, S514, S516, S518：步驟

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

返馳式變換器電源及其同步整流控制器

【技術領域】

【0001】本發明涉及電路領域，更具體地涉及一種返馳式變換器電源及其同步整流控制器。

【先前技術】

【0002】開關電源又稱交換式電源、開關變換器，是電源供應器的一種。開關電源的功能是通過不同形式的架構(例如，返馳(Fly-back)架構、降壓(BUCK)架構、或升壓(BOOST)架構等)將一定範圍的輸入電壓轉換為使用者端需要的電壓或電流。

【發明內容】

【0003】根據本發明實施例的用於返馳式變換器電源的同步整流控制器，其中，返馳式變換器電源包括變壓器和同步整流電晶體，同步整流控制器被配置為在同步整流電晶體的當前開關週期中：在同步整流電晶體從導通狀態變為關斷狀態的情況下，判斷同步整流電晶體是否在從變壓器的二次繞組開始退磁的時刻開始的第一預定時段內從導通狀態變為關斷狀態，其中，第一預定時段的持續時間等於在同步整流電晶體的當前開關週期中變壓器的二次繞組的退磁時間的第一預定比例；以及在同步整流電晶體在第一預定時段內從導通狀態變為關斷狀態的情況下，如果從同步整流電晶體從導通狀態變為關斷狀態的時刻到第一預定時段的結束時刻期間，同步整流電晶體的漏端電壓小於同步整流開啟閾值的持續時間大於第一預定閾值，則控制同步整流電晶體從關斷狀態變為導通狀態，否則保持同步整流電晶體處於關斷狀態。

【圖式簡單說明】

【0004】從下面結合圖式對本發明的具體實施方式的描述中可以更好地理解本發明，其中：

圖 1 示出了根據本發明實施例的返馳式變換器電源的系統結構示意圖。

圖 2 示出了可以用在圖 1 所示的開關電源中的傳統同步整流控制器的電路結構示意圖。

圖 3 示出了圖 1 所示的開關電源採用圖 2 所示的同步整流控制器時的多個信號在同步整流正常開啟和關閉時的時序波形圖。

圖 4 示出了圖 1 所示的開關電源採用圖 2 所示的同步整流控制器時的多個信號在同步整流異常開啟和關閉時的時序波形圖。

圖 5 示出了根據本發明實施例的同步整流控制器用在圖 1 所示的開關電源中時執行的示例控制過程的流程圖。

圖 6 示出了根據本發明實施例的同步整流控制器的示例電路結構示意圖。

圖 7 和圖 8 示出了圖 1 所示的開關電源採用圖 6 所示的同步整流控制器時的多個信號的時序波形圖。

圖 9 示出了圖 6 所示的驅動自恢復控制模組的示例實現電路圖。

【實施方式】

【0005】 下面將詳細描述本發明的各個方面的特徵和示例性實施例。在下面的詳細描述中，提出了許多具體細節，以便提供對本發明的全面理解。但是，對於本領域技術人員來說很明顯的是，本發明可以在不需要這些具體細節中的一些細節的情況下實施。下面對實施例的描述僅僅是為了通過示出本發明的示例來提供對本發明的更好的理解。本發明決不限於下面所提出的任何具體配置和演算法，而是在不脫離本發明的精神的前提下覆蓋了元素、部件和演算法的任何修改、替換和改進。在圖式和下面的描述中，沒有示出公知的結構和技術，以便避免對本發明造成不必要的模糊。

【0006】 圖 1 示出了根據本發明實施例的返馳式變換器電源的電路結構示意圖。在圖 1 所示的開關電源 100 中，T 為變壓器，Q1、Q2、MS 為高壓電晶體（例如，高壓金屬氧化物半導體場效應電晶體），Rcs 為檢測電阻，Cr 為諧振電容，Cout 為輸出電容；同步整流（Synchronous Rectification，SR）控制器與 SR 電晶體 MS 共同構成同步整流器，用來替代傳統的肖特基整流二極體。由於 SR 電晶體 MS 具有較低的導通壓降，可以有效降低系統的熱損耗（降低熱損耗可以

提高系統效率)並增大系統的輸出電流能力,因此同步整流器被廣泛地應用在大輸出電流系統中。通常,隨著輸入/輸出電壓和負載的變化,圖 1 所示的開關電源 100 可以工作在臨界導通模式 (Critical Conduction Mode, CRM)、零電壓諧振谷底導通 (Zero Voltage- Resonant Valley Switching, ZV-RVS) 模式、或脈衝串 (Burst) 模式。

【0007】圖 2 示出了可以用在圖 1 所示的開關電源中的傳統 SR 控制器的電路結構示意圖。在圖 2 所示的 SR 控制器 200 中,穩壓器模組基於 SR 電晶體 MS 的漏端電壓 V_d /開關電源 100 的系統輸出電壓 V_{out} 產生晶片內部電源 AVDD; 電壓/電流基準模組基於晶片內部電源 AVDD 產生參考電壓 v_{ref} 和參考電流 i_{ref} ; 高壓開關 MNH 基於 SR 電晶體 MS 的漏端電壓 V_d 產生漏端電壓表徵信號 V_{d_in} ; SR 開啟比較器 Comp_on 基於漏端電壓表徵信號 V_{d_in} 和同步整流開啟閾值 $V_t(on)$ 產生開啟條件檢測信號 on det; SR 關閉比較器 Comp_off 基於漏端電壓表徵信號 V_{d_in} 和同步整流關閉閾值 $V_t(off)$ 產生關閉條件檢測信號 off det; SR 開啟控制模組基於 SR 電晶體 MS 的漏端電壓 V_d 和同步整流開關信號 sr 產生整流開啟控制信號 on ctrl; 最小導通時間控制模組基於同步整流開關信號 sr 產生用於控制 SR 電晶體 MS 的最小導通時間 T_{on-min} 的最小導通時間控制信號 min_ton (SR 電晶體 MS 在最小導通時間 T_{on-min} 內一直處於導通狀態而不能從導通狀態變為關斷狀態); 反或閘 NOR1 基於開啟條件檢測信號 on det 和整流開啟控制信號 on ctrl 產生同步整流開啟信號 turn on; 反或閘 NOR2 基於關閉條件檢測信號 off det 和最小導通時間控制信號 min_ton 產生同步整流關閉信號 turn off; 鎖存器模組基於同步整流開啟信號 turn on 和同步整流關閉信號 turn off 產生同步整流開關信號 sr; 驅動器模組基於同步整流開關信號 sr 產生用於控制 SR 電晶體 MS 的導通與關斷的閘極控制信號 Gate。

【0008】圖 3 示出了圖 1 所示的開關電源採用圖 2 所示的 SR 控制器時的多個信號在同步整流正常開啟和關閉時的時序波形圖。在圖 3 中, I_{sec} 表示流過 SR 電晶體 MS 的電流, V_d 表示 SR 電晶體 MS 的漏端電壓, Gate 表示用於控制 SR 電晶體 MS 的導通與關斷的閘極控制信號, $V_{dp(n)}$ 表示 SR 電晶體 MS 的當前開關週期的 V_d 平臺電壓, $V_t(slp)$ 表示 V_d 斜率計時起始電壓 (例如,

$0.75 \cdot V_{dp(n-1)}$ ，即 SR 電晶體 MS 的上一個開關週期的 V_d 平臺電壓的 0.75 倍)， $V_t(\text{on})$ 表示同步整流開啟閾值（例如， -200mV ）， $V_t(\text{reg})$ 表示 V_d 電壓調整值（例如， -30mV ）， $V_t(\text{off})$ 表示同步整流關閉閾值（例如， 0mV ）， t_s 表示 V_d 從 $V_t(\text{slp})$ 下降到 $V_t(\text{on})$ 的時間。SR 電晶體 MS 的導通條件包括 (1) $t_s < t_{\text{ref}}$ （例如， 100ns ），(2) $V_d < V_t(\text{on})$ ，只有條件 (1) 和 (2) 同時滿足時 SR 電晶體 MS 才從關斷狀態變為導通狀態。

【0009】 在圖 1 所示的開關電源中，當高壓電晶體 Q1/Q2 的開關頻率小於諧振電容 C_r 和變壓器 T 的一次繞組組成的諧振電路的諧振頻率時，流過變壓器 T 的二次繞組的電流（即，流過 SR 電晶體 MS 的電流）有時會分成兩部分。在採用圖 2 所示的 SR 控制器的情況下，SR 電晶體 MS 僅在前面部分電流流過時從關斷狀態變為導通狀態並且在從導通狀態變為關斷狀態後再有後面部分電流流過時無法再次從關斷狀態變為導通狀態，這會導致系統效率損失。另外，在輸出電壓較低、負載較輕時，前面部分電流的持續時間小於 SR 電晶體 MS 的最小導通時間 $T_{\text{on-min}}$ ，SR 電晶體 MS 由於最小導通時間 $T_{\text{on-min}}$ 的限制不能及時從導通狀態變為關斷狀態，這會引起輸出電流反向並通過變壓器繞組注入到一次側，使得 SR 電晶體 MS 的漏端電壓 V_d 上產生尖峰電壓並導致系統效率損失。

【0010】 圖 4 示出了圖 1 所示的開關電源採用圖 2 所示的 SR 控制器時的多個信號在同步整流異常開啟和關閉時的時序波形圖。在圖 4 中， I_{sec} 表示流過 SR 電晶體 MS 的電流，在 SR 電晶體 MS 的一個開關週期內分為 $I_{\text{sec1}}(n)$ 和 $I_{\text{sec2}}(n)$ 兩部分； V_d 表示 SR 電晶體 MS 的漏端電壓；Gate 表示用於控制 SR 電晶體 MS 的導通與關斷的閘極控制信號； min_ton 表示用於控制 SR 電晶體 MS 的最小導通時間 $T_{\text{on-min}}$ 的最小導通時間控制信號。從圖 4 可以看出，存在兩個問題：第一，在 SR 電晶體 MS 的每個開關週期中，在 SR 電晶體 MS 從導通狀態變為關斷狀態後，SR 電晶體 MS 的漏端電壓 V_d 不再滿足 SR 電晶體 MS 的導通條件，閘極控制信號 Gate 僅包括對應 $I_{\text{sec1}}(n)$ 的部分 $\text{Gate1}(n)$ 而沒有對應 $I_{\text{sec2}}(n)$ 的部分， $I_{\text{sec2}}(n)$ 流過 SR 電晶體 MS 的體二極體，SR 電晶體 MS 的體二極體的較大壓降會導致系統效率損失；第二，由於 SR 電晶體 MS 的最小導通時間 $T_{\text{on-min}}$ 的限制，閘極控制信號 Gate 不能在 $I_{\text{sec1}}(n)$ 變為零時隨著它及時變

化，使得 SR 電晶體 MS 不能及時從導通狀態變為關斷狀態， $I_{sec1(n)}$ 反向流動並注入到一次側，SR 電晶體 MS 的漏端電壓 V_d 上產生尖峰電壓並導致系統效率損失。

【0011】 鑒於上述一個或多個問題，提出了可以用在圖 1 所示的開關電源 100 中的根據本發明實施例的 SR 控制器。根據本發明實施例的 SR 控制器可以被配置為在 SR 電晶體 MS 的當前開關週期中：在 SR 電晶體 MS 從導通狀態變為關斷狀態的情況下，判斷 SR 電晶體 MS 是否在從變壓器 T 的二次繞組開始退磁的時刻開始的第一預定時段內從導通狀態變為關斷狀態，其中，第一預定時段的持續時間等於在 SR 電晶體 MS 的當前開關週期中變壓器 T 的二次繞組的退磁時間 $T_{dem(n)}$ 的第一預定比例 K_1 （例如， $K_1=0.75$ ）；在 SR 電晶體 MS 在第一預定時段內從導通狀態變為關斷狀態的情況下，如果從 SR 電晶體 MS 從導通狀態變為關斷狀態的時刻到第一預定時段的結束時刻期間，SR 電晶體 MS 的漏端電壓 $V_d(n)$ 小於同步整流開啟閾值 $V_t(on)$ 的持續時間大於第一預定閾值 T_h （例如， $T_h=200ns$ ），則控制 SR 電晶體 MS 從關斷狀態變為導通狀態，否則保持 SR 電晶體 MS 處於關斷狀態。

【0012】 換句話說，根據本發明實施例的 SR 控制器可以被配置為在 SR 電晶體 MS 的當前開關週期中，在 SR 電晶體 MS 從導通狀態變為關斷狀態的情況下執行對於 SR 電晶體 MS 的驅動自恢復控制。具體地，在 SR 電晶體 MS 的當前開關週期中，如果在從變壓器 T 的二次繞組開始退磁的時刻開始的 $K_1 \cdot T_{dem(n)}$ 時間內 SR 電晶體 MS 從導通狀態變為關斷狀態並且從 SR 電晶體 MS 從導通狀態變為關斷狀態的時刻開始 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 小於同步整流開啟閾值 $V_t(on)$ （即， $V_d(n) < V_t(on)$ ）的持續時間大於第一預定閾值 T_h ，則控制 SR 電晶體 MS 從關斷狀態變為導通狀態，否則保持 SR 電晶體 MS 處於關斷狀態。

【0013】 在一些實施例中，根據本發明實施例的 SR 控制器進一步被配置為在 SR 電晶體 MS 的當前開關週期中：在 SR 電晶體 MS 在第一預定時段以外的其他時間從導通狀態變為關斷狀態的情況下，保持 SR 電晶體 MS 處於關斷狀態。

【0014】 在一些實施例中，根據本發明實施例的 SR 控制器進一步被配置

為在 SR 電晶體 MS 的當前開關週期中：基於 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 和開關電源 100 的系統輸出電壓 $V_{out}(n)$ ，利用電感伏秒平衡原理獲取變壓器 T 的二次繞組的退磁時間 $T_{dem}(n)$ 。

【0015】 在一些實施例中，根據本發明實施例的 SR 控制器進一步被配置為在 SR 電晶體 MS 的當前開關週期中：在 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 小於同步整流開啟閾值 $V_t(on)$ 且從斜率計時起始電壓 $V_t(slp)$ 下降到同步整流開啟閾值 $V_t(on)$ 的時間 t_s 小於第二預定閾值 t_{ref} 的情況下，允許 SR 電晶體 MS 從關斷狀態變為導通狀態，其中，斜率計時起始電壓 $V_t(slp)$ 是 SR 電晶體 MS 的漏端電壓 V_d 在上一個開關週期的平臺電壓 $V_{dp}(n-1)$ 的第二預定比例 K_2 (即， $V_t(slp) = V_{dp}(n-1) \cdot K_2$)。

【0016】 在一些實施例中，根據本發明實施例的 SR 控制器進一步被配置為在 SR 電晶體 MS 的當前開關週期中：判斷在 SR 電晶體 MS 的上一個開關週期中從變壓器 T 的二次繞組開始退磁的時刻開始的第二預定時段內，SR 電晶體 MS 處於導通狀態的持續時間與 SR 電晶體 MS 的漏端電壓 $V_d(n-1)$ 小於同步整流開啟閾值 $V_t(on)$ 的持續時間之和是否大於 SR 電晶體 MS 的最小導通時間 T_{on-min} ，其中，第二預定時段的持續時間等於 SR 電晶體 MS 的最小導通時間 T_{on-min} 與預定時間增量 ΔT 之和；如果在第二預定時段內 SR 電晶體 MS 處於導通狀態的持續時間與 SR 電晶體 MS 的漏端電壓 $V_d(n-1)$ 小於同步整流開啟閾值 $V_t(on)$ 的持續時間之和不大於 SR 電晶體 MS 的最小導通時間 T_{on-min} ，則從 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 下降到同步整流開啟閾值 $V_t(on)$ 的時刻開始延遲 SR 電晶體 MS 的最小導通時間 T_{on-min} 之後，控制 SR 電晶體 MS 從關斷狀態變為導通狀態，否則無時間延遲地控制 SR 電晶體 MS 從關斷狀態變為導通狀態。

【0017】 在一些實施例中，根據本發明實施例的 SR 控制器進一步被配置為在 SR 電晶體 MS 的當前開關週期中：在 SR 電晶體 MS 處於導通狀態的持續時間大於或等於 SR 電晶體 MS 的最小導通時間 T_{on-min} 且 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 大於同步整流關閉閾值 $V_t(off)$ 的情況下，控制 SR 電晶體 MS 從導通狀態變為關斷狀態。

【0018】圖 5 示出了根據本發明實施例的 SR 控制器用在圖 1 所示的開關電源中時執行的示例控制過程的流程圖。如圖 5 所示，根據本發明實施例的 SR 控制器用在圖 1 所示的開關電源中時執行的示例控制過程包括：步驟 S502，檢測 SR 電晶體 MS 的漏端電壓 $V_d(n)$ ，並且在 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 滿足結合圖 3 所述的導通條件 (1) 和 (2) 時允許 SR 電晶體 MS 從關斷狀態變為導通狀態；步驟 S504，判斷在 SR 電晶體 MS 的上一個開關週期中，從變壓器 T 的二次繞組開始退磁的時刻開始的 $(T_{on-min} + \Delta T)$ 時間內 SR 電晶體 MS 處於導通狀態的持續時間與 SR 電晶體 MS 的漏端電壓 $V_d(n-1)$ 小於同步整流開啟閾值 $V_t(on)$ 的持續時間之和是否大於 SR 電晶體 MS 的最小導通時間 T_{on-min} ；如果步驟 S504 的判斷結果為是，則轉向步驟 S506，無時間延遲地控制 SR 電晶體 MS 從關斷狀態變為導通狀態；如果步驟 S504 的判斷結果為否，則轉向步驟 S508，從 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 下降到同步整流開啟閾值 $V_t(on)$ 的時刻開始延遲 SR 電晶體 MS 的最小導通時間 T_{on-min} 之後，控制 SR 電晶體 MS 從關斷狀態變為導通狀態；步驟 S510，在 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 大於同步整流關閉閾值 $V_t(off)$ 且 SR 電晶體 MS 處於導通狀態的持續時間大於或等於最小導通時間 T_{on-min} 時，控制 SR 電晶體 MS 從導通狀態變為關斷狀態；步驟 S512，判斷 SR 電晶體 MS 是否在變壓器 T 的二次繞組開始退磁的時刻開始的 $K1 \cdot T_{dem}(n)$ 時間內從導通狀態變為關斷狀態；如果步驟 S512 的判斷結果為是，則轉向步驟 S514，判斷在變壓器 T 的二次繞組開始退磁的時刻開始的 $K1 \cdot T_{dem}(n)$ 時間內，從 SR 電晶體 MS 從導通狀態變為關斷狀態的時刻開始 SR 電晶體 MS 的漏端電壓 $V_d(n)$ 小於同步整流開啟閾值 $V_t(on)$ 的持續時間是否大於 T_h ；如果步驟 S512 的判斷結果為否，則轉向步驟 S516，保持 SR 電晶體 MS 處於關斷狀態；如果步驟 S514 的判斷結果為是，則轉向步驟 S518，控制 SR 電晶體 MS 從關斷狀態變為導通狀態；如果步驟 S514 的判斷結果為否，則轉向步驟 S516。

【0019】圖 6 示出了根據本發明實施例的 SR 控制器的示例電路結構示意圖。在圖 6 所示的 SR 控制器 600 中，基於 SR 電晶體 MS 的漏端電壓 V_d 、同步整流開啟閾值 $V_t(on)$ 、以及同步整流開關信號 sr 產生同步整流開啟信號 $turn\ on$ ；基於 SR 電晶體 MS 的漏端電壓 V_d 、同步整流關閉閾值 $V_t(off)$ 、以及同步整流

開關信號 sr 產生同步整流關閉信號 $turn\ off$ ；基於 SR 電晶體 MS 的漏端電壓 V_d 、同步整流開啟信號 $turn\ on$ 、以及同步整流關閉信號 $turn\ off$ 產生同步整流開關信號 sr 和電晶體控制信號 srg ；以及基於電晶體控制信號 srg 產生用於控制 SR 電晶體 MS 的導通與關斷的閘極控制信號 $Gate$ 。

【0020】 在一些實施例中，如圖 6 所示，高壓開關 MNH 基於 SR 電晶體 MS 的漏端電壓 V_d 產生漏端電壓表徵信號 V_d_in ；SR 開啟比較器 $Comp_on$ 基於漏端電壓表徵信號 V_d_in 和同步整流開啟閾值 $V_t(on)$ 產生開啟條件檢測信號 $on\ det$ ；SR 開啟控制模組基於 SR 電晶體 MS 的漏端電壓 V_d 和同步整流開關信號 sr 產生整流開啟控制信號 $on\ ctrl$ ；反或閘 NOR1 基於開啟條件檢測信號 $on\ det$ 和整流開啟控制信號 $on\ ctrl$ 產生同步整流開啟信號 $turn\ on$ 。

【0021】 在一些實施例中，如圖 6 所示，高壓開關 MNH 基於 SR 電晶體 MS 的漏端電壓 V_d 產生漏端電壓表徵信號 V_d_in ；SR 關閉比較器 $Comp_off$ 基於漏端電壓表徵信號 V_d_in 和同步整流關閉閾值 $V_t(off)$ 產生關閉條件檢測信號 $off\ det$ ；最小導通時間控制模組基於同步整流開關信號 sr 產生用於控制 SR 電晶體 MS 的最小導通時間 Ton_min 的最小導通時間控制信號 min_ton ；反或閘 NOR2 基於關閉條件檢測信號 $off\ det$ 和最小導通時間控制信號 min_ton 產生同步整流關閉信號 $turn\ off$ 。

【0022】 在一些實施例中，如圖 6 所示，驅動自恢復控制模組基於同步整流開啟信號 $turn\ on$ 和同步整流關閉信號 $turn\ off$ 產生同步整流開關信號 sr ，並且基於 SR 電晶體 MS 的漏端電壓 V_d 、同步整流開啟信號 $turn\ on$ 、同步整流關閉信號 $turn\ off$ 、以及同步整流開關信號 sr 產生電晶體控制信號 srg 。

【0023】 圖 7 和圖 8 示出了圖 1 所示的開關電源採用圖 6 所示的 SR 控制器時的多個信號的時序波形圖。在圖 7 和圖 8 中， I_{sec} 表示流過 SR 電晶體 MS 的電流，在 SR 電晶體 MS 的一個開關週期內分為 $I_{sec1}(n)$ 、 $I_{sec2}(n)$ 兩部分； V_d 表示 SR 電晶體 MS 的漏端電壓； $Gate$ 表示用於控制 SR 電晶體 MS 的導通與關斷的閘極控制信號； $on\ det$ 表示整流開啟檢測信號； srg 表示電晶體控制信號； sr 表示同步整流開關信號； min_ton 表示最小導通時間控制信號； Ton_min 表示 SR 電晶體 MS 的最小導通時間。可以看出，在第 n 個開關週期中， $I_{sec1}(n)$

的正向電流持續時間小於 T_{on-min} ，在 $(T_{on-min} + \Delta T)$ 時間內 srg 處於高位準的持續時間與 $on\ det$ 處於低位準的持續時間之和等於 T_{on-min} （重疊部分不重複計算），因此在第 $(n+1)$ 個開關週期內 $Gate(n+1)$ 會被屏蔽一個 T_{on-min} 時間（即，在 $V_d(n)$ 下降到 $V_t(on)$ 的時刻開始延遲 T_{on-min} 之後，控制 SR 電晶體 MS 從關斷狀態變為導通狀態）。在圖 7 中，由於 $I_{sec1}(n+1)$ 的正向電流持續時間小於 T_{on-min} ，因此 $Gate1(n+1)$ 被完全屏蔽， $I_{sec1}(n+1)$ 沒有反向注入。在圖 8 中，由於 $I_{sec1}(n+1)$ 的正向電流持續時間大於 T_{on-min} ，因此 $Gate1(n+1)$ 被屏蔽 T_{on-min} 時間後打出， $I_{sec1}(n+1)$ 也不會反向注入。在第 $n/(n+1)$ 個開關週期中，在 $K1 \cdot T_{dem}(n) / K1 \cdot T_{dem}(n+1)$ 時間內， $V_d > V_t(off)$ 時， srg 從高位準變為低位準，而 sr 保持高位準不變， $I_{sec2}(n) / I_{sec2}(n+1)$ 電流流過 SR 電晶體 MS 的體二極體，當 $V_d < V_t(on)$ 的持續時間大於 T_h 時， $Gate2(n) / Gate2(n+1)$ 輸出，使得 SR 電晶體 MS 再次從關斷狀態變為導通狀態。

【0024】圖 9 示出了圖 6 所示的驅動自恢復控制模組的示例實現電路圖。在圖 9 所示的驅動自恢復控制模組 900 中， $INV1$ 、 $INV2$ 、 $INV3$ 為反相器， $AND1$ 、 $AND2$ 為及閘， $NAND1$ 為反及閘， $dff1$ 、 $dff2$ 為 D 觸發器， C 為積分電容， v_{ramp} 為積分電容 C 上的電壓， $reset$ 為低脈衝觸發放電信號， I_{char} 為與 SR 電晶體 MS 的漏端電壓 V_d 和系統輸出電壓 V_{out} 相關的充電電流， I_{dis} 為與系統輸出電壓 V_{out} 相關的放電電流， R 為預定電阻阻值（圖中未示出）。

$$I_{char} = K1 \cdot \frac{V_{dp}(n) - V_{out}}{R} \quad (1)$$

$$I_{dis} = \frac{V_{out}}{R} \quad (2)$$

【0025】在圖 9 中，充電電流 I_{char} 為積分電容 C 充電的時間為 $T_{onp}(n)$ （即，SR 電晶體 MS 的漏端電壓 $V_d(n)$ 的脈衝寬度），放電電流 I_{dis} 為積分電容 C 放電的時間為 $T_{samp}(n)$ ，在電路平衡時積分電容 C 上的充電電壓和放電電壓相等，即

$$I_{char} \cdot T_{onp}(n) = I_{dis} \cdot T_{samp}(n) \quad (3)$$

結合等式 (1) 至 (3) 可得，

$$T_{samp}(n) = K1 \cdot T_{onp}(n) \cdot \frac{V_{dp}(n) - V_{out}}{V_{out}} \quad (4)$$

當圖 1 所示的開關電源工作時，根據電感伏秒平衡原理可知，

$$(V_{dp}(n) - V_{out}) \cdot T_{onp}(n) = V_{out} \cdot T_{dem}(n) \quad (5)$$

其中， $T_{dem}(n)$ 為在 SR 電晶體 MS 的當前開關週期中變壓器 T 的二次繞組的退磁時間，結合等式 (4) 和 (5) 可得，

$$T_{samp}(n) = K1 \cdot T_{dem}(n) \quad (6)$$

在 SR 電晶體 MS 的當前開關週期中，RS 觸發器產生的採樣信號 samp 處於高位準的時間等於 $T_{samp}(n)$ 。

【0026】 當同步整流開啟信號 turn on 從低位準變為高位準時，經 INV1 產生一個下降沿，輸入到 AND1 後，AND1 也產生一個下降沿，因此 dff1、dff2 同時輸出高位準，即 sr、srg_pre、srg 同時從低位準變為高位準，SR 電晶體 MS 從關斷狀態變為導通狀態；當同步整流關閉信號 turn off 從低位準變為高位準時，經 INV2 變為低位準，將 dff2 的輸出置為低位準，即 srg_pre 從高位準變為低位準，srg 也從高位準變為低位準，SR 電晶體 MS 從導通狀態變為關斷狀態。同時，同步整流關閉信號 turn off 輸入到 NAND1，如果同步整流關閉信號 turn off 從低位準變為高位準的時間處於從變壓器 T 的二次繞組開始退磁的時刻開始的 $K1 \cdot T_{dem}$ 時間內，sampi 為低位準，NAND1 的輸出保持高位準不變，dff1 的輸出 sr 不會從高位準變為低位準，仍保持高位準狀態，只有等 sampi 信號從低位準變為高位準時，同步整流關閉信號 turn off 的翻轉才能將 dff1 的輸出置為低位準；所以，當 Isec2 再次起來時，此電流流經 SR 電晶體 MS 的體二極體續流， V_d 會再次掉到 $V_t(on)$ 以下，此時驅動自恢復檢測模組將 V_d_{in} (此時等於 V_d) 與 $V_t(on)$ 進行比較並計時，如果 $V_d < V_t(on)$ 的持續時間大於 T_h ，且處於從變壓器 T 的二次繞組開始退磁的時刻開始的 $K1 \cdot T_{dem}$ 時間內，則驅動自恢復檢測模組的輸出 autor 會翻轉為低位準，AND1 輸出一個下降沿，dff2 的輸出 srg_pre 會翻轉為高位準，此時 sr 維持高位準狀態，srg 從低位準變為高位準，SR 電晶體從關斷狀態重新變回導通狀態。

【0027】 本發明可以以其他的具體形式實現，而不脫離其精神和本質特徵。例如，特定實施例中所描述的演算法可以被修改，而系統體系結構並不脫離本發明的基本精神。因此，當前的實施例在所有方面都被看作是示例性的而非限定性

的，本發明的範圍由所附請求項而非上述描述定義，並且，落入請求項的含義和等同物的範圍內的全部改變從而都被包括在本發明的範圍之中。

【符號說明】

【0028】

100：開關電源
200, 600：同步整流（SR）控制器
900：驅動自恢復控制模組
AND1, AND2：及閘
autor：驅動自恢復控制信號
AVDD：晶片內部電源
C：積分電容
Comp_off：同步整流（SR）關閉比較器
Comp_on：同步整流（SR）開啟比較器
Cout：輸出電容
Cr：諧振電容
dff1, dff2：D 觸發器
Gate：閘極控制信號
Gate1(n)：閘極控制信號對應 Isec1(n)的部分
Ichar：充電電流
Idis：放電電流
INV1, INV2, INV3：反相器
iref：參考電流
Isec：電流
Isec1(n), Isec2(n)：開關週期
K1：第一預定比例
K2：第二預定比例
min_ton：最小導通時間控制信號
MNH：高壓開關

MS：高壓電晶體（同步整流（SR）電晶體）
NAND1：反及閘
NOR1, NOR2：反或閘
off det：關閉條件檢測信號
on ctrl：整流開啟控制信號
on det：開啟條件檢測信號
Q1, Q2：高壓電晶體
R：預定電阻阻值
Rcs：檢測電阻
reset：低脈衝觸發放電信號
S502, S504, S506, S508, S510, S512, S514, S516, S518：步驟
samp：採樣信號
sampi：採樣信號的反
sr：同步整流開關信號
srg：電晶體控制信號
srg_pre：電晶體前級邏輯控制信號
T：變壓器
Tdem(n)：變壓器 T 的二次繞組的退磁時間
Th：第一預定閾值
Ton-min：最小導通時間
tref：第二預定閾值
ts, Tonp(n), Tsamp(n)：時間
turn off：同步整流關閉信號
turn on：同步整流開啟信號
Vd, Vd(n), Vd(n-1)：漏端電壓
Vd_in：漏端電壓表徵信號
Vdp(n), Vdp(n-1)：Vd 平臺電壓
Vout, Vout(n)：系統輸出電壓

vramp : 電壓

vref : 參考電壓

Vt(off) : 同步整流關閉閾值

Vt(on) : 同步整流開啟閾值

Vt(reg) : Vd 電壓調整值

Vt(slp) : Vd 斜率計時起始電壓

ΔT : 預定時間增量

申請專利範圍

【請求項1】 一種用於返馳式變換器電源的同步整流控制器，其中，所述返馳式變換器電源包括變壓器和同步整流電晶體，所述同步整流控制器被配置為在所述同步整流電晶體的當前開關週期中：

在所述同步整流電晶體從導通狀態變為關斷狀態的情況下，判斷所述同步整流電晶體是否在從所述變壓器的二次繞組開始退磁的時刻開始的第一預定時段內從導通狀態變為關斷狀態，其中，所述第一預定時段的持續時間等於在所述同步整流電晶體的當前開關週期中所述變壓器的二次繞組的退磁時間的第一預定比例；

在所述同步整流電晶體在所述第一預定時段內從導通狀態變為關斷狀態的情況下，如果從所述同步整流電晶體從導通狀態變為關斷狀態的時刻到所述第一預定時段的結束時刻期間，所述同步整流電晶體的漏端電壓小於同步整流開啟閾值的持續時間大於第一預定閾值，則控制所述同步整流電晶體從關斷狀態變為導通狀態，否則保持所述同步整流電晶體處於關斷狀態；以及

在所述同步整流電晶體的漏端電壓小於所述同步整流開啟閾值且所述同步整流電晶體的漏端電壓從斜率計時起始電壓下降到所述同步整流開啟閾值的時間小於第二預定閾值的情況下，允許所述同步整流電晶體從關斷狀態變為導通狀態，其中，所述斜率計時起始電壓是所述同步整流電晶體的漏端電壓在上一個開關週期的平臺電壓的第二預定比例。

【請求項2】 如請求項 1 所述的同步整流控制器，進一步被配置為：

在所述同步整流電晶體在所述第一預定時段以外的其他時間從導通狀態變為關斷狀態的情況下，保持所述同步整流電晶體處於關斷狀態。

【請求項3】 如請求項 1 所述的同步整流控制器，進一步被配置為：

基於所述同步整流電晶體的漏端電壓和所述返馳式變換器電源的系統輸出電壓，利用電感伏秒平衡原理獲取所述變壓器的二次繞組的退磁時間。

【請求項4】 如請求項 1 所述的同步整流控制器，進一步被配置為：

判斷在所述同步整流電晶體的上一個開關週期中從所述變壓器的二次繞組

開始退磁的時刻開始的第二預定時段內，所述同步整流電晶體處於導通狀態的持續時間與所述同步整流電晶體的漏端電壓小於所述同步整流開啟閾值的持續時間之和是否大於所述同步整流電晶體的最小導通時間，其中，所述第二預定時段的持續時間等於所述同步整流電晶體的最小導通時間與預定時間增量之和；以及

在所述第二預定時段內所述同步整流電晶體處於導通狀態的持續時間與所述同步整流電晶體的漏端電壓小於所述同步整流開啟閾值的持續時間之和不大於所述同步整流電晶體的最小導通時間的情況下，從所述同步整流電晶體的漏端電壓下降到所述同步整流開啟閾值的時刻開始延遲所述同步整流電晶體的最小導通時間之後，控制所述同步整流電晶體從關斷狀態變為導通狀態。

【請求項5】 如請求項 4 所述的同步整流控制器，進一步被配置為：

在所述第二預定時段內所述同步整流電晶體處於導通狀態的持續時間與所述同步整流電晶體的漏端電壓小於所述同步整流開啟閾值的持續時間之和大於所述同步整流電晶體的最小導通時間的情況下，無時間延遲地控制所述同步整流電晶體從關斷狀態變為導通狀態。

【請求項6】 如請求項 1 或 4 所述的同步整流控制器，進一步被配置為：

在所述同步整流電晶體處於導通狀態的持續時間大於或等於所述同步整流電晶體的最小導通時間且所述同步整流電晶體的漏端電壓大於同步整流關閉閾值的情況下，控制所述同步整流電晶體從導通狀態變為關斷狀態。

【請求項7】 如請求項 6 所述的同步整流控制器，進一步被配置為：

基於所述同步整流電晶體的漏端電壓、所述同步整流開啟閾值、以及同步整流開關信號產生同步整流開啟信號；

基於所述同步整流電晶體的漏端電壓、所述同步整流關閉閾值、以及所述同步整流開關信號產生同步整流關閉信號；

基於所述同步整流開啟信號和所述同步整流關閉信號產生所述同步整流開關信號；以及

基於所述同步整流電晶體的漏端電壓、所述同步整流開啟信號、所述同步整流關閉信號、以及所述同步整流開關信號產生用於控制所述同步整流電晶體的

導通與關斷的電晶體控制信號。

【請求項8】如請求項 7 所述的同步整流控制器，進一步被配置為：

基於所述同步整流電晶體的漏端電壓產生漏端電壓表徵信號；

基於所述漏端電壓表徵信號和所述同步整流開啟閾值產生開啟條件檢測信號；

基於所述同步整流電晶體的漏端電壓和所述同步整流開關信號產生整流開啟控制信號；以及

基於所述開啟條件檢測信號和所述整流開啟控制信號產生所述同步整流開啟信號。

【請求項9】如請求項 7 所述的同步整流控制器，進一步被配置為：

基於所述同步整流電晶體的漏端電壓產生漏端電壓表徵信號；

基於所述漏端電壓表徵信號和所述同步整流關閉閾值產生關閉條件檢測信號；

基於所述同步整流開關信號產生用於控制所述同步整流電晶體的最小導通時間的最小導通時間控制信號；以及

基於所述關閉條件檢測信號和所述最小導通時間控制信號產生所述同步整流關閉信號。

【請求項10】一種返馳式變換器電源，包括請求項 1 至 9 中任一項所述的同步整流控制器。

圖式

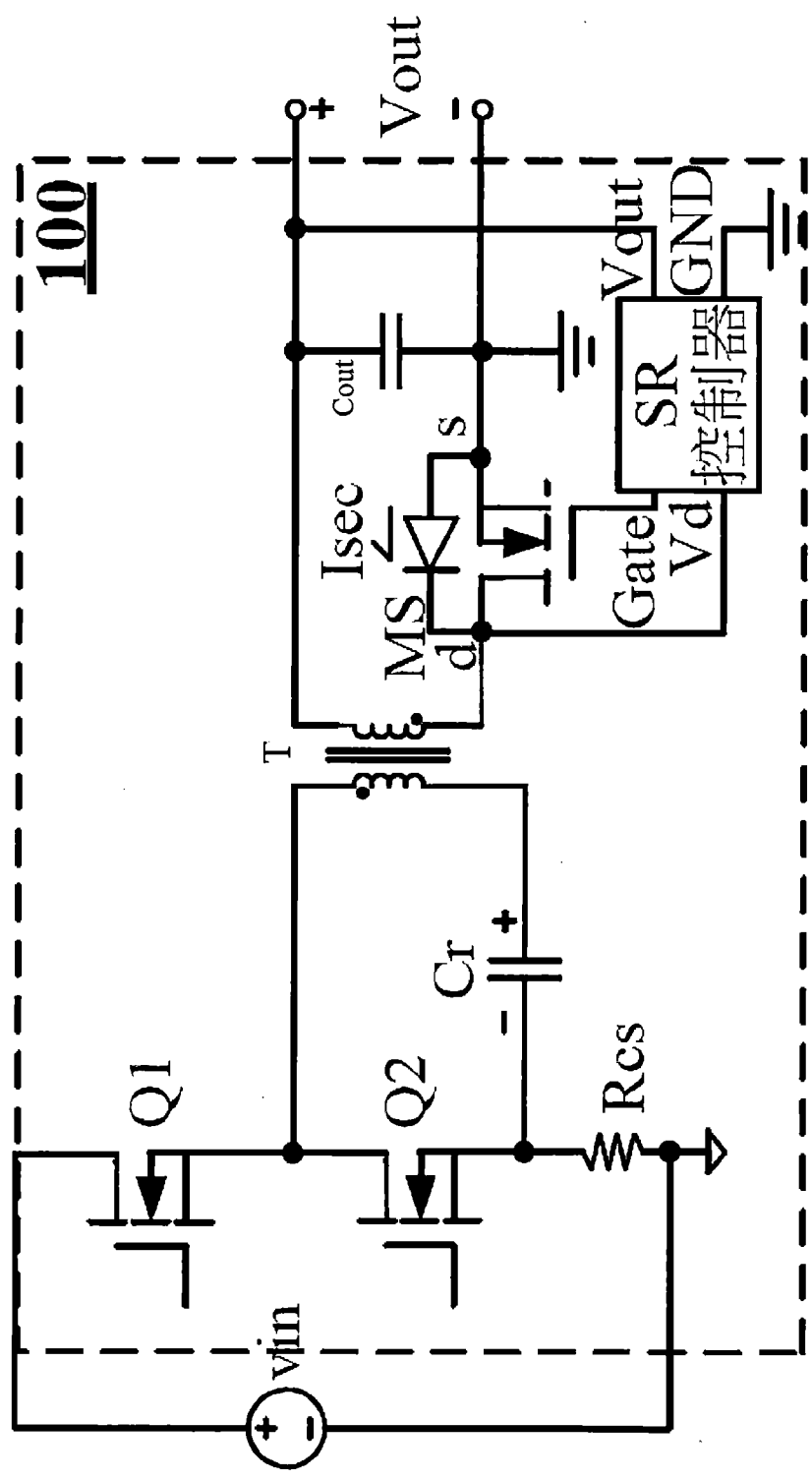


圖1

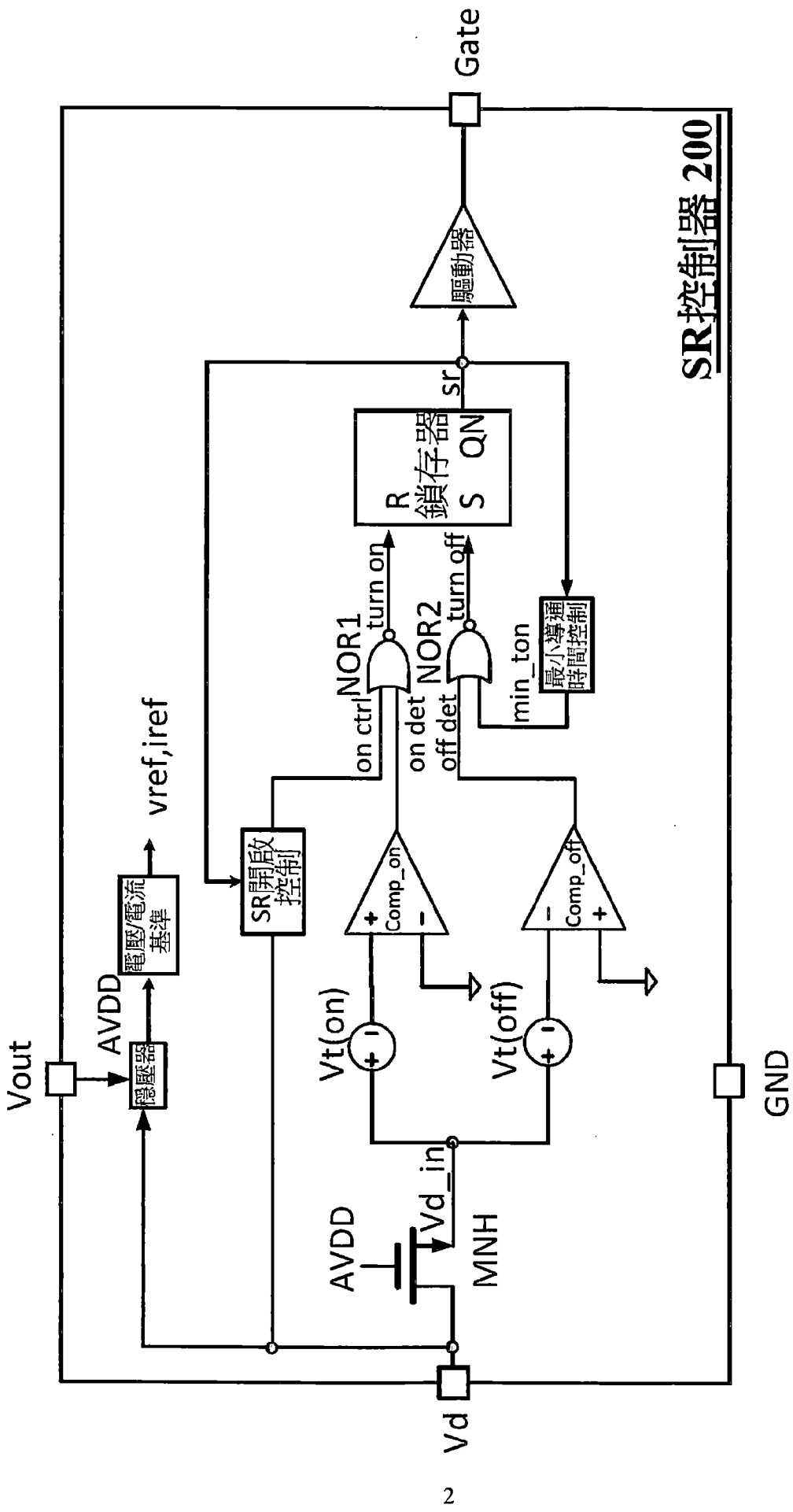


圖2

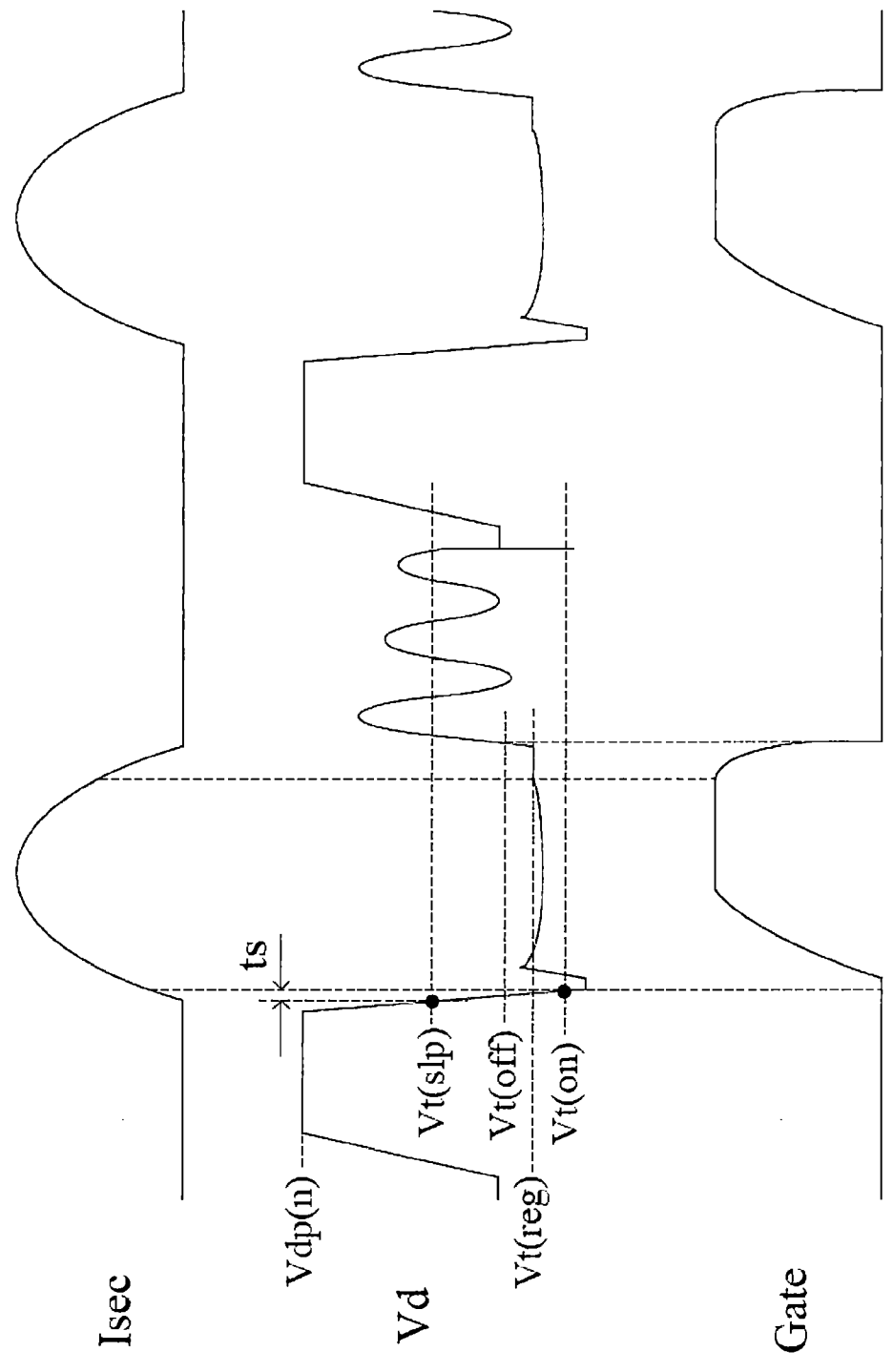


圖3

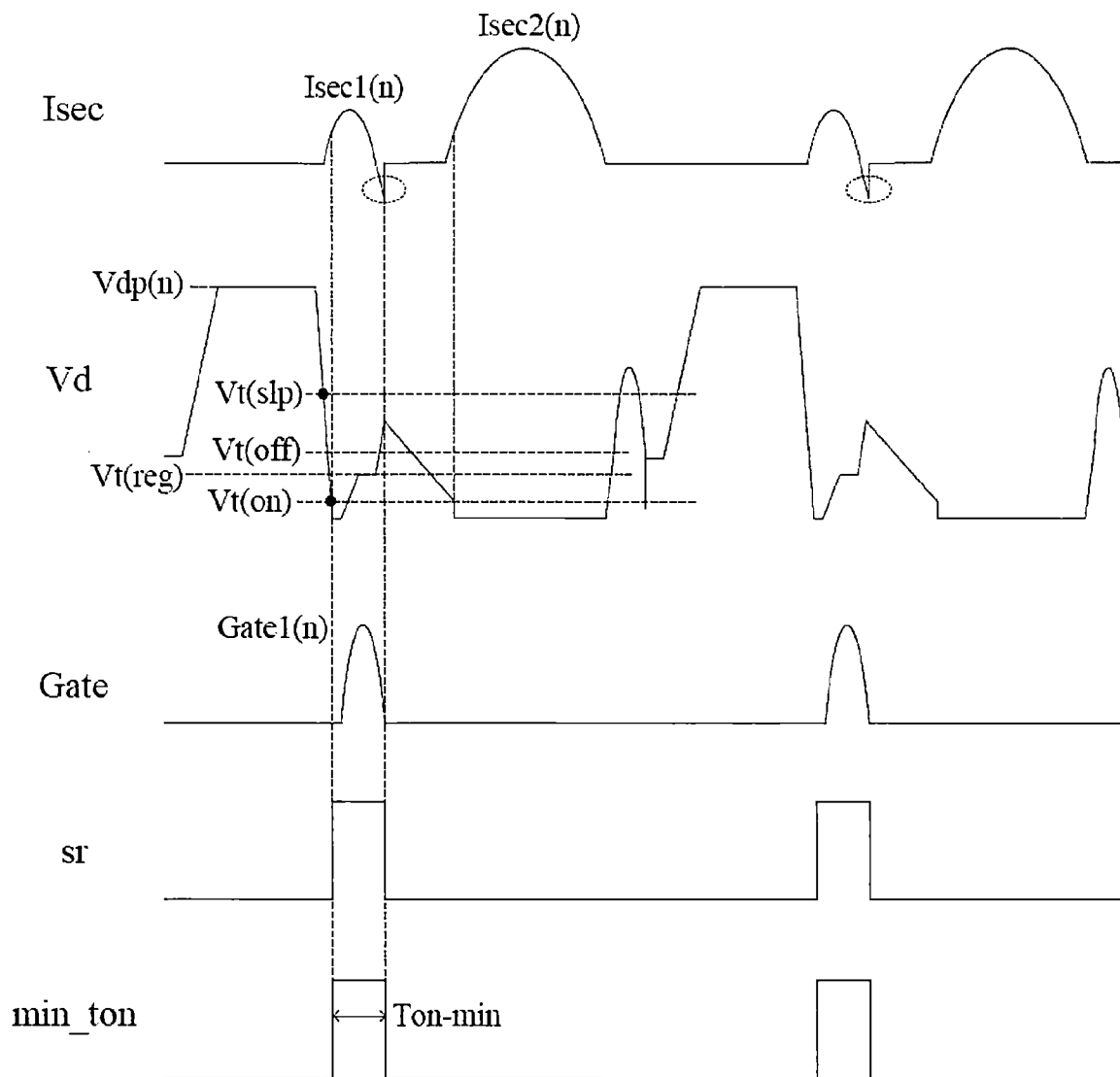


圖4

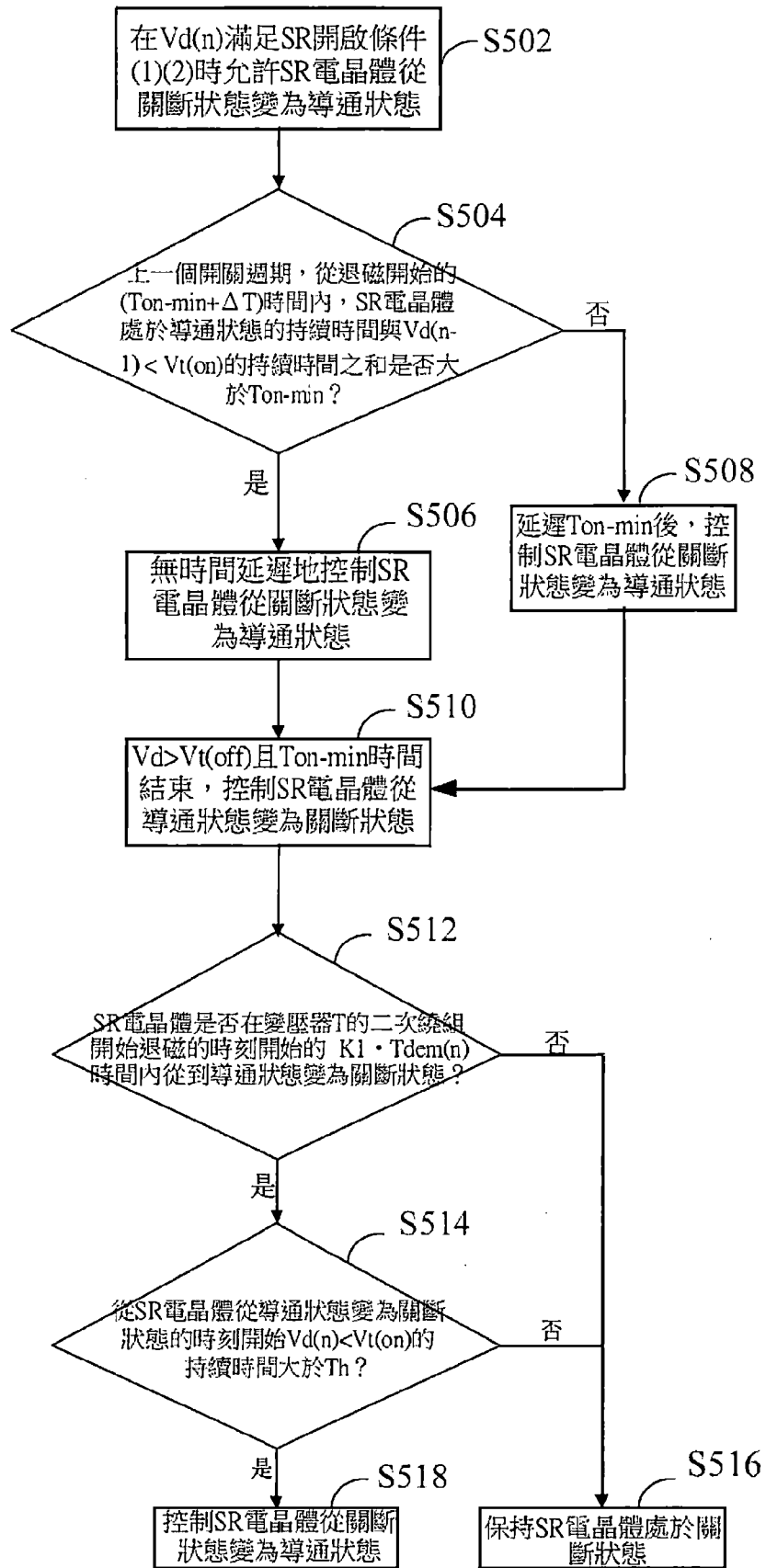
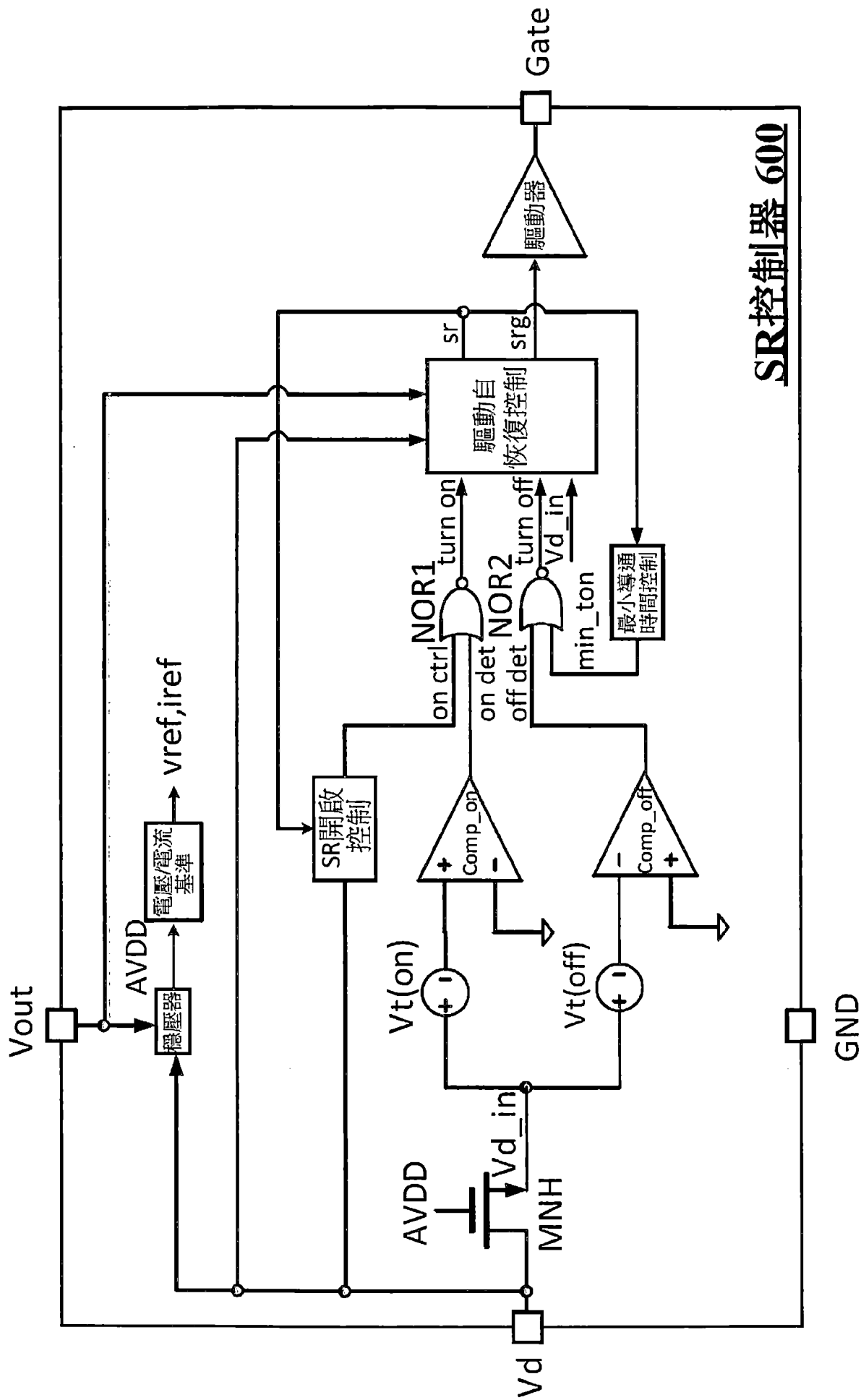


圖5



SR控制器 600

圖6

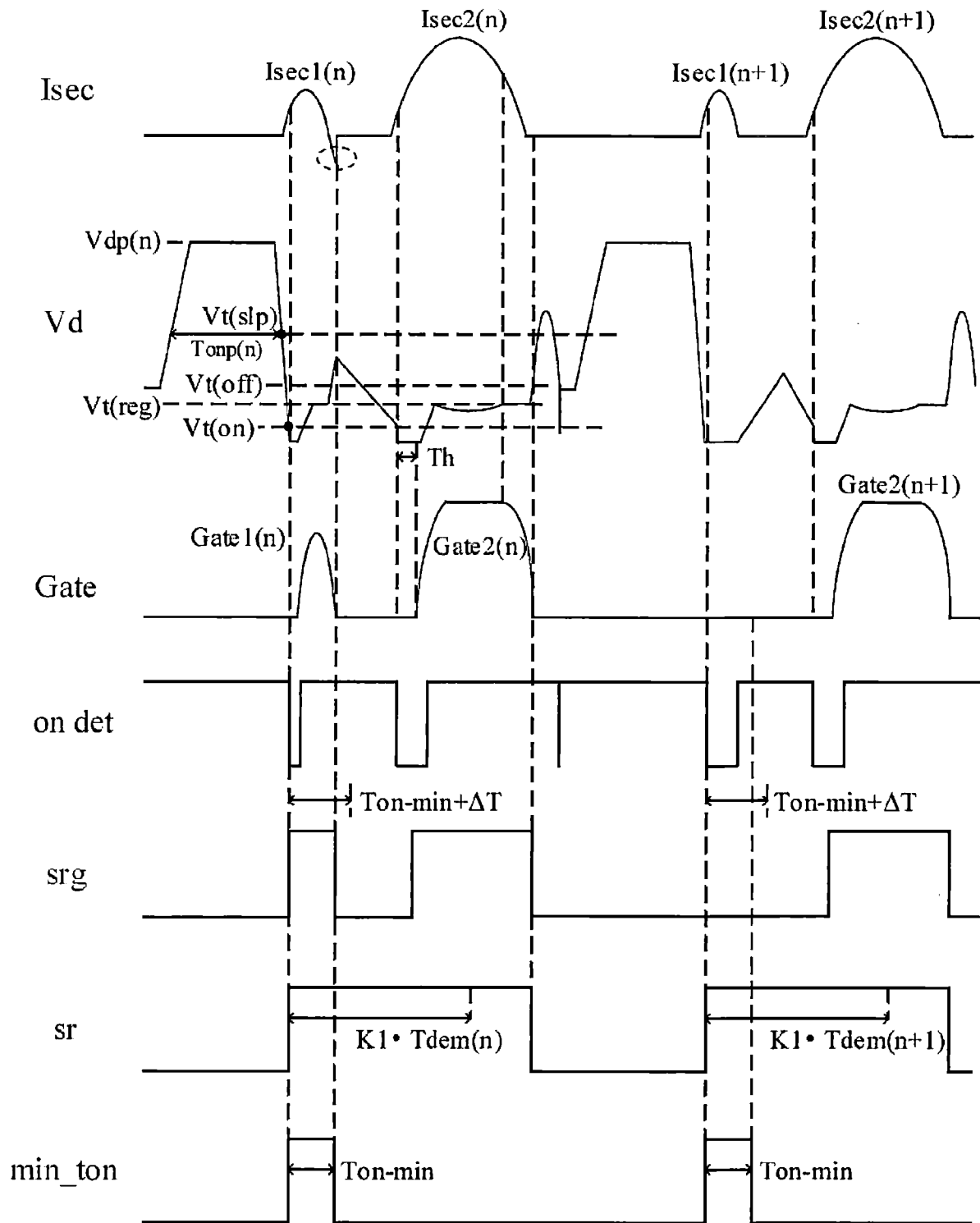


圖7

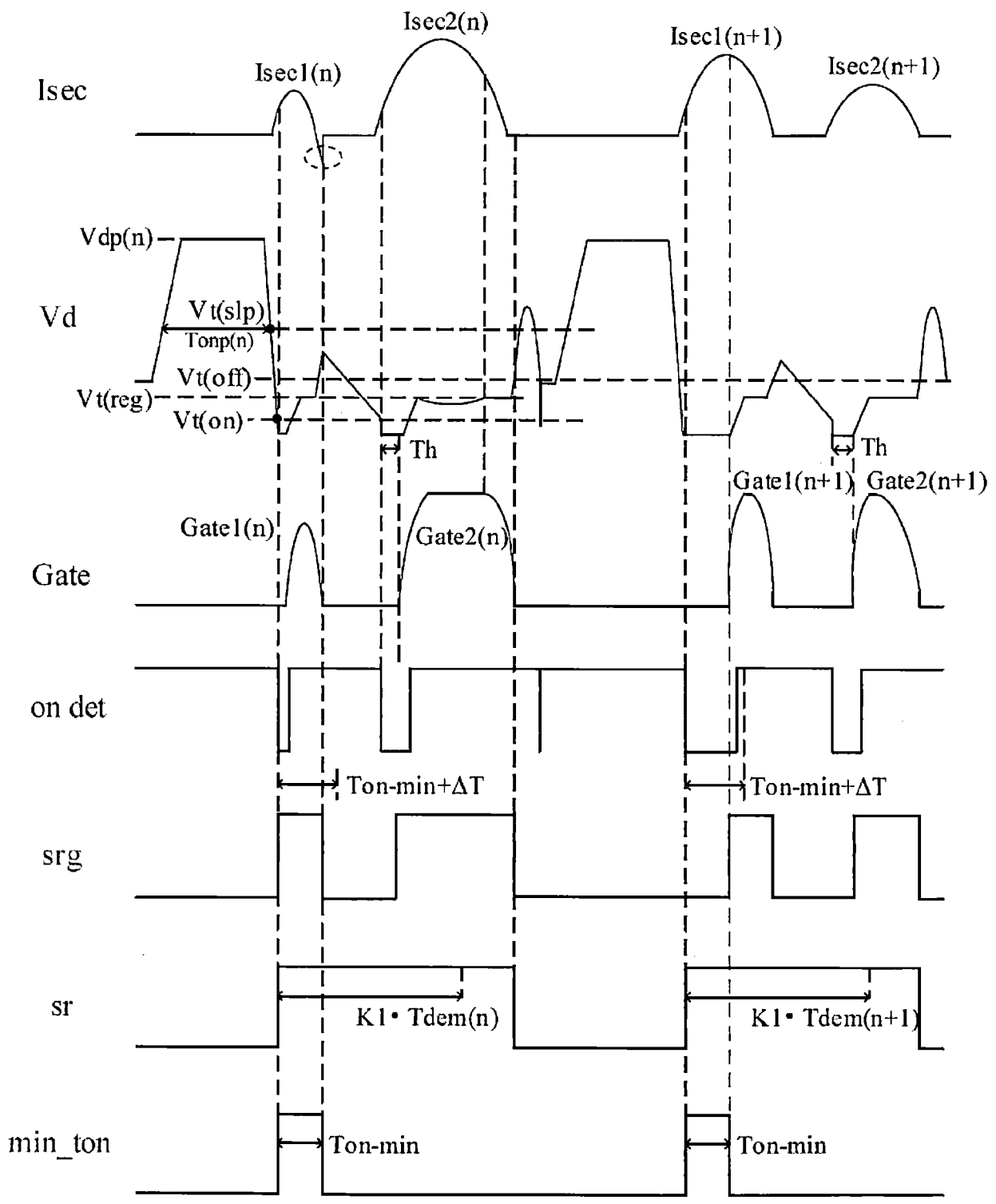


圖8

