

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國 (地區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
2001.11.29 特願2001-363871

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

五、發明說明 (1)

【發明領域】

本發明有關一種具有一壓縮測試功能的記憶體電路，並特別是降低測試壓縮比而能增加缺陷晶胞的利用率並且增加測試設備的同步測量要素之一種記憶體電路。

5 【習知技藝說明】

近來，由於諸如影像資料的儲存之因素，攜帶式資訊端等所使用之半導體記憶體已朝向越來越大容量的趨勢。因此，這些具有增加容量之記憶體電路的測試時間有變得更長的傾向，而顯現對於具有較短測試時間之記憶體電路的需求。

10

在測試大容量記憶體電路時，多個與測試設備並聯的記憶體晶片同時執行測量。為了同時測量更多的記憶體晶片，即使是在內建於該測試設備的探針數量有限的情況下，該等記憶體晶片之輸出被壓縮而減少各輸出的數量。

15

例如，在具有16位元輸出之記憶體晶片中，於測試操作期間，該16位元輸出壓縮為1/16倍而為一1位元輸出。在此方式下，可能同時測量相同於該測試設備探針數量的記憶體晶片，並且對於每個晶片所需的測試時間能被減少至1/16。

20

然而，對於大容量記憶體電路，提供多餘記憶體晶胞並做成一能利用缺陷位元之結構係必要的。當測試期間之壓縮比增加時，若發現缺陷位元，勢必要對應該壓縮比以多餘記憶體來代替一些記憶體晶胞數量。例如，若該壓縮比是1/16時，若發現一缺陷位元，但不清楚是經壓縮之該等16個位元中的哪一個位元有缺陷而造成記憶體晶胞之該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

等16個位元全部必須被多餘晶胞所取代。結果，當於測試期間壓縮比增加時，可能引起利用缺陷晶胞之比率減少的問題。

如以上所指，所需要的是縮短測試時間同時亦防止任何缺陷晶胞之利用率的減少。換言之，必需在測試期間使得壓縮比儘可能低並且進一步使得在測試期間能被同時測量之記憶體晶片的數量儘可能大。

【發明概要】

為了滿足此點，本發明的一目的係提供一記憶體晶片，其在測試期間儘可能保持低的輸出位元壓縮比並且能使壓縮資料的輸出儘可能來自少的輸出端。

為了達成以上所指之目的，本發明的一層面係提供一種多位元輸出結構記憶體電路包含有：具有一標準晶胞陣列及一多餘晶胞陣列之一記憶體核心，該等陣列具有多個記憶體晶胞；分別輸出從該記憶體核心所讀出的N-位元輸出之N個輸出端；一設在該等輸出端與記憶體核心之間的輸出電路，其偵測從該記憶體核心所讀出之該N-位元輸出(N = L x M)的每個L-位元輸出是否匹配以輸出至該等N個輸出端的一第一輸出端，若匹配則為一輸出資料，若不匹配則變為一第安狀態。

因應各個測試指令，L-位元輸出之該等M-群的壓縮輸出以分時輸出。同樣地，因應跟隨一共同測試指令之該等外部端之該等測試控制信號，L-位元輸出之該等M-群的壓縮輸出以分時輸出。在此方式下，多餘晶胞的利用率能被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

增加並且測試設備的同時測量要素能被增加。

【圖示之簡單說明】

第1圖係一較佳實施例之記憶體電路之一整個結構圖；

第2圖係該第一實施例之輸出電路之一結構圖；

5 第3圖係該第一實施例之測試模式之一時序圖；

第4圖係一顯示用於該第一實施例的一輸出啟動控制電路及其邏輯值表之圖；

第5圖係一顯示用於該第一實施例的一輸出啟動控制電路及其邏輯值表之圖；

10 第6圖係一用於該第一實施例的該輸出控制電路之電路圖；

第7圖係該輸出控制電路之一電路圖；

第8圖係該第二實施例之輸出電路之一結構圖；

第9圖係該第二實施例之測試模式的時序圖；

15 第10圖係一圖顯示該第二實施例之輸出啟動控制電路32A的電路圖；

第11圖係一圖顯示該第二實施例之輸出啟動控制電路32B的電路圖；及

20 第12圖係用於該第二實施例之該輸出控制電路之一電路圖。

【較佳實施例之詳細說明】

參考該等圖式，以下說明本發明的較佳實施例。然而，被本發明所保護的範圍係不限於下面實施例，而係延伸至申請專利範圍及其等效物所揭露之發明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第1圖係本實施例之記憶體電路的一整個結構圖。該記憶體電路的記憶體核心1被規劃成：具有複數個記憶體晶胞之晶胞陣列10之標準記憶體晶胞陣列MCA、及同樣具有複數個記憶體晶胞的多餘記憶體晶胞陣列RMCA；選擇字線的列解碼器陣列12；選擇位元線的行解碼器儲庫14；及具有讀取放大器與寫入放大器的放大器陣列16。列位址、行位址、及寫入資料被供應至記憶體核心1並且資料寫入被處理。此外，列位址及行位址被供應至記憶體核心1並且資料讀出被處理。雖然未顯示於圖中，在一些情況該實施例可以具有超過一個以上的記憶體核心1。

複數個供應至位址端ADD的多位元位址被輸入至位址輸入緩衝器18並且供應至複數個輸入/輸出端DQ的輸入資料被輸入至DQ輸入緩衝器20。該等位址及輸入資料被門鎖在個別門鎖電路22。

同時，指令端/CE，/OE，/WE，/LB(下位元組)，/UB(上位元組)被輸入至指令輸入緩衝器26並且然後被輸入至指令解碼器30。指令解碼器30將這些指令信號及該等供應至位址端ADD之碼信號解碼、並且當執行“讀取”操作時產生預備輸出致能信號poex及在特定時序下輸出讀取資料。此外，時序產生電路28，解碼該指令信號與供應至位址端ADD之碼信號，在特定的時序下產生門鎖控制信號S28等。

於正常讀取操作期間，在外部被提供至記憶體核心1的輸出電路2同時輸出N-位元輸出資料至輸入/輸出端DQ。當在該測試模式下時，輸出電路2在分時下輸出壓縮

五、發明說明 (5)

輸出，其由來自一個輸出端或少於N之數量的輸出端之壓縮多位元輸出資料所組成。輸出電路2包含輸出控制電路群24及輸出啟動控制電路32。

5 自記憶體核心1所輸出的該N-位元資料被輸出至N個共用資料匯流排cdbl到N的每一個、並且被供應至輸出控制電路群24中的每個輸出控制電路。於正常讀出操作期間，因應輸出致能信號oex，該輸出控制電路24同時輸出N-位元輸出資料至N個輸入/輸出端DQ。

10 因應預備輸出致能信號poex，輸出啟動控制電路32供應輸出致能信號oex及oelx至輸出控制電路群24並允許該輸出控制電路的資料輸出。對於除了讀取之操作，預備輸出致能信號poex進入不許輸出的狀態、並且輸出啟動控制電路32將每個輸出致能信號oex及oelx置於一不許輸出之狀態，以至於從該輸出控制電路的資料輸出被禁止。明確地，該輸出控制電路的輸出被控制在第一第三狀態下，既不
15 是H準位也不是L準位，但例如一高阻抗狀態。

在本實施例中，因應從外部所供應的測試指令，指令解碼器30產生測試控制信號tes1z及tes2z。因此，指令解碼器30亦是一控制該測試操作的測試控制電路，這些測試控制信號tes1z及tes2z被供應至輸出電路。
20

此外，對於正常操作，輸出啟動控制電路32行使控制，以致關於讀取指令，輸出控制電路24的資料輸出被允許。於是，在該測試模式下，輸出啟動控制電路32供應輸出致能信號oelx輸出控制電路群24的一個(或一小於N之數量)

裝

訂

線

五、發明說明 (6)

輸出控制電路，使得該測試結果為壓縮型態。

隨著本實施例，在該測試模式下，測試時間藉由執行壓縮輸出而被縮短。換言之，在該測試模式下，從記憶體核心1所輸出的N-位元資料輸出被分割成M群的L-位元資料輸出，其中每一個由L-位元資料輸出所組成。因此，在壓縮測試輸出自一個輸出端被輸出的情況下，該輸出控制電路提供M壓縮輸出的一分時輸出。被分割且在分時下輸出的複數個壓縮輸出，用於該測試模式之輸出端的數量能被減少。此外，即使該壓縮比被降低並且該壓縮輸出成為複數個位元(M個位元)，藉由達成一分時輸出，在該測試模式所需要的輸出端數量能被減少。因此，能被該測試設備同時測量之記憶體晶片的數量能被增加。

因應該共用資料匯流排cdbl到N的輸出資料匯流排線料，輸出啟動控制電路32控制輸出控制電路24的輸出係在H準位或L準位或在一第三狀態，例如一高阻抗狀態。此控制利用由該啟動控制電路32所產生的輸出致能信號oelx而被執行。於是，在該測試模式下，輸出啟動控制電路32具有偵測每一群之資料輸出的該等L個位元是否匹配之功能。若資料輸出的該等L個位元匹配時，則輸出啟動控制電路32使得輸出致能信號oelx成為該第一準位並導致那匹配準位要被輸出控制電路24輸出。另一方面，如果資料輸出的該等L個位元不匹配時，則輸出啟動控制電路32使得輸出致能信號oelx成為該第二準位並控制輸出控制電路24的輸出成為一第三狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

例如，若有16個輸入/輸出端DQ並且共用資料匯流排cdb係16位元時，隨著本實施例，在該測試模式下，該16-位元輸出資料的每8個位元被壓縮，並且2-位元壓縮輸出被分時輸出。如同另一例，若該16-位元輸出資料的每4個位元被壓縮時，4-位元壓縮輸出被分時輸出。可是在另一例中，若該16-位元輸出資料的每2個位元被壓縮時，8-位元壓縮輸出被分時輸出。在任何的上述情況中，當在該測試模式下，多位元壓縮輸出以分時自該輸出端DQ的一個(或一少於N之數量)被輸出。

10 第一實施例

第2圖係該第一實施例之輸出電路的一結構圖，而第3圖係該第一實施例之測試模式的一時序圖。在本實施例中，如同一例，在一4-位元輸出結構中，在該測試模式下，在一時間下之2-位元被操作用於壓縮測試並且兩群之壓縮輸出自該第一的輸入/輸出端DQ1被連續第輸出。

如第2圖所示，從構成該記憶體核心1的晶胞陣列10，4-位元輸出資料從該四個共用資料匯流排cdb1到cdb4的每一個被輸出。在該共用資料匯流排上的4-位元資料被門鎖於第1圖所示之讀出放大器RA。此外，該共用資料匯流排被做成共用複數個記憶體核心，並且從該選擇的記憶體核心之4-位元輸出被輸出至該共用資料匯流排。

該四個共用資料匯流排cdb1到cdb4分別被連接至四個輸出控制電路24。此外，該四個輸出控制電路24分別被連接至四個輸入/輸出端，DQ1到DQ4。除了輸出控制電路24

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

之外，輸出電路2具有輸出啟動控制電路32A及32B。

第4及5圖係該輸出啟動控制電路及其邏輯值表之圖。
於正常讀取操作期間，因應測試控制電路30因應讀取指令而輸出的預備輸出致能信號poex之該主動狀態(L狀態)，輸出
5 出啟動控制電路32A及32B使得輸出致能信號oelx及oex進入一主動狀態(L狀態)並且控制輸出控制電路24進入該輸出狀態。在此方式下，輸出控制電路24從對應的輸入/輸出端DQ1到DQ4輸出對應的共用資料匯流排cdb1到cdb4之資料。當不執行讀取操作時，輸出啟動控制電路32A及32B將
10 預備致能信號poex置於非主動狀態(H狀態)以及輸出致能信號oelx及oex二者置於非主動狀態(H狀態)、並且控制輸出控制電路24的輸出DQ1到DQ4係在高阻抗狀態Hz。

四個共用資料匯流排cdb1到cdb4被供應至輸出啟動控制電路32A，並且因應測試控制信號tes1z，tes2z，輸出啟動控制電路32A偵測共用資料匯流排cdb1及cdb2之該等2-
15 位元輸出是否匹配以及共用資料匯流排cdb3及cdb4之該等2-位元輸出是否匹配。輸出啟動控制電路32A於是輸出如同輸出致能信號oelx的結果。如果匹配，輸出致能信號oelx被控制成該主動狀態(L準位)，並且因應此，第一輸出控制電路24(1)輸出共用資料匯流排cdb1或cdb2。如果不匹配，
20 致能信號oelx被控制成該非主動狀態(H準位)，並且因應此，第一輸出控制電路24(1)將輸出DQ1置於該高阻抗狀態。

再者，在該測試模式下，輸出啟動控制電路32B係提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

供有第一及第二測試控制信號tes1z, tes2z並且控制輸出致能信號oex係在該非主動狀態(H準位)。伴隨此, 該剩餘輸出控制電路24(2)(3)及(4)控制輸出DQ2、3及4所有係在該高阻抗狀態。

5 在第4圖的輸出啟動控制電路中, 開50、51、52及53構成一ENOR電路, 因應第一測試控制信號tes1z, 其偵測共用資料匯流排cdb1或cdb2的該等輸出是否匹配。同樣地, 開54、55、56及57構成一ENOR電路, 因應第二測試控制信號tes2z, 其偵測共用資料匯流排cdb3或cdb4的該等
10 輸出是否匹配。這兩個ENOR電路之輸出被輸入至NAND開58。

 當預備輸出致能信號poex係在該主動狀態(L準位)並且同樣地自該等ENOR電路的輸出係在該主動狀態時(當存在一匹配時, S58是L準位), NOR開59及反相器60使得輸出
15 致能信號oelx進入該主動狀態(L準位)。因此, 第一輸出控制電路24(1)進入“致能的輸出”狀態。相反地, 當預備輸出致能信號poex係在該非主動狀態(H準位)或自ENOR電路的輸出係在該非主動狀態時(當無匹配存在時, S58是H準位), 輸出致能信號oelx因此進入該非主動狀態(H準位)。
20 因此, 第一輸出控制電路24(1)使得輸出DQ1進入該高阻抗狀態。

 在第5圖的輸出啟動控制電路32B中, 當預備輸出致能信號poex係在該非主動狀態(H準位)或是第一測試控制信號tes1z或第二測試控制信號tes2z在該非主動狀態(H準位)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

時，NOR閘61及反相器62使得輸出致能信號oex進入該非主動狀態(H準位)。因此，輸出端DQ2、3及4所有進入該高阻抗狀態。

第6圖係該第一輸出控制電路的一電路圖，而第7圖係該其他輸出控制電路的一電路圖。該等四個輸出控制電路的結構具有P-通道電晶體P10與N-通道電晶體N12及控制它們的NAND閘64與NOR閘65。在輸出致能信號oelx或oex的非主動狀態(H準位)下，電晶體P10及N12二者截止並且輸出端DQ被控制在高阻抗，而在該主動狀態(L準位)下，電晶體P10及N12因應節點n66而被導通或截止，並且輸出端DQ被控制在H準位或L準位。

在第6圖的輸出控制電路24(1)，因應第二測試控制信號tes2z，若移轉閘66或移轉閘67打開，該共用資料匯流排cdb1或cdb3的一個被選擇，並且因應節點n66，一H準位或L準位將被輸出致輸出端DQ1。另一方面，在第7圖的輸出控制電路24(2)、(3)或(4)，若一共用資料匯流排cdb2、3或4，對應那些輸出控制電路中的一個，經由移轉閘66被選擇，其正常是在“開”狀態下時，因應那選擇，一H準位或L準位將被輸出至輸出端DQ2、3或4。

在該第一實施例中，因應自外部所供應的第一及第二測試指令，測試控制電路分別進入第一測試模式及第二測試模式並且在那些測試模式下分別輸出兩個壓縮輸出。在輸出它們個別的壓縮輸出中，因應一離開指令，該等測試控制電路自它們個別的測試模式離開。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

如第3圖所示，供應第一測試指令至指令端群/CE到/UB並且供應一測試碼至該位址端群ADD，其是一指令解碼器之測試控制電路30偵測第一測試模式並且經第一測試控制信號tes1z設至H準位。因此，該記憶體電路進入第一
5 測試模式。

在該記憶體電路進入第一測試模式後，在從外面被供應一讀取指令中，從該記憶體核心之內的晶胞陣列的4-位元資料被輸出至該共用資料匯流排。於是，因應第一測試控制信號tes1z的一H準位，輸出啟動控制電路32A偵測共用
10 資料匯流排cdb1及cdb2的該等輸出是否匹配。若它們匹配時，輸出致能信號oelx被設置該主動狀態(L準位)，而若它們不匹配時，它被設置該非主動狀態(H準位)。在一匹配的情況下，由第一測試控制信號tes1z所選擇的共用資料匯流排cdb1之輸出從該第一輸入/輸出端DQ1被輸出。在一不匹
15 配的情況下，第一輸入/輸出端DQ1進入該高阻抗狀態。因此，壓縮輸出被輸出至第一輸入/輸出端DQ1。

當該第一測試模式結束時，一離開指令從外面被供應，據此測試控制電路30將第一測試控制信號tes1z設至L準位。此外，一第二測試指令從外面被供應，據此測試控制電路30偵測第二測試模式並將第二測試控制信號tes2z
20 設至H準位。因此，該記憶體電路進入第二測試模式。

在該記憶體電路進入第二測試模式後，它是相同於該第一測試模式的情況。換言之，因應從外面的一讀取指令，從該記憶體核心之內的晶胞陣列的4-位元資料被輸出至該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

共用資料匯流排。於是，因應第二測試控制信號tes2z的一H準位，輸出啟動控制電路32A偵測共用資料匯流排cdb3及cdb4的該等輸出是否匹配。若它們匹配時，輸出致能信號oelx被設置該主動狀態(L準位)，而若它們不匹配時，它
5 被設置該非主動狀態(H準位)。在一匹配的情況下，由第二測試控制信號tes2z所選擇的共用資料匯流排cdb3之輸出從第一輸入/輸出端DQ1被輸出。在一不匹配的情況下，第一輸入/輸出端DQ1進入該高阻抗狀態。因此，壓縮輸出被輸出至第一輸入/輸出端DQ1。

10 當該第一測試模式結束時，一離開指令從外面被供應，並且第二測試控制信號tes2z返回至L準位。

在此方式下，該第一實施例中，利用從外面的一測試指令進入第一或第二測試模式，並且該對應的壓縮測試輸出被輸出至輸入/輸出端DQ1。

15 在例如兩個或更多L-位元輸出的M群每一個被壓縮的情況下，從第一到第M個的測試模式將存在。在那情況下，因應第一到第M個測試指令，第一到第M個測試控制信號將被控制連續地進入該主動狀態。於是，從一單一輸出端DQ1連續地輸出之M個壓縮測試輸出。注意的是，同樣地
20 存在M個壓縮測試輸出從一少於M之端的數量被連續地輸出的情況。

第二實施例

第8圖係該第二實施例之該輸出電路的一結構圖，而第9圖係該實施例的一操作時序圖。隨著該第二實施例，因應

五、發明說明 (13)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

從外面所供應的測試指令，測試控制電路30將第一測試控制信號teslz設至H準位。因此，他進入該測試模式。於是，該兩個壓縮測試輸出的選擇直接被上位元組信號/UB所控制。換言之，若上位元組信號/UB是在L準位時，該第一測試模式被進入並且共用資料匯流排cdb1的該等壓縮輸出被輸出至輸出端DQ1。若上位元組信號/UB來至H準位時，該第二測試模式被進入並且共用資料匯流排cdb3的該等壓縮輸出被輸出至輸出端DQ1。為了此壓縮測試輸出的選擇，除了該上位元組信號的任和外部信號能被採用只要當在測試模式下時該外部信號不被利用作為一讀取控制指令。或者是，在正常操作下不被利用的一特別外部端可提供並且該壓縮測試輸出選擇從那端被控制。

若兩個壓縮輸出係分時的並且連續被輸出時，一離開指令從外面被提供，並且因應此測試控制電路30將測試控制信號teslz返回至L準位。

在該第二實施例中，一旦該測試模式已被進入，之後，簡單地藉由將上位元組信號/UB拴牢在L準位與H準位之間，2-位元壓縮輸出相繼地被輸出。因此，利用一外部指令每次進入該第一與第二測試模式係非必要的。同樣地，因應在該測試模式下提供一一次讀取指令，從該記憶體核心被讀取之輸出資料的壓縮測試輸出能相繼地被輸出，正如同它是利用上位元組信號/UB。

因此，因為兩個壓縮測試結果能被輸出用於對該記憶體核心的每個讀取操作，讀取操作即進入操作能在少於該

五、發明說明 (14)

第一實施例之情況下被達成，並且測試時間能被縮短。

同樣地隨著該第二實施例，藉由降低該壓縮比、利用多餘晶胞陣列增加該利用率、並相繼輸出複數個壓縮測試輸出，能被該測試設備同時測量的記憶體晶片數量被增加。

5 如第8圖的該輸出電路所示，預備輸出致能信號poex、測試控制信號tes1z、及從該外部指令端被供應的上位元組信號ubbz被提供至輸出啟動控制電路32A。此外，預備輸出致能信號poex與測試控制信號tes1z被供應至另一輸出啟動控制電路32B。

10 第10圖係輸出啟動控制電路32A的一電路圖。它的基本結構係相同於該第一實施例所示第4圖之電路。由於該第二實施例的輸出啟動控制電路32A，當測試控制信號tes1z係在該主動狀態(H準位)時，若從外面所供應的上位元組信號ubbz係在L準位，利用閘70、71及72信號S72來至H準位，
15 並且一如同共用資料匯流排cdb1及cdb2是否匹配的決定結果被選擇。此外，由於輸出啟動控制電路32A，當測試控制信號tes1z係在該主動狀態(H準位)時，若上位元組信號ubbz係在H準位，利用閘73及74信號S74來至H準位，並且一如同共用資料匯流排cdb3及cdb4是否匹配的決定結果被
20 選擇。換言之，第10圖的信號S72對應第4圖的第一測試控制信號tes1z，而信號S74對應第二測試控制信號tes2z。

 當第一測試控制信號tes1z係在該主動狀態(H準位)時，利用閘75及76，若下位元組信號lbbz係在H準位時，將設定輸出致能信號oelx至該非主動狀態(H狀態)之第10圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

的輸出啟動控制電路32A能控制輸出DQ1係在高阻抗。因此，即使複數個記憶體晶片被連接至該測試設備的相同探針時，控制能被達成以至於僅一單一記憶體晶片之輸出係在非主動狀態。

- 5 第11圖係一圖顯示該第二實施例之輸出啟動控制電路32B的電路圖。由於輸出啟動控制電路32B，於正常操作期間，利用預備輸出致能信號poex的一主動狀態(L準位)，NOR閘61之輸出來至H準位、反相器62之輸出來至L準位、並且輸出致能信號oex進入主動狀態(L準位)。在此時，因此不是該測試模式，測試控制信號teslz係在L準位。另一方面，於測試期間，測試控制信號teslz係在H準位，如此輸出致能信號oex係在該非主動狀態(H準位)。在此方式下，輸出端DQ2、3及4每一個被控制在該高阻抗狀態。注意的是，甚至當不在該讀取模式時，輸出致能信號oex進入該非主動狀態(H準位)。
- 10
- 15

- 第12圖係該第二實施例之該輸出控制電路的一電路圖。輸出控制電路24(1)，其對應第一輸出端DQ1，具有幾乎相同於第6圖所示之該輸出控制電路的結構。唯一不同的觀點是，隨著該第二實施例，當輸出控制電路24(1)係在該測試模式下，因應上位元組信號ubbz，共用資料匯流排cdb1或cdb3將被適當地選擇。因此，利用NAND閘80，當測試控制信號teslz係在主動狀態(H準位)時，若上位元組信號ubbz係在L準位，信號S80變至該H準位。因此，共用資料匯流排cdb1被選擇並且第一壓縮測試輸出從輸出端DQ1被
- 20

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

輸出。此外，當測試控制信號teslz係在主動狀態(H準位)時，若上位元組信號ubbz係在H準位，信號S80變至L準位並且共用資料匯流排cdb3被選擇。

如以上所說明，隨著第二實施例，由於一外部指令在進入該測試模式後，一控制信號從一外部端指令被供應，無關該測試模式的任何操作指令，並且複數個壓縮測試輸出能藉由分時被分割並被輸出。結果，測試時間能被縮短，並且連同藉由該測試設備複數個記憶體晶片的同時測量，整個測試時間能被縮短。

如以上所說明，根據本發明，於測試期間，一記憶體電路被提供其減少該壓縮比並由於多餘晶胞增加該利用率，因此能使藉由測試設備同時測量及縮短測試時間。

【元件標號對照表】

1...記憶體核心	28...時序產生電路
2...輸出電路	S28...門鎖控制信號
10...晶胞陣列	30...指令解碼器
12...列解碼器陣列	32...輸出啟動控制電路
14...行解碼器儲庫	32A...輸出啟動控制電路
16...放大器陣列	32B...輸出啟動控制電路
18...位址輸入緩衝器	50-57...閘
20...輸入緩衝器	58,64...NAND閘
24...輸出控制電路群	59,61,65...NOR閘
26...指令輸入緩衝器	60,62...反相器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

66,67...移轉開

70-76...開

80...NAND開

P10...P-通道電晶體

N12...N-通道電晶體

n66...節點

MCA

...標準記憶體晶胞陣列

RMCA

...多餘記憶體晶胞陣列

ADD...位址端

DQ...輸入/輸出端

DQ1-DQ4...輸出端

/CE,/OE,/WE,/LB, /UB

...指令端

RA...讀出放大器

poex...預備輸出致能信號

cdb1-N...共用資料匯流排

oex,oelx...輸出致能信號

tes1z,tes2z...測試控制信號

ubbz...上位元組信號

lbbz...下位元組信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：具壓縮測試功能之記憶體電路）

一種多位元輸出結構記憶體電路包含：一具有一標準晶胞陣列與一多餘晶胞陣列的記憶體核心，其具有複數個記憶體晶胞；N 個輸出端其分別輸出從該記憶體核心所讀出之 N-位元輸出；一設在該等輸出端與該記憶體核心之間的輸出電路，其偵測從該記憶體核心所讀出之該 N-位元輸出($N = L \times M$)的每個 L-位元輸出是否匹配並輸出如果匹配其成為該輸出資料而如果不匹配則成為一第三狀態的一壓縮輸出至該等 N 個輸出端的一第一輸出端。因應複數個測試指令或該等外部端的該等測試控制信號的每一個，L-位元輸出之該等 M 群的壓縮輸出在分時下被輸出。

英文發明摘要（發明之名稱：MEMORY CIRCUIT HAVING COMPRESSED TESTING FUNCTION）

A multi-bit output configuration memory circuit comprises: a memory core having a normal cell array and a redundant cell array, which have a plurality of memory cells; N output terminals which respectively output N-bit output read out from the memory core; an output circuit provided between the output terminals and the memory core, which detects whether each L-bit output of the N-bit output ($N = L \times M$) read out from said memory core matches or not and outputs a compressed output which becomes the output data in the event of a match while becomes a third state in the event of a non-match, to a first output terminal of the N output terminals. Responding to each of a plurality of test commands or the test control signals of the external terminals, the compressed output of the M groups of L-bit output is outputted in time shared.

六、申請專利範圍

1. 一種具有一多位元輸出結構之記憶體電路，包含有：

一記憶體核心，係具有一標準晶胞陣列及一多餘晶胞陣列，該等陣列具有複數個記憶體晶胞；

5 N個輸出端，係分別輸出從該記憶體核心所讀出的N-位元輸出；

一輸出電路，係設在該等輸出端與記憶體核心之間，其偵測從該記憶體核心所讀出之該N-位元輸出($N = L \times M$)的每個L-位元輸出是否匹配，並輸出一壓縮輸出至該等N個輸出端的一第一輸出端，如果匹配，該壓縮輸出成為該輸出資料，而如果不匹配，則成為一第三狀態；及

一測試控制電路，因應複數個測試指令的每一個，進入多個測試模式中導致該輸出電路輸出該壓縮輸出的每一測試模式，該輸出電路係針對與M群L-位元輸出中之測試指令相對應的一群中之該L-位元輸出而來輸出該壓縮輸出；

其中壓縮輸出的M個區塊從該輸出控制電路在分時下被輸出。

2. 一種具有一多位元輸出結構之記憶體電路，包含有：

20 一記憶體核心，係具有一標準晶胞陣列及一多餘晶胞陣列，該等陣列具有複數個記憶體晶胞；

N個輸出端，係分別輸出從該記憶體核心所讀出的N-位元輸出；

一輸出電路，係設在該等輸出端與記憶體核心之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

間，其偵測從該記憶體核心所讀出之該N-位元輸出($N = L \times M$)的每個L-位元輸出是否匹配，並輸出一壓縮輸出至該等N個輸出端的第一輸出端，如果匹配，該壓縮輸出成為該輸出資料，而如果不匹配，則成為一第三狀態；

一測試控制電路，因應一測試指令，進入一測試測試模式，並且因應外部端之測試控制信號，導致該輸出電路針對與M群L-位元輸出中之該測試控制信號相對應的一群之該L-位元輸出而來輸出該壓縮輸出；

其中壓縮輸出的M個區塊從該輸出控制電路在分時下被輸出。

3.如申請專利範圍第1或2項之記憶體電路，其中該輸出電路包含有：

N個輸出控制電路，係設在每個該等輸出端的前面；

及

一輸出啟動控制電路，其偵測該等L-位元輸出的每一個是否匹配、並控制該第一輸出控制電路輸出該壓縮輸出。

4.如申請專利範圍第1或2項之記憶體電路，其中該輸出電路包含有：

N個輸出控制電路，係設在每個該等輸出端的前面；

及；

一輸出啟動控制電路，在正常讀取操作期間，其供應一輸出致能信號至該等N個輸出控制電路以控制該等

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

N個輸出控制電路在可讓從該記憶體核心所讀出之該N-位元輸出能被輸出的一“輸出致能”狀態。

- 5 5.如申請專利範圍第4項之記憶體電路，其中該輸出啟動控制電路偵測每個該等L-位元輸出是否匹配，並導致該第一輸出控制電路輸出該壓縮輸出。
- 10 6.如申請專利範圍第4項之記憶體電路，其中該測試控制電路，因應第一測試指令，進入一第一測試模式；因應一讀取指令，導致該輸出電路輸出第一群壓縮輸出；因應一離開指令，自該第一測試模式離開；因應第二測試指令，進入一第二測試模式；因應一讀取指令，導致該輸出電路輸出第二群壓縮輸出；並且因應一離開指令，自該第二測試模式離開。
- 15 7.如申請專利範圍第2項之記憶體電路，其中該測試控制信號所供應的外部端是在該測試模式下不被讀取指令所利用的一外部端。
- 20 8.如申請專利範圍第2項之記憶體電路，其中在因應該測試指令進入測試模式之後，該測試控制電路導致該輸出電路輸出對應該測試控制信號的一群之L-位元輸出的該壓縮輸出，而在因應一讀取指令的狀態下，該測試控制電路已導致N-位元資料將要自該記憶體核心輸出。
- 9.如申請專利範圍第1或2項之記憶體電路，其中當在該測試模式下時，該輸出電路控制該N個輸出端之中的該第一輸出端以外之其他外部輸出端成為在該第三狀態下。
- 10.如申請專利範圍第2項之記憶體電路，其中因應一供應

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

至一第二外部端的輸出控制信號，該輸出電路控制該第一輸出端成為在該第三狀態。

11.如申請專利範圍第1或2項之記憶體電路，其中當壓縮輸出之該第三狀態被偵測時，該標準晶胞陣列的L-位元晶胞係被該多餘晶胞陣列的L-位元晶胞所取代。

12.一種具有一多位元輸出結構之記憶體電路，包含有：

一記憶體核心，係具有一標準晶胞陣列及一多餘晶胞陣列，該等陣列具有複數個記憶體晶胞；

N個輸出端，係分別輸出從該記憶體核心所讀出的N-位元輸出；

一輸出電路，係設在該等輸出端與記憶體核心之間，其偵測從該記憶體核心所讀出之該N-位元輸出($N = L \times M$)的每個L-位元輸出是否匹配，並輸出一壓縮輸出至該等N個輸出端的一第一輸出端，如果匹配，該壓縮輸出成為該輸出資料，而如果不匹配，則成為一第三狀態；及

一測試控制電路，進入每一個測試模式，導致該輸出電路針對與M群L-位元輸出中之該測試模式相對應的一群之該L-位元輸出而來輸出該壓縮輸出；

其中壓縮輸出的M個區塊從該輸出控制電路在分時下被輸出。

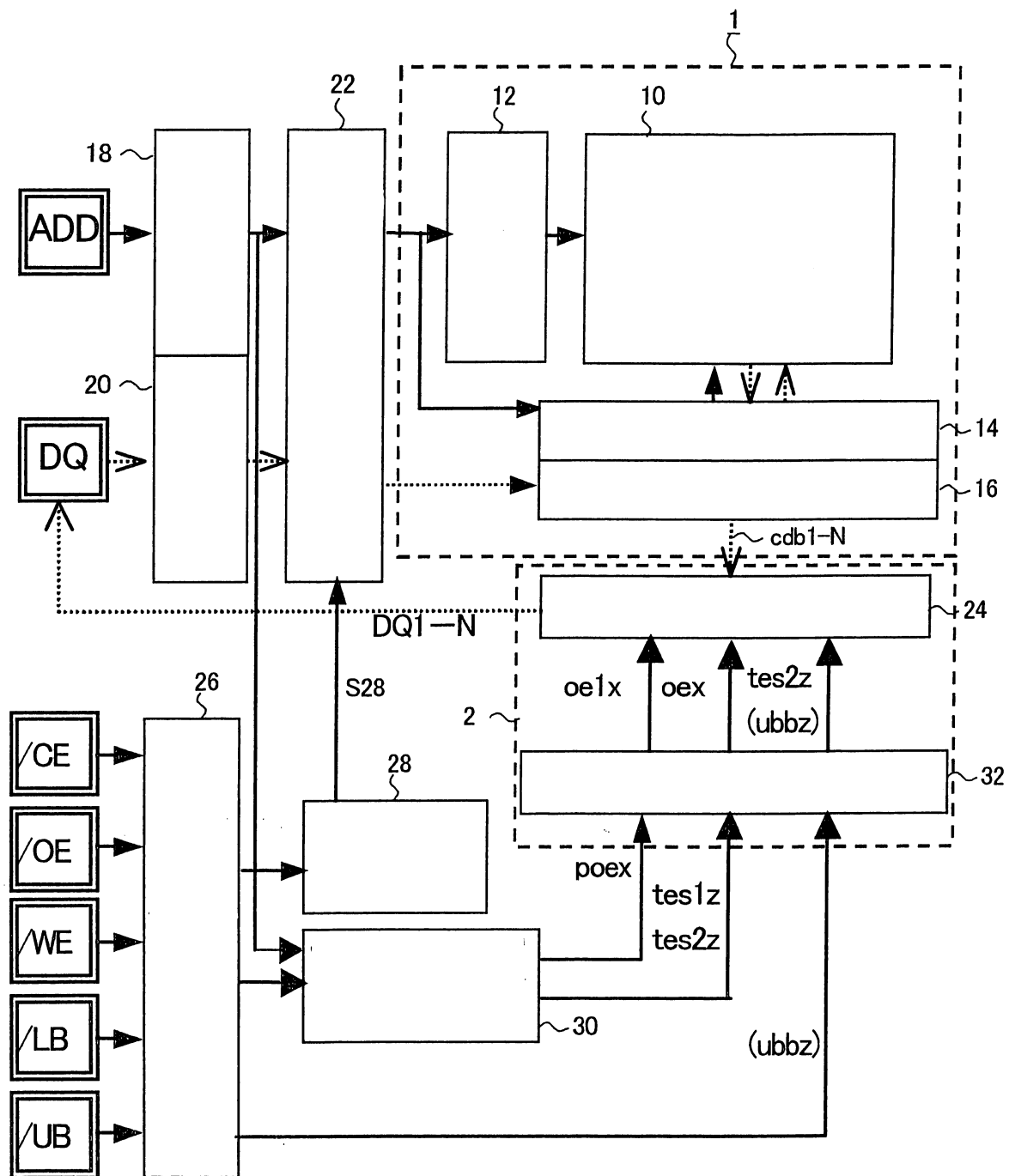
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

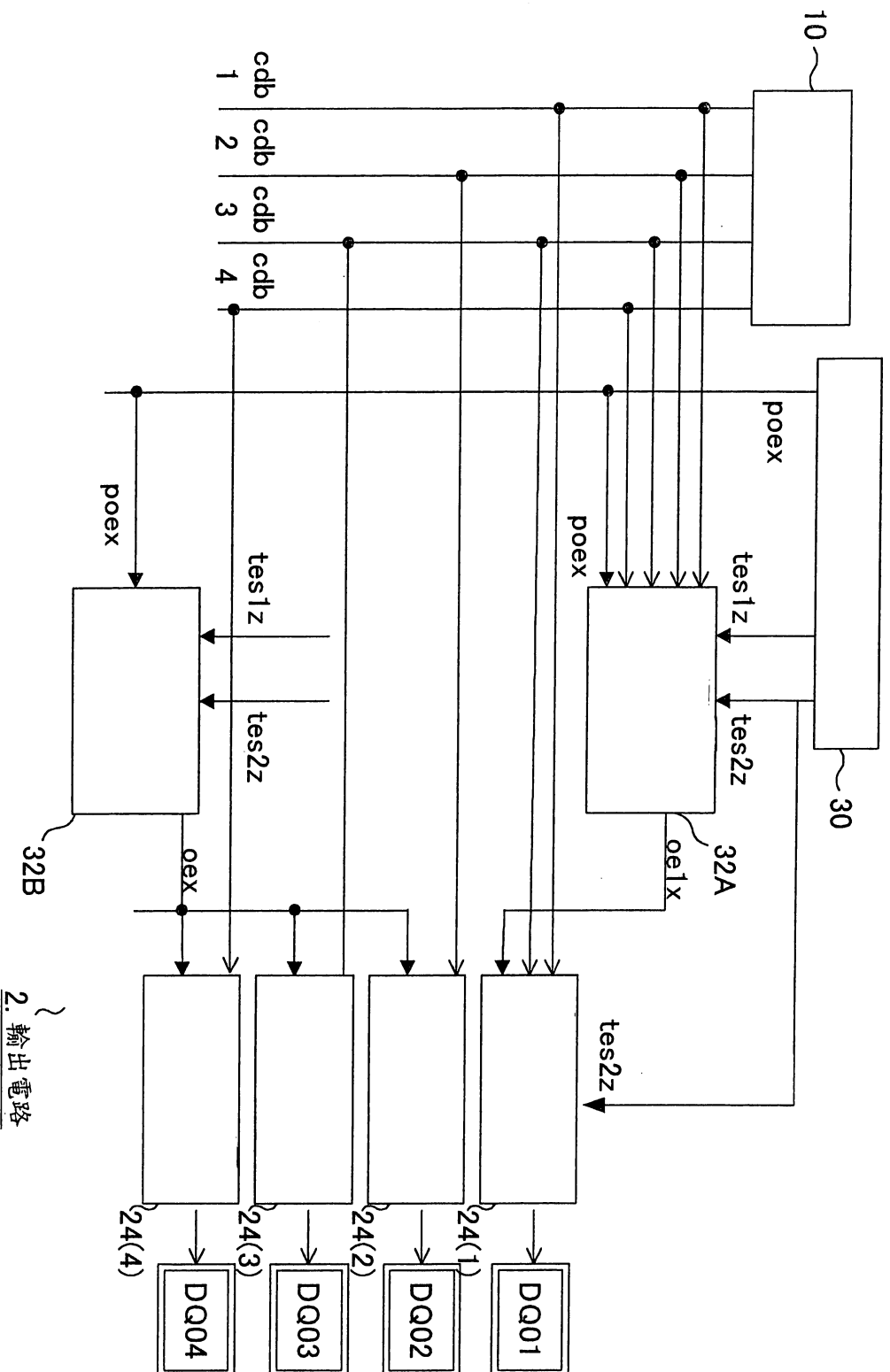
線

整個結構



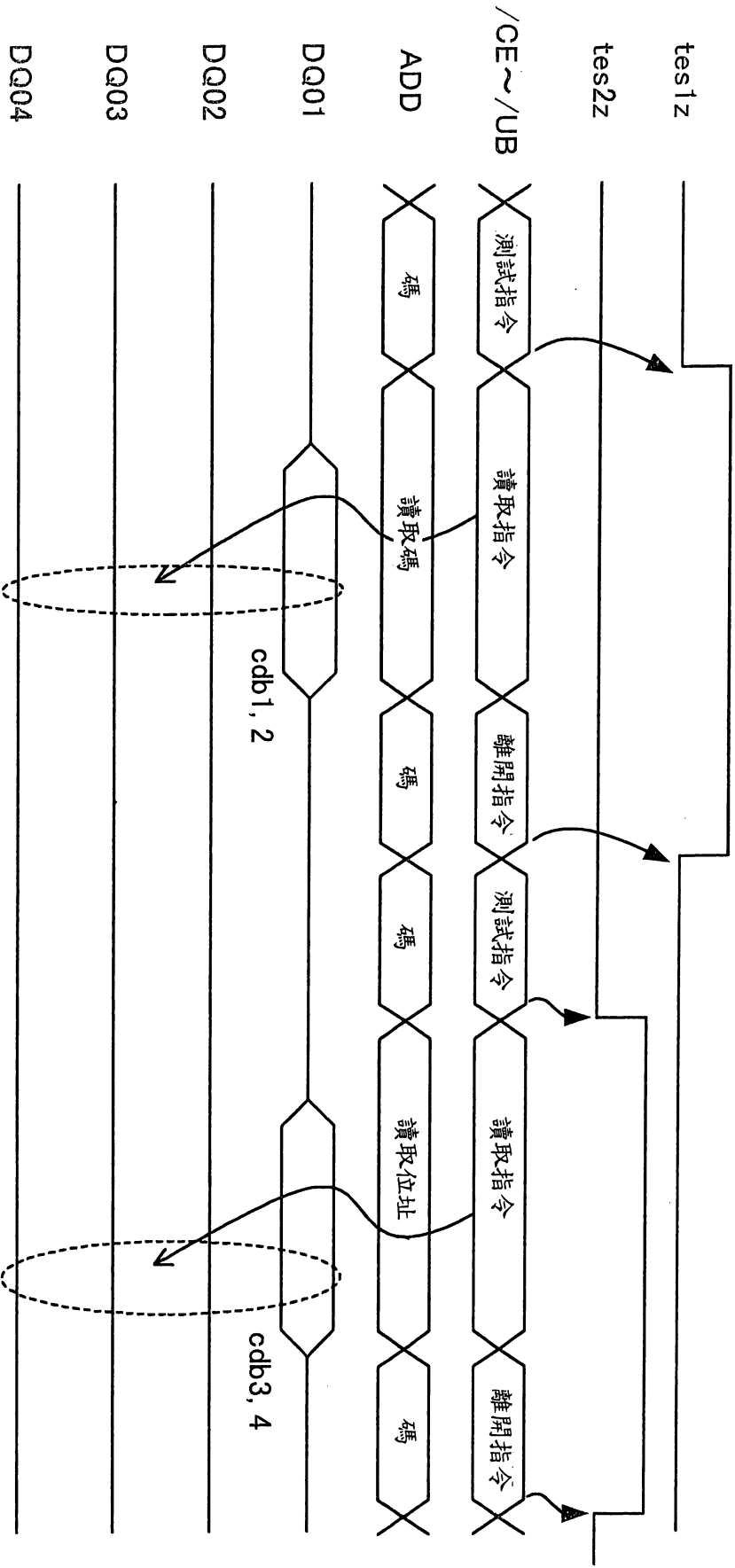
第 2 圖

第一實施例



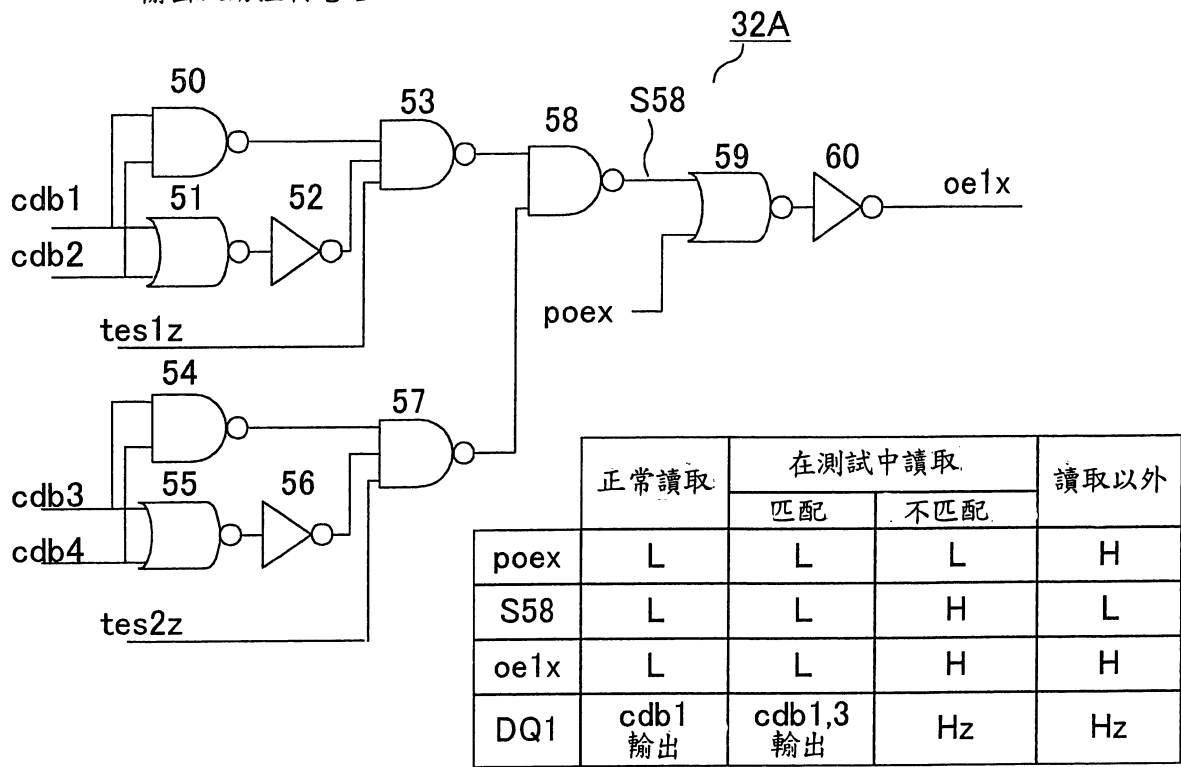
第 3 圖

時序圖(1)



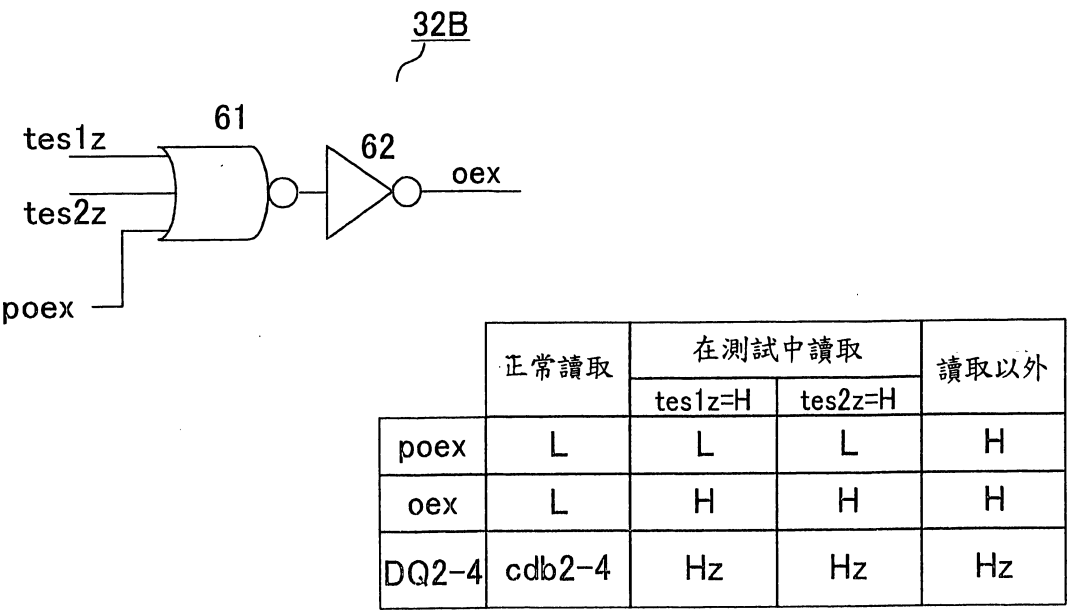
第 4 圖

輸出啟動控制電路A



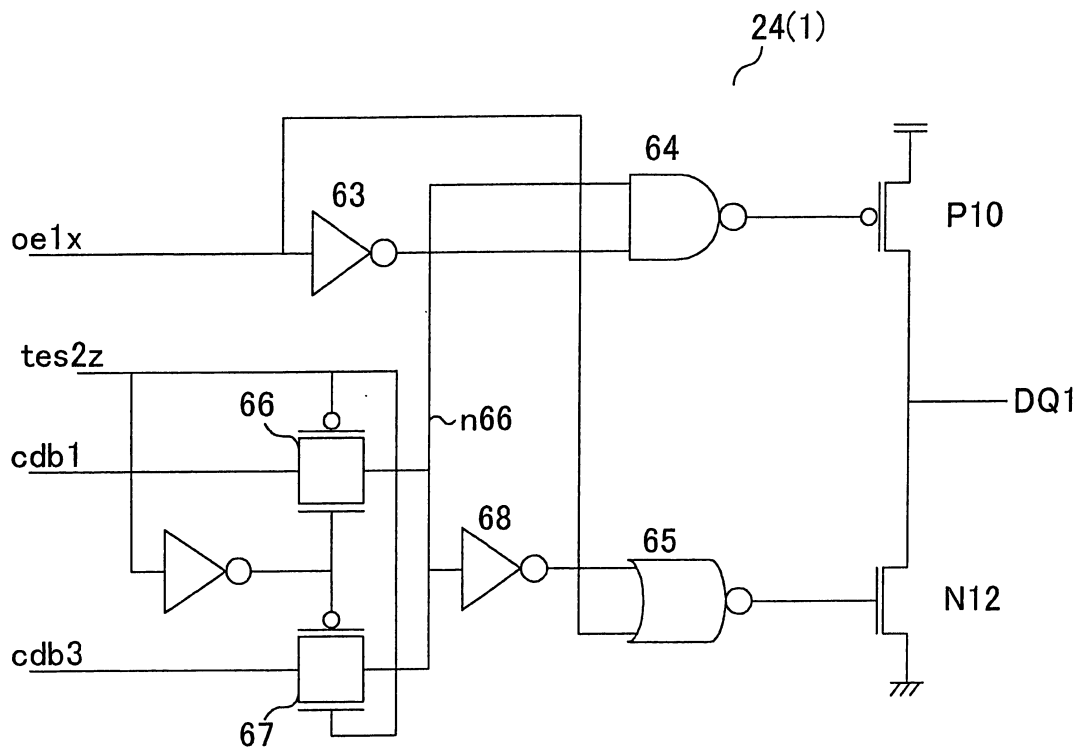
第 5 圖

輸出啟動控制電路B



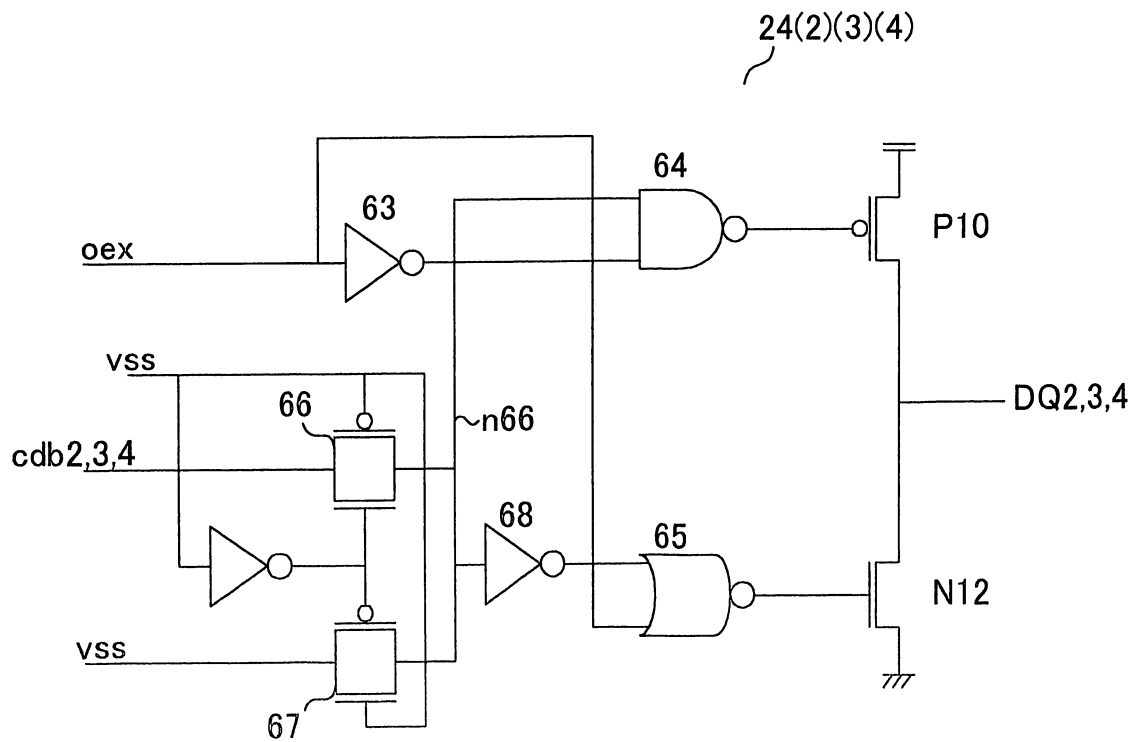
第 6 圖

輸出控制電路01



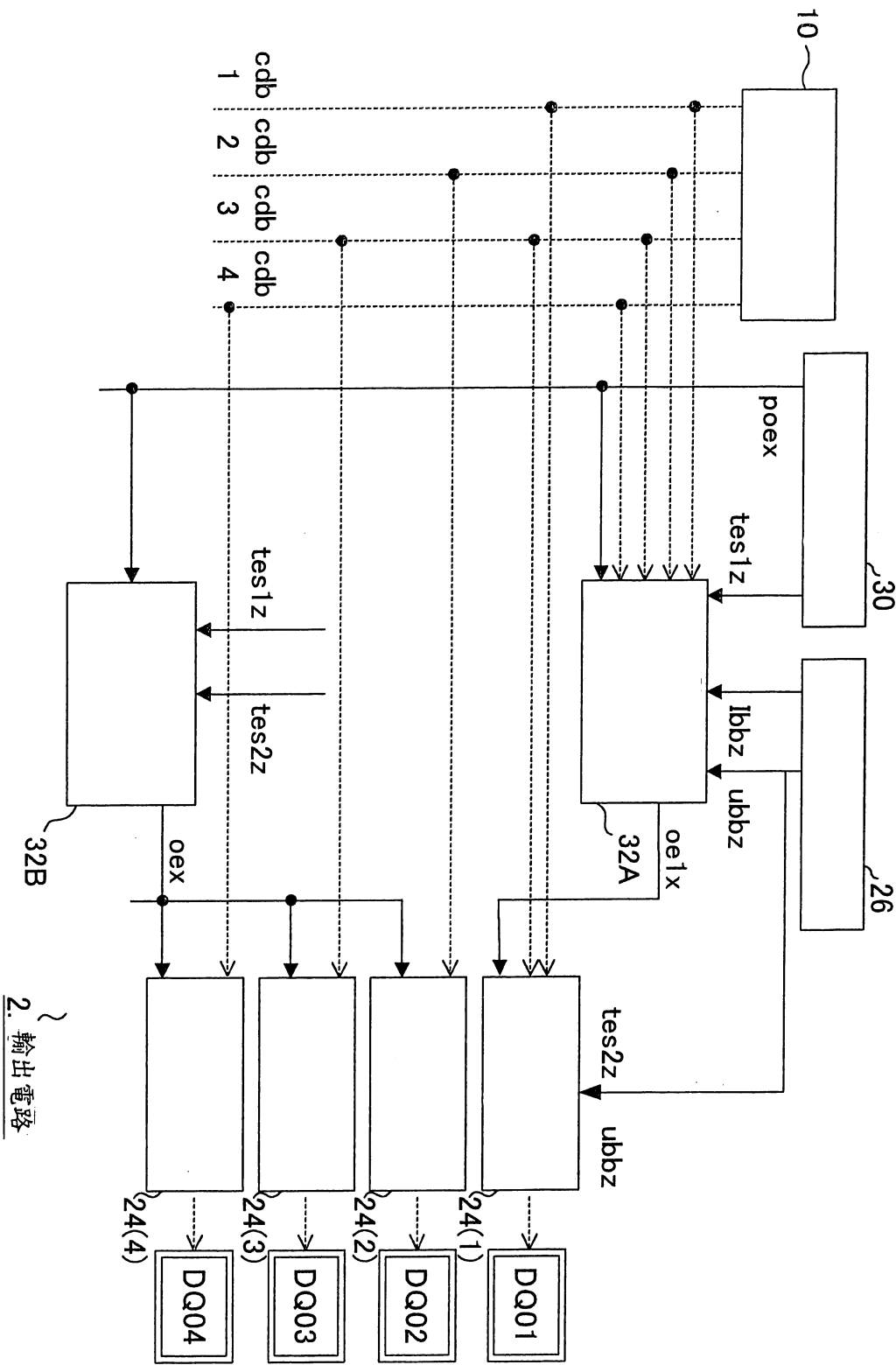
第 7 圖

輸出控制電路02，03，04



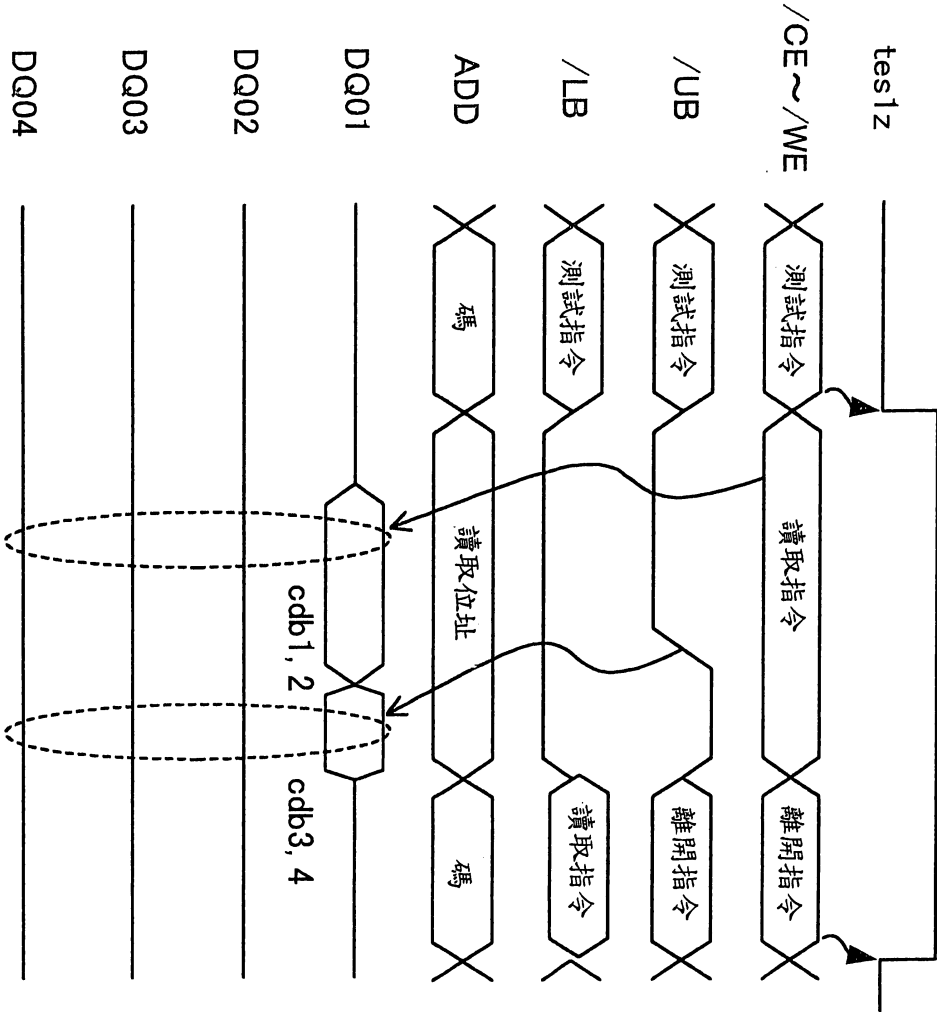
第 8 圖

第二實施例



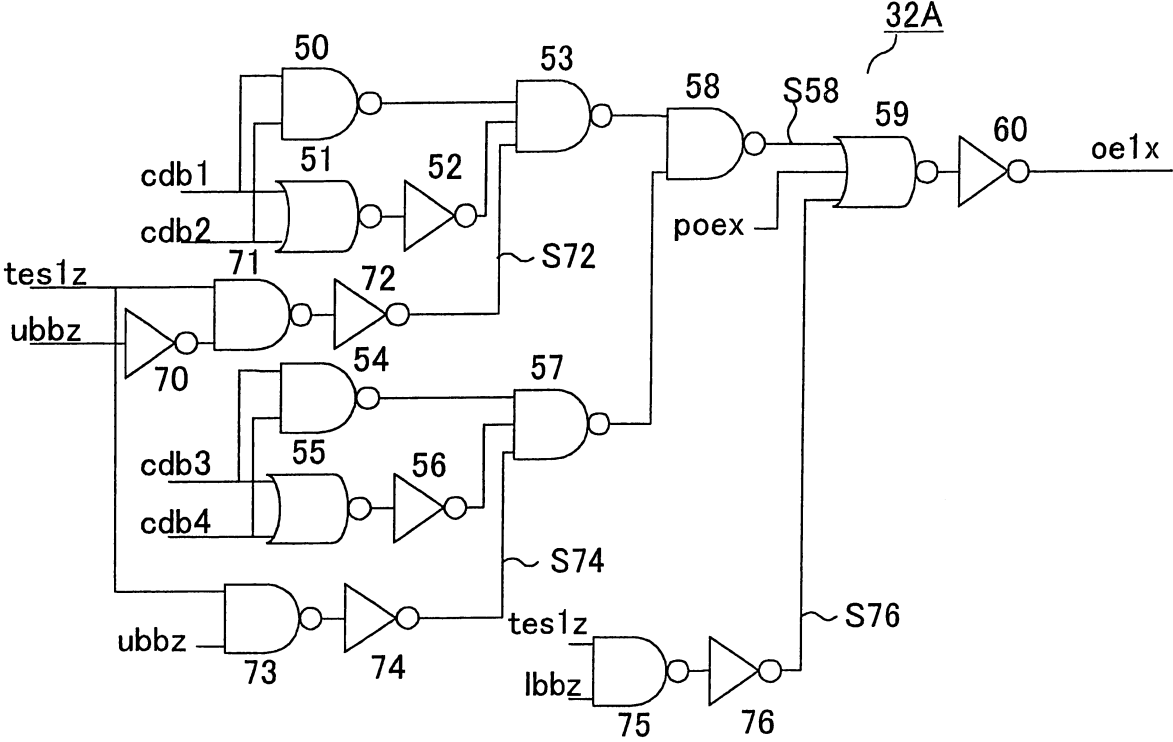
第 9 圖

時序圖(2)



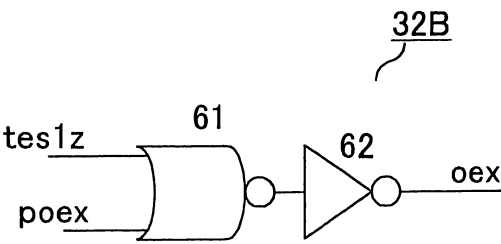
第 10 圖

輸出啟動控制電路A



第 11 圖

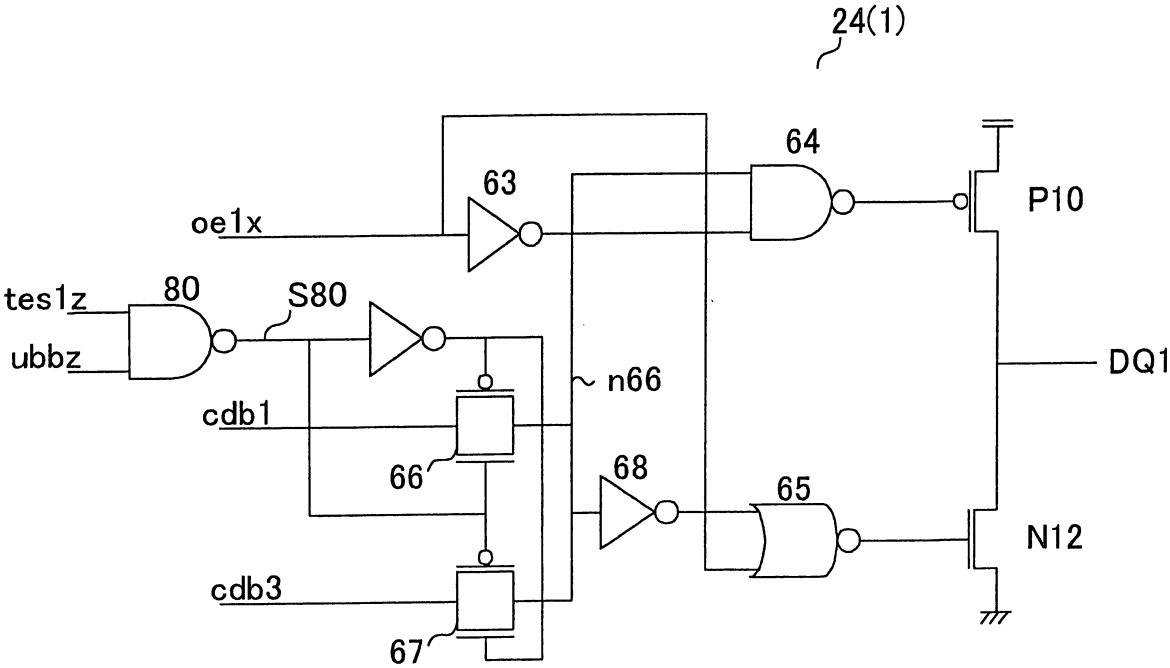
輸出啟動控制電路B



	正常讀取	在測試中 讀取	讀取以外
poex	L	L	H
tes1z	L	H	-
oex	L	H	H
DQ2-4	cdb2-4	Hz	Hz

第 12 圖

輸出控制電路01



公告本

93年3月8日
修正本

申請日期	91.10.17
案號	91123963
類別	G11C ^{29/00} , G01R ^{3/28} , 3/385

A4
C4

594777

(以上各欄由本局填註)

第 91123963 號		發明專利說明書		修正本 修正日期: 93.03.08
一、發明名稱	中文	具壓縮測試功能之記憶體電路		
	英文	MEMORY CIRCUIT HAVING COMPRESSED TESTING FUNCTION		
二、發明人	姓名	(1) 藤岡伸也 Shinya FUJIOKA (2) 藤枝和一郎 Waichiro FUJIEDA (3) 原浩太 Kota HARA		
	國籍	日本 JAPAN		
	住、居所	(1)~(3) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan		
三、申請人	姓名 (名稱)	日商・富士通股份有限公司 FUJITSU LIMITED		
	國籍	日本 JAPAN		
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan		
	代表人 姓名	秋草直之 Naoyuki Akikusa		

裝

訂

線