



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

229 245

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 09 02 83

(21) PV 879-83

(51) Int. Cl.³ G 11 C 7/00

(40) Zveřejněno 15 09 83

(45) Vydáno 01 03 86

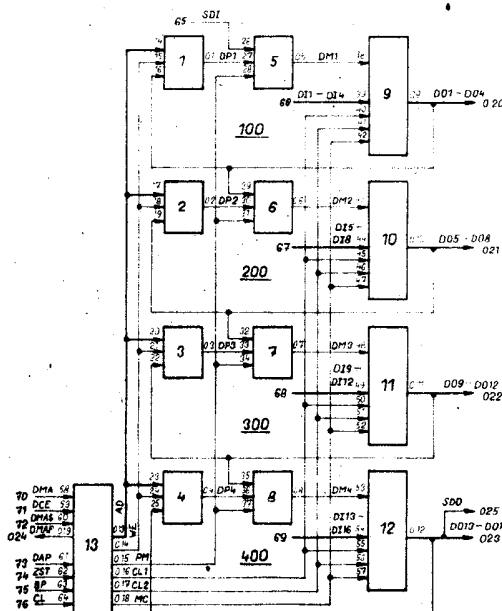
(75)

Autor vynálezu

SAPÁK VOJTĚCH ing., BRNO

(54) Zapojení polovodičové paměti

Cílem vynálezu je zjednodušit zapojení polovodičové paměti a umožnit paralelní i sériový zápis dat, jakož i paralelní i sériové čtení dat, dále umožnit zrychlení zápisu dat a zvětšování její kapacity. Uvedeného cíle se dosáhne zapojením polovodičové paměti s řadičem a posuvným registrem, obsahujícím alespoň dvě podskupiny, sestávající vždy z jedné dílčí paměti, z jednoho dílčího multiplexoru a z jednoho dílčího posuvného registru. Počet bitů slova pro paralelní přenos, a tím i kapacitu, lze libovolně zvětšit přidáváním dalších podskupin. Počet slov paralelního přenosu, a tím i kapacitu, lze dále libovolně zvětšit zvětšením kapacity dílčích pamětí. Zapojení polovodičové paměti lze použít pro připojení k zařízením s paralelním vstupem a výstupem dat, jakož i k zařízením se sériovým vstupem a výstupem dat.



Vynález se týká zapojení polovodičové paměti s paralelním i sériovým zápisem dat, jakož i s paralelním i sériovým čtením dat.

V praxi se často vyskytuje požadavek polovodičové paměti s paralelním i sériovým zápisem dat do paměti, jakož i s paralelním i sériovým čtením dat z paměti. Data jsou zpravidla dávána po blocích s pevným počtem bytů nebo slov. Poměrně malý sortiment polovodičových pamětí neumožňuje navrhovateli zapojení paměti s takovým obsahem, který by přesně vyhovoval daným požadavkům. Buď je kapacita polovodičové paměti malá a paměťové obvody se musí spojovat ve větší celky doplněné složitějšími řídicími obvody, nebo je kapacita polovodičové paměti velká a je pro dané řešení využita jen zčásti. Další nesnáze při návrhu zapojení polovodičové paměti spočívají v různé době cyklu pamětí. Rychlé polovodičové paměti bývají energeticky náročnější a při spojování pamětí ve větší celky vznikají problémy s chlazením obvodů. Moderní velkokapacitní polovodičové paměti, které jsou energeticky méně náročné, vyžadují rozsáhlejší přídatné obvody pro obnovení obsahu dat zapsaných v polovodičové paměti, a proto se hodí zejména pro velké celky.

Uvedené nevýhody odstraňuje zapojení polovodičové paměti podle vynálezu, jehož podstatou je, že obsahuje alespoň dvě podskupiny, sestávající vždy z jedné dílčí paměti, z jednoho dílčího multiplexoru a z jednoho dílčího posuvného registru, přičemž aktivizační vstup paralelního přenosu řadiče tvoří současně první vstup zapojení, směrovací vstup paralelního přenosu řadiče tvoří současně druhý vstup zapojení, synchronizační vstup paralelního přenosu řadiče tvoří současně třetí vstup zapojení, aktivizační vstup sériového přenosu řadiče tvoří současně čtvrtý vstup zapojení, směrovací vstup sériového přenosu řadiče tvoří současně pátý vstup zapojení, synchronizační vstup sériového

přenosu řadiče tvoří současně šestý vstup zapojení, hodinový vstup sériového přenosu řadiče tvoří současně sedmý vstup zapojení, informační výstup paralelního přenosu řadiče tvoří současně první výstup zapojení, skupina adresovacích výstupů řadiče je připojena na skupiny adresovacích vstupů dílčích pamětí všech podskupin, přepínací výstup pro zápis a čtení řadiče je připojen na řídicí vstupy dílčích pamětí všech podskupin, přepínací výstup pro multiplexor řadiče je připojen na řídicí vstupy dílčích multiplexorů všech podskupin, hodinový výstup pro posuv dat řadiče je připojen na první hodinové vstupy dílčích posuvných registrů všech podskupin, hodinový výstup pro paralelní zápis řadiče je připojen na druhé hodinové vstupy dílčích posuvných registrů všech podskupin, řídicí výstup módu posuvného registru řadiče je připojen na přepínací vstupy dílčích posuvných registrů všech podskupin, první datový vstup dílčího multiplexoru první podskupiny tvoří současně osmý vstup zapojení, kdežto v každé podskupině je datový výstup dílčí paměti připojen na druhý datový vstup dílčího multiplexoru téže podskupiny, jehož datový výstup je připojen na vstup sériových dat dílčího posuvného registru téže podskupiny, v každé podskupině tvoří skupina vstupů paralelních dat dílčího posuvného registru současně skupinu vstupů zapojení a v každé podskupině tvoří skupina výstupů paralelních dat dílčího posuvného registru, z níž vždy poslední výstup je připojen na datový vstup dílčí paměti téže podskupiny a na druhý datový vstup dílčího multiplexoru následující podskupiny, současně skupinu výstupů zapojení, přičemž jeden z výstupů ze skupiny výstupů paralelních dat dílčího posuvného registru poslední podskupiny tvoří současně druhý výstup zapojení.

Výhodou zapojení polovodičové paměti podle vynálezu je jeho jednoduchost, spočívající v minimálním počtu obvodů, jichž je maximálně využito. Další výhodou je maximální rychlost při zápisu dat, neboť tato se zapisují sérioparalelně do všech dílčích pamětí. Počet bitů slova pro paralelní přenos, a tím i kapacitu polovodičové paměti lze libovolně zvětšit přidáváním dalších podskupin, obsahujících po jedné dílčí paměti, po jednom dílčím multiplexoru a po jednom dílčím posuvném registru. Počet slov paralelního přenosu, a tím i kapacitu polovodičové paměti lze libovolně zvětšit zvětšením kapacity dílčích pamětí.

Příklad zapojení polovodičové paměti podle vynálezu je znázorněn na připojeném výkresu v blokovém schématu.

Zapojení polovodičové paměti sestává z řadiče 13 a ze čtyř podskupin 100, 200, 300, 400, obsahujících po jedné dílčí paměti 1, 2, 3, 4, po jednom dílčím multiplexoru 5, 6, 7, 8 a po jednom čtyřbitovém posuvném registru 9, 10, 11, 12.

Aktivizační vstup 58 paralelního přenosu řadiče 13 pro signál DMA tvoří současně první vstup 70 zapojení pro připojení na neznázorněný počítač. Směrovací vstup 59 paralelního přenosu řadiče 13 pro signál DCE tvoří současně druhý vstup 71 zapojení pro připojení na počítač. Synchronizační vstup 60 paralelního přenosu řadiče 13 pro signál DMAS tvoří současně třetí vstup 72 zapojení pro připojení na počítač. Aktivizační vstup 61 sériového přenosu řadiče 13 pro signál DAP tvoří současně čtvrtý vstup 73 zapojení pro připojení na neznázorněnou diskovou paměť. Směrovací vstup 62 sériového přenosu řadiče 13 pro signál ZST tvoří současně pátý vstup 74 zapojení pro připojení na diskovou paměť. Synchronizační vstup 63 sériového přenosu řadiče 13 pro signál BP tvoří současně šestý vstup 75 zapojení pro připojení na diskovou paměť. Hodinový vstup 64 sériového přenosu řadiče 13 pro signál CL tvoří současně sedmý vstup 76 zapojení pro připojení na diskovou paměť. Informační výstup 019 paralelního přenosu řadiče 13 pro signál DMAF tvoří současně první výstup 024 zapojení pro připojení na počítač. Skupina osmi adresovacích výstupů 013 řadiče 13 pro signál AD je připojena na skupiny osmi adresovacích vstupů 14, 17, 20, 23 dílčích pamětí 1 až 4 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. Přepínací výstup 014 pro zápis a čtení řadiče 13 pro signál WE je připojen na řídicí vstupy 15, 18, 21, 24 dílčích pamětí 1 až 4 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. Přepínací výstup 015 pro multiplexor řadiče 13 pro signál PM je připojen na řídicí vstupy 28, 31, 34, 37 dílčích multiplexorů 5 až 8 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. Hodinový výstup 016 pro posuv dat řadiče 13 pro signál CL1 je připojen na první hodinové vstupy 40, 45, 50, 55 dílčích čtyřbitových posuvných registrů 9 až 12 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. Hodinový výstup 017 pro paralelní zápis řadiče 13 pro signál CL2 je připojen na druhé hodinové vstupy 41, 46, 51, 56 dílčích čtyřbitových posuvných registrů 9 až 12 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. Řídicí výstup 018 módu posuvného registru řadiče 13 pro signál MC je připojen na přepínací vstupy 42, 47, 52, 57 dílčích čtyřbitových posuvných re-

gistrů 9 až 12 první až čtvrté podskupiny 100, 200, 300, 400 zapojení. První datový vstup 26 dílčího multiplexoru 5 první podskupiny 100 zapojení pro signál SDI tvoří současně osmý vstup 65 zapojení pro připojení na diskovou paměť. Datový výstup 01 dílčí paměti 1 první podskupiny 100 zapojení pro signál DP1 je připojen na druhý datový vstup 27 dílčího multiplexoru 5 první podskupiny 100 zapojení, jehož datový výstup 05 pro signál DM1 je připojen na vstup 38 sériových dat dílčího čtyřbitového posuvného registru 9 první podskupiny 100 zapojení. Datový výstup 02 dílčí paměti 2 druhé podskupiny 200 zapojení pro signál DP2 je připojen na druhý datový vstup 30 dílčího multiplexoru 6 druhé podskupiny 200 zapojení, jehož datový výstup 06 pro signál DM2 je připojen na vstup 43 sériových dat dílčího čtyřbitového posuvného registru 10 druhé podskupiny 200 zapojení. Datový výstup 03 dílčí paměti 3 třetí podskupiny 300 zapojení pro signál DP3 je připojen na druhý datový vstup 33 dílčího multiplexoru 7 třetí skupiny 300 zapojení, jehož datový výstup 07 pro signál DM3 je připojen na vstup 48 sériových dat dílčího čtyřbitového posuvného registru 11 třetí podskupiny 300 zapojení. Datový výstup 04 dílčí paměti 4 čtvrté podskupiny 400 zapojení pro signál DP4 je připojen na druhý datový vstup 36 dílčího multiplexoru 8 čtvrté podskupiny 400 zapojení, jehož datový výstup 08 pro signál DM4 je připojen na vstup 53 sériových dat dílčího čtyřbitového posuvného registru 12 čtvrté podskupiny 400 zapojení. Skupina čtyř vstupů 39 paralelních dat dílčího čtyřbitového posuvného registru 9 první podskupiny 100 zapojení pro signály DI1 až DI4 tvoří současně první skupinu vstupů 66 zapojení pro připojení na počítač. Skupina čtyř vstupů 44 paralelních dat dílčího čtyřbitového posuvného registru 10 druhé podskupiny 200 zapojení pro signály DI5 až DI8 tvoří současně druhou skupinu vstupů 67 zapojení pro připojení na počítač. Skupina čtyř vstupů 49 paralelních dat dílčího čtyřbitového posuvného registru 11 třetí podskupiny 300 zapojení pro signály DI9 až DI12 tvoří současně třetí skupinu vstupů 68 zapojení pro připojení na počítač. Skupina čtyř vstupů 54 paralelních dat dílčího čtyřbitového posuvného registru 12 čtvrté podskupiny 400 zapojení pro signály DI13 až DI16 tvoří současně čtvrtou skupinu vstupů 69 zapojení pro připojení na počítač. Skupina čtyř výstupů 09 paralelních dat dílčího čtyřbitového posuvného registru 9 první podskupiny 100 zapojení pro signály DO1 až DO4, z nichž

čtvrtý výstup pro signál D04 je připojen na datový vstup 16 dílčí paměti 1 první podskupiny 100 zapojení a na první datový vstup 29 dílčího multiplexoru 6 druhé podskupiny 200 zapojení, tvoří současně první skupinu výstupů 020 zapojení pro připojení na počítač. Skupina čtyř výstupů 010 paralelních dat dílčího čtyřbitového posuvného registru 10 druhé podskupiny 200 zapojení pro signály D05 až D08, z nichž čtvrtý výstup pro signál D08 je připojen na datový vstup 19 dílčí paměti 2 druhé podskupiny 200 zapojení a na první datový vstup 32 dílčího multiplexoru 7 třetí podskupiny 300 zapojení, tvoří současně druhou skupinu výstupů 021 zapojení pro připojení na počítač. Skupina čtyř výstupů 011 paralelních dat dílčího čtyřbitového posuvného registru 11 třetí podskupiny 300 zapojení pro signály D09 až D012, z nichž čtvrtý výstup pro signál D012 je připojen na datový vstup 22 dílčí paměti 3 třetí podskupiny 300 zapojení a na první datový vstup 35 dílčího multiplexoru 8 čtvrté podskupiny 400 zapojení, tvoří současně třetí skupinu výstupů 022 zapojení pro připojení na počítač. Skupina čtyř výstupů 012 paralelních dat dílčího čtyřbitového posuvného registru 12 čtvrté podskupiny 400 zapojení pro signály D013 až D016, z nichž čtvrtý výstup pro signál D016 je připojen na datový vstup 25 dílčí paměti 4 čtvrté podskupiny 400 zapojení a první výstup pro signál D013, dále nazvaný signálem SDO, tvoří současně druhý výstup 025 zapojení pro připojení na diskovou paměť, tvoří současně čtvrtou skupinu výstupů 023 zapojení pro připojení na počítač.

Počet bitů datového slova paralelního přenosu je dán součinem počtu podskupin 100, 200, 300, 400 a počtu bitů dílčího posuvného registru 9, 10, 11, 12. Počet podskupin 100, 200, 300, 400 činí dvě nebo více. Počet bitů dílčího posuvného registru 9, 10, 11, 12 činí dva nebo více a je shodný s počtem impulsů signálu CL1, s počtem impulsů signálu WE a s počtem změn signálů AD při manipulaci s jedním slovem při paralelním přenosu. Počty bitů dílčích posuvných registrů 9, 10, 11, 12 jsou shodné. Počet adresovacích výstupů ve skupině adresovacích výstupů 013 řadiče 13 pro signály AD je úměrný kapacitě dílčí paměti 1, 2, 3, 4. Místo počítače lze k polovodičové paměti připojit i jiné zařízení s paralelním vstupem a výstupem dat, rovněž místo diskové paměti lze k polovodičové paměti připojit i jiné zařízení se seriovým vstupem a výstupem dat.

Činnost polovodičové paměti spočívá ve čtyřech režimech, a

sice: paralelní zápis dat do paměti, seriový zápis dat do paměti, paralelní čtení dat z paměti a sériové čtení dat z paměti. Ve stavu klidu mají signály DMA a DAP současně hladinu L, a tím je zajištěno, že neprobíhá žádný přesun dat a že se nastaví obvody řadiče 13 do výchozího stavu. Z uvedených čtyř režimů může současně probíhat jen jediný.

V režimu paralelní zápis dat do paměti má signál DCE hladinu H a hladina signálu DMA se změní na hladinu H. Pomocí signálů DI1 až DI16 vyšle počítač první slovo, které se má zapsat do paměti² impulsem signálu DMAS se toto slovo zapíše do posuvného registru složeného z dílčích čtyřbitových posuvných registrů 9, 10, 11, 12 tak, že řadič 13 zpracuje impuls signálu DMAS na impuls signálu MC, který zajišťuje přepnutí posuvného registru do stavu pro paralelní zápis a který je doplněn hodinovým impulsem signálu CL2. Tento hodinový signál CL2 provede vlastní paralelní zápis dat do posuvného registru. Impulsem signálu DMAS se změní hladina signálu DMAF na H, a tím je počítač informován o tom, že probíhá přebírání dat z posuvného registru do paměti, složené z dílčích pamětí 1, 2, 3, 4. Potom vyšle řadič 13 čtyři impulsy signálu CL1, odvozeného z vnitřního oscilátoru řadiče 13. Tyto impulsy zajistí sériové vysouvání dat z posuvného registru, a tím přesun těchto dat na datové vstupy 16, 19, 22, 25 dílčích pamětí 1, 2, 3, 4, přičemž se synchronně s těmito impulsy vysílají z řadiče 13 čtyři zápisové impulsy signálu WE, které provedou vlastní zápis dat do paměti a současně s nimi se synchronně změní stavy signálů AD. Po zápisu celého slova do paměti se změní hladina signálu DMAF na L, a tím je počítač informován o tom, že datové slovo bylo zapsáno do paměti a že může být vysláno další slovo pro zápis do paměti. Počítač vyšle druhé slovo dat a dalším impulsem signálu DMAS zajistí jeho zapsání do paměti uvedeným způsobem. Počet impulsů signálu DMAS a tím počet zapsaných slov do paměti musí být roven nabo menší, než je kapacita paměti. Tato činnost se opakuje tak dlouho, až počítač přestane vysílat impulsy signálu DMAS a potom změní hladinu signálu DMA na L.

Seriový zápis dat do paměti je zajištěn hladinou L signálu ZST a změnou hladiny signálu DAP na H. V tomto režimu zajistí řadič 13 hladinu L signálu PM a tím je zajištěno propojení dílčích čtyřbitových posuvných registrů 9, 10, 11, 12 v jeden posuvný registr. Sériová data SDI pro zápis do paměti jsou přive-

dena na vstup dílčího multiplexoru 5 a z něho na vstup posuvného registru jako signál DMI a jsou do posuvného registru posouvána pomocí hodinových impulsů signálu CL1, které jsou synchronně odvozeny od hodinových impulsů signálu CL, které vysílá synchronně s daty SDI disková paměť. Po zasunutí celého datového slova je řadič 13 informován z diskové paměti impulsem signálu BP o tom, že datové slovo v posuvném registru je platné. Disková paměť začne nasouvat do posuvného registru druhé slovo a řadič 13 zajistí synchronně s hodinovými impulsy signálu CL, mimo impulsy signálu CL1, ještě vytvoření čtyř zápisových impulsů signálu WE a také změny stavů signálů AD. Celé první slovo se tedy zapíše během prvních čtyř hodinových impulsů druhého slova do paměti. Během zbývajících devíti hodinových impulsů se zápis neprovádí. Dokončí se nasunutí druhého slova do posuvného registru a disková paměť zajistí dalším impulsem signálu BP zapsání druhého slova do paměti výše popsaným způsobem. Počet impulsů signálu BP, a tím i počet zapsaných slov do paměti, musí být roven nebo menší než je kapacita paměti. Tato činnost se opakuje tak dlouho, až disková paměť přestane vysílat impulsy BP a potom změní hladinu signálu DAP na L.

V režimu paralelního čtení dat z paměti má signál DCE hladinu L a hladina signálu DMA se změní na H. V tomto režimu zajistí řadič 13 hladinu H na signálu PM. Tím je zajištěno připojení výstupů 01, 02, 03, 04 dílčích pamětí 1, 2, 3, 4 na druhé datové vstupy 38, 43, 48, 53 dílčích čtyřbitových posuvných registrů 9, 10, 11, 12. Počítač požaduje impulsem signálu DMAS přečtení prvního slova dat z paměti. Řadič 13 změní hladinu signálu DMAF na H, a tím je počítač informován o tom, že probíhá čtení dat z paměti a data na výstupech 09, 010, 011, 012 nejsou zatím platná. Řadič 13 vyšle čtyři impulsy signálu CL1 a synchronně s nimi se mění stavy signálů AD. Po jejich vyslání je na výstupech 09, 010, 011, 012 posuvného registru první přečtené slovo. Řadič 13 změní hladinu signálu DMAF na L, a tím informuje počítač o tom, že přečtené slovo na těchto výstupech je platné. Počítač požaduje dalším impulsem signálu DMAS přečtení druhého slova dat z paměti, a to se přečte výše uvedeným způsobem. Tato činnost pokračuje tak dlouho, až počítač přestane vysílat impulsy signálu DMAS a potom změní hladinu signálu DMA na L.

Sériové čtení dat z paměti je zajištěno hladinou H signálu ZST a změnou hladiny signálu DAP na H. Disková paměť požaduje

impulsem signálu BP přečtení prvního slova dat z paměti. Řadič 13 změni hladinu signálu PM na H, a tím zajistí připojení výstupů 01, 02, 03, 04 dílčích pamětí 1, 2, 3, 4 na vstupy 38, 43, 48, 53 dílčích čtyřbitových posuvných registrů 9, 10, 11, 12 po dobu prvních čtyř hodinových impulsů signálu CL1, které jsou synchronně odvozeny z impulsů signálu CL. Po tuto dobu se také mění signály AD a posuvný registr se naplní prvním slovem dat přečteným z paměti, přičemž toto slovo je sériově vysouváno z prvního výstupu skupiny výstupů 012 posledního dílčího čtyřbitového posuvného registru 12 jako signál D013 tak, že na první hodinový impuls signálu CL1 se vysune první bit dat, na druhý hodinový impuls signálu CL1 druhý bit dat a tak dále. Na pátý až šestnáctý impuls signálu CL1 je signál PM v hladině L, a tím je zajištěno propojení dílčích čtyřbitových posuvných registrů 9, 10, 11, 12 v jeden posuvný registr. Stavby signálů AD se nemění, takže se provede dokončení sériového vysunutí celého prvního slova z posuvného registru. Disková paměť požaduje impulsem signálu BP přečtení druhého slova dat z paměti, a to se přečte výše uvedeným způsobem. Tato činnost pokračuje tak dlouho, až disková paměť přestane vysílat impulsy signálů BP a potom změni hladinu signálu DAP na L. Sériová data SDO čtená z paměti lze odebírat i z druhého nebo dalších výstupů skupiny výstupů 012 dílčího čtyřbitového posuvného registru 12. V tomto případě jsou však sériová data SDO, odebíraná ze signálu D014, opožděna o jeden, ze signálu D015 o dva a ze signálu D016 o tři hodinové impulsy signálu CL1. Při připojení polovodičové paměti k počítači a k diskové paměti se využívá všech čtyř režimů. Je-li polovodičová paměť připojena k jiným zařízením, nemusí být všech režimů využíváno. Různá zařízení pro sběr, přenos a manipulaci s daty mohou využívat například jen paralelního zápisu a čtení dat, sériového zápisu a paralelního čtení dat nebo i jiných kombinací uvedených režimů.

Zapojení polovodičové paměti podle vynálezu lze použít pro připojení k zařízením s paralelním vstupem a výstupem dat, jakož i k zařízením se sériovým vstupem a výstupem dat.

Zapojení polovodičové paměti s řadičem a posuvným registrem, vyznačené tím, že obsahuje alespoň dvě podskupiny (100,200,300,400) sestávající vždy z jedné dílčí paměti (1,2,3,4), z jednoho dílčího multiplexoru (5,6,7,8) a z jednoho dílčího posuvného registru (9,10,11,12), přičemž aktivizační vstup (58) paralelního přenosu řadiče (13) tvoří současně první vstup (70) zapojení, směrovací vstup (59) paralelního přenosu řadiče (13) tvoří současně druhý vstup (71) zapojení, synchronizační vstup (60) paralelního přenosu řadiče (13) tvoří současně třetí vstup (72) zapojení, aktivizační vstup (61) sériového přenosu řadiče (13) tvoří současně čtvrtý vstup (73) zapojení, směrovací vstup (62) sériového přenosu řadiče (13) tvoří současně pátý vstup (74) zapojení, synchronizační vstup (63) sériového přenosu řadiče (13) tvoří současně šestý vstup (75) zapojení, hodinový vstup (64) sériového přenosu řadiče (13) tvoří současně sedmý vstup (76) zapojení, informační výstup (019) paralelního přenosu řadiče (13) tvoří současně první výstup (024) zapojení, skupina adresovacích výstupů (013) řadiče (13) je připojena na skupiny adresovacích vstupů (14,17,20,23) dílčích pamětí (1,2,3,4) všech podskupin (100,200,300,400), přepínací výstup (014) pro zápis a čtení řadiče (13) je připojen na řídicí vstupy (15,18,21,24) dílčích pamětí (1,2,3,4) všech podskupin (100,200,300,400), přepínací výstup (015) pro multiplexor řadiče (13) je připojen na řídicí vstupy (28,31,34,37) dílčích multiplexorů (5,6,7,8) všech podskupin (100,200,300,400), hodinový výstup (016) pro posuv dat řadiče (13) je připojen na první hodinové vstupy (40,45,50,55) dílčích posuvných registrů (9,10,11,12) všech podskupin (100,200,300,400), hodinový výstup (017) pro paralelní zápis řadiče (13) je připojen na druhé hodinové vstupy (41,46,51,56) dílčích posuvných registrů (9,10,11,12) všech podskupin (100,200,300,400), řídicí výstup (018) módu posuvného registru řadiče (13) je připojen na přepínací vstupy (42,47,52,57) dílčích posuvných registrů (9,10,11,12) všech podskupin (100,200,300,400), první datový vstup (26) dílčího multiplexoru (5) první podskupiny (100) tvoří současně osmý vstup (65) zapojení, kdežto v každé podskupině (100,200,300,400) je datový výstup (01,02,03,04) dílčí paměti (1,2,3,4) připojen na druhý datový vstup (27,30,33,36) dílčího multiplexoru (5,6,7,8) téže podskupiny (100,200,300,400), jehož datový výstup (05,06,07,08) je připojen na vstup (38,43,

48,53) sériových dat dílčího posuvného registru (9,10,11,12) téže podskupiny (100,200,300,400), v každé podskupině (100,200,300,400) tvoří skupina vstupů (39,44,49,54) paralelních dat dílčího posuvného registru (9,10,11,12) současně skupinu vstupů (66,67,68,69) zapojení a v každé podskupině (100,200,300,400) tvoří skupina výstupů (09,010,011,012) paralelních dat dílčího posuvného registru (9,10,11,12), z níž vždy poslední výstup je připojen na datový vstup (16,19,22,25) dílčí paměti (1,2,3,4) téže podskupiny (100,200,300,400) a na druhý datový vstup (29,32,35) dílčího multiplexoru (5,6,7,8) následující podskupiny (100,200,300,400), současně skupinu výstupů (020,021,022,023) zapojení, přičemž jeden z výstupů ze skupiny výstupů (012) paralelních dat dílčího posuvného registru (12) poslední podskupiny (400) tvoří současně druhý výstup (025) zapojení.

1 výkres

