

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6278720号  
(P6278720)

(45) 発行日 平成30年2月14日(2018.2.14)

(24) 登録日 平成30年1月26日(2018.1.26)

(51) Int.Cl.

F 1

HO 1 Q 15/14 (2006.01)  
HO 1 P 1/00 (2006.01)HO 1 Q 15/14  
HO 1 P 1/00Z  
Z

請求項の数 10 (全 8 頁)

(21) 出願番号 特願2014-13634 (P2014-13634)  
 (22) 出願日 平成26年1月28日 (2014.1.28)  
 (65) 公開番号 特開2015-142223 (P2015-142223A)  
 (43) 公開日 平成27年8月3日 (2015.8.3)  
 審査請求日 平成29年1月23日 (2017.1.23)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100076428  
 弁理士 大塚 康徳  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (74) 代理人 100130409  
 弁理士 下山 治  
 (74) 代理人 100134175  
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】セル及び電磁バンドギャップ構造体

## (57) 【特許請求の範囲】

## 【請求項 1】

対向して配置された第1の平板導体と第2の平板導体と、  
 前記第1の平板導体と前記第2の平板導体の間に位置し、前記第1の平板導体と電気的に接続し、前記第2の平板導体と接続しない端部を有する第1の連結導体と、  
 前記第1の平板導体と第2の平板導体を電気的に接続する第2の連結導体と、  
 前記第1の連結導体の端部と前記第2の連結導体を電気的に接続する第1の導体片と、  
 前記第1の平板導体と前記第2の平板導体の間に位置し、前記第2の連結導体と電気的に接続し、他端は解放されている第2の導体片と、  
 を含むことを特徴とする電磁バンドギャップ構造体を構成するセル。

## 【請求項 2】

前記第1の連結導体の端部と前記第2の連結導体を電気的に接続する他の第1の導体片をさらに含むことを特徴とする請求項1に記載のセル。

## 【請求項 3】

前記第1の平板導体から前記第1の導体片の間隔と、前記第1の平板導体から前記他の第1の導体片の間隔は異なることを特徴とする請求項2に記載のセル。

## 【請求項 4】

前記第1の平板導体から前記第1の導体片の間隔と、前記第1の平板導体から前記第2の導体片の間隔は異なることを特徴とする請求項1乃至3いずれか1項に記載のセル。

## 【請求項 5】

10

20

前記第1の連結導体は、前記第1の平板導体と前記第2の平板導体のいずれかの周辺に電気的に接続されることを特徴とする請求項1乃至4のいずれか1項に記載のセル。

【請求項6】

前記第1の連結導体は、前記第2の平板導体に設けられたクリアランスを貫通していることを特徴とする請求項1乃至5のいずれか1項に記載のセル。

【請求項7】

前記第1の平板導体と前記第2の平板導体は同じ大きさであることを特徴とする請求項1乃至6のいずれか1項に記載のセル。

【請求項8】

前記第1の平板導体と前記第2の平板導体は異なる大きさであることを特徴とする請求項1乃至6のいずれか1項に記載のセル。 10

【請求項9】

請求項1乃至8のいずれか1項に記載のセルをそれぞれ回転させずに1次元または2次元に規則的に配置した電磁バンドギャップ構造体。

【請求項10】

請求項1乃至8のいずれか1項に記載のセルをそれぞれ回転させて1次元または2次元に規則的に配置した電磁バンドギャップ構造体。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、特定の周波数帯域において電磁波の伝搬を阻止する電磁バンドギャップ(EBG: Electromagnetic Band Gap)構造に関するものである。

【背景技術】

【0002】

近年、特定の周波数帯域において電磁波の伝搬を阻止する電磁バンドギャップ技術について研究されている。また、電磁バンドギャップ構造は磁気壁効果を示すため、アンテナの低背化として利用価値がある。電磁バンドギャップ構造として、一定のギャップ間隔でパッチ導体を同一平面にアレイ状に配置し、パッチ導体と平行したグランド導体にパッチ導体から導通ビアを接続したマッシュルーム構造(例えば、特許文献1)が一般的である。一方、特許文献2には、平行に配置された二つの導体平板間にオープンスタブを挿入した電磁バンドギャップ構造が提案されている。また、特許文献3には、平行に配置された二つの導体平板の外側のショートスタブもしくはオープンスタブで構成された電磁バンドギャップ構造が記載されている。また、二つの異なる長さのオープンスタブを同層に敷設した電磁バンドギャップ構造が提案されている。 30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2002-510886号公報

【特許文献2】特開2010-010183号公報

【特許文献3】国際公開2010/013496号

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来のマッシュルーム型の電磁バンドギャップ構造は、一つのセルのサイズが大きく小型の電子機器への内蔵には適していないという課題があった。また、オープンスタブを使用した電磁バンドギャップ構造は、ショートスタブより長いため、ショートスタブを用いた電磁バンドギャップ構造より一つのセルのサイズが大きいという課題があった。さらに、一つのセルのサイズが大きいことにより、電磁バンドギャップ帯域(遮断帯域)の設計の自由度が低いという課題があった。

【0005】

50

本発明は、上記課題に鑑みてなされたものであり、一つのセルのサイズが小さい電磁バンドギャップ構造を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明に係る電磁バンドギャップ構造体を構成するセルは、対向して配置された第1の平板導体と第2の平板導体と、前記第1の平板導体と前記第2の平板導体の間に位置し、前記第1の平板導体と電気的に接続し、前記第2の平板導体と接続しない端部を有する第1の連結導体と、前記第1の平板導体と第2の平板導体を電気的に接続する第2の連結導体と、前記第1の連結導体の端部と、前記第2の連結導体を電気的に接続する第1の導体片と、前記第1の平板導体と前記第2の平板導体の間に位置し、前記第2の連結導体と電気的に接続し、他端は解放されている第2の導体片と、を含むことを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、一つのセルのサイズがより小さい電磁バンドギャップ構造を提供でき、これにより、より遮断帯域設計自由度の高い電磁バンドギャップ構造を提供することが可能となる。

【図面の簡単な説明】

【0008】

【図1】電磁バンドギャップ平面図。

20

【図2】第一の実施形態におけるA-A'断面図。

【図3】第一の実施形態における単位セルの等価回路図。

【図4】第一の実施形態における電磁バンドギャップ断面図。

【図5】第一の実施形態における単位セル合成アドミタンスの周波数特性図。

【図6】第一の実施形態における単位セル分散特性図。

【図7】第二の実施形態におけるA-A'断面図。

【図8】第二の実施形態における単位セルの等価回路図。

【発明を実施するための形態】

【0009】

[第一実施形態]

30

図1は、本実施形態における電磁バンドギャップ構造体の平面図である。また、図2は、図1におけるx方向A-A'断面図である。なお、各図において、同一符号は同一または相当箇所を表す。本実施形態における電磁バンドギャップ構造は、単位セル8が、一つ一つを回転させずにもしくは回転させて、1次元または2次元に規則的に配列された構成である。それぞれの単位セル8は、導体パッチ1、グランド導体2、導体パッチ1とグランド導体2を充填する誘電体3、ビア(連結導体)4、ショートスタブ5、ショートスタブ短絡ビア6、及びオープンスタブ7から構成される。なお、スタブとは導体片を指す。

【0010】

ビア4は、対向して配置された平板導体である導体パッチ1及びグランド導体2と電気的に接觸し、ショートスタブ5およびオープンスタブ7の一端とも電気的に接觸する。ショートスタブ短絡ビア6は、ショートスタブ5の他端およびグランド導体2と電気的に接觸し、ショート端となる。オープンスタブ7の他端は他の金属部と接觸せず、オープン端となる。なお、ショートスタブ短絡ビア6は図1のA-A'面に存在しないが、説明のため図2に点線で描画している。ショートスタブ5は、ショートスタブ短絡ビア6のショート端である端部とビア4に接続されており、オープンスタブ7は、ビア4に接続されて他端は解放されている。

40

【0011】

図3は、図1と図2中の点線枠で示す単位セル8の等価回路図である。単位セル8の等価回路は、直列素子と並列素子で構成される。直列素子は、導体パッチ1における直列インダクタンス31と、隣接セルの導体パッチ間のギャップにおける直列キャパシタンス3

50

2 から成る。また、並列素子は、導体パッチ 1 とグランド導体 2 の容量結合による並列キャパシタンス 3 3 と、ビア 4 におけるインダクタンス 3 4 及び列リアクタンス 3 5 と 3 6 の直列回路から成る。ここで、リアクタンス 3 5 と 3 6 は、それぞれショートスタブ 5 とオープンスタブ 7 に応じたリアクタンスを表すものである。具体的には、リアクタンス 3 5 と 3 6 は、それぞれショートスタブ 5 とオープンスタブ 7 の長さや幅と合成アドミタンスの周波数に応じて、容量性または誘導性を示す。

#### 【 0 0 1 2 】

図 4 は、図 2 に示した電磁バンドギャップ構造体の変形例である。図 4 に示す電磁バンドギャップ構造体では、横方向の導体パッチ 1 間にギャップがなく、導体パッチ 1 が繋がっている。すなわち、導体パッチ 1 とグランド導体 2 により平行平板が構成されている。このときの等価回路は、図 3 における直列キャパシタンス 3 2 のない回路で表される。図 5 は、図 4 における並列素子の合成アドミタンスの 10GHz 以下の周波数特性であり、ショートスタブの長さが 5mm、オープンスタブの長さが 7mm のときの計算値である。合成アドミタンスが 3GHz 以下と 5GHz から 8GHz の周波数範囲では誘導性、合成アドミタンスが 3GHz から 5GHz の周波数範囲と 8GHz 以上において容量性を示す。

#### 【 0 0 1 3 】

図 6 は、本実施形態における電磁バンドギャップ構造体の単位セル分散特性を示す。図 6 において、実線はショートスタブ 5mm、オープンスタブが 7mm のときの等価回路による計算値を示す。また、黒丸は電磁界解析による解析結果を示す。回路計算と解析のためのパラメータは、単位セル 8 のサイズ 1.9x1.7mm、ビア 4 の高さ 0.06mm、ショートスタブ短絡ビア 6 の高さ 0.4mm、ビア 4 およびショートスタブ短絡ビア 6 の直径 0.25mm、隣接導体パッチ 1 の間隔 0.1mm、ショートスタブ 5 およびオープンスタブ 7 の幅 0.1mm である。また、誘電体 3 の誘電率を 4.4 とした。このとき、位相定数が 0 となる 2.8GHz 以下および 4.6~6.3GHz の周波数範囲でバンドギャップ（遮断領域）となる。

#### 【 0 0 1 4 】

以上、本実施形態によれば、単位セルにおいて 2 つの導体間の同じ層にショートスタブとオープンスタブを設けることにより、単位セルの小型化を実現することが可能となる。

#### 【 0 0 1 5 】

なお、本実施形態では、電磁バンドギャップ構造に適用するスタブを、ショートスタブ 5 およびオープンスタブ 7 の 2 つとして説明しているが、2 つ以上であれば何本でもよい。また、本実施形態では、ショートスタブ 5 とオープンスタブ 7 により構成されているが、ショートスタブを少なくとも 1 つ含めばよく、例えばショートスタブのみで構成してもよい。

#### 【 0 0 1 6 】

また、ショートスタブ短絡ビア 6 はショート端としているが、導体パッチ 1 にクリアランスを設け、貫通ビアとしてもよい。また、図 2 では、ショートスタブ短絡ビア 6 はグランド導体 2 に接触しているが、パッチ導体 1 に接触するようにしてもよい。また、ショートスタブ 5 およびオープンスタブ 7 のレイアウトは図 1 と図 2 に示したものに限らず、所望の長さを有していれば、例えば蛇行形状や直線形状でもよい。また、ショートスタブ短絡ビア 6 の位置もオープンスタブ 7 とショートスタブ 5 の外周側、すなわち、グランド導体 2 内の外側周辺である必要はないが、オープンスタブ 7 とショートスタブ 5 の外周側に設けることで小型なレイアウトが可能である。この場合の等価回路は、図 3 における直列キャパシタンス 3 2 のない構成となる。また、ショートスタブ 5 およびオープンスタブ 7 の位置は本実施形態に限定されず、導体パッチ 1 とグランド導体 2 の外側に構成されてもよい。

#### 【 0 0 1 7 】

##### [ 第 2 実施形態 ]

本実施形態における電磁バンドギャップ構造体断面図は図 1 と同じである。また、図 7 は、図 1 中 A-A' 面における平面図である。各図において同一符号は第 1 実施形態と同一または相当箇所を表す。本実施形態における電磁バンドギャップ構造は、単位セル 1 0 が

10

20

30

40

50

1次元または2次元に規則的に配列された構成である。それぞれの単位セル10は、導体パッチ1、グランド導体2、導体パッチ1とグランド導体2を充填する誘電体3、ビア4、ショートスタブ5、ショートスタブ短絡ビア6、及びオープンスタブ7から構成される。本実施形態による単位セル10は、異なる層にスタブが配置されている点で第1実施形態と異なる。

8

## 【0018】

ビア4は、平板導体である導体パッチ1及びグランド導体2と電気的に接触し、ショートスタブ5およびオープンスタブ7の一端とも電気的に接触する。ショートスタブ短絡ビア6はショートスタブ5の他端およびグランド導体2と電気的に接触し、ショート端となる。オープンスタブ7の他端は他の金属部と接触せず、オープン端となる。なお、ショートスタブ短絡ビア6は図1のA-A'面に存在しないが、説明のため図7に点線で描画している。

10

## 【0019】

図8は、図1と図7中の点線枠で示す単位セル10の等価回路図である。図3と異なる箇所は、ショートスタブ5のリアクタンス95とオープンスタブ7のリアクタンス96が直列に構成されている点である。他は図3と同様の等価回路のため、説明を省略する。

## 【0020】

以上、本実施形態によれば、単位セルにおいて2つの導体間の異なる層にショートスタブとオープンスタブを設けることにより、第1実施形態と同様に単位セルの小型化を実現することが可能となる。

20

## 【0021】

なお、本実施形態において各スタブは直列に接続されているが、異なる層にスタブを配置すればよく、例えば、各スタブが並列に接続される構成としてもよい。また、本実施形態の電磁バンドギャップ構造に適用するスタブを、ショートスタブ5およびオープンスタブ7の2つとして説明しているが、2つ以上であれば何本でもよい。また、本実施形態ではショートスタブ5とオープンスタブ7により構成されているが、オープンスタブのみまたはショートスタブのみで構成しても同様の効果が得られる。

## 【0022】

また、図1と図7においてショートスタブ短絡ビア6はグランド導体2とショートスタブ5間の層間ビアを用いているが、貫通ビアでも同様の効果が得られる。その場合は、グランド導体2とショートスタブ5の層以外で導通しないようにクリアランスを設け、他の層のスタブはクリアランスを避けてレイアウトする。また、ショートスタブ5およびオープンスタブ7のレイアウトは図1と図7に示したものに限らず、所望の長さを有していれば、例えば蛇行形状や直線形状でもよい。

30

## 【0023】

以上、本実施形態によれば、単位セルにおいて2つの導体間の異なる層にショートスタブとオープンスタブを設けることにより、単位セルの小型化を実現することが可能となる。

40

## 【0024】

本発明は電磁バンドギャップ構造であり、回路基板のグランドや電流を阻止すべき箇所に本発明を適用することで不要な電磁波を遮断することが可能である。

## 【符号の説明】

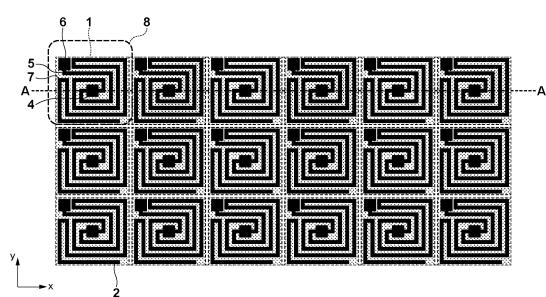
## 【0025】

- 1 導体パッチ
- 2 グランド導体
- 3 誘電体
- 4 ビア(連結導体)
- 5 ショートスタブ
- 6 ショートスタブ短絡ビア

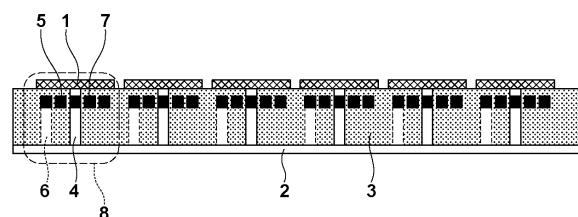
50

7 オープンスタブ  
8 単位セル

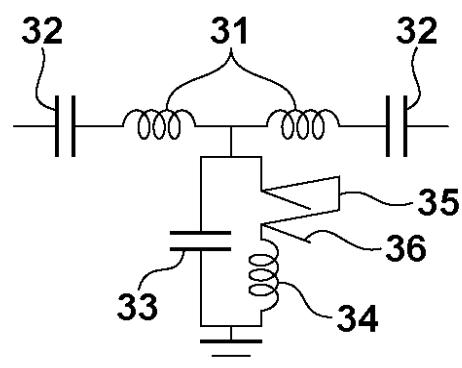
【図1】



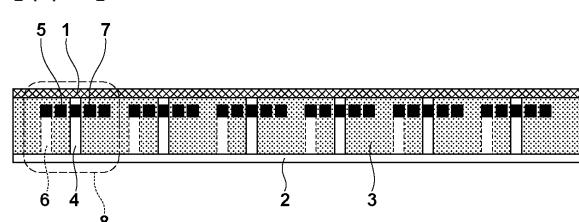
【図2】



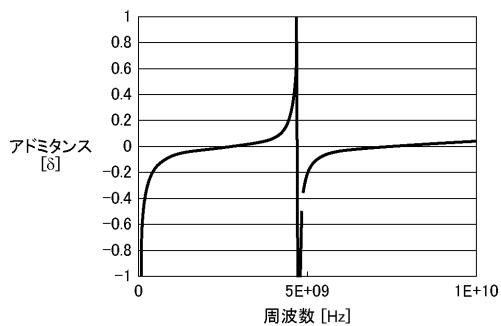
【図3】



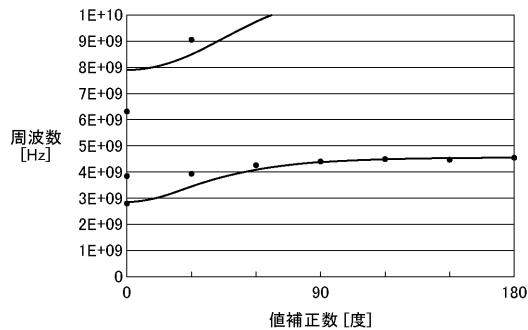
【図4】



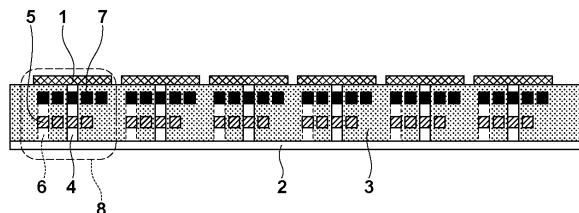
【図5】



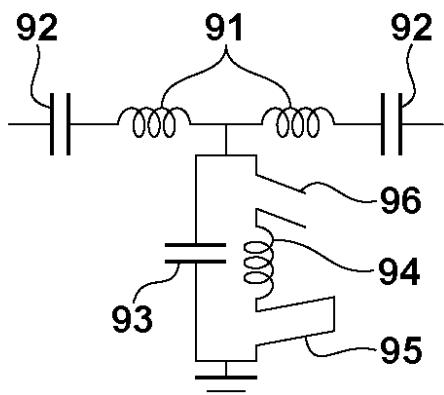
【図6】



【図7】



【図8】



---

フロントページの続き

(72)発明者 行正 浩二  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 佐藤 当秀

(56)参考文献 特開2010 - 010183 ( J P , A )  
国際公開第2010 / 013496 ( WO , A 1 )  
国際公開第2011 / 111297 ( WO , A 1 )  
特表2004 - 514364 ( J P , A )  
特開2010 - 199881 ( J P , A )  
国際公開第2010 / 125784 ( WO , A 1 )  
米国特許出願公開第2006 / 0044210 ( U S , A 1 )  
米国特許第06476771 ( U S , B 1 )  
米国特許出願公開第2009 / 0201220 ( U S , A 1 )  
特表2002 - 510886 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)

H 0 1 P 1 / 0 0  
H 0 1 Q 1 5 / 1 4  
H 0 5 K 3 / 4 6