

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5130316号
(P5130316)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月9日(2012.11.9)

(51) Int.Cl.

F I

G 0 5 F 3/24 (2006.01)

G O 5 F 3/24

Z

請求項の数 5 (全 29 頁)

(21) 出願番号	特願2010-100209 (P2010-100209)	(73) 特許権者	591044164
(22) 出願日	平成22年4月23日 (2010.4.23)		株式会社沖データ
(65) 公開番号	特開2011-232831 (P2011-232831A)		東京都港区芝浦四丁目11番22号
(43) 公開日	平成23年11月17日 (2011.11.17)	(73) 特許権者	500002571
審査請求日	平成24年3月21日 (2012.3.21)		株式会社沖デジタルイメージング
			群馬県高崎市西横手町1番地1
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100155321
			弁理士 綾木 健一郎
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100145872
			弁理士 福岡 昌浩

最終頁に続く

(54) 【発明の名称】 基準電圧発生回路とこれを用いた駆動装置、プリントヘッド及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

第1電源に接続された第1導電形の第1のMOSトランジスタと前記第1電源に接続された前記第1導電形の第2のMOSトランジスタとにより構成された第1のカレントミラー回路と、

前記第1のカレントミラー回路と第1ノード及び第2ノードとの間であって、前記第1のカレントミラー回路に対して縦続接続され、第2導電形の第3のMOSトランジスタ及び前記第2導電形の第4のMOSトランジスタにより構成された第2のカレントミラー回路と、

一端が第3ノードに接続された第1の抵抗と、

前記第1の抵抗の他端に接続されたコレクタ、前記第1電源とは異なる電位の第2電源に接続されたエミッタ、及び前記第3ノードに接続されたベースを有する第1のバイポーラトランジスタと、

第4ノードに第2の抵抗を介して接続又は前記第4ノードに直接接続されたコレクタ、前記第2電源に接続されたエミッタ、及び前記第1のバイポーラトランジスタのコレクタに接続されたベースを有する第2のバイポーラトランジスタと、

前記第1電源と基準電圧を出力する出力端子との間に接続され、前記第1のカレントミラー回路の出力電圧により導通状態が制御される前記第1導電形の第5のMOSトランジスタと、

前記出力端子と前記第2電源との間に直列に接続された第3の抵抗と、

10

20

前記第 1 電源に接続された前記第 1 導電形の第 7 の MOS トランジスタと前記第 1 電源に接続された前記第 1 導電形の第 8 の MOS トランジスタとにより構成された第 3 のカレントミラー回路と、

前記第 3 のカレントミラー回路と前記第 3 ノード及び前記第 4 ノードとの間であって、前記第 3 のカレントミラー回路に対して縦続接続され、前記第 2 導電形の第 9 の MOS トランジスタ及び前記第 2 導電形の第 10 の MOS トランジスタにより構成された第 4 のカレントミラー回路と、

前記第 3 ノードに接続されたコレクタ及びベースと前記第 2 電源に接続されたエミッタとを有する第 3 のバイポーラトランジスタと、

前記第 4 ノードと前記第 2 電源との間に直列に接続された第 4 の抵抗と、

前記第 1 電源と第 5 ノードとの間に接続され、前記第 3 のカレントミラー回路の出力電圧により導通状態が制御される前記第 1 導電形の第 11 の MOS トランジスタと、

前記第 5 ノード及び前記出力端子と前記第 2 電源との間であって、前記第 11 の MOS トランジスタに対して直列に接続された前記第 2 導電形の第 12 の MOS トランジスタと、前記第 3 の抵抗に対して並列に接続された前記第 2 導電形の第 13 の MOS トランジスタと、により構成された第 5 のカレントミラー回路と、

を備えたことを特徴とする基準電圧発生回路。

【請求項 2】

請求項 1 記載の基準電圧発生回路は、更に、

前記第 5 の MOS トランジスタと前記出力端子との間にダイオード接続された前記第 2 導電形の第 14 の MOS トランジスタと、

前記第 11 の MOS トランジスタと前記第 5 ノードとの間にダイオード接続された前記第 2 導電形の第 15 の MOS トランジスタと、

を備えたことを特徴とする基準電圧発生回路。

【請求項 3】

請求項 1 又は 2 記載の基準電圧発生回路と、

前記基準電圧発生回路から出力された前記基準電圧を入力し、前記基準電圧に対応した制御電圧を発生する制御電圧発生回路と、

前記第 1 電源から出力される電源電圧が印加される電源端子、及び前記制御電圧が印加されるグランド端子を有し、ストローク信号及びデータをを入力し、前記ストローク信号により前記データの出力を制御して前記電源電圧と略等しい高レベルの電圧又は前記制御電圧と略等しい低レベルの電圧を出力する論理回路と、

前記電源電圧が印加され、前記論理回路の出力電圧に対応した駆動電流を被駆動素子に供給する駆動回路と、

を備えたことを特徴とする駆動装置。

【請求項 4】

請求項 3 記載の駆動装置と、

前記被駆動素子である発光素子が複数配列され、前記駆動電流により発光して光を放射する発光素子アレイと、

を備えたことを特徴とするプリントヘッド。

【請求項 5】

請求項 4 記載のプリントヘッドを備え、

前記光により露光されて記録媒体に画像を形成することを特徴とする画形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、被駆動素子としての発光素子等の群を用いた電子写真プリンタ等における発光素子の列、サーマルプリンタにおける発熱抵抗体の列、表示装置における表示素子の列を選択的に、且つサイクリックに駆動するために、基準電圧を発生する基準電圧発生回路と、これを用いた駆動装置、プリントヘッド、及び電子写真プリンタ等の画像形

10

20

30

40

50

成装置に関するものである。

【背景技術】

【0002】

従来、電子写真方式を用いたプリンタ等の画像形成装置には、発光素子を多数配列させて露光部を形成したものがある。発光素子としては、発光ダイオード（以下「LED」という。）の他、有機エレクトロルミネセンス素子（以下「有機EL素子」という。）、発光サイリスタ等が用いられる。

【0003】

一般に、被駆動素子としての発光素子には、温度依存性があり、温度上昇によってその光出力が減少する特性を備えている。電子写真プリンタ等では、発光素子の光出力が変動すると、印刷濃度が変動してしまっ

10

【0004】

て好ましくないため、発光素子の駆動に伴う温度上昇による光出力の低下を補償するように、発光素子の駆動電流を増加させる構成を備えている。そのため、発光素子の駆動電流は、基準電圧 V_{ref} に略比例するものとして駆動装置に与えられており、その基準電圧 V_{ref} に対して正の温度係数を与えることで、温度補償を行うようにしている。下記の特許文献1においては、基準電圧 V_{ref} として絶対温度に略比例した出力電圧を与える基準電圧発生回路の構成が開示されている。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開平10-332494号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の基準電圧発生回路とこれを用いた駆動装置、プリントヘッド及び画像形成装置では、次のような課題があった。

【0007】

例えば、プリントヘッドは、多数の発光素子を配列してなり、同時駆動される発光素子の数もまた膨大なものとなる。そのため、発光素子駆動に伴って大きな電源電流を生じ、これによる電源電圧変動が避けられない。一方、発光素子駆動に伴う電源電圧降下があったとしても、発光パワーを所定値に維持できる必要があり、駆動装置及びそれを構成する部分回路は前記電源電圧変動の影響を受けない構成とする必要がある。

30

【0008】

ところが、特許文献1に開示された基準電圧発生回路では、温度検出用にバイポーラトランジスタ対を設け、このバイポーラトランジスタ対のベース・エミッタ間電圧の差が温度により変化する特性を用いることで、その差電圧を基準電圧値として出力する構成になっているが、電源電圧が低下すると、基準電圧もまた降下する特性となり、電源電圧の変動によって基準電圧が変動してしまい、その結果、駆動電流の変動による印刷濃度むらを生じる。

40

【課題を解決するための手段】

【0009】

本発明のうちの請求項1に係る発明の基準電圧発生回路は、第1～第5のカレントミラー回路と、一端が第3ノードに接続された第1の抵抗と、第1～第3のバイポーラトランジスタと、前記第1電源と基準電圧を出力する出力端子との間に接続され、前記第1のカレントミラー回路の出力電圧により導通状態が制御される前記第1導電形の第5のMOSトランジスタと、前記出力端子と前記第2電源との間に直列に接続された第3の抵抗と、前記第4ノードと前記第2電源との間に直列に接続された第4の抵抗と、前記第1電源と第5ノードとの間に接続され、前記第3のカレントミラー回路の出力電圧により導通状態が制御される前記第1導電形の第11のMOSトランジスタと、を備えたことを特徴とす

50

る。

【 0 0 1 0 】

前記請求項 1 に係る発明の基準電圧発生回路において、前記第 1 カレントミラー回路は、第 1 電源に接続された第 1 導電形の第 1 の MOS トランジスタと前記第 1 電源に接続された前記第 1 導電形の第 2 の MOS トランジスタとにより構成されている。又、前記第 2 のカレントミラー回路は、前記第 1 のカレントミラー回路と第 1 ノード及び第 2 ノードとの間であって、前記第 1 のカレントミラー回路に対して縦続接続され、第 2 導電形の第 3 の MOS トランジスタ及び前記第 2 導電形の第 4 の MOS トランジスタにより構成されている。

又、第 1 のバイポーラトランジスタは、前記第 1 の抵抗の他端に接続されたコレクタ、前記第 1 電源とは異なる電位の第 2 電源に接続されたエミッタ、及び前記第 3 ノードに接続されたベースを有している。更に、第 2 のバイポーラトランジスタは、第 4 ノードに第 2 の抵抗を介して接続又は前記第 4 ノードに直接接続されたコレクタ、前記第 2 電源に接続されたエミッタ、及び前記第 1 のバイポーラトランジスタのコレクタに接続されたベースを有している。

【 0 0 1 1 】

前記請求項 1 に係る発明の基準電圧発生回路において、第 3 のカレントミラー回路は、前記第 1 電源に接続された前記第 1 導電形の第 7 の MOS トランジスタと前記第 1 電源に接続された前記第 1 導電形の第 8 の MOS トランジスタとにより構成されている。又、第 4 のカレントミラー回路は、前記第 3 のカレントミラー回路と第 3 ノード及び第 4 ノードとの間であって、前記第 3 のカレントミラー回路に対して縦続接続され、前記第 2 導電形の第 9 の MOS トランジスタ及び前記第 2 導電形の第 10 の MOS トランジスタにより構成されている。又、前記第 3 のバイポーラトランジスタは、前記第 3 ノードに接続されたコレクタ及びベースと前記第 2 電源に接続されたエミッタとを有している。

更に、第 5 のカレントミラー回路は、前記第 5 ノード及び前記出力端子と前記第 2 電源との間であって、前記第 11 の MOS トランジスタに対して直列に接続された前記第 2 導電形の第 12 の MOS トランジスタと、前記第 3 の抵抗に対して並列に接続された前記第 2 導電形の第 13 の MOS トランジスタとにより構成されている。

【 0 0 1 2 】

請求項 2 に係る発明の基準電圧発生回路は、請求項 1 記載の基準電圧発生回路において、更に、前記第 5 の MOS トランジスタと前記出力端子との間にダイオード接続された前記第 2 導電形の第 14 の MOS トランジスタと、前記第 11 の MOS トランジスタと前記第 5 ノードとの間にダイオード接続された前記第 2 導電形の第 15 の MOS トランジスタをと、を備えたことを特徴とする。

【 0 0 1 3 】

請求項 3 に係る発明の駆動装置は、請求項 1 又は 2 記載の基準電圧発生回路と、前記基準電圧発生回路から出力された基準電圧を入力し、前記基準電圧に対応した制御電圧を発生する制御電圧発生回路と、前記第 1 電源から出力される電源電圧が印加される電源端子、及び前記制御電圧が印加されるグランド端子を有し、ストローク信号及びデータを入力し、前記ストローク信号により前記データの出力を制御して前記電源電圧と略等しい高レベルの電圧又は前記制御電圧と略等しい低レベルの電圧を出力する論理回路と、前記電源電圧が印加され、前記論理回路の出力電圧に対応した駆動電流を被駆動素子に供給する駆動回路と、を備えたことを特徴とする。

【 0 0 1 4 】

請求項 4 に係る発明のプリントヘッドは、請求項 3 記載の駆動装置と、前記被駆動素子である発光素子が複数配列され、前記駆動電流により発光する発光素子アレイと、を備えたことを特徴とする。

【 0 0 1 5 】

請求項 5 に係る発明の画像形成装置は、請求項 4 記載のプリントヘッドを備え、前記プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする。

10

20

30

40

50

【発明の効果】

【0016】

請求項1及び2に係る発明の基準電圧発生回路によれば、第1のカレントミラー回路と第2のカレントミラー回路とを縦続接続して構成したカレントミラー回路部を用いて、第1及び第2のバイポーラトランジスタを駆動する構成に加えて、第3～第5のカレントミラー回路等を設け、第1及び第2のバイポーラトランジスタのベース・エミッタ間電圧に略比例する基準電流を作り、その基準電流を減算することで、温度係数の大きな基準電流を発生させ、これを基に所望の基準電圧を生成している。

【0017】

これにより、第1電源の電源電圧が変化しても、第2のバイポーラトランジスタのコレクタ電位の変動を僅少にでき、基準電圧発生回路から出力される基準電圧の変動を無視しうる程度にまで減少させることができると共に、出力される基準電圧の温度係数を所望の値に設定でき、更に、その電圧値もまた前記温度係数とは独立に所望の値に設定することが可能となる。

【0018】

請求項3に係る発明の駆動装置、及び請求項4に係る発明のプリントヘッドによれば、請求項1又は2記載の基準電圧発生回路を備えているので、電源電圧の変動や温度変化の影響を受けずに、被駆動素子を安定して駆動することができる。

【0019】

請求項5に係る発明の画像形成装置によれば、第1カレントミラー回路と第2カレントミラー回路とを縦続接続して構成したカレントミラー回路部を用いて、第1及び第2のバイポーラトランジスタを駆動する構成の基準電圧発生回路を有するプリントヘッドを採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置を実現できる。

【図面の簡単な説明】

【0020】

【図1】図1は本発明の実施例1における図4中の基準電圧発生回路60の構成を示す回路図である。

【図2】図2は本発明の実施例1における画像形成装置を示す概略の構成図である。

【図3】図3は図2の画像形成装置1におけるプリント制御回路の構成を示すブロック図である。

【図4】図4は図3中のプリントヘッド13を示す回路構成図である。

【図5】図5は比較例の基準電圧発生回路60Aにおける構成を示す回路図である。

【図6】図6は図4中の駆動装置における要部を示す回路図である。

【図7】図7は図4のプリントヘッド13の印刷動作を説明するためのタイミングチャートである。

【図8】図8は図5の比較例の基準電圧発生回路60Aから出力される基準電圧 V_{ref} の電源電圧 V_{DD} に対する依存性を示す特性図である。

【図9】図9は図1の実施例1の基準電圧発生回路60から出力される基準電圧 V_{ref} の電源電圧 V_{DD} に対する依存性を示す特性図である。

【図10】図10は実施例1の図1の変形例である基準電圧発生回路を示す回路図である。

【図11】図11は本発明の実施例2における基準電圧発生回路の構成を示す回路図である。

【図12】図12は図11の基準電圧発生回路60Cの動作を説明する図である。

【図13】図13は図11の基準電圧発生回路60Cにおける温度係数 T_c を示す図である。

【図14】図14は図11の変形例である基準電圧発生回路を示す回路図である。

【発明を実施するための形態】

【0021】

本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例 1】

【0022】

(実施例 1 の画像形成装置)

図 2 は、本発明の実施例 1 における画像形成装置を示す概略の構成図である。

【0023】

この画像形成装置 1 は、被駆動素子としての発光素子（例えば、LED）を用いたプリントヘッドが搭載された電子写真カラープリンタであり、ブラック（K）、イエロー（Y）、マゼンタ（M）及びシアン（C）の各色の画像を各々に形成する 4 個のプロセスユニット 10 - 1 ~ 10 - 4 を有し、これらが記録媒体（例えば、用紙）20 の搬送経路の上流側から順に配置されている。各プロセスユニット 10 - 1 ~ 10 - 4 の内部構成は共通しているため、例えば、マゼンタのプロセスユニット 10 - 3 を例にとり、これらの内部構成を説明する。

【0024】

プロセスユニット 10 - 3 には、像担持体としての感光体（例えば、感光体ドラム）11 が図 2 中の矢印方向に回転可能に配置されている。感光体ドラム 11 の周囲には、この回転方向上流側から順に、感光体ドラム 11 の表面に電荷を供給して帯電させる帯電装置 12 と、帯電された感光体ドラム 11 の表面に選択的に光を照射して静電潜像を形成する露光装置（例えば、プリントヘッド）13 が配設されている。更に、静電潜像が形成された感光体ドラム 11 の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像器 14 と、感光体ドラム 11 上のトナーの顕像を用紙 20 に転写した後に残留したトナーを除去するクリーニング装置 15 が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0025】

画像形成装置 1 の下部には、用紙 20 を堆積した状態で収納する用紙カセット 21 が装着され、その上方に、用紙 20 を 1 枚ずつ分離させて搬送するためのホッピングローラ 22 が配設されている。用紙 20 の搬送方向におけるホッピングローラ 22 の下流側には、ピンチローラ 23、24 と共に用紙 20 を挟持することによってこの用紙 20 を搬送する搬送ローラ 25 と、用紙 20 の斜行を修正し、プロセスユニット 10 - 1 に搬送するレジストローラ 26 とが配設されている。これらのホッピングローラ 22、搬送ローラ 25 及びレジストローラ 26 は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0026】

プロセスユニット 10 - 1 ~ 10 - 4 の各感光体ドラム 11 に対向する位置には、それぞれ半導電性のゴム等によって形成された転写器 27 が配設されている。各転写器 27 には、感光体ドラム 11 上に付着されたトナーによる顕像を用紙 20 に転写する転写時に、各感光体ドラム 11 の表面電位とこれら各転写器 27 の表面電位に電位差を持たせるための電位が印加されている。

【0027】

プロセスユニット 10 - 4 の下流には、定着器 28 が配設されている。定着器 28 は、ヒータが内蔵された加熱ローラとバックアップローラとを有し、用紙 20 上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ 29、30、排出部のピンチローラ 31、32、及び用紙スタッカ部 33 が設けられている。排出口ローラ 29、30 は、定着器 28 から排出された用紙 20 を、排出部のピンチローラ 31、32 と共に挟持し、用紙スタッカ部 33 に搬送する。これら定着器 28 及び排出口ローラ 29 等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

【0028】

10

20

30

40

50

このように構成される画像形成装置 1 は、次のように動作する。

まず、用紙カセット 2 1 に堆積した状態で収納されている用紙 2 0 が、ホッピングローラ 2 2 によって、上から 1 枚ずつ分離されて搬送される。続いて、この用紙 2 0 は、搬送ローラ 2 5、レジストローラ 2 6 及びピンチローラ 2 3、2 4 に挟持されて、プロセスユニット 1 0 - 1 の感光体ドラム 1 1 と転写器 2 7 の間に搬送される。その後、用紙 2 0 は、感光体ドラム 1 1 及び転写器 2 7 に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム 1 1 の回転によって搬送される。同様にして、用紙 2 0 は、順次プロセスユニット 1 0 - 2 ~ 1 0 - 4 を通過し、その通過過程で、各プリントヘッド 1 3 により形成された静電潜像を各現像器 1 4 によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

10

【 0 0 2 9 】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器 2 8 によってトナー像が定着された用紙 2 0 は、排出口ローラ 2 9、3 0 及びピンチローラ 3 1、3 2 に挟持されて、画像形成装置 1 の外部の用紙スタッカ部 3 3 に排出される。以上の過程を経て、カラー画像が用紙 2 0 上に形成される。

【 0 0 3 0 】

(プリント制御回路)

図 3 は、図 2 の画像形成装置 1 におけるプリント制御回路の構成を示すブロック図である。

【 0 0 3 1 】

このプリント制御回路は、画像形成装置 1 における印刷部の内部に配設された印刷制御部 4 0 を有している。印刷制御部 4 0 は、マイクロプロセッサ、読み出し専用メモリ (以下「ROM」という。)、随時読み書き可能なメモリ (以下「RAM」という。)、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない画像処理部からの制御信号 S G 1、及びビデオ信号 (ドットマップデータを一次元的に配列したもの) S G 2 等によって画像形成装置全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部 4 0 には、プロセスユニット 1 0 - 1 ~ 1 0 - 4 の 4 個のプリントヘッド 1 3、定着器 2 8 のヒータ 2 8 a、ドライバ 4 1、4 3、用紙吸入口センサ 4 5、用紙排出口センサ 4 6、用紙残量センサ 4 7、用紙サイズセンサ 4 8、定着器用温度センサ 4 9、帯電用高圧電源 5 0、及び転写用高圧電源 5 1 等が接続されている。ドライバ 4 1 には現像・転写プロセス用モータ (P M) 4 2 が、ドライバ 4 3 には用紙送りモータ (P M) 4 4 が、帯電用高圧電源 5 0 には現像器 1 4 が、転写用高圧電源 5 1 には転写器 2 7 が、それぞれ接続されている。

20

30

【 0 0 3 2 】

このような構成のプリント制御回路では、次のような動作を行う。

印刷制御部 4 0 は、図示しない画像処理部からの制御信号 S G 1 によって印刷指示を受信すると、まず、温度センサ 4 9 によって定着器 2 8 内のヒータ 2 8 a が使用可能な温度範囲にあるか否かを検出し、温度範囲になればヒータ 2 8 a に通電し、使用可能な温度まで定着器 2 8 を加熱する。次に、ドライバ 4 1 を介して現像・転写プロセス用モータ 4 2 を回転させ、同時にチャージ信号 S G C によって帯電用高圧電源 5 0 をオン状態にし、現像器 1 4 の帯電を行う。

40

【 0 0 3 3 】

そして、セットされている図 2 中の用紙 2 0 の有無及び種類が用紙残量センサ 4 7、用紙サイズセンサ 4 8 によって検出され、その用紙 2 0 に合った用紙送りが開始される。ここで、用紙送りモータ 4 4 には、図示しない遊星ギア機構が接続されており、ドライバ 4 3 を介して双方向に回転させることが可能になっている。そのため、用紙送りモータ 4 4 の回転方向を変えることにより、画像形成装置内部の異なる用紙送り用の搬送ローラ 2 5 等を選択的に駆動することができる構成となっている。

【 0 0 3 4 】

用紙 1 ページの印刷開始毎に、用紙送りモータ 4 4 を最初に逆転させて、用紙吸入口セ

50

ンサ４５が検知するまで、セットされた用紙２０を予め設定された量だけ送る。続いて、正回転させて用紙２０を画像形成装置内部の印刷機構内に搬送する。

【００３５】

印刷制御部４０は、用紙２０が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号ＳＧ３（主走査同期信号、副走査同期信号を含む）を送信し、ビデオ信号ＳＧ２を受信する。図示しない画像処理部においてページ毎に編集され、印刷制御部４０に受信されたビデオ信号ＳＧ２は、印刷データＨＤ－ＤＡＴＡとして各プリントヘッド１３に転送される。各プリントヘッド１３は、それぞれ１ドット（ピクセル）の印刷のために設けられたＬＥＤを複数個線上に配列したものである。

【００３６】

印刷制御部４０は、１ライン分のビデオ信号ＳＧ２を受信すると、各プリントヘッド１３にラッチ信号ＨＤ－ＬＯＡＤを送信し、印刷データＨＤ－ＤＡＴＡを各プリントヘッド１３内に保持させる。又、印刷制御部４０は、図示しない画像処理部から次のビデオ信号ＳＧ２を受信している最中においても、各プリントヘッド１３に保持した印刷データＨＤ－ＤＡＴＡについて印刷することができる。

【００３７】

なお、印刷制御部４０から各プリントヘッド１３に送信されるクロック信号（以下単に「クロック」という。）ＨＤ－ＣＬＫ、及び駆動オン／オフ指令信号（例えば、ストロブ信号）ＨＤ－ＳＴＢ－Ｎ（但し、「－Ｎ」は負論理信号を意味する。）の内、クロックＨＤ－ＣＬＫは、印刷データＨＤ－ＤＡＴＡをプリントヘッド１３へ送信するための信号である。

【００３８】

ビデオ信号ＳＧ２の送受信は、印刷ライン毎に行われる。プリントヘッド１３からの発光は、負電位に帯電された感光体ドラム１１上に照射される。これにより、印刷される情報は、感光体ドラム１１上において電位の上昇したドットとして潜像化される。そして、現像器１４において、負電位に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が現像形成される。

【００３９】

その後、トナー像は転写器２７へ送られ、一方、転写信号ＳＧ４によって正電位に転写用高圧電源５１がオン状態になり、転写器２７は感光体ドラム１１と転写器２７との間隔を通過する用紙２０上にトナー像を転写する。転写されたトナー像を有する用紙２０は、ヒータ２８ａを内蔵する定着器２８に当接して搬送され、この定着器２８の熱によって用紙２０に定着される。この定着された画像を有する用紙２０は、更に搬送されて画像形成装置１の印刷機構から用紙排出口センサ４６を通過して画像形成装置外部へ排出される。

【００４０】

印刷制御部４０は、用紙サイズセンサ４８、及び用紙吸入口センサ４５の検知に対応して、用紙２０が転写器２７を通過している間だけ転写用高圧電源５１からの電圧を転写器２７に印加する。印刷が終了し、用紙２０が用紙排出口センサ４６を通過すると、帯電用高圧電源５０による現像器１４への電圧の印加を終了し、同時に現像・転写プロセス用モータ４２の回転を停止させる。以後、上記の動作を繰り返す。

【００４１】

（プリントヘッドの構成）

図４は、図３中のプリントヘッド１３を示す回路構成図である。

【００４２】

このプリントヘッド１３は、例えば、Ａ４サイズ of 用紙に１インチ当たり６００ドットの解像度で印刷可能な構成になっている。

【００４３】

プリントヘッド１３は、図示しないプリント配線板を有し、このプリント配線板上に、基準電圧発生回路６０と、複数のドライバモノリシック集積回路（以下「ドライバＩＣ」という。）１００（＝１００－１～１００－ｎ、例えばｎ＝２６個）と、複数の発光素子

10

20

30

40

50

アレイ 200 (= 200 - 1 ~ 200 - n、例えば n = 26 個) とが搭載されている。複数の発光素子アレイ 200 と、これらを駆動する複数のドライバ IC 100 とは、それぞれ対向しながら整列して配置されている。ここで、基準電圧発生回路 60 及び複数のドライバ IC 100 - 1 ~ 100 - n により、本実施例 1 の駆動装置が構成されている。

【0044】

基準電圧発生回路 60 は、第 1 電源の電位 (例えば、電源電圧 VDD) に基づいて基準電圧 Vref を発生する回路であり、この出力側に、複数のドライバ IC 100 が接続され、更に、これらの各ドライバ IC 100 の出力側に、各発光素子アレイ 200 がそれぞれ接続されている。

【0045】

各発光素子アレイ 200 には、複数 (例えば、192 個) の LED が略直線状に配置されている。LED の総数は、4992 ドット (個) である。この複数の発光素子アレイ 200 を駆動する複数のドライバ IC 100 は、同一の回路により構成され、隣接するドライバ IC 200 - 1, 200 - 2, ... がカスケード接続 (縦続接続) されている。ドライバ IC 1 チップ当たり 192 個の LED を駆動でき、これらのドライバ IC チップが 26 個カスケード接続され、印刷時に印刷制御部 40 から送られてくる印刷データ HD-DATA をシリアルに転送できる構成になっている。

【0046】

即ち、各ドライバ IC 100 は、基準電圧 Vref に基づき制御電圧を発生する制御電圧発生回路 110 と、印刷時に印刷制御部 40 から送られてくるクロック HD-CLK を受けて印刷データ HD-DATA のシフト転送を行うシフトレジスタ 120 と、このシフトレジスタ 120 の出力信号を、印刷時に印刷制御部 40 から送られてくるラッチ信号 HD-LOAD によりラッチするラッチ回路 130 と、印刷時に印刷制御部 40 から送られてくるストロブ信号 HD-STB-N を反転するインバータ 141 と、ラッチ回路 130 とインバータ 141 との出力信号の論理を求める論理回路 (例えば、否定論理積回路、以下「NAND 回路」という。) 142 と、この NAND 回路 142 の出力信号により、電源電圧 VDD から駆動電流を発光素子アレイ 200 へ供給する駆動回路 150 とを備えている。制御電圧発生回路 110 は、駆動回路 150 の駆動電流が一定となるように制御電圧を発生する機能を有している。

【0047】

なお、図 4 に示す基準電圧発生回路 60 はプリントヘッド 13 に 1 つ設けられており、ドライバ IC 100 - 1 ~ 100 - n を共通に制御する構成としているが、これは主として説明を簡略化するための都合であって、各ドライバ IC 100 内に基準電圧発生回路 60 をそれぞれ設ける構成にしても良い。

【0048】

(基準電圧発生回路の構成)

図 1 は、本発明の実施例 1 における図 4 中の基準電圧発生回路 60 の構成を示す回路図である。

【0049】

この基準電圧発生回路 60 は、第 1 電源としての VDD 電源に接続されたカレントミラー回路部 61 を有している。カレントミラー回路部 61 は、第 1 導電形の第 1 の MOS トランジスタ (例えば、P チャネル MOS トランジスタ、以下「PMOS」という。) 61a 及び第 1 導電形の第 2 の MOS トランジスタ (例えば、PMOS) 61b からなる第 1 のカレントミラー回路と、第 2 導電形の第 3 の MOS トランジスタ (例えば、N チャネル MOS トランジスタ、以下「NMOS」という。) 61c 及び第 2 導電形の第 4 の MOS トランジスタ (例えば、NMOS) 61d からなる第 2 のカレントミラー回路とを有し、これらの第 1 及び第 2 のカレントミラー回路が縦続接続されている。

【0050】

第 1 のカレントミラー回路を構成する PMOS 61a は、ソースが VDD 電源に接続され、ゲートがノード N1 を介して PMOS 61b のゲートに接続され、ソース・ドレイン

10

20

30

40

50

間にドレーン電流 I_1 を流すトランジスタである。PMOS 61b は、ソースが VDD 電源に接続され、ドレーンがゲートに接続されている。PMOS 61b は、ゲートとソースが接続されているので、飽和領域で動作してソース・ドレーン間にドレーン電流 I_2 を流すトランジスタである。

【0051】

第2のカレントミラー回路を構成するNMOS 61c は、ドレーン及びゲートがPMOS 61a のドレーンに接続され、ソースがカレントミラー回路部61の制御側端子に相当する第1ノードN3に接続され、ゲート・ソース間電圧 V_{gs1} を有するトランジスタである。NMOS 61d は、ドレーンがPMOS 61b のドレーンに接続され、ゲートがノードN2を介してNMOS 61c のゲートに接続され、ソースがカレントミラー回路部61の従属側端子に相当する第2ノードN4に接続され、ゲート・ソース間電圧 V_{gs2} を有するトランジスタである。

10

【0052】

ノードN3には、抵抗値R1の第1の抵抗62とノードN5とを介して、第1のバイポーラトランジスタ（例えば、NPNTトランジスタ、以下「NPNTR」という。）65のコレクタが接続されている。NPNTR 65は、ベースがノードN3に接続され、エミッタが第2電源（例えば、グランドGND）に接続され、ベース・エミッタ間電圧 V_{be1} を有するトランジスタである。ノードN4には、抵抗値R3の第2の抵抗63を介して、第2のバイポーラトランジスタ（例えば、NPNTR）66のコレクタが接続されている。NPNTR 66は、ベースがNPNTR 65のコレクタ側のノードN5に接続され、エミッタがグランドGNDに接続され、ベース・エミッタ間電圧 V_{be2} を有するトランジスタである。

20

【0053】

PMOS 61b のドレーンには、第1導電形の第5のMOSトランジスタ（例えば、PMOS）61eのゲートが接続されている。PMOS 61eは、ソースがVDD電源に接続され、ドレーンがノードN6を介して基準電圧 V_{ref} 出力用の出力端子VREFに接続され、ソース・ドレーン間にドレーン電流 I_3 を流す出力用のトランジスタである。ノードN6は、抵抗値R2の第3の抵抗63を介して、グランドGNDに接続されている。

【0054】

なお、抵抗63はNPNTR 66のコレクタ電位をNPNTR 65のコレクタ電位と略等しくする目的で設けるものであるが、これらのNPNTR 65及び66の動作点を揃える必要がない場合には、抵抗63を省略することもできる。

30

【0055】

ここで、NPNTR 66のエミッタ面積は、NPNTR 65のエミッタ面積のN倍に設定されている（ $N > 1$ ）。PMOS 61a, 61b, 61eは、ゲート長が相等しく設定されると共に、各々のソース及びゲート同士が接続されてゲート・ソース間電圧が等しく設定されており、これらのPMOS 61a, 61b, 61eがカレントミラーの関係にある。

【0056】

以下説明を簡略化するため、PMOS 61a, 61b, 61eのゲート幅を相等しくすると、各ドレーン電流 $I_1 \sim I_3$ が等しく、その出力特性は近似的に定電流特性を備えたものとなる。その定電流特性を良好なものとするため、各PMOS 61a, 61b, 61eのゲート長を大きく設定することが好ましい。同様に、NMOS 61c, 61dのゲート長、及びゲート幅を相等しく設定することで、その動作状態を揃えることができ、前述したように、ドレーン電流 I_1 と I_2 とは等しいので、NMOS 61c 及び 61d のドレーン電流もまた等しく、両者のゲート・ソース間電圧 V_{gs1} , V_{gs2} もまた等しい。NMOS 61c, 61d のゲート同士は、ノードN2を介して接続されており、同電位であるので、ノードN3とノードN4の電位を略等しくすることができる。

40

【0057】

更に、抵抗62, 63の抵抗値を等しく設定する。NPNTR 65の電流増幅率が大き

50

い場合、ベース電流はコレクタ電流に比べ無視できるので、ドレーン電流 I_1 , I_2 はそれぞれ抵抗 6_2 , 6_3 を流れる電流に略等しく、これはまた $NPNT R 6_5$, 6_6 のそれぞれのコレクタ電流と略等しい。前述したように、各ドレーン電流 $I_1 \sim I_3$ は等しく設定されているので、抵抗 6_2 , 6_3 の両端に生じる電位降下は等しく、 $NPNT R 6_5$, 6_6 のコレクタ電位もまた略等しくすることができる。

【0058】

このような基準電圧発生回路 60 において、例えば、ノード N_3 の電位が低下したとすると、 $NMOS 6_1c$ のゲート・ソース間電圧 V_{gs1} の値に応じて、このゲート側ノード N_2 の電位も低下する。この時、 $NMOS 6_1d$ のゲート・ソース間電圧 V_{gs2} と $NMOS 6_1c$ のゲート・ソース間電圧 V_{gs1} とが等しいので、ノード N_4 の電位もまた低下して、ノード N_3 の電位と略等しくなる。同様に、ノード N_3 の電位が上昇した場合、ノード N_4 の電位もまた上昇してノード N_3 の電位と略等しくなる。

10

【0059】

又、ノード N_3 は、 $NPNT R 6_5$ のベースと接続されており、電源電圧 V_{DD} の値が変化しても、 $NPNT R 6_5$ のベース電位の変動は小さい。ノード N_3 及び N_4 の電位は略等しく、 $NPNT R 6_5$, 6_6 のコレクタ電位が略等しいので、電源電圧 V_{DD} の値が変化しても、 $NPNT R 6_5$, 6_6 のコレクタ電位の変動を僅少にすることができる。

【0060】

(比較例の基準電圧発生回路)

本実施例 1 における基準電圧発生回路 60 の特徴を明確にするために、比較例における基準電圧発生回路 60A の構成を説明する。

20

【0061】

図 5 は、比較例の基準電圧発生回路 60A における構成を示す回路図であり、実施例 1 の基準電圧発生回路 60 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【0062】

この比較例の基準電圧発生回路 60A では、実施例 1 の基準電圧発生回路 60 におけるカレントミラー回路部 61 に代えて、これとは構成の異なるカレントミラー回路部 61A が設けられ、更に、実施例 1 の基準電圧発生回路 60 における抵抗 6_3 が省略されている。比較例のカレントミラー回路部 61A は、実施例 1 の $PMOS 6_1a$, 6_1b により構成されている。比較例の他の構成は、実施例 1 と同様である。

30

【0063】

比較例の基準電圧発生回路 60A と実施例 1 の基準電圧発生回路 60 とを比較すると、実施例 1 の基準電圧発生回路 60 においては、 $PMOS 6_1a$, 6_1b と $NPNT R 6_5$, 6_6 との間に $NMOS 6_1c$, 6_1d を介在させる構成としており、これによってノード N_3 及び N_4 の電位を略等しくすることができる。更に、 $NMOS 6_1c$ のソース側のノード N_3 は、 $NPNT R 6_5$ のベースと接続されており、電源電圧 V_{DD} の値が変化しても、 $NPNT R 6_5$ のベース電位の変動が小さい。その上、ノード N_3 及び N_4 の電位が略等しいので、電源電圧 V_{DD} の値が変化しても、 $NPNT R 6_5$, 6_6 のコレクタ電位の変動は僅少である。

40

【0064】

これに対し、比較例の基準電圧発生回路 60A においては、電源電圧 V_{DD} が大きくなると、 $NPNT R 6_6$ のコレクタ電位が電源電圧 V_{DD} に追従するように上昇してしまい、その結果、 $NPNT R 6_6$ のコレクタ電流もまた増加してしまう。これは主として、 $NPNT R$ のアーリ電圧が十分に大きくないために発生する現象である。

【0065】

電子物性の理論から良く知られているように、活性領域で動作しているバイポーラトランジスタにおいては、コレクタ・エミッタ間電圧 V_{ce} の増加によってコレクタ電流 I_c が増加してしまう特性を持ち、その $V_{ce} - I_c$ 特性を示すグラフにおいて、活性領域での特性曲線の接線は、グラフ横軸である V_{ce} 軸と負の領域で交わる。前記アーリ電圧は

50

、その交点に対応する（負の）コレクタ・エミッタ間電圧 V_{ce} に相当するものである。

【0066】

例えば、NPNTR65, 66を相補形MOSトランジスタ（以下「CMOS」という。）構成のIC中に作成する場合、そのNPNTR65, 66は、CMOS作成に付随して寄生素子として作成されるものであるため、NPNTR65, 66の特性は理想的とは言えず、前記アーリ電圧を高めることは困難である。その結果、PMOS61a, 61b, 61eを流れるドレーン電流 I_1 , I_2 , I_3 が所定値よりも大きくなってしまい、ノードN6の電位もまた増加して、出力端子VREFから出力される基準電圧 V_{ref} が大きくなってしまう。同様に、電源電圧VDDが低下すると、基準電圧 V_{ref} もまた低下してしまうことになって好ましくない。

10

【0067】

このように、比較例の基準電圧発生回路60Aでは、特性的に満足のいくものではなかった。そこで、実施例1の基準電圧発生回路60では、PMOS61a, 61bとNPNTR65, 66との間にNMOS61c, 61dを介在させる構成にして、比較例の問題を巧みに解決している。

【0068】

（駆動装置の構成）

図6は、図4中の駆動装置における要部を示す回路図である。

【0069】

この図6では、1ドット（例えば、被駆動素子であるLED1個）を駆動するための駆動装置における回路図が示されている。

20

【0070】

本実施例1の駆動装置では、基準電圧発生回路60の出力端子VREFに対し、各ドライバIC100毎に1回路ずつ設けられた制御電圧発生回路110が接続されている。

【0071】

制御電圧発生回路110は、演算増幅器（以下「オペアンプ」という。）111と、抵抗値 R_{ref} の抵抗112と、PMOS113とからなるフィードバック制御回路により構成されている。オペアンプ111は、反転入力端子が、出力端子VREFに接続され、非反転入力端子が、抵抗112を介してグランドGNDに接続されると共に、PMOS113のドレーンに接続され、制御電圧 $V_{control}$ を出力する出力端子が、PMOS113のゲートに接続されている。PMOS113のソースは、VDD電源に接続されている。この制御電圧発生回路110では、抵抗112に流れる基準電流 I_{ref} 、即ちPMOS113のソース・ドレーン間に流れる電流は、電源電圧VDDに依らず、入力される基準電圧 V_{ref} と抵抗112の抵抗値 R_{ref} のみにより決定される構成になっている。

30

【0072】

ラッチ回路130を構成する1ドット分のラッチ回路（以下「LT」という。）131は、ラッチ信号HD-LOADを入力する端子Gと、シフトレジスタ110から出力される印刷データを入力するデータ入力端子Dと、データ出力端子Qとを有し、ラッチ信号HD-LOADが入力されると、シフトレジスタ110から出力された印刷データをラッチし、出力端子Qから出力する回路である。このラッチ回路130の出力端子Qと、ストローク信号HD-STB-Nを反転するインバータ141の出力端子とには、NAND回路142が接続されている。

40

【0073】

NAND回路142は、電源端子がVDD電源に接続され、グランド端子がオペアンプ111の出力端子に接続され、このNAND回路142の出力電位が高レベル（以下「Hレベル」という。）の時は電源電圧VDDと略等しい電位が出力され、このNAND回路142の出力電位が低レベル（以下「Lレベル」という。）の時は制御電圧 $V_{control}$ と略等しい電位が出力される。

【0074】

NAND回路142の出力端子には、駆動回路150を構成する1ドットの駆動素子（

50

例えば、PMOS 151のゲートが接続され、このPMOS 151のソースがVDD電源に接続されている。PMOS 151のドレインには、発光素子アレイ200中の1ドット分のLED 201のアノードが接続され、このLED 201のカソードがグランドGNDに接続されている。

【0075】

ここで、制御電圧発生回路110中のPMOS 113は、PMOS 151等とゲート長が相等しいサイズとなるように構成されている。制御電圧発生回路110において、オペアンプ111の働きにより、この反転入力端子の電位と非反転入力端子の電位とが略等しくなるように制御されるので、オペアンプ111の非反転入力端子の電位は、入力される基準電圧Vrefと略等しくなる。そのため、抵抗112を流れる基準電流Irefは、

$$I_{ref} = V_{ref} / R_{ref}$$

として与えられる。

【0076】

LED駆動用のPMOS 151等とPMOS 113は、ゲート長が相等しいサイズとなるように構成されており、LED駆動時にはそのゲート電位が制御電圧Vcontrolと等しく、PMOS 113とLED駆動用PMOS 151等は、飽和領域で動作しており、カレントミラーの関係にある。この結果、LED 201等の各駆動電流値は、基準電流Irefに比例することになり、基準電流Irefは、出力端子VREFから入力された基準電圧Vrefに比例するので、基準電圧VrefによりLED駆動電流値を一括して調整することが可能となっている。

【0077】

(プリントヘッドの動作)

図7は、図4のプリントヘッド13の印刷動作を説明するためのタイミングチャートである。

【0078】

印刷動作開始に伴い、図3の印刷制御部40から、印刷1ライン周期毎にタイミング信号SG3の1パルスが出力され、図示しない画像処理部に伝達される。タイミング信号SG3によって画像処理部から、N-1ライン、Nライン、N+1ライン、・・・毎にビデオ信号SG2が発生して印刷制御部40へ伝達される。これと同期して、印刷制御部40からプリントヘッド13へ、クロックCHD-CLKと印刷データHD-DATAが入力される。

【0079】

本実施例1では、A4サイズ用の紙に1インチ当たり600ドットの解像度で印刷可能なプリントヘッド13を例示しており、LED 201の総数は4992ドットである。そのため、クロックHD-CLKの発生パルス数は、4992個であり、この4992個のパルスの送出が完了すると、印刷制御部40からラッチ信号HD-LOADのパルスが発生し、プリントヘッド13内のシフトレジスタ120にシフト入力された印刷データHD-DATAが、ラッチ回路130にラッチされる。

【0080】

次いで、LED駆動のために印刷制御部40から、N-1ライン駆動、Nライン駆動、N+1ライン駆動、・・・毎にLレベルのストローク信号HD-STB-Nが発生し、このストローク信号HD-STB-NのLレベルとなっているLED駆動期間tにLED 201が発光する。これにより、図2中の感光体ドラム11に光照射され、潜像が形成される。

【0081】

(基準電圧発生回路の動作)

本実施例1の図1に示す基準電圧発生回路60の動作を定量的に考察する。

【0082】

まず、PMOS 61aを流れるドレイン電流I1を求める。

電子物性の理論から良く知られているように、バイポーラトランジスタのエミッタ電流

10

20

30

40

50

I_e とベース・エミッタ間電圧 V_{be} との間には次式 (1) の関係が成り立つ。

$$I_e = I_s \exp(q V_{be} / (k T)) \cdots (1)$$

但し、 I_s ; 飽和電流であり、バイポーラトランジスタの素子面積に比例して決まる定数

$\exp(\quad)$; 指数関数

q ; 電子の電荷 ($q = 1.6 \times 10^{-19} [C]$)

k ; ボルツマン定数 ($k = 1.38 \times 10^{-23} [J/K]$)

T ; 絶対温度 (= 室温 25 [] において約 298 [K])

【0083】

式 (1) を変形して次式 (2) を得る。

$$V_{be} = (k T / q) \times \ln(I_e / I_s) \cdots (2)$$

但し、 $\ln(\quad)$; 自然対数関数

【0084】

ここで、NPN TR 65, 66 について、ベース・エミッタ間電圧を V_{be1} , V_{be2} 、エミッタ電流を I_{e1} , I_{e2} 、飽和電流を I_{s1} , I_{s2} とする。すると、NPN TR 65, 66 について、次式 (3) が成り立つ。

$$V_{be1} = (k T / q) \times \ln(I_{e1} / I_{s1})$$

$$V_{be2} = (k T / q) \times \ln(I_{e2} / I_{s2})$$

$\cdots (3)$

【0085】

図1において、抵抗値 R_1 の抵抗 62 の一端の電位は、ベース・エミッタ電圧 V_{be1} であり、他の一端の電位は、ベース・エミッタ間電圧 V_{be2} である。そのため、抵抗 62 の両端に生じる電位差 V_{be} は、

$$V_{be} = V_{be1} - V_{be2} \cdots (4)$$

である。この式 (4) に式 (3) を代入して整理すると、次式 (5) が得られる。

$$\begin{aligned} V_{be} &= (k T / q) \times [\ln(I_{e1} / I_{s1}) - \ln(I_{e2} / I_{s2})] \\ &= (k T / q) \times \ln[(I_{s2} / I_{s1}) \times (I_{e1} / I_{e2})] \\ &\cdots (5) \end{aligned}$$

【0086】

前述したように、NPN TR 65 と 66 のエミッタ面積比は $1 : N$ ($N > 1$) と設定しており、飽和電流 I_{s1} , I_{s2} は NPN TR 65, 66 の素子面積に比例するので、

$$I_{s2} = I_{s1} \times N$$

となる。又、前述したように、PMOS 61a, 61b はカレントミラーの関係が設定され、 $I_1 = I_2$ とできる。この結果、エミッタ電流 I_{e1} と I_{e2} とは略等しくなるので、次式 (6) の関係が得られる。

$$V_{be} = (k T / q) \times \ln(N) \cdots (6)$$

【0087】

図1に示すドレーン電流 I_1 は、抵抗値 R_1 の抵抗 62 に流れる電流に略等しいので、

$$I_1 = V_{be} / R_1 = (1 / R_1) \times (k T / q) \times \ln(N) \cdots (7)$$

である。又、前述したように、PMOS 61a, 61b, 61e はカレントミラーの関係に設定され、 $I_1 = I_2 = I_3$ とできる。この結果、抵抗値 R_2 の抵抗 64 における一端側のノード N6 に生じる基準電圧 V_{ref} は、

$$V_{ref} = I_3 \times R_2 = I_1 \times R_2$$

$$= (R_2 / R_1) \times (k T / q) \times \ln(N) \cdots (8)$$

として求めることができる。この基準電圧 V_{ref} は、絶対温度 T に比例するものであって、正の温度係数を持つことが判る。温度係数 T_c は次式 (9) で定義される。

【0088】

10

20

30

40

【数 1】

$$T_c = \frac{1}{V_{ref}} \times \frac{\partial V_{ref}}{\partial T} \dots (9)$$

10

そのため、図 1 の基準電圧発生回路 60 の温度係数 T_c は、

$$T_c = (1 / T)$$

であり、室温 25 付近で、

$$T_c = +0.33 [\% /]$$

の温度係数となることが判る。

【0089】

(LED 発光出力の温度特性)

駆動対象である LED 201 における発光出力の温度特性について説明する。

【0090】

LED 201 の温度特性について一例を挙げると、LED 201 として AlGaAs 材料のものをを用いる場合、これを一定電流で駆動する時、温度上昇に伴って発光出力は約 -0.25 [% /] の割合で低下する特性となる。このような LED 201 の温度特性を補償するために、温度上昇に応じて駆動電流を増加させる場合、それに必要な駆動電流の温度係数は約 0.25 [% /] である。

20

【0091】

LED 201 として GaAsP 材料のものをを用いる場合、その温度特性を補償するために必要な駆動電流の温度係数は、約 0.6 [% /] である。

【0092】

又、LED 201 として AlGaInP 材料のものをを用いる場合、その温度特性を補償するために必要な駆動電流の温度係数は、約 1 [% /] である。

30

【0093】

このように、LED 材料によって、あるいは発光波長 (発光色) によって、その温度係数は大きく異なるのが通例である。前述したように、図 1 の構成においては、得られる温度係数は +0.33 % / であって、AlGaAs 材料を用いる LED 201 の温度係数の値に近く、その温度補償用として好適であることが判る。

【0094】

その一方で、GaAsP 材料や AlGaInP 材料からなる LED 201 の温度補償のためには、図 1 の基準電圧発生回路 60 の温度係数をもってしても未だ不足しており、これら材料の LED 201 の駆動装置に適用するためには、未だ改良の余地が残されている。その場合の好適な構成については、下記の実施例 2 で説明する。

40

【0095】

(基準電圧発生回路の電源電圧 VDD 依存性)

図 1 の基準電圧発生回路 60 における電源電圧 VDD の依存性について説明する。

【0096】

本実施例 1 の基準電圧発生回路 60 では、PMOS 61a, 61b と NPNT 65, 66 との間に、NMOS 61c, 61d を介在させる構成としている。これにより、カレントミラー回路部 61 の出力側であるノード N3 とノード N4 の電位を略等しくすることができる。更に、ノード N3 は NPNT 65 のベースに接続されており、電源電圧 VDD の値が変化しても、NPNT 65 のベース電位の変動が小さい。その上、ノード N3 とノード N4 の電位は略等しく、電源電圧 VDD の値が変化しても、NPNT 65, 6

50

6のコレクタ電位の変動が僅少である。そのため、本実施例1の基準電圧発生回路60では、電源電圧VDDが変動したとしても、それによる特性変動を小さくすることができる。

【0097】

これに対し、図5に示す比較例の基準電圧発生回路60Aでは、電源電圧VDDの増加に対してNPNTR66のコレクタ電位が電源電圧VDDに追従するように上昇してしまい、それによってコレクタ電流もまた増加して、ドレーン電流I1～I3が所定値よりも大きくなる。その結果、ノードN6の電位もまた増加して、基準電圧Vrefが増加してしまう。

【0098】

(実施例1と比較例の基準電圧発生回路のVDD特性比較)

図8(a)、(b)は、図5の比較例の基準電圧発生回路60Aから出力される基準電圧Vrefの電源電圧VDDに対する依存性を示す特性図である。更に、図9(a)、(b)は、図1の実施例1の基準電圧発生回路60から出力される基準電圧Vrefの電源電圧VDDに対する依存性を示す特性図である。

【0099】

比較例の基準電圧発生回路60Aにおける特性を示す図8(a)、(b)において、図8(a)は、電源電圧VDDに対する基準電圧Vrefの関係を示しており、横軸は電源電圧VDD、縦軸は出力される基準電圧Vrefである。比較例の基準電圧発生回路60Aにおける特性では、電源電圧VDDが1.2V付近から基準電圧Vrefが立ち上がり、電源電圧VDDの増加と共に略直線的に基準電圧Vrefが増加している。

【0100】

一方、図8(b)は、図8(a)に対応する図であって、横軸は電源電圧VDD、縦軸は基準電圧Vrefの変化率を電源電圧VDD依存性係数[%/V]に換算して示している。図8(b)から明らかなように、電源電圧VDDの5V付近における基準電圧Vrefの電源電圧VDD依存性係数が約5%/Vにも達しており、電源電圧VDDの変動によって基準電圧Vrefが大きく変動してしまうことが判る。

【0101】

これに対し、実施例1の基準電圧発生回路60における特性を示す図9(a)、(b)において、図9(a)は、電源電圧VDDに対する基準電圧Vrefの関係を示しており、横軸は電源電圧VDD、縦軸は出力される基準電圧Vrefである。実施例1の基準電圧発生回路60における特性では、電源電圧VDDが2V付近で基準電圧Vrefが立ち上がり、その後は電源電圧VDDが増加しても基準電圧Vrefが略一定となっている。

【0102】

一方、図9(b)は、図9(a)に対応する図であって、横軸は電源電圧VDD、縦軸は基準電圧Vrefの変化率を電源電圧VDD依存性係数[%/V]に換算して示している。図9(b)から明らかなように、電源電圧VDDの5V付近における基準電圧Vrefの電源電圧VDD依存性係数が約0.4%/Vと小さく、電源電圧VDDが変動したとしても、基準電圧Vrefの変動が実質的に無視できる程度にまで改善されていることが判る。

【0103】

(実施例1の効果)

以上詳細に説明したように、本実施例1の基準電圧発生回路60、駆動装置、プリントヘッド13、及び画像形成装置1によれば、次の(a)、(b)のような効果がある。

【0104】

(a) 本実施例1の基準電圧発生回路60によれば、温度検出用のNPNTR65, 66のアリー電圧が低いことを克服するために、このNPNTR65, 66のコレクタ電流駆動側に、NMOS61c, 61dからなるソースフォロワ回路であるカレントミラー回路を設け、電源電圧VDDが変動したとしても、NPNTR65, 66のコレクタ電位の変動を抑制している。

10

20

30

40

50

【0105】

即ち、本実施例1の基準電圧発生回路60では、PMOS61a, 61bからなる第1のカレントミラー回路とNMOS61c, 61dからなる第2のカレントミラー回路とを縦続接続して構成したカレントミラー回路部61を用いて、NPNTR65, 66を駆動する構成にしている。そのため、カレントミラー回路部61の出力側のノードN3とノードN4の電位を略等しくすることができる。これにより、電源電圧VDDの値が変化しても、NPNTR66のコレクタ電位の変動を僅少にでき、基準電圧発生回路60から出力される基準電圧Vrefの変動を無視しうる程度にまで減少させることができる。

【0106】

このように、本実施例1の基準電圧発生回路60においては、得られる温度係数が+0.33%/°Cであって、例えば、AlGaAs材料等で形成されたLED201の駆動装置の温度補償用として使用すれば、良好な温度特性を有する駆動装置を実現できる。しかも、電源電圧VDDが変化しても、基準電圧発生回路60から出力される基準電圧Vrefの変動を無視しうる程度にまで減少させることができる。

【0107】

(b) 本実施例1の画像形成装置1によれば、基準電圧発生回路60を有するプリントヘッド13を採用しているため、スペース効率及び光取り出し効率に優れた高品質の画像形成装置(プリンタ、複写機、ファクシミリ装置、複合機等)を提供することができる。即ち、プリントヘッド13を用いることにより、上述したフルカラーの画像形成装置1に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に露光装置としてのプリントヘッド13を数多く必要とするフルカラーの画像形成装置において一層大きな効果が得られる。

【0108】

なお、本実施例1の基準電圧発生回路60は、これを着想するに至った技術的思想を考察することによって種々の変形が可能である。以下、その変形の一例を示すが、これに限定されるものでないことは勿論である。

【0109】

(実施例1の基準電圧発生回路の変形例)

図10は、実施例1の図1の変形例である基準電圧発生回路を示す回路図であり、図1中の要素と共通の要素には共通の符号が付されている。

【0110】

図10の変形例を示す基準電圧発生回路60Bでは、PMOS61eのドレーン側のノードN7と出力端子VREF側のノードN6との間に、ダイオード接続された第2導電形の第6のMOSトランジスタ(例えば、NMOS)61fが追加されている。即ち、NMOS61fは、ドレーン及びゲートが、ノードN7を介してPMOS61eのドレーンに接続され、ソースが、ノードN6を介して出力端子VREFと抵抗64の一端とに接続され、ゲート・ソース間電圧Vgs3を有している。その他の構成は、実施例1の基準電圧発生回路60と同様である。

【0111】

なお、実施例1で説明したように、抵抗63はNPNTR66のコレクタ電位をNPNTR65のコレクタ電位と略等しくする目的で設けるものであるが、NPNTR65, 66の動作点を揃える必要がない場合には、抵抗63を省略することもできる。

【0112】

変形例の基準電圧発生回路60Bにおいて、実施例1で説明したように、説明を簡略化するために、PMOS61a, 61b, 61eのゲート幅を相等しくすると、各ドレーン電流I1, I2, I3は等しく、その出力特性が近似的に定電流特性を備えたものとなる。この定電流特性を良好なものとするために、PMOS61a, 61b, 61eのゲート長を大きく設定することが好ましい。

【0113】

同様に、各NMOS61c, 61d, 61fのゲート長及びゲート幅を相等しく設定す

10

20

30

40

50

ることで、その動作状態を揃えることができる。各PMOS 61a, 61b, 61eのドレーン電流 I_1 , I_2 , I_3 は等しいので、各NMOS 61c, 61d, 61fのドレーン電流もまた等しく、その各NMOS 61c, 61d, 61fのゲート・ソース間電圧 V_{gs1} , V_{gs2} , V_{gs3} もまた等しい。

【0114】

このような変形例の基準電圧発生回路60Bによれば、実施例1の基準電圧発生回路60と略同様の作用効果を奏することができる。更に、NMOS 61fのドレーンとゲートが接続されているので、このNMOS 61fのドレーン側のノードN7に接続されたPMOS 61eのドレーン電位は、出力端子VREFに接続されたノードN6の電位よりもゲート・ソース間電圧 V_{gs3} だけ高い電位となる。この結果、NMOS 61fが無い実施例1の場合と比べて、PMOS 61eのドレーン電位は、PMOS 61bのドレーン電位に近い値となり、各PMOS 61a, 61b, 61eの動作状態をより近い状態にすることができ、各ドレーン電流 I_1 , I_2 , I_3 間の電流誤差をより小さくすることができるという効果が得られる。

10

【実施例2】

【0115】

本発明の実施例2における画像形成装置1及びプリントヘッド13の構成は、実施例1の構成と同様であり、本実施例2の駆動装置に設けられる基準電圧発生回路の構成が、実施例1の基準電圧発生回路60の構成と異なる。そのため、実施例1とは異なる本実施例2の基準電圧発生回路について、以下説明する。

20

【0116】

(実施例2の基準電圧発生回路の構成)

図11は、本発明の実施例2における基準電圧発生回路の構成を示す回路図であり、実施例1の基準電圧発生回路60を示す図1中の要素と共通の要素には共通の符号が付されている。

【0117】

本実施例2の基準電圧発生回路60Cでは、出力する基準電圧 V_{ref} の温度係数を大きく設定することができるようにしたものであり、実施例1の基準電圧発生回路60において、カレントミラー回路部61、抵抗62, 63及びNPNT 65, 66と、PMOS 61e及び抵抗64との間に、新たに、カレントミラー回路部161、第1導電形の第11のMOSトランジスタ(例えば、PMOS)161e、第3のバイポーラトランジスタ(例えば、NPNT)162、抵抗値R4の第4の抵抗163、及び第5のカレントミラー回路164が追加されている。

30

【0118】

新たに追加されたカレントミラー回路部161は、VDD電源と第3ノードN10及び第4ノードN11との間に接続され、カレントミラー回路部61と同様の構成及び特性を備えている。即ち、カレントミラー回路部161は、第1導電形の第7のMOSトランジスタ(例えば、PMOS)161a及び第1導電形の第8のMOSトランジスタ(例えば、PMOS)161bからなる第3のカレントミラー回路と、第2導電形の第9のMOSトランジスタ(例えば、NMOS)161c及び第2導電形の第10のMOSトランジスタ(例えば、NMOS)161dからなる第4のカレントミラー回路とを有し、これらの第3及び第4のカレントミラー回路が縦続接続されている。

40

【0119】

第3のカレントミラー回路を構成するPMOS 161aは、ソースがVDD電源に接続され、ゲートがノードN8を介してPMOS 161bのゲートに接続され、ソース・ドレーン間にドレーン電流 I_4 を流すトランジスタである。PMOS 161bは、ソースがVDD電源に接続され、ドレーンがゲートに接続されている。PMOS 161bは、ゲートとソースが接続されているので、飽和領域で動作してソース・ドレーン間にドレーン電流 I_5 を流すトランジスタである。

【0120】

50

第4のカレントミラー回路を構成するNMOS 161cは、ドレイン及びゲートがPMOS 161aのドレインに接続され、ソースがカレントミラー回路部161の制御側端子に相当するノードN10に接続され、そのノードN10にソース電流I7を流すトランジスタである。NMOS 161dは、ドレインがPMOS 161bのドレインに接続され、ゲートがノードN9を介してNMOS 161cのゲートに接続され、ソースがカレントミラー回路部161の従属側端子に相当するノードN11に接続され、そのノードN11にソース電流I8を流すトランジスタである。

【0121】

ノードN10には、NPNT R162のコレクタ及びベースが接続され、このNPNT R162のエミッタが、グランドGNDに接続されている。ノードN11は、抵抗値R4の抵抗163を介して、グランドGNDに接続されている。

10

【0122】

PMOS 161bのドレインには、PMOS 161eのゲートが接続されている。PMOS 161eは、ソースがVDD電源に接続され、ドレインが制御側の第5ノードN12に接続され、そのノードN12にドレイン電流I6を流すトランジスタである。各PMOS 161a, 161b, 161eは、ゲート長が相等しく設定されると共に、各々のソース、ゲート同士が接続されてゲート・ソース間電圧が等しく設定されており、これらのPMOS 161a, 161b, 161eがカレントミラーの関係にある。

【0123】

制御側のノードN12及び従属側のノードN6と、グランドGNDとの間には、第5のカレントミラー回路164が接続されている。第5のカレントミラー回路164は、第2導電形の第12のMOSトランジスタ(例えば、NMOS)164aと、第2導電形の第13のMOSトランジスタ(例えば、NMOS)164bとにより構成されている。NMOS 164aは、ドレイン及びゲートが制御側のノードN12を介してPMOS 161eのドレインに接続され、ソースがグランドGNDに接続されている。NMOS 164bは、ドレインが従属側のノードN6を介して出力端子VREFに接続されると共に、従属側のノードN6を介してPMOS 161eのドレインに接続され、ゲートがNMOS 164aのゲートに接続され、ソースがグランドGNDに接続されている。

20

【0124】

その他の構成は、実施例1の制御電圧発生回路60と同様である。なお、前述したように、抵抗63は、NPNT R66のコレクタ電位をNPNT R65のコレクタ電位と略等しくする目的で設けるものであるが、NPNT R65, 66の動作点を揃える必要がない場合には、この抵抗63を省略することもできる。

30

【0125】

ここで、説明を簡略化するために、カレントミラー回路部161におけるPMOS 161a, 161b, 161eのゲート幅を相等しくすると、これらの各ドレイン電流I4, I5, I6は等しく、その出力特性が近似的に定電流特性を備えたものとなる。その定電流特性を良好なものとするために、PMOS 161a, 161b, 161eのゲート長を大きく設定することが好ましい。同様に、NMOS 161c, 161dのゲート長、ゲート幅を相等しく設定することで、その動作状態を揃えることができる。ドレイン電流I4とI5は等しいので、NMOS 161c, 161dのドレイン電流もまた等しく、両者のゲート・ソース間電圧もまた等しい。更に、PMOS 161aのドレイン電流I4とNMOS 161cのソース電流I7は等しく、PMOS 161bのドレイン電流I5とNMOS 161dのソース電流I8は等しいので、ソース電流I7とI8もまた等しい。

40

【0126】

実施例1で説明したように、カレントミラー回路部61側のノードN3とノードN4の電位は略等しい。同様に、カレントミラー回路部161側のノードN10とノードN11の電位は略等しくなる。ノードN10の電位は、NPNT R162のベース・エミッタ間電圧Vbeに等しく、ノードN11が、抵抗値R4の抵抗163の一端に接続されているので、NMOS 161dのソース電流I8は、次式で与えられる。

50

$$I_8 = V_{be} / R_4$$

【0127】

電子物性の理論から良く知られているように、例えば、シリコン基材からなるNPNトランジスタ162のベース・エミッタ間電圧 V_{be} の典型値は約0.6Vであり、その温度依存性は $-2\text{mV}/^\circ\text{C}$ である。そのため、前記ベース・エミッタ間電圧 V_{be} の温度係数 T_c は、

$$T_c = -2 \times 10^{-3} / 0.6 = -0.33 [\% / ^\circ\text{C}]$$

と計算される。抵抗値 R_4 の抵抗163の温度係数をひとまず無視して考えると、ソース電流 I_8 、 I_7 の温度係数もまた $-0.33 [\% / ^\circ\text{C}]$ となることが判る。

【0128】

前述したように、各電流 I_4 、 I_5 、 I_6 、 I_7 、 I_8 は等しいので、PMOS161eのドレーン電流 I_6 の温度係数もまた $-0.33 [\% / ^\circ\text{C}]$ である。ドレーン電流 I_6 は、NMOS164a、164bで構成されるカレントミラー回路164の制御側ノードN12に流入する。これにより、カレントミラー回路164の従属側ノードN6には、ドレーン電流 I_6 に略比例した流入電流を生じる。カレントミラー回路164の制御側ノードN12と従属側ノードN6に流入する電流の比は、NMOS164a、164bのサイズ比を変えることで任意に設定可能である。

【0129】

(実施例2の基準電圧発生回路の動作)

図12(a)～(d)は、図11の基準電圧発生回路60Cの動作を説明する図であり、同図(a)は図11中のカレントミラー回路164の周辺部における回路図、及び、同図(b)～(d)は同図(a)の各部の温度/電流特性を概略的に示すグラフである。

【0130】

図12(a)において、PMOS61e、161eのドレーン電流は I_3 、 I_6 、抵抗値 R_2 の抵抗64に流入する電流は I_3A 、NMOS164bのドレーンに流入する電流は I_3B である。

【0131】

図12(b)～(d)は、電流 I_3 、 I_3B 、 I_3A の温度による変化を示している。図12(b)において、前述したように、電流 I_3 は絶対温度(T)に比例する特性を備えており、その温度係数は約 $0.33 [\% / ^\circ\text{C}]$ である。又、前述したように、PMOS161eのドレーン電流 I_6 は、温度上昇に対して減少する特性を備えており、その温度係数が約 $-0.33 [\% / ^\circ\text{C}]$ である。電流 I_6 と電流 I_3B とはカレントミラーの関係にあるので、電流 I_3B もまた温度上昇に対して減少する特性を備えており、その温度係数が約 $0.33 [\% / ^\circ\text{C}]$ である。

【0132】

図12(a)において、

$$I_3 = I_3A + I_3B$$

であり、これより

$$I_3A = I_3 - I_3B$$

となる。そのため、図12(d)の電流 I_3A の特性グラフは、図12(b)の電流 I_3 から図12(c)の電流 I_3B を減じたものとなり、図12(b)の電流 I_3 や図12(c)の電流 I_3B よりも温度依存性の大きな特性となることが判る。

【0133】

以下、これらの事柄を定量的に考察する。

説明の簡単化のために、電流 I_3 を I 、電流 I_3A を I_a 、電流 I_3B を I_b と略記し、更に、電流 I の温度係数を α 、電流 I_b の温度係数を β 、電流 I_a の温度係数を γ と表す。

【0134】

10

20

30

40

【数 2】

$$\alpha P = \frac{1}{I} \times \frac{\partial I}{\partial T}$$

$$\alpha c = \frac{1}{Ib} \times \frac{\partial Ib}{\partial T} \quad \dots (10)$$

10

であるので、これより、

【 0 1 3 5 】

【数 3】

$$\frac{\partial I}{\partial T} = I \times \alpha P$$

$$\frac{\partial Ib}{\partial T} = Ib \times \alpha c \quad \dots (11)$$

20

30

である。

前述したように、電流 I_a は、

$$I_a = I - Ib \quad \dots (12)$$

であるので、これより電流 I_a の温度係数 T_c は、

【 0 1 3 6 】

【数 4】

$$T_c = \frac{1}{I_a} \times \frac{\partial I_a}{\partial T}$$

$$= \frac{1}{I - Ib} \times \frac{\partial}{\partial T} (I - Ib) \quad \dots (13)$$

40

50

である。この式(13)を変形して整理することで次式(14)を得る。

【0137】

【数5】

$$T_c = \frac{1}{\left(1 - \frac{I_b}{I}\right)} \times \left[\alpha_p - \frac{I_b}{I} \alpha_c\right] \cdots (14)$$

10

【0138】

前述したように、電流 I_3 の温度係数 p は約 $0.33 [\% /]$ 、電流 $I_3 B$ の温度係数 c は約 $-0.33 [\% /]$ であるので、

$$p = -c \cdots (15)$$

として式(14)を整理すると、

20

【0139】

【数6】

$$T_c = \frac{1 + \frac{I_b}{I}}{1 - \frac{I_b}{I}} \times \alpha_p \cdots (16)$$

30

の関係を得る。式(16)において、温度係数 p が既知であるから、電流 I_a の温度係数 T_c は、電流 I_b と電流 I の比を変えることで変化させることができる。

40

【0140】

図13(a)、(b)は、式(16)の温度係数 T_c を計算してグラフにした図であり、同図(a)は温度係数 p の比例項の部、即ち $(1 + I_b / I) / (1 - I_b / I)$ の箇所をグラフ化した図、及び、同図(b)は温度係数 p を $0.33 [\% /]$ として具体的な数値を代入して電流 $I_3 A$ の温度係数 T_c を計算したグラフである。

【0141】

図13(a)、(b)の両グラフとも、横軸に示す I_b / I を増加させることで、グラフ曲線の値が大きくなっている。図13(b)のU点に示すように、電流 I_b / I の比、即ち電流 $I_3 B / I_3$ の比を 0.3 と設定した時、電流 $I_3 A$ の温度係数 T_c を約 0.6% とできる。図13(b)のV点に示すように、電流 I_b / I の比、即ち電流 $I_3 B$

50

/ I 3 の比を 0 . 5 と設定した時、電流 I 3 A の温度係数 T c を約 1 % / とできることが判る。

【 0 1 4 2 】

前述したように、L E D 2 0 1 として G a A s P 材料のものを使用する場合、その温度特性を補償するに必要な駆動電流の温度係数は約 0 . 6 [% /] であり、L E D 2 0 1 として A l G a I n P 材料のものを使用する場合、その温度特性を補償するに必要な駆動電流の温度係数は約 1 [% /] である。

【 0 1 4 3 】

これに対して、図 1 3 (b) の U 点や V 点のように電流比を設定することで、前記 L E D 材料の温度係数と合致した温度係数を実現することができる。

10

【 0 1 4 4 】

このように、本実施例 2 における基準電圧発生回路 6 0 C は、実施例 1 の場合よりも温度係数を増加させることができる。これは次式 (1 7) で示されるように、正の温度係数を備えた電流値 I 3 から負の温度係数を備えた電流 I 3 B を減じた電流 I 3 A を生成することで実現できたものである。

$$I 3 A = I 3 - I 3 B \cdots (1 7)$$

この結果、電流 I 3 A は電流 I 3 と比べ、温度係数は増加しているものの、電流値そのものは電流 I 3 よりも減少してしまう。しかし、前述した電流減少に合わせ、抵抗 6 4 の抵抗値 R 2 を増加させることで、出力する基準電圧 V r e f の値を所定値とすることは容易である。

20

【 0 1 4 5 】

(実施例 2 の効果)

本実施例 2 の基準電圧発生回路 6 0 C によれば、実施例 1 の基準電圧発生回路 6 0 の構成に加えて、実施例 1 と同様の構成からなるカレントミラー回路部 1 6 1 及びカレントミラー回路 1 6 4 等を設け、N P N T R 6 5 , 6 6 のベース・エミッタ間電圧に略比例する基準電流 I 3 B を作り、実施例 1 の構成で得られる基準電流 I 3 から、その基準電流 I 3 B を減算することで、温度係数の大きな基準電流 I 3 A を発生させ、これを基に所望の基準電圧 V r e f を生成している。そのため、L E D 2 0 1 の温度係数に合わせて基準電圧発生回路 6 0 C の温度係数を設定することが可能となり、更に基準電圧 V r e f を自由に設定できるようになる。

30

【 0 1 4 6 】

即ち、本実施例 2 の基準電圧発生回路 6 0 C によれば、出力端子 V R E F から出力される基準電圧 V r e f の温度係数を所望の値に設定でき、更に、その電圧値もまた前記温度係数とは独立に所望の値に設定することが可能となる。その上、実施例 1 の場合と同様に、電源電圧 V D D の値が変化しても、出力する基準電圧 V r e f の変動を無視しうる程度にまで減少させることができる。従って、種々の L E D 2 0 1 やその駆動装置に広く適用することができる。

【 0 1 4 7 】

なお、本実施例 2 の基準電圧発生回路 6 0 C は、これを着想するに至った技術的思想を考察することによって種々の変形が可能である。以下、その変形の一例を示すが、これに限定されるものでないことは勿論である。

40

【 0 1 4 8 】

(実施例 2 の基準電圧発生回路の変形例)

図 1 4 は、実施例 2 の図 1 1 の変形例である基準電圧発生回路を示す回路図であり、図 1 1 中の要素と共通の要素には共通の符号が付されている。

【 0 1 4 9 】

図 1 4 の変形例を示す基準電圧発生回路 6 0 D では、P M O S 6 1 e のドレーン側のノード N 7 と出力端子 V R E F 側のノード N 6 との間に、ダイオード接続された第 2 導電形の第 1 4 の M O S トランジスタ (例えば、N M O S) 6 1 f が追加され、更に、P M O S 1 6 1 e のドレーン側のノード N 1 3 と N M O S 1 6 4 a のドレーン側の第 5 ノード N 1

50

2との間に、ダイオード接続された第2導電形の第15のMOSトランジスタ(例えば、NMOS)161fが追加され、他のPMOS61b, 161bとの動作点の違いを解消するように構成されている。

【0150】

即ち、NMOS61fは、ドレーン及びゲートが、ノードN7を介してPMOS61eのドレーンに接続され、ソースが、ノードN6を介して出力端子VREFと抵抗64の一端とに接続され、ゲート・ソース間電圧Vgs3を有している。更に、NMOS161fは、ドレーン及びゲートが、ノードN13を介してPMOS161eのドレーンに接続され、ソースが、ノードN12を介してNMOS164aのドレーン及びゲートとNMOS164bのゲートとに接続され、ゲート・ソース間電圧Vgs4を有している。その他の構成は、実施例2の基準電圧発生回路60Cと同様である。

10

【0151】

本変形例の基準電圧発生回路60Dによれば、実施例2の基準電圧発生回路60Cと略同様の作用効果を奏する。本変形例では、特に、NMOS161fのドレーン及びゲート側のノードN13の電位が、このNMOS161fのソース側のノードN12の電位よりもゲート・ソース間電圧Vgs4分だけ高い電位になると共に、NMOS61fのドレーン及びゲート側のノードN7の電位が、このNMOS61fのソース側のノードN6の電位よりもゲート・ソース間電圧Vgs3分だけ高い電位となるので、他のPMOS61b, 161bと接近した電位に設定することができる。これにより、PMOS61a, 61b, 61e, 161a, 161b, 161eのドレーン電位を揃えることが可能となり、その動作点を合致させて、各々のドレーン電流I1, I2, I3, I4, I5, I6の誤差を低減することができる。

20

【0152】

(他の変形例)

本発明は、上記実施例や変形例に限定されず、その他の種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(a)~(d)のようなものがある。

【0153】

(a) 図1、図6、図10、図11、図14において、回路を構成するMOSトランジスタ及びバイポーラトランジスタの極性や電源の極性を変更しても、実施例やこの変形例と略同様の作用効果を奏することができる。例えば、PMOSをNMOSに変更し、NMOSをPMOSに変更し、NPNTTRをPNPトランジスタ(PNPTR)に変更し、更に、これらの変更に対応して第1電源をグランドGNDに、第2電源をVDD電源にそれぞれ変更してもよい。

30

【0154】

(b) 実施例では、光源としてLED201に適用した場合について説明したが、本発明は、これに限らず、他の被駆動素子として、例えば、発光サイリスタや発光トランジスタ、あるいは、有機EL素子や発熱抵抗体への電圧印加制御を行う場合にも適用可能である。

【0155】

(c) 例えば、有機EL素子のアレイで構成される有機ELヘッドを供えたプリンタや、発熱抵抗体の列で構成されるサーマルプリンタにおいて利用することができる。更に、表示素子(例えば、列状あるいはマトリクス状に配列された表示素子)を駆動するために、電圧印加の制御を行う場合にも適用可能である。

40

【0156】

(d) 本発明はまた、3端子構造を備えたサイリスタの他、第1と第2の2つのゲートを備えた4端子サイリスタSCS(Semiconductor Controlled Switch)を駆動する場合にも適用可能である。

【符号の説明】

【0157】

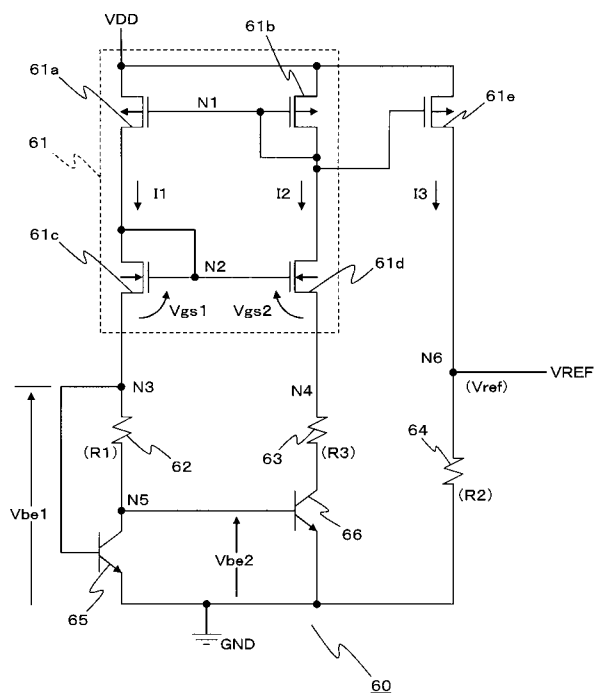
50

- 1 画像形成装置
 13 プリントヘッド
 60, 60A, 60B, 60C, 60D 基準電圧発生回路
 61, 161 カレントミラー回路部
 61a, 61b, 61e, 161a, 161b, 161e PMOS
 61c, 61d, 61f, 161c, 161d, 164a, 164b, 161f NMOS
 65, 66, 162 NPNTR
 62, 63, 64, 163 抵抗
 100, 100-1 ~ 100-n ドライバIC
 110 制御電圧発生回路
 130 ラッチ回路
 142 NAND回路
 150 駆動回路
 200, 200-1 ~ 200-n 発光素子アレイ
 201 LED

10

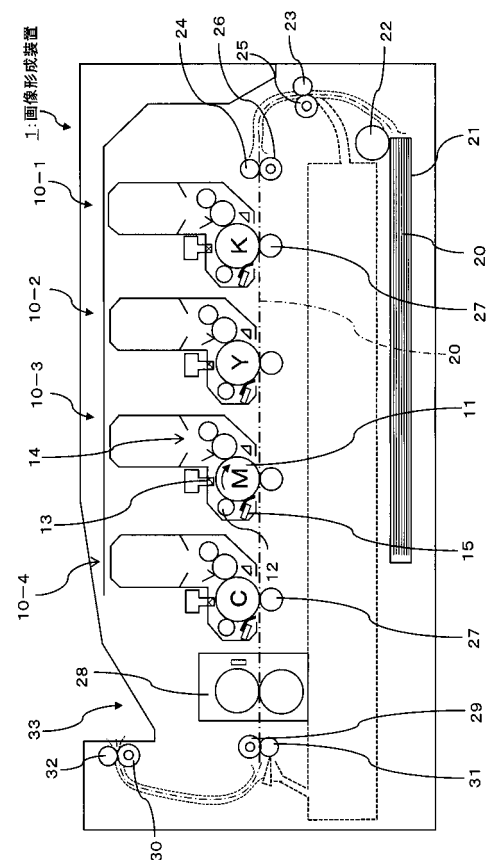
【図1】

本発明の実施例1の基準電圧発生回路

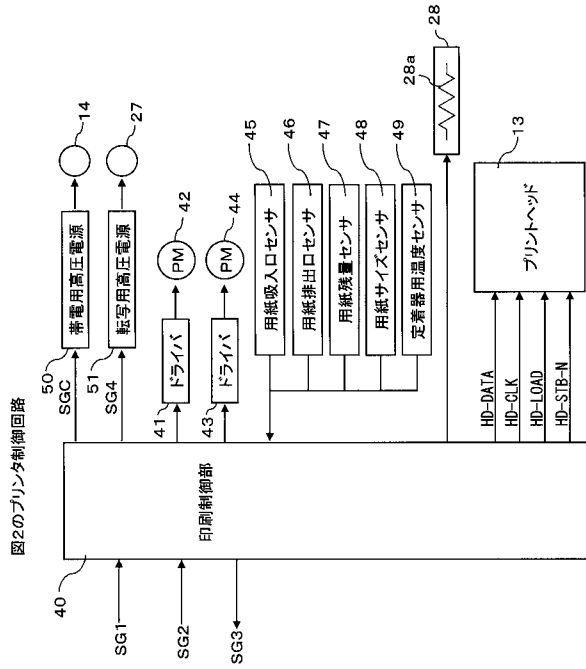


【図2】

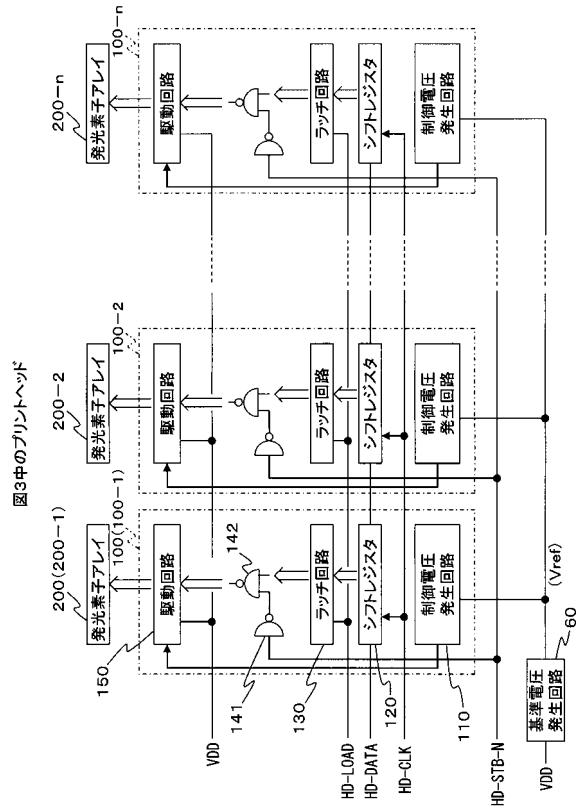
本発明の実施例1の画像形成装置



【図3】

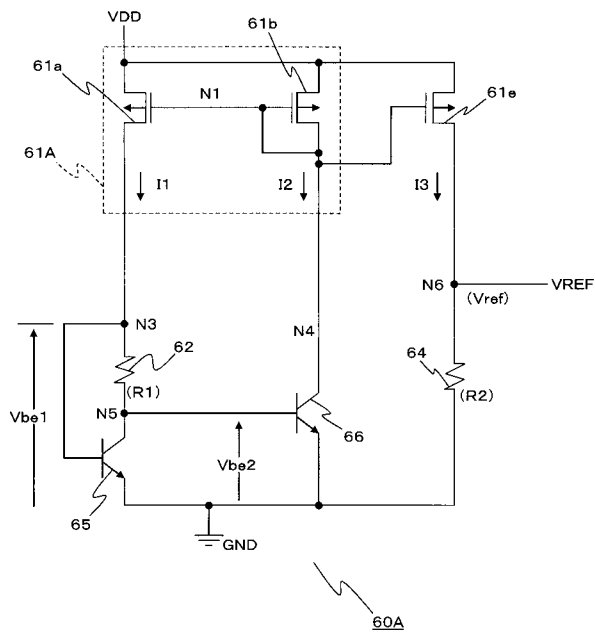


【図4】

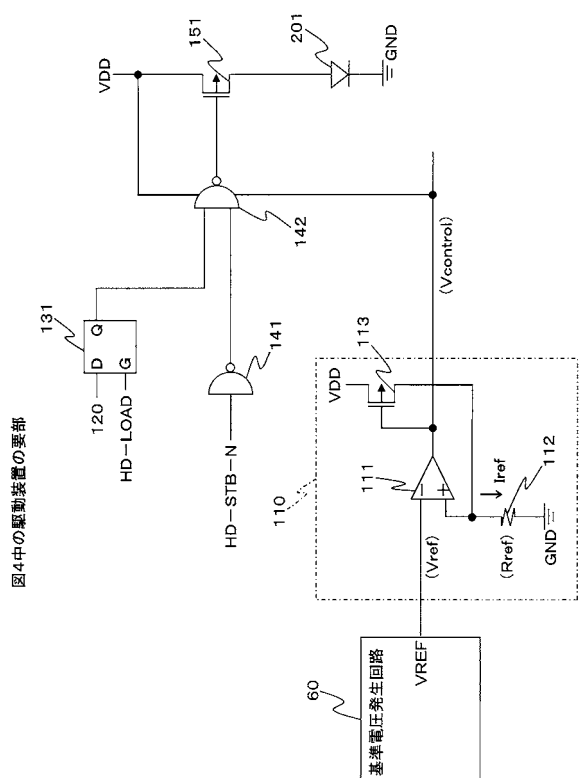


【図5】

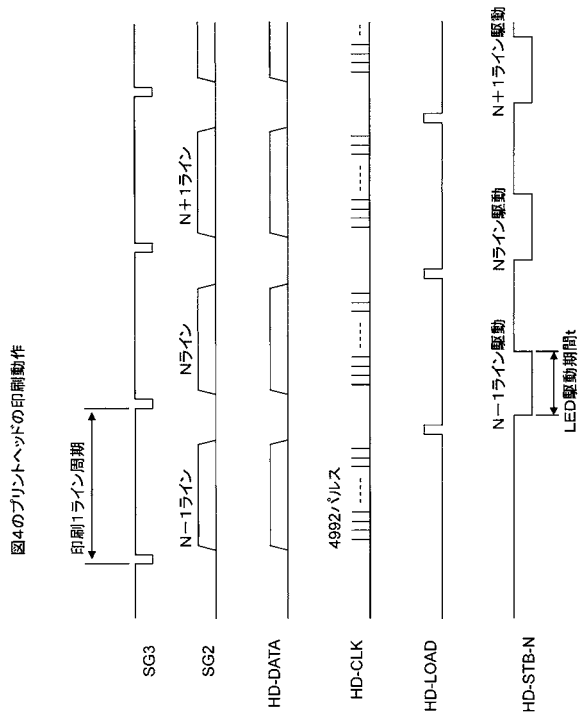
比較例の基準電圧発生回路



【図6】

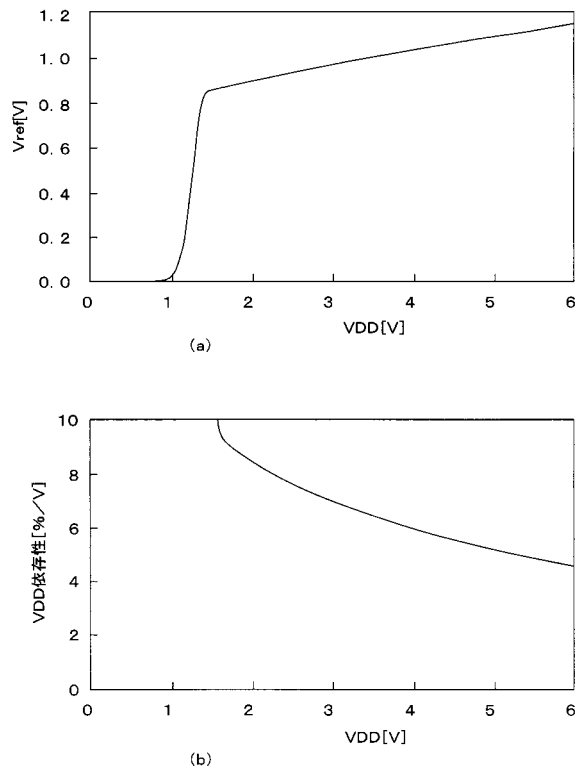


【図 7】



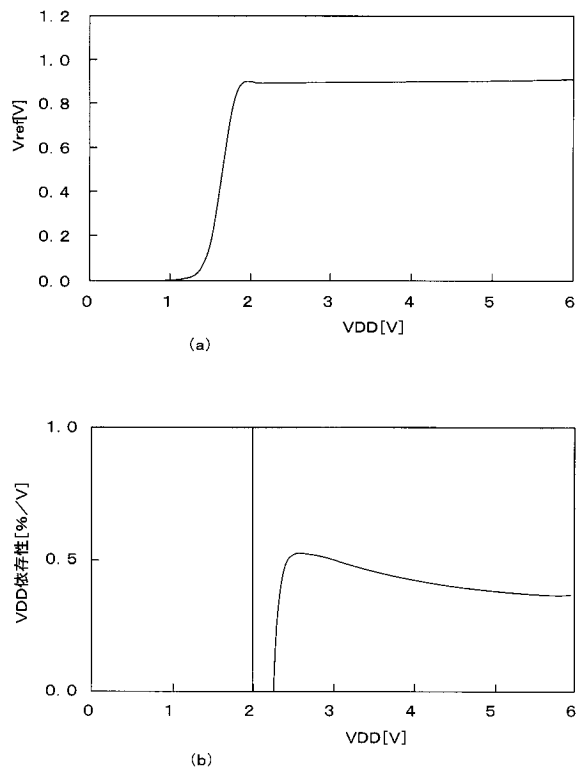
【図 8】

図5の基準電圧Vrefの電源電圧VDDに対する依存性



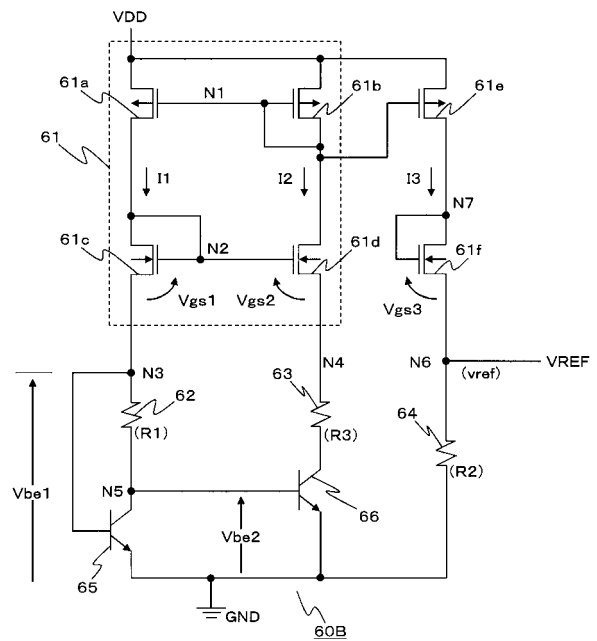
【図 9】

図1の基準電圧Vrefの電源電圧VDDに対する依存性

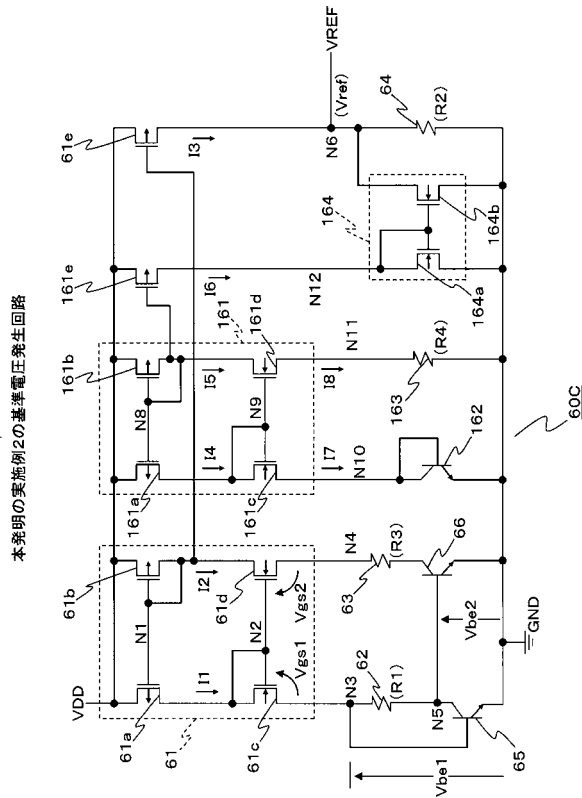


【図 10】

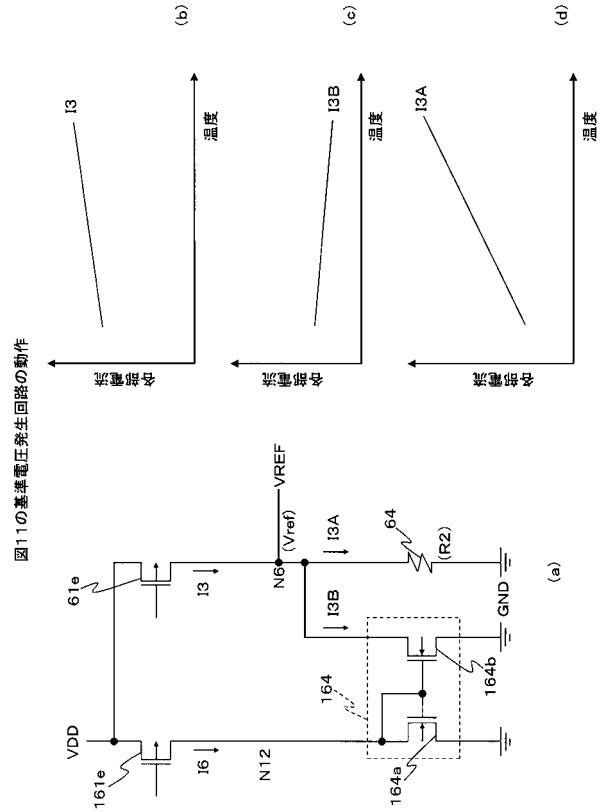
図1の変形例の基準電圧発生回路



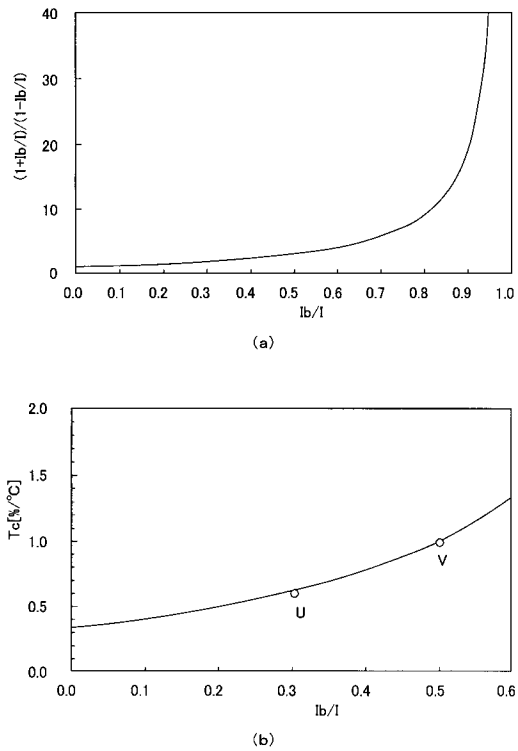
【図 1 1】



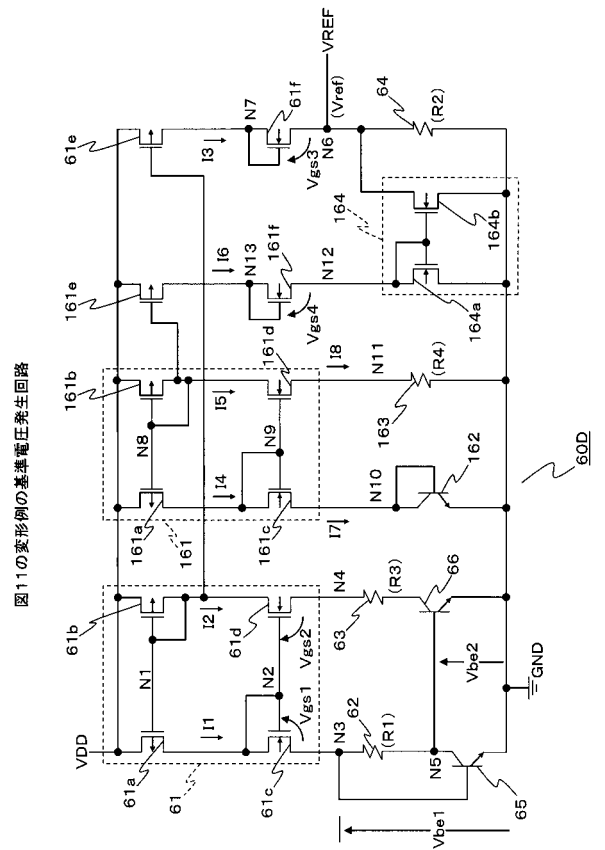
【図 1 2】



【図 1 3】

図11の温度係数 T_c 

【図 1 4】



フロントページの続き

(72)発明者 南雲 章

群馬県高崎市西横手町1番地1 株式会社沖デジタルイメージング内

審査官 下原 浩嗣

(56)参考文献 特開平10-332494(JP,A)
特開2000-075947(JP,A)
特開平11-258065(JP,A)
特開2003-078366(JP,A)
特開2000-108407(JP,A)
特開2010-014445(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F 3/24