

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-141958

(P2007-141958A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1	5 F O 3 2
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 4 6 1	5 F O 8 3
HO 1 L 27/10 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D	

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2005-330530 (P2005-330530)
 (22) 出願日 平成17年11月15日 (2005.11.15)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100090376
 弁理士 山口 邦夫
 (72) 発明者 木島 公一朗
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 Fターム(参考) 5F032 AA06 AA07 AA11 CA05 CA17
 CA21 CA23 DA12 DA21 DA33
 DA53 DA60 DA71 DA74 DA78
 5F083 AD69 GA21 HA02 LA21 PR36
 ZA12 ZA13

最終頁に続く

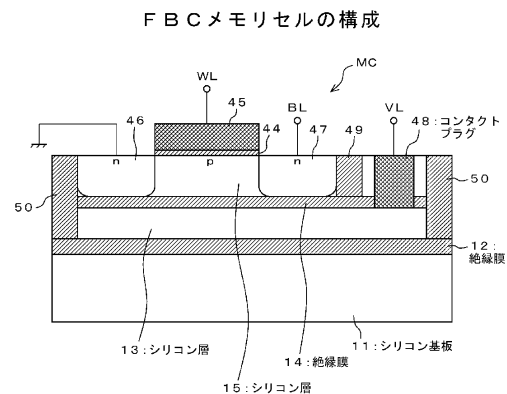
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 他のメモリセルの読み書きの動作時にチャネルボディに蓄積されたホールが減少することを抑制する。

【解決手段】 絶縁膜12, 14を持つ二重SOI基板を用いる。シリコン層15をチャネルボディとし、その表面にゲート絶縁膜44を介してゲート電極45を形成し、また絶縁膜14に達する深さにソース拡散層46およびドレイン拡散層47を形成して、メモリセルMCを得る。シリコン層15および絶縁膜14を貫通した状態で、シリコン層13に基板バイアス電圧を印加するためのコンタクトプラグ48を埋め込む。各メモリセルMCに対応したシリコン層13に、ワード線単位で、基板バイアス電圧を印加する。各メモリセルMCに対応したシリコン層13をワード線単位で分離する、ワード線方向に伸びた局所絶縁膜50を形成する。非書き込み時、非読み出し時に、基板バイアス電圧を、チャネルボディに蓄積されたホールの減少を阻止し得る値とする。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体基板と、

上記半導体基板上に第 1 の絶縁膜により分離された状態で形成された第 1 の半導体層と

、
上記第 1 の半導体層上に第 2 の絶縁膜により分離された状態で形成された第 2 の半導体層と、

上記第 2 の半導体層に形成されたフローティングのチャンネルボディと、該チャンネルボディの表面側に形成されたチャンネルを形成するためのゲートとを有する M I S F E T により構成されるメモリセルと、

上記メモリセルに対応した上記第 1 の半導体層に基板バイアス電圧を印加するバイアス電圧印加部と

を備えることを特徴とする半導体装置。

【請求項 2】

上記メモリセルが存在するメモリ領域と他の領域とにおける上記第 1 の半導体層を分離する局所絶縁膜をさらに備える

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

複数個の上記メモリセルがマトリックス状に配列され、各 M I S F E T の、ドレインはビット線に接続され、ゲートはワード線に接続され、ソースは固定電位線に接続されてセルアレイが構成され、

上記バイアス電圧印加部により上記第 1 の半導体層に印加される基板バイアス電圧は、非読み出し時および非書き込み時には、上記チャンネルボディに蓄積された多数キャリアの減少を抑制し得る第 1 の値とされる

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

上記バイアス電圧印加部により上記第 1 の半導体層に印加される基板バイアス電圧は、書き込み時には書き込みに適した第 2 の値とされる

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

上記バイアス電圧印加部により上記第 1 の半導体層に印加される基板バイアス電圧は、データ “ 1 ” の書き込み時には書き込みに適した第 2 の値とされる

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】

上記バイアス電圧印加部により上記第 1 の半導体層に印加される基板バイアス電圧は、書き込み時および読み出し時に書き込みに適した第 2 の値とされる

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 7】

上記バイアス電圧印加部に接続される基板バイアス線は、上記ワード線と平行に配置される

ことを特徴とする請求項 3 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、メモリを持つ半導体装置に関する。詳しくは、この発明は、半導体基板上に第 1 の絶縁膜、第 1 の半導体層、第 2 絶縁膜および第 2 の半導体層がこの順に形成されており、第 2 の半導体層に形成されたフローティングのチャンネルボディとこのチャンネルボディの表面側に形成されたチャンネルを形成するためのゲートとを有する M I S F E T により構成されるメモリセルを持ち、このメモリセルに対応した第 1 の半導体層に基板バイア

10

20

30

40

50

ス電圧を印加するバイアス電圧印加部を備えることによって、メモリ領域以外の特性に影響を与えることなく、他のメモリセルの読み書きの動作時に、チャンネルボディに蓄積された多数キャリアが減少することを抑制し得る半導体装置に係るものである。

【背景技術】

【0002】

従来、SOI (Silicon On Insulator)基板に形成し得るメモリとして、FBC (Floating Body transistor Cell)メモリが提案されている。

【0003】

図16は、通常のSOI基板30の構造を示している。このSOI基板30は、シリコン基板31上に、絶縁膜32を介してシリコン層(シリコン単結晶膜)33が形成された構造となっている。このSOI基板は、周知のSIMOX (Separation by Implanted Oxygen)法、貼り合わせ法などで製造される。

10

【0004】

図17は、上述のFBCメモリを構成するメモリセルであるFBCメモリセルMC(b)の原理的構成を示している。シリコン基板301上に、シリコン酸化膜などの絶縁膜302を介してp型シリコン層303が形成された、SOI基板が用いられている。

【0005】

シリコン層303をチャンネルボディとして、その表面にゲート絶縁膜304を介してゲート電極305が形成され、絶縁膜302に達する深さにソース拡散層306およびドレイン拡散層307が形成されて、メモリセルMC(b)としてのnチャンネルMISFET (Metal Insulator Semiconductor Field Effect Transistor)が構成されている。

20

【0006】

各メモリセルMC(b)は、それぞれ、素子分離されたフローティングのチャンネルボディをもってマトリクス配列されて、図18に示すように、セルアレイ308が構成される。この場合、ドレイン307はビット線BLに、ゲート電極305はワード線WLに、ソース306は固定電位線、例えば接地線に接続される。

【0007】

このメモリセルMC(b)の動作原理は、MISFETのチャンネルボディ(p型シリコン層303)の多数キャリアであるホール蓄積を利用する。すなわち、MISFETを5極管動作させることにより、ドレイン307から大きなチャンネル電流を流し、ドレイン接合近傍でインバクティオン化を起こす。

30

【0008】

このインバクティオン化により生成された過剰の多数キャリア(ホール)をチャンネルボディに保持させ、その状態を例えばデータ“1”とする。ドレイン307とチャンネルボディの間に順方向電流を流して、チャンネルボディの過剰ホールをドレインに放出させた状態をデータ“0”とする。

【0009】

データ“0”，“1”は、チャンネルボディの電位の差であり、MISFETのしきい値の差として記憶される。すなわち、図19に示すように、ホール蓄積によりチャンネルボディ電位 V_{body} の高いデータ“1”状態のしきい値 V_{th1} は、チャンネルボディ電位の低いデータ“0”状態のしきい値 V_{th0} より低い。

40

【0010】

チャンネルボディにホールが蓄積されたデータ“1”を安定に保持するためには、ワード線WLに与える電圧 V_{WL} を負に保持することが好ましい。このデータ保持状態は、逆データの書き込み動作を行わない限り、読み出し動作を行っても変わらない。すなわち、キャパシタの電荷保持を利用する1トランジスタ/1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

【0011】

データの読み出しは、基本的に、メモリセルMC(b)の導通度の差を検出することにより行われる。ワード線電圧 V_{WL} とボディ電位 V_{body} の関係が、上述の図19に示すよう

50

になるので、例えばワード線WLにデータ“0”，“1”のしきい値 V_{th0} ， V_{th1} の中間の読み出し電圧を与えて、メモリセルの電流の有無を検出すれば、データ検出ができる。あるいは、ワード線WLにしきい値 V_{th0} ， V_{th1} を越える電圧を与えて、メモリセルの電流の大小を検出すれば、データ検出ができる。

【0012】

図20A，Bは、メモリセルMC(b)の書き込み動作を示している。図20Aは、データ“1”の書き込み動作を示しており、ワード線(ゲート)WLに高い正電圧を印加した状態で、ビット線(ドレイン)BLに高い正電圧を印加し、上述したようにドレイン接合近傍でインパクトイオン化を起こし、チャンネルボディにホールを蓄積する。図20Bは、データ“0”の書き込み動作を示しており、ワード線(ゲート)WLに高い正電圧を印加した状態で、ビット線(ドレイン)BLに負電圧を印加し、チャンネルボディ(p型シリコン層303)とドレイン307との間のpn接合を順方向バイアスし、チャンネルボディ303からホールを排出する。

10

【0013】

図21A，Bは、メモリセルMC(b)の読み出し動作を示している。図21Aは、データ“1”およびデータ“0”の読み出し動作を示しており、ワード線(ゲート)WLに高い正電圧を印加した状態で、ビット線(ドレイン)BLにインパクトイオン化でデータが破壊されないように、低い正電圧を印加する。図21Bは、読み出し時における、ドレイン電流 I_{ds} とゲート電圧 V_{gs} の関係を示している。例えば、ワード線WLにしきい値 V_{th0} ， V_{th1} を越える電圧 V_{WLread} を与え、このしきい値 V_{th0} ， V_{th1} の差に対応するドレイン電流差 $I_{ds}(=I_1-I_0)$ をセンスアンプで検知し、データ“0”，“1”を識別する。

20

【0014】

上述したメモリセルMC(b)は、他の部分のデータの読み書きを行う動作時、すなわちワード線(ゲート)WLに負電圧を印加しているとき、ビット線(ドレイン)BLの電圧変化に応じて、チャンネルボディに蓄積されているホールが減少する現象(MOSトランジスタにおけるパス・ゲート・リーク現象)が発生する。

【0015】

図18に示すように、セルアレイ308は、複数個のメモリセルMC(b)がマトリックス配列され、各メモリセルMC(b)のドレイン307は列毎にビット線BLに接続されると共に、各メモリセルMC(b)のゲート電極305は行毎にワード線WLに接続されている。

30

【0016】

例えば、ワード線WL-2に高い正電圧を印加し、ビット線BL-2に正、負電圧を印加してデータ“1”，“0”を書き込み対象のメモリセルMC(b)-mにデータを書き込むとき、このビット線BL-2に接続されているその他のメモリセルMC(b)-sのドレイン電圧が変動してゲートにリーク電流が流れることから、当該メモリセルMC(b)-sのチャンネルボディにホールが蓄積されていた場合、そのホールがチャンネルボディから流れ出ていく。

【0017】

そこで、例えば特許文献1には、チャンネルボディ(p型シリコン層)の裏面に絶縁膜を介して容量結合する n^+ 型層からなる補助ゲートを有する構成とし、この補助ゲートに基板バイアス電圧(負の電圧)を印加してホール保持の安定化を図ることが提案されている。

40

【0018】

【特許文献1】特開2003-31693号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかし、特許文献1の構成では、通常のSOI基板(図16参照)のシリコン基板に対して基板バイアス電圧を与える構成である。例えばSOC(System On Chip)デバイスにお

50

いて、メモリ領域でない他の領域にもメモリ領域と同じ基板バイアス電圧が印加されることになり、メモリ領域とメモリ領域でない他の領域とで最適な基板バイアス電圧が異なっている場合には、それぞれの領域で最適な特性を得ることができなくなる。

【0020】

また、特許文献1の構成では、シリコン基板に対して基板バイアス電圧を与える構成であり、基板バイアス電圧を印加する部分が露出しているため、外部環境の変化により基板バイアス電圧が変動しやすくなっている。そのため、外部環境の変化により基板バイアス電圧が変動し、メモリのデータが消失してしまうおそれがある。

【0021】

この発明の目的は、メモリ領域以外の特性に影響を与えることなく、他のメモリセルの読み書きの動作時に、チャンネルボディに蓄積された多数キャリアが減少することを抑制することにある。

10

【課題を解決するための手段】

【0022】

この発明の概念は、

半導体基板と、

上記半導体基板上に第1の絶縁膜により分離された状態で形成された第1の半導体層と

、
上記第1の半導体層上に第2の絶縁膜により分離された状態で形成された第2の半導体層と、

20

上記第2の半導体層に形成されたフローティングのチャンネルボディと、該チャンネルボディの表面側に形成されたチャンネルを形成するためのゲートとを有するMISFETにより構成されるメモリセルと、

上記メモリセルに対応した上記第1の半導体層に基板バイアス電圧を印加するバイアス電圧印加部と

を備えることを特徴とする半導体装置にある。

【0023】

この発明においては、半導体基板上に、第1の絶縁膜、第1の半導体層、第2の絶縁膜および第2の半導体層がこの順に形成された、2層の絶縁膜を有するSOI基板が用いられる。1つのメモリセルは1つのMISFETにより構成される。このMISFETは、第2の半導体層に形成されたフローティングのチャンネルボディと、このチャンネルボディの表面側に形成されたチャンネルを形成するためのゲートとを有している。

30

【0024】

メモリセルに対応した第1の半導体層に基板バイアス電圧を印加するバイアス電圧印加部が設けられている。この場合、第1の半導体層は第1の絶縁膜で半導体基板から分離されており、半導体基板に基板バイアス電圧を印加するものでないことから、メモリ領域以外の特性に影響を与えることなく、他のメモリセルの読み書きの動作時にチャンネルボディに蓄積された多数キャリアが減少することを抑制できる。またこの場合、半導体基板に基板バイアス電圧を印加するものではなく、この半導体基板上に第1の絶縁膜で分離された状態で形成された第1の半導体層に基板バイアス電圧を印加するものであり、基板バイアス印加部分が露出しておらず、外部環境が変化しても基板バイアス電圧はその影響を受けにくく、外部環境の変化に起因する基板バイアスの変動、さらにはメモリのデータの消失を回避できる。

40

【0025】

例えば、メモリセルが存在するメモリ領域と他の領域とにおける第1の半導体層を分離する局所絶縁膜が備えられる。これにより、メモリ領域とその他の領域とが分離され、それぞれ第1の半導体層に最適な基板バイアス電圧を印加可能となる。

【0026】

メモリ領域には、複数個のメモリセルがマトリックス状に配列され、各MISFETの、ドレインはビット線に接続され、ゲートはワード線に接続され、ソースは固定電位線に

50

接続されてセルレイが構成されている。そして、バイアス電圧印加部により第1の半導体層に印加される基板バイアス電圧は、非書き込み時および非読み出し時には、チャンネルボディに蓄積された多数キャリアの減少を抑制し得る第1の値とされる。これにより、他のメモリセルの読み書きの動作時にチャンネルボディに蓄積された多数キャリアの減少を抑制できる。

【0027】

例えば、バイアス電圧印加部により第1の半導体層に印加される基板バイアス電圧は、データ“0”、“1”の書き込み時、あるいはデータ“1”の書き込み時には、書き込みに適した第2の値とされる。これにより、書き込み時にビット線(ドレイン)BLに印加する電圧を低くでき、同一のビット線BLに接続されている書き込み対象でないメモリセル部分でパス・ゲート・リーケージ現象を生じにくくできる。

【0028】

また例えば、バイアス電圧印加部により第1の半導体層に印加される基板バイアス電圧は、書き込み時および読み出し時に書き込みに適した第2の値とされる。この場合、チャンネルボディに蓄積された多数キャリアの保持に適した電圧でない時間が長くなるが、基板バイアス電圧の切り換え周波数を低くできる。

【0029】

また例えば、バイアス電圧印加部に接続される基板バイアス線は、ワード線と平行に配置される。これにより、レイアウトが簡単となる。

【発明の効果】

【0030】

この発明によれば、半導体基板上に第1の絶縁膜、第1の半導体層、第2絶縁膜および第2の半導体層がこの順に形成されており、第2の半導体層に形成されたフローティングのチャンネルボディとこのチャンネルボディの表面側に形成されたチャンネルを形成するためのゲートとを有するMISFETにより構成されるメモリセルを持ち、このメモリセルに対応した第1の半導体層に基板バイアス電圧を印加するバイアス電圧印加部を備えるものであり、メモリ領域以外の特性に影響を与えることなく、他のメモリセルの読み書きの動作時に、チャンネルボディに蓄積された多数キャリアが減少することを抑制できる。

【発明を実施するための最良の形態】

【0031】

この発明の実施の形態について説明する。図1は、この発明を適用し得るSOC(System On Chip)デバイス100を示している。このSOCデバイス100は、2個のCPU(Central Processing Unit)101A、101Bと、DRAM(Dynamic Random Access Memory)102と、ROM(Read Only Memory)103と、ロジックIC104と、アナログIC105と、シリアルI/Fユニット106と、パラレルI/Fユニット107と、光ポート108とを備えたシステムLSI(Large Scale Integrated circuit)である。このSOCデバイス100の光ポート108には外部との通信のために光ファイバ110が接続されている。

【0032】

このSOCデバイス100は、二重SOI基板10に形成されている。図2は、二重SOI基板10の構造を示している。この二重SOI基板は、シリコン基板11上に絶縁膜12を介してシリコン層(シリコン単結晶膜)13が形成され、さらにこのシリコン層13の上に絶縁膜14を介してシリコン層(シリコン単結晶膜)15が形成された構造となっている。ここで、シリコン基板11は半導体基板を構成し、絶縁膜12は第1の絶縁膜を構成し、シリコン層13は第1の半導体層を構成し、絶縁膜14は第2の絶縁膜を構成し、シリコン層15は第2の半導体層を構成している。

【0033】

この二重SOI基板10は、例えば、(1)SIMOX法、(2)張り合わせ(研磨)法、(3)張り合わせ(スマートカット)法等により製造される。

【0034】

10

20

30

40

50

(1) SIMOX法による二重SOI基板の製造工程を説明する。

【0035】

まず、図3Aに示すように、SOI基板を用意する。このSOI基板は、シリコン基板11に、絶縁膜12、例えばシリコン酸化膜を介して、シリコン層16が形成されたものである。このシリコン層16の厚さは、エピタキシャル成長工程などにより必要とする厚さとする。

【0036】

次に、図3Bに示すように、シリコン層16の表面から高エネルギーで高濃度の酸素イオンを注入する。

【0037】

次に、図3Cに示すように、高温アニール処理を施し、注入された酸素イオンとシリコンとを反応させて、シリコン層内にシリコン酸化膜からなる絶縁膜14を生成する。

【0038】

このようにシリコン層内に絶縁膜14が生成されることで、シリコン基板11の上に、絶縁膜12、シリコン層13、絶縁膜14およびシリコン層15がこの順に形成された二重SOI基板10が得られる。

【0039】

次に、図3Dに示すように、シリコン層15の厚さを所望の厚さに調整する。例えば、エピタキシャル成長工程により厚くし、あるいは熱酸化膜の形成およびエッチングの工程により薄くする。

【0040】

(2) 張り合わせ(研磨)法による二重SOI基板の製造工程を説明する。

【0041】

まず、図4Aに示すように、SOI基板を用意する。このSOI基板は、シリコン基板11に、絶縁膜12、例えばシリコン酸化膜を介して、シリコン層13が形成されたものである。そして、シリコン層13の表面に、熱酸化によりシリコン酸化膜17を形成する。シリコン層13の厚さは、エピタキシャル成長工程などにより必要とする厚さとする。

【0042】

また、図4Bに示すように、シリコン基板18を用意し、その表面に熱酸化によりシリコン酸化膜19を形成する。

【0043】

次に、図4Cに示すように、図4Aで用意したSOI基板に、図4Bで用意したシリコン基板18を貼り合わせる。この場合、SOI基板のシリコン酸化膜17にシリコン基板18のシリコン酸化膜19が重ねられ、加熱加圧により接合される。

【0044】

次に、図4Dに示すように、表面側のシリコン層18の厚さを、CMP (Chemical Mechanical Polishing)による研磨で所望の厚さに調整する。これにより、シリコン基板11の上に、絶縁膜12、シリコン層13、絶縁膜14およびシリコン層15がこの順に形成された二重SOI基板10が得られる。

【0045】

(3) 貼り合わせ(スマートカット)による二重SOI基板の製造工程を説明する。

【0046】

まず、図5Aに示すように、SOI基板を用意する。このSOI基板は、シリコン基板11に、絶縁膜12、例えばシリコン酸化膜を介して、シリコン層13が形成されたものである。そして、シリコン層13の表面に、熱酸化によりシリコン酸化膜20を形成する。シリコン層13の厚さは、エピタキシャル成長工程などにより必要とする厚さとする。

【0047】

また、図5Bに示すように、シリコン基板21を用意する。そして、このシリコン基板21に水素イオンを注入して基板分離位置を規定する。

【0048】

10

20

30

40

50

次に、図5Cに示すように、図5Aで用意したSOI基板に、図5Bで用意したシリコン基板21を貼り合わせる。この場合、SOI基板のシリコン酸化膜17にシリコン基板の表面が重ねられ、加熱加圧により接合される。

【0049】

次に、図5Dに示すように、イオン注入された水素が集中することによる基板の分離現象が生じる温度に加熱することにより、シリコン基板21を基板分離位置でカットして分離する。そして、図5Eに示すように、シリコン基板21の分離位置を研磨して仕上げをする。これにより、シリコン基板11の上に、絶縁膜12、シリコン層13、絶縁膜14およびシリコン層15がこの順に形成された二重SOI基板10が得られる。

【0050】

なお、上述の貼り合わせ（研磨）法におけるシリコン基板18、あるいは上述の貼り合わせ（スマートカット）法におけるシリコン基板21の代わりに、ゲルマニウム、歪みシリコン、シリコン-ゲルマニウム等からなる基板を使用して、二重SOI基板10と同様の基板を製造し、二重SOI基板10の代わりに用いることもできる。また、SIMOX法におけるシリコン層16の代わりにゲルマニウム、歪みシリコン、シリコン-ゲルマニウム等の半導体層が形成されたものを用い、この半導体層内に絶縁膜14を形成し、二重SOI基板10と同様の基板を製造し、二重SOI基板10の代わりに用いることも考えられる。

【0051】

図6は、上述したSOCデバイス100のDRAM102を構成するメモリセルであるFBCメモリセルMCの構成を示している。上述したように、シリコン基板11上に絶縁膜12、シリコン層13、絶縁膜14およびシリコン層15がこの順に形成された、二重SOI基板が用いられている。シリコン層15はp型シリコン層とされている。

【0052】

そして、シリコン層15をチャンネルボディとして、その表面にゲート絶縁膜44を介してゲート電極45が形成され、絶縁膜14に達する深さにソース拡散層46およびドレイン拡散層47が形成されて、メモリセルMCとしてのnチャンネルMISFETが構成されている。

【0053】

また、シリコン層15および絶縁膜14を貫通した状態で、多結晶シリコン等からなるコンタクトプラグ48が埋め込まれている。このコンタクトプラグ48は、絶縁膜12と絶縁膜14との間に存在するシリコン層13に電氣的に接続されている。このコンタクトプラグ48は、シリコン層13に基板バイアス電圧を印加するためのバイアス電圧印加部を構成している。

【0054】

なお、このコンタクトプラグ48からチャンネルボディに基板バイアス電圧が印加されないように、チャンネルボディとコンタクトプラグ48との間に局所絶縁膜49が形成されている。

【0055】

DRAM102を構成する各メモリセルMCは、それぞれ、素子分離されたフローティングのチャンネルボディをもってマトリクス配列され、図7に示すように、セルアレイ51が構成される。この場合、ドレイン47はビット線BLに、ゲート電極45はワード線WLに、ソース46は固定電位線SL、例えば接地線に、さらにコンタクトプラグ48が基板バイアス線VLに接続される。なお、図7には、固定電位線SLの図示を省略している。

【0056】

各メモリセルMCに対応したシリコン層13には、ワード線単位で、基板バイアス電圧が印加される。そのため、各メモリセルMCに対応したシリコン層13をワード線単位で分離する、ワード線WL方向に伸びた局所絶縁膜50が形成されている。

【0057】

10

20

30

40

50

メモリセルMCの書き込み、読み出しの動作は、上述したメモリセルMC (b)の書き込み、読み出しの動作と同様であるので、その説明については省略する。

【0058】

各メモリセルMCに対応したシリコン層13に印加される基板バイアス電圧について説明する。

【0059】

非書き込み時および非読み出し時には、シリコン層13に印加される基板バイアス電圧（基板バイアス線VLに印加される電圧）は、チャンネルボディに蓄積された多数キャリアであるホールの減少を抑制し得る第1の値、例えば-1Vとする。この第1の値は、他の部分のデータの読み書きを行う動作時に、ビット線（ドレイン）BLの電圧変化があっても、チャンネルボディに蓄積されているホールが減少する現象（パス・ゲート・リーケージ現象）を生じにくくできる電圧値である。

10

【0060】

また、書き込み時、読み出し時に関しては、例えば、以下の(1)~(3)のいずれかに設定する。

【0061】

(1) 図8に示すように、データ“1”，“0”の書き込み時には、シリコン層13に印加される基板バイアス電圧を、書き込みに適した第2の値、例えば0Vとする。

【0062】

(2) 図9に示すように、データ“1”の書き込み時には、シリコン層13に印加される基板バイアス電圧を、書き込みに適した第2の値、例えば0Vとする。

20

【0063】

これら(1)、(2)の場合、データ“1”，“0”の書き込み時を除き、あるいはデータ“1”の書き込み時を除き、基板バイアス電圧は、チャンネルボディに蓄積されたホールの減少を抑制し得る、上述の第1の値、例えば0Vとされる。そのため、ビット線（ドレイン）BLの電圧変化があっても、基板バイアス電圧が第2の値にある場合に比較して、パス・ゲート・リーケージ現象が生じにくくなる。

【0064】

また、(1)、(2)の場合、データ“1”，“0”の書き込み時、あるいはデータ“1”の書き込み時に、基板バイアス電圧は、書き込みに適した第2の値とされる。そのため、データの書き込みを行う際のビット線BLの電圧を低く設定でき、データの書き込みを行いたくないワード線WLに接続されている部分でのパス・ゲート・リーケージ現象はより生じにくくなる。

30

【0065】

(3) 図10に示すように、データの書き込み時および読み出し時には、シリコン層13に印加される基準バイアス電圧を、書き込みに適した第2の値、例えば0Vとする。

【0066】

この場合、(1)、(2)の場合に比べて、基板バイアス電圧がチャンネルボディに蓄積されたホールの保持に適した値でない時間が長くなる。しかし、基板バイアス電圧の切り換え周波数を、(1)、(2)の場合に比べて格段に低くできる。

40

【0067】

絶縁膜14は、上述したようにSIMOX法、あるいは貼り合わせ法により形成されるので、ゲート酸化膜44よりも厚くなるのが一般的であることをふまえると、この(3)の場合は、高速記録再生を実現するために適した基板バイアス電圧の印加方法となる。

【0068】

次に、ビット線BLとワード線WLに対する基板バイアス線VLの配置方法を説明する。

【0069】

本実施の形態においては、上述したように、固定電位線SL、ビット線BLおよびワード線WLに加えて、基板バイアス線VLの接続が必要である。この場合、図11に示すよ

50

うに、固定電位線 S L とビット線 B L とを平行に配置することで、同時に駆動されるワード線 W L と基板バイアス線 V L とを平行に配置することを容易としている。これに対して、図 1 2 に示すように、固定電位線 S L とビット線 B L とを直交して配置すると、ワード線 W L と基板バイアス線 V L とを平行に配置するためには、より複雑なレイアウトが必要となる。

【 0 0 7 0 】

上述したように、メモリセル M C に対応したシリコン層 1 3 にコンタクトプラグ 4 8 を介して基板バイアス電圧を印加する構成となっている。シリコン層 1 3 は絶縁膜 1 2 2 でシリコン基板 1 1 から分離されており、シリコン基板 1 1 に基板バイアス電圧を印加するものでないことから、メモリセル M C が存在するメモリ領域以外の特性に影響を与えることなく、他のメモリセル M C の読み書きの動作時にチャネルボディに蓄積された多数キャリアが減少することを抑制できる。

10

【 0 0 7 1 】

また、シリコン基板 1 1 に基板バイアス電圧を印加するものではなく、このシリコン基板 1 1 上に絶縁膜 1 2 で分離された状態で形成されたシリコン層 1 3 に基板バイアス電圧を印加するものであり、基板バイアス印加部分が露出しておらず、外部環境が変化しても基板バイアス電圧はその影響を受けにくく、外部環境の変化に起因する基板バイアスの変動、さらにはメモリのデータの消失を回避できる。

【 0 0 7 2 】

図 1 に示す S O C デバイス 1 0 0 では、少なくとも、D R A M 1 0 2 が存在するメモリ領域とその他の領域との間でシリコン層 1 3 を分離する局所絶縁膜 5 5 が設けられている。図 1 3 は、D R A M 1 0 2 が形成されたメモリ領域と、ロジック I C 1 0 4、アナログ I C 1 0 5 が形成されたロジック / アナログ領域の部分を示している。メモリ領域に対応したシリコン層 1 3 には、上述したように、コンタクトプラグ 4 8 により、ワード線 W L の単位で、基板バイアス電圧が印加される。また、ロジック / アナログ領域には、メモリ領域のコンタクトプラグ 4 8 と同様に形成されたコンタクトプラグ 5 6 により、所定の基板バイアス電圧が印加される。

20

【 0 0 7 3 】

このように、メモリ領域とその他の領域との間にシリコン層 1 3 を分離する局所絶縁膜が 5 5 が備えられることで、メモリ領域とその他の領域とに対応したシリコン層 1 3 にそれぞれ最適な基板バイアスを印加することが可能となり、S O C デバイス 1 0 0 の最高特性を得ることが可能となる。

30

【 0 0 7 4 】

また、図 1 に示す S O C デバイス 1 0 0 では、例えば C P U 1 0 1 A と C P U 1 0 1 B との間は光導波路を使用した光通信が行われる。本実施の形態において、図 1 4 に示すように、光通信のための光導波路 6 1 は、絶縁膜 1 2、シリコン層 1 3 および絶縁膜 1 4 を用いて形成される。この図 1 4 では、メモリ領域に隣接して光導波路領域が存在するものとして示した。この場合、絶縁膜 1 2、1 4 に挟まれるシリコン層 1 3 に、光導波路 6 1 としての肉厚部が形成されている。シリコン (S i) の屈折率は 3 . 5 であり、二酸化シリコン (S i O ₂) の屈折率は 1 . 5 であることから、絶縁膜 1 2、シリコン層 1 3 および絶縁膜 1 4 によって光導波路 6 1 を形成できる。なお、この光導波路領域に対応したシリコン層 1 3 には基板バイアス電圧は印加されない。

40

【 0 0 7 5 】

ここで、図 1 5 を参照して、S I M O X 法で製造する場合における光導波路 6 1 の製造工程を説明する。この図 1 5 において、図 3 と対応する部分には同一符号を付し、その詳細説明は省略する。

【 0 0 7 6 】

まず、図 1 5 A に示すように、S O I 基板を用意する。この S O I 基板は、シリコン基板 1 1 に、絶縁膜 1 2、例えばシリコン酸化膜を介して、シリコン層 1 6 が形成されたものである。このシリコン層 1 6 の厚さは、エピタキシャル成長工程などにより必要とする

50

厚さとする。

【0077】

次に、図15Bに示すように、熱酸化により、シリコン層16の表面にシリコン酸化膜22を形成する。そして、パターニングを行って、図15Cに示すように、二酸化シリコンからなる、光導波路パターンに対応したマスクを23を形成する。

【0078】

次に、図15Dに示すように、シリコン層16上にマスク23が配置された状態で、酸素イオンを注入する。この場合、マスク23が配置された部分ではこのマスク23でイオン速度が減速されるため酸素イオンが浅く注入され、一方マスク23が配置されていない部分では酸素イオンが深く注入される。

【0079】

次に、図15Eに示すように、シリコン層16に酸素イオンが注入されたSOI基板に高温アニール処理を施し、注入された酸素イオンとシリコンとを反応させて、シリコン層内にシリコン酸化膜(絶縁膜)14を生成し、絶縁膜(シリコン酸化膜)12、シリコン層13および絶縁膜(シリコン酸化膜)14からなる光導波路61を形成する。なお、マスク23は、アニール処理前または後、あるいはある程度アニールを行った後に除去される。

【産業上の利用可能性】

【0080】

この発明は、メモリ領域以外の特性に影響を与えることなく、他のメモリセルの読み書きの動作時にチャネルボディに蓄積された多数キャリアが減少することを抑制でき、メモリ(DRAM)を持つ半導体装置に適用できる。

【図面の簡単な説明】

【0081】

【図1】本発明を適用し得るSOCデバイスの一例を示す図である。

【図2】二重SOI基板の構造を示す断面図である。

【図3】SIMOX法による二重SOI基板の製造工程を示す図である。

【図4】貼り合わせ(研磨)法による二重SOI基板の製造工程を示す図である。

【図5】貼り合わせ(スマートカット)法による二重SOI基板の製造工程を示す図である。

【図6】DRAMを構成するメモリセルであるFBCメモリセルの構成を示す断面図である。

【図7】複数個のFBCメモリセルがマトリクス配列されてなるセルアレイを示す図である。

【図8】書き込み時、読み出し時の基板バイアス電圧の設定例を示す図である。

【図9】書き込み時、読み出し時の基板バイアス電圧の他の設定例を示す図である。

【図10】書き込み時、読み出し時の基板バイアス電圧のさらに他の設定例を示す図である。

【図11】ワード線WL、ビット線BL、固定電位線SL、基板バイアス線VLの配置例を示す図である。

【図12】ワード線WL、ビット線BL、固定電位線SL、基板バイアス線VLの配置例(比較例)を示す図である。

【図13】メモリ領域と他の領域の分離を説明するための図である。

【図14】SOI基板内に形成された光導波路を説明するための図である。

【図15】SIMOX光導波路の製造工程を示す図である。

【図16】通常SOI基板の構造を示す断面図である。

【図17】従来のFBCメモリセルの原理的構成を示す断面図である。

【図18】複数個のFBCメモリセルがマトリクス配列されてなるセルアレイを示す図である。

【図19】ボディ電位とワード線電圧との関係を示す図である。

10

20

30

40

50

【図20】FBCメモリセルの書き込み動作を説明するための図である。

【図21】FBCメモリセルの読み出し動作を説明するための図である。

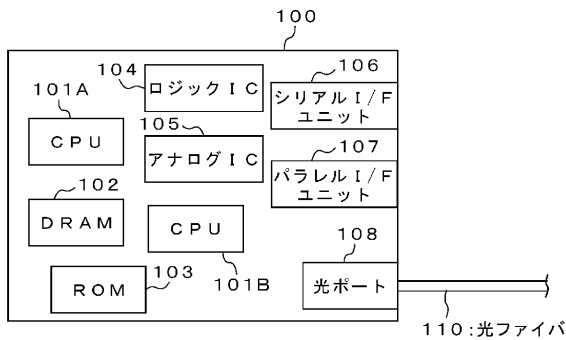
【符号の説明】

【0082】

10・・・二重SOI基板、11・・・シリコン基板、12,14・・・絶縁膜、13,15・・・シリコン層、44・・・ゲート酸化膜、45・・・ゲート電極、46・・・ソース拡散層、47・・・ドレイン拡散層、48,56・・・コンタクトプラグ、49,50,55・・・局所絶縁膜、51・・・セルアレイ、61・・・光導波路、100・・・SOCデバイス、101A,101B・・・CPU、102・・・RAM

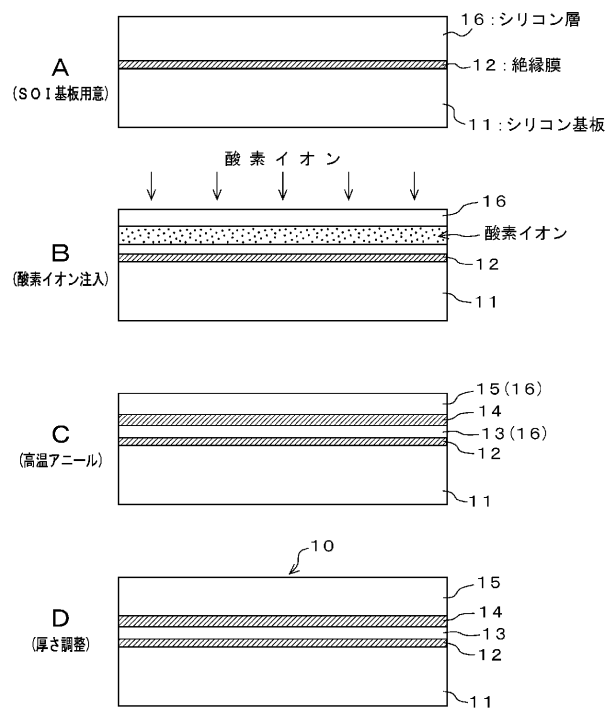
【図1】

SOCデバイス



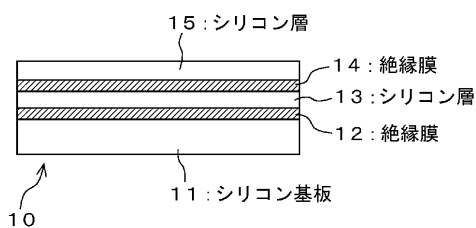
【図3】

SIMOX法による二重SOI基板の製造工程



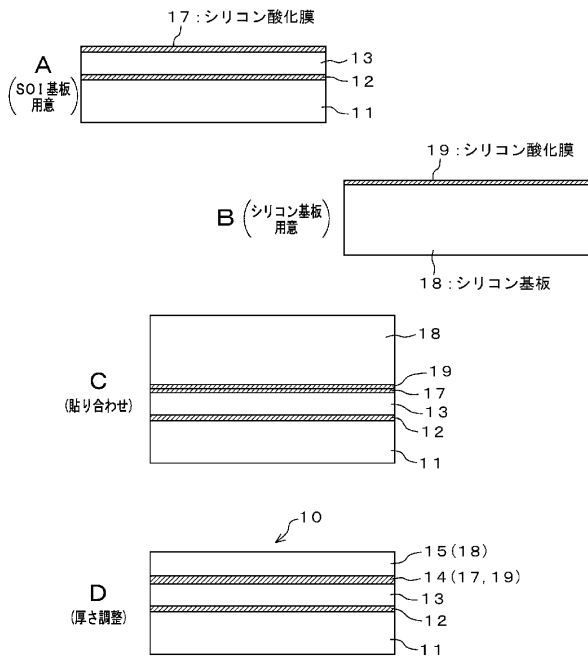
【図2】

二重SOI基板構造



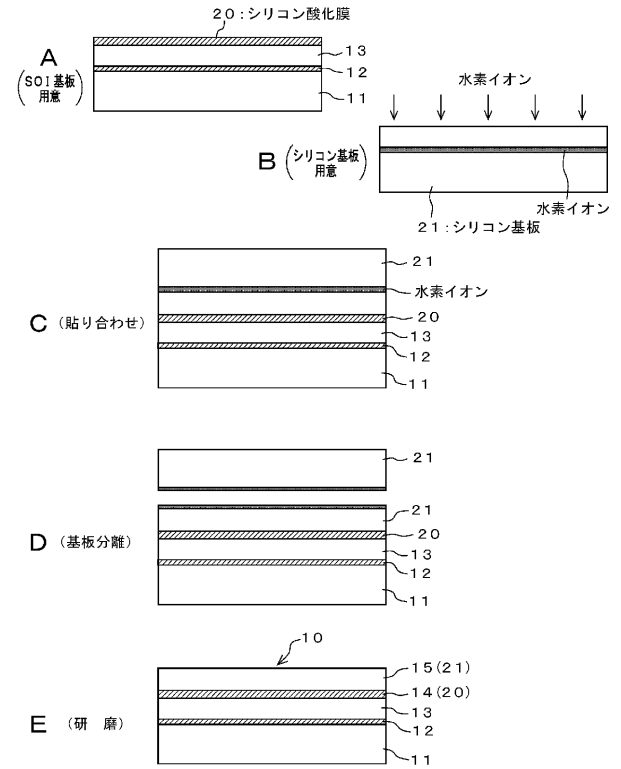
【 図 4 】

貼り合わせ(研磨)法による
二重SOI基板の製造工程



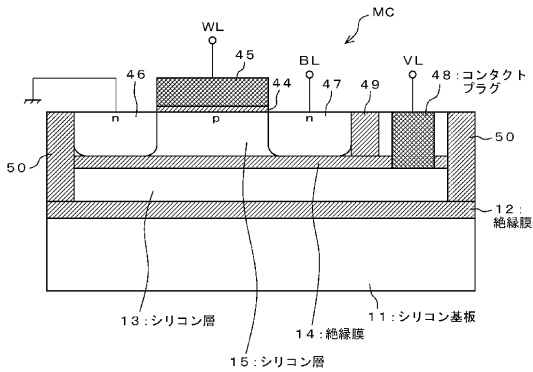
【 図 5 】

貼り合わせ(スマートカット)法による
二重SOI基板の製造工程



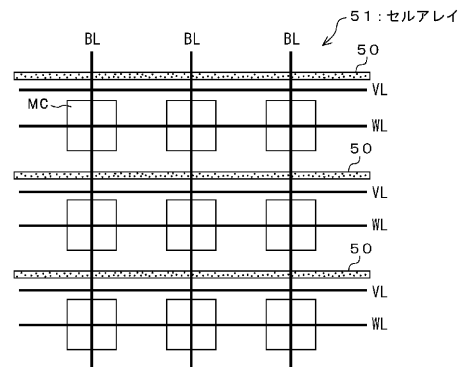
【 図 6 】

FBCメモリエルの構成



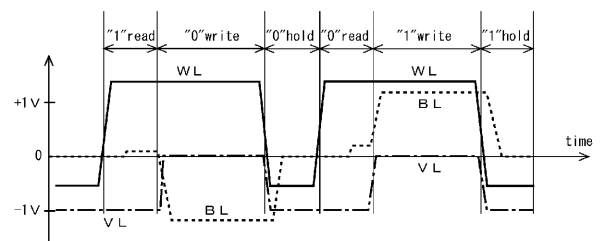
【 図 7 】

セルアレイ



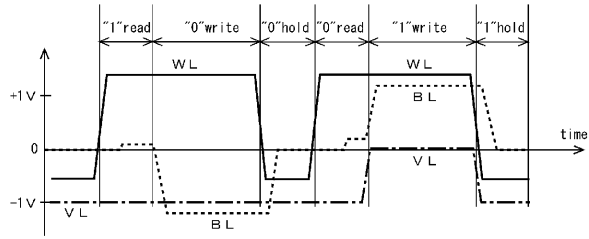
【 図 8 】

基板バイアス電圧の設定例



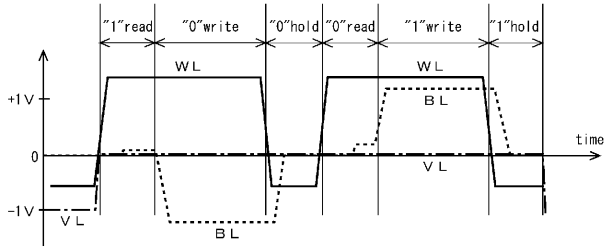
【 図 9 】

基板バイアス電圧の設定例



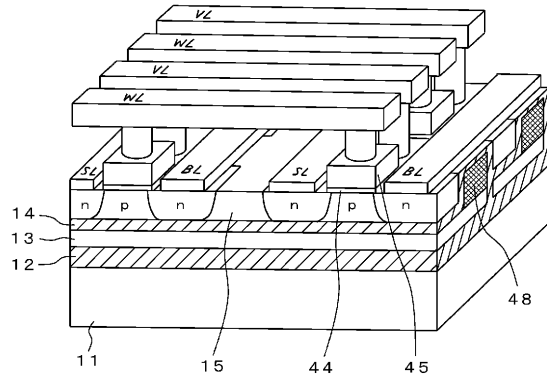
【 図 10 】

基板バイアス電圧の設定例



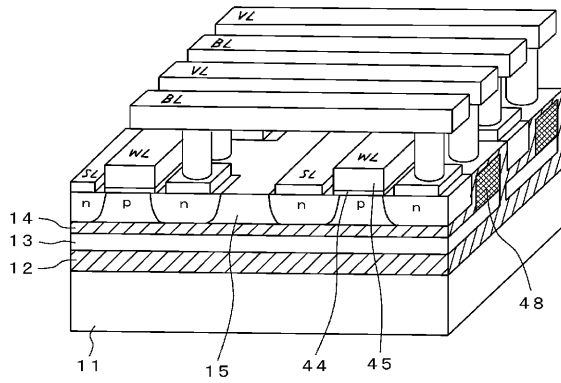
【 図 11 】

各線の配置



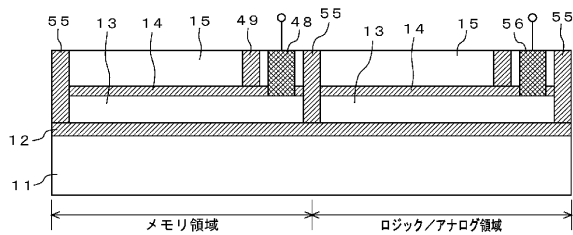
【 図 12 】

各線の配置(比較例)



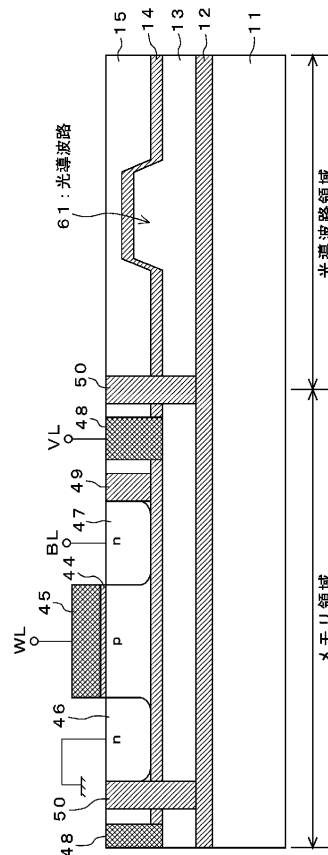
【 図 13 】

メモリ領域と他の領域の分離



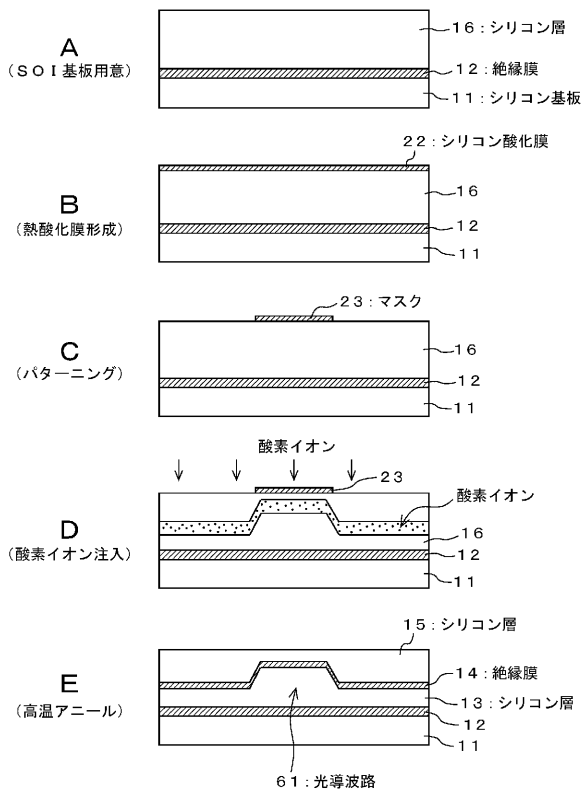
【 図 14 】

SOI基板内の光導波路



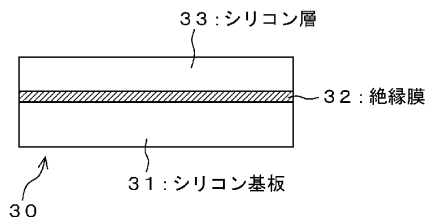
【図15】

SIMOX光導波路の製造工程



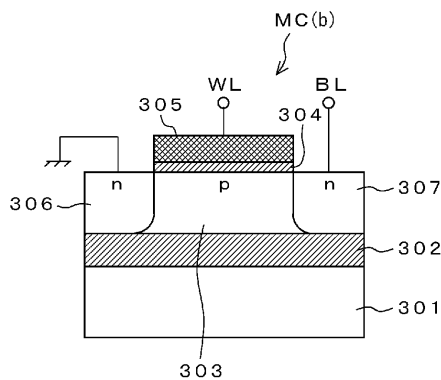
【図16】

通常SOI基板構造



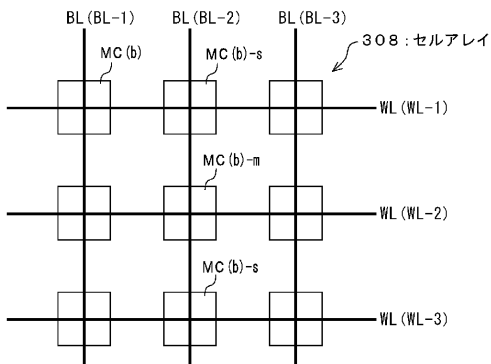
【図17】

FBCメモリセルの原理的構成



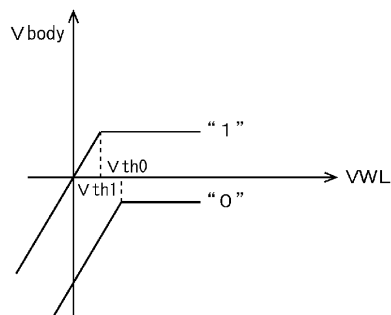
【図18】

セルアレイ



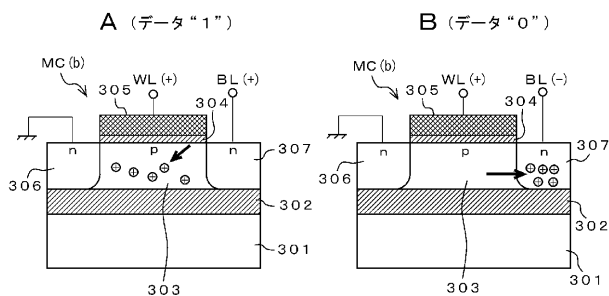
【図19】

ボディ電位とワード線電圧との関係

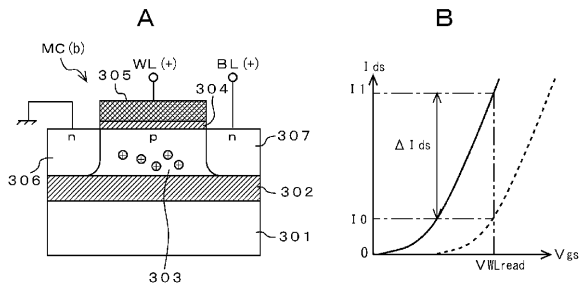


【図20】

FBCメモリセルの書き込み動作



【図 2 1】
FBCメモリの読み出し動作



フロントページの続き

Fターム(参考) 5F110 AA04 BB05 DD05 DD13 DD24 EE08 EE30 EE38 EE41 FF02
FF23 GG01 GG02 GG03 GG12 GG42 GG58 NN62 QQ17