202401570

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202401570 A

(43)公開日： 中華民國 113 (2024) 年 01 月 01 日

(21)申請案號：112117869 (22)申請日： 中華民國 107 (2018) 年 02 月 12 日

(51)Int. Cl.： *H01L21/311 (2006.01)* *H01L21/67 (2006.01)*
H01L21/768 (2006.01) *H01L29/417 (2006.01)*
H01L29/66 (2006.01)

(30)優先權：2017/02/13 美國 62/458,464

(71)申請人：美商蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)
美國

(72)發明人：凡 克林帕 派崔克 VAN CLEEMPUT, PATRICK (BE)；凡拉德拉真 瑟沙撒依 VARADARAJAN, SESHASAYEE (IN)；凡 史貴凡迪 巴頓 J VAN SCHRAVENDIJK, BART J. (NL)

(74)代理人：許峻榮

申請實體審查：有 申請專利範圍項數：25 項 圖式數：6 共 64 頁

(54)名稱

氣隙之建立方法

(57)摘要

錫氧化物膜係用以在半導體基板處理期間建立氣隙。在其他材料（諸如 SiO_2 及 SiN）之曝露的層之間設置的錫氧化物膜可使用在含 H_2 處理氣體中形成的電漿選擇性地蝕刻。該蝕刻產生取代在周圍材料之間之錫氧化物的凹入特徵部。諸如 SiO_2 的第三材料係在所得的凹入特徵部上方沉積而不完全填充凹入特徵部，而形成氣隙。一種在 SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、或 SiCN 存在的情況下選擇性蝕刻錫氧化物的方法在一些實施例中包含使基板與在包含至少約 50%H_2 之處理氣體中形成的電漿接觸。錫氧化物的蝕刻可在基板處不使用外部偏壓的情況下執行，且較佳是在小於約 100℃的溫度下執行。

Tin oxide films are used to create air gaps during semiconductor substrate processing. Tin oxide films, disposed between exposed layers of other materials, such as $SiO_2$and SiN can be selectively etched using a plasma formed in an H_2-containing process gas. The etching creates a recessed feature in place of the tin oxide between the surrounding materials. A third material, such as $SiO_2$is deposited over the resulting recessed feature without fully filling the recessed feature, forming an air gap. A method for selectively etching tin oxide in a presence of SiO_2, SiC, SiN, SiOC, SiNO, SiCNO, or SiCN, includes, in some embodiments, contacting the substrate with a plasma formed in a process gas comprising at least about 50% H_2. Etching of tin oxide can be performed without using an external bias at the substrate and is preferably performed at a temperature of less than about 100 °C.

指定代表圖：

符號簡單說明：

2201:操作

2203:操作

2205:操作

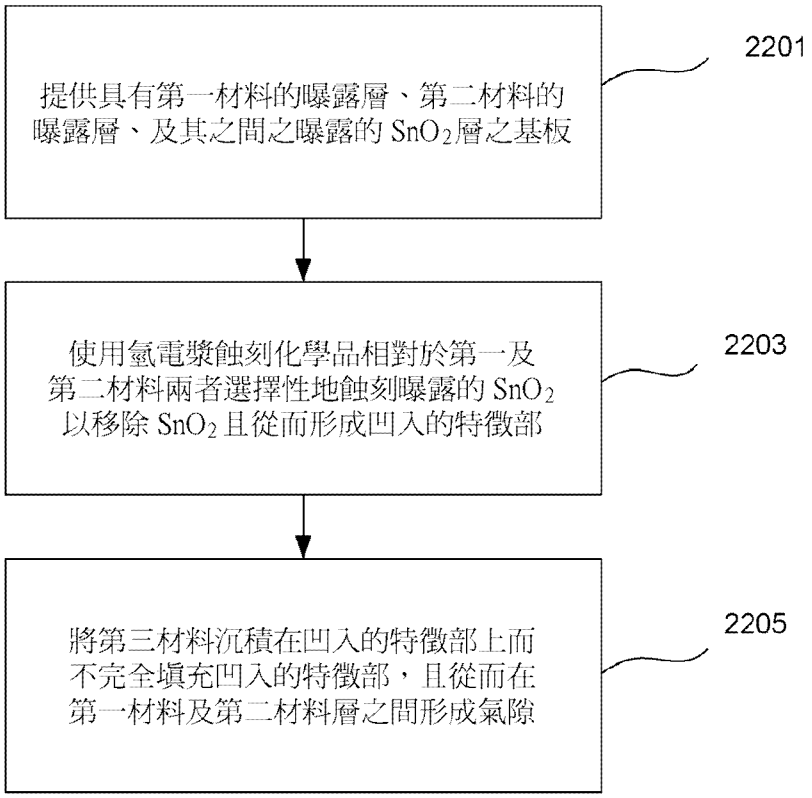

圖 2

【發明摘要】

【中文發明名稱】 氣隙之建立方法

【英文發明名稱】 METHOD TO CREATE AIR GAPS

【中文】錫氧化物膜係用以在半導體基板處理期間建立氣隙。在其他材料（諸如SiO_2及SiN）之曝露的層之間設置的錫氧化物膜可使用在含H_2處理氣體中形成的電漿選擇性地蝕刻。該蝕刻產生取代在周圍材料之間之錫氧化物的凹入特徵部。諸如SiO_2的第三材料係在所得的凹入特徵部上方沉積而不完全填充凹入特徵部，而形成氣隙。一種在SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、或SiCN存在的情況下選擇性蝕刻錫氧化物的方法在一些實施例中包含使基板與在包含至少約50%H_2之處理氣體中形成的電漿接觸。錫氧化物的蝕刻可在基板處不使用外部偏壓的情況下執行，且較佳是在小於約100℃的溫度下執行。

【英文】Tin oxide films are used to create air gaps during semiconductor substrate processing. Tin oxide films, disposed between exposed layers of other materials, such as SiO_2 and SiN can be selectively etched using a plasma formed in an H_2-containing process gas. The etching creates a recessed feature in place of the tin oxide between the surrounding materials. A third material, such as SiO_2 is deposited over the resulting recessed feature without fully filling the recessed feature, forming an air gap. A method for selectively etching tin oxide in a presence of SiO_2, SiC, SiN, SiOC, SiNO, SiCNO, or SiCN, includes, in some embodiments, contacting the substrate with a plasma formed in a process gas comprising at least about 50% H_2.

Etching of tin oxide can be performed without using an external bias at the substrate and is preferably performed at a temperature of less than about 100 °C.

【指定代表圖】　　圖2

【代表圖之符號簡單說明】

2201　　操作

2203　　操作

2205　　操作

【發明說明書】

【中文發明名稱】 氣隙之建立方法

【英文發明名稱】 METHOD TO CREATE AIR GAPS

【技術領域】

【0001】本發明涉及半導體元件製造的方法。具體而言，本發明的實施例涉及在半導體基板處理期間產生氣隙的方法。

【先前技術】

【0002】在半導體元件製造中，沉積及蝕刻技術係用於在基板上形成材料的圖案。圖案化通常需要在具有高蝕刻選擇性之一材料的存在下蝕刻另一材料。隨著基板上圖案化的特徵部之尺寸變小，蝕刻選擇性要求變得更嚴格。此外，由於蝕刻劑滲進凹入特徵部中的問題，所以諸如SiO_2與HF之蝕刻的濕蝕刻方法在具有高深寬比之凹入特徵部的基板上變得較不理想。

【0003】對於包含動態隨機存取記憶體（DRAM）的形成、鰭式場效應電晶體（FinFET）之製造及後段製程（BEOL）處理中之圖案化的諸多應用中的圖案化而言，需要高選擇性的蝕刻方法。

【發明內容】

【0004】在常用的介電質（諸如SiO_2及SiN）之存在下以高蝕刻選擇性加以選擇性蝕刻的材料及相關的蝕刻方法係特別理想的。SnO_2在本文係提供作為可相對於SiO_2、SiN及諸多其他材料使用高選擇性乾蝕刻化學品選擇性蝕刻的材

料。亦提供在使用SnO_2作為犧牲性間隔件材料的半導體元件製造（例如在FinFET製造期間）中形成氣隙的方法。

【0005】 根據一實施態樣，提供一種處理半導體基板的方法。該方法包含：提供具有曝露之SnO_2層（例如藉由原子層沉積所沉積的SnO_2層）的半導體基板；及在小於約100℃的溫度下蝕刻SnO_2層，其中該蝕刻步驟包含將半導體基板曝露於在包含體積百分比至少約50%H_2之處理氣體中形成的電漿。在一些實施例中，所提供的半導體基板更包含選自由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成之群組的第二材料，而SnO_2的氫電漿蝕刻係使用相對於第二材料至少約10（諸如至少約80）的蝕刻選擇性執行。第二材料可在SnO_2蝕刻開始之前在基板上曝露，或在一些實施例中，第二材料可在SnO_2蝕刻期間曝露。在一些實施例中，第二材料係SiO_2，且蝕刻使用相對於SiO_2至少約10的蝕刻選擇性移除SnO_2。

【0006】 SnO_2蝕刻中之處理氣體的成分可能改變，且可包含除了H_2之外的其他氣體。然而，在一些實施例中，處理氣體實質上由H_2所組成（例如100%為H_2）。在一些實施例中，處理氣體包含至少約50%H_2且更包含諸如氦的惰性氣體。在一些實施例中，處理氣體可實質上由H_2及惰性氣體所組成。在一些實施方式中，處理氣體中的H_2濃度係至少約80%。選用性地，處理氣體可更包含烴及/或Cl_2。在一示例中，處理氣體包含H_2（50%或更多）、氦、及烴。處理氣體中的電漿可使用高頻及/或低頻電漿產生而形成。值得注意的是，基板處之外部偏壓的使用係選用性的。在一些實施例中，蝕刻係在不對基板提供外部偏壓的情況下執行。在一些實施例中，電漿係使用在約0.0018和0.36 W/cm^{2}之間的功率密度產生。一些實施例中，蝕刻期間在處理腔室中的壓力係在約1和175毫托之間。

【0007】在另一實施態樣中，提供一種蝕刻SnO_2層的設備。該設備包含：具有基板支架的處理腔室，該基板支架配置成在蝕刻期間用於固持半導體基板；電漿產生器，其係配置成用於在處理氣體中產生電漿；及控制器。該控制器包含程式指令，用於實施本文所描述方法的任一者。在一實施例中，控制器包含程式指令，用於致使在小於約100℃的溫度下在半導體基板上發生SnO_2層的蝕刻，其中致使該蝕刻發生包含致使半導體基板曝露於在包含至少約50%H_2之處理氣體中形成的電漿。

【0008】在另一實施態樣中，提供非暫態電腦機器可讀媒體，其中，其包含用於控制蝕刻設備的程式指令。該程式指令包含程式碼，用於致使在小於約100℃的溫度下在半導體基板上發生SnO_2層的蝕刻，其中致使該蝕刻發生包含致使半導體基板曝露於在包含至少約50%H_2之處理氣體中形成的電漿。

【0009】在另一實施態樣中，提供一種在半導體基板上建立氣隙的方法。該方法包含：(a)提供具有曝露之第一材料層、曝露之第二材料層、及配置在第一材料層與第二材料層間之曝露的SnO_2層之半導體基板；(b)相對於第一及第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻曝露的SnO_2，且從而在第一及第二材料之間形成凹入特徵部；及(c)在凹入特徵部上方沉積第三材料而不完全填充凹入特徵部，且從而在第一材料層與第二材料層之間形成氣隙。在一些實施方式中，第一材料係選自由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成的群組，而第二材料係選自由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成的群組。在一些實施例中，第一及第二材料係相同的材料。在其他實施例中，第一及第二材料係不同的材料。在一些實施例中，第三材料係SiO_2。

【0010】在一些實施方式中，SnO_2層的氫電漿蝕刻包含將半導體基板曝露於在包含至少約50%H_2之處理氣體中形成的電漿。在一些實施例中，蝕刻係在小於約100℃的溫度下執行。所描述的方法對於在窄的凹入特徵部中形成氣隙係特別有用的。在一些實施方式中，SnO_2層的寬度係在約20-100 Å之間。

【0011】在一實施例中，位在第一及第二材料層間之具有SnO_2層的基板係使用下列一連串步驟形成。該製程始於藉由在半導體基板上形成閘極（自例如高k氧化物（諸如鉿氧化物）製成的突出特徵部）；在半導體基板上方保形地形成第一材料層（例如SiN），使得第一材料覆蓋閘極的側壁及頂部表面；在第一材料層上方保形地形成SnO_2層（例如至約20-100 Å之間的厚度），使得SnO_2覆蓋閘極之側壁及頂部表面上的第一材料；及在SnO_2層上方保形地形成第二材料層（例如SiO_2），使得第二材料覆蓋閘極之側壁及頂部表面上的SnO_2。該製程接著自基板的水平表面移除第二材料且從而形成在曝露的第一及第二材料層間具有曝露的SnO_2層之結構。

【0012】在另一實施態樣中，提供一種用於在半導體基板上形成氣隙的系統。該系統包含：一或更多沉積腔室；一或更多蝕刻腔室；及一控制器。該控制器包含用於執行本文描述之任何氣隙形成方法的程式指令。舉例而言，該控制器可包含用於致使下列步驟的指令：(i)在具有曝露之第一材料層、曝露之第二材料層、及配置在第一材料層與第二材料層間之曝露的SnO_2層之半導體基板上，相對於第一及第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻曝露的SnO_2，且從而在第一及第二材料之間形成凹入特徵部；及(ii)在凹入特徵部上方沉積第三材料而不完全填充凹入特徵部，且從而在第一材料層與第二材料層之間形成氣隙。

【0013】在另一實施態樣中，系統包含本文描述之設備和系統的其中任一者及步進器。

【0014】在另一實施態樣中，提供非暫態電腦機器可讀媒體，其中，其包含用於控制系統的程式指令，其中該程式指令包含程式碼，用於：(i)在具有曝露之第一材料層、曝露之第二材料層、及配置在第一材料層與第二材料層間之曝露的SnO_2層之半導體基板上，相對於第一及第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻曝露的SnO_2，且從而在第一及第二材料之間形成凹入特徵部；及(ii)在凹入特徵部上方沉積第三材料而不完全填充凹入特徵部，且從而在第一材料層與第二材料層之間形成氣隙。

【0015】在另一實施態樣中，提供一種用於處理半導體基板的方法，其中該方法包含沉積SnO_2假性閘極。該方法包含：(a)在半導體基板上形成SnO_2假性閘極；(b)在SnO_2假性閘極存在的情況下處理半導體基板；(c)使用在包含H_2之處理氣體中形成的電漿蝕刻SnO_2假性閘極以形成取代假性閘極的凹入特徵部；及(d)將高k介電材料沉積至所形成的凹入特徵部中，從而形成取代假性閘極的閘極。在另一實施態樣中，提供一種處理半導體基板的系統，其中該系統包含：一或更多沉積處理腔室、一或更多蝕刻處理腔室、及包含程式指令的一控制器，該程式指令用於致使下列步驟：(i)在半導體基板上形成SnO_2假性閘極；(ii)在SnO_2假性閘極存在的情況下處理半導體基板；(iii)使用在包含H_2之處理氣體中形成的電漿蝕刻SnO_2假性閘極以形成取代假性閘極的凹入特徵部；及(iv)將高k介電材料沉積至所形成的凹入特徵部中，從而形成取代假性閘極的閘極。在另一實施態樣中，提供包含用於控制系統之程式指令的非暫態電腦可讀媒體，其中該程式指令包含程式碼，用於致使下列步驟：(i)在半導體基板上形成SnO_2假性閘極；(ii)

在SnO_2假性閘極存在的情況下處理半導體基板；(iii)使用在包含H_2之處理氣體中形成的電漿蝕刻SnO_2假性閘極以形成取代假性閘極的凹入特徵部；及(iv)將高k介電材料沉積至所形成的凹入特徵部中，從而形成取代假性閘極的閘極。

【0016】在一些實施例中，所提供的方法係與光微影圖案化序列整合且更包含：施加光阻至半導體基板；將光阻曝露於光；將光阻圖案化且將圖案轉移至基板；及自基板選擇性地移除光阻。

【0017】在本說明書中描述之申請標的之實施方式的這些及其他實施態樣，係在以下隨附圖式及描述中說明。

【圖式簡單說明】

【0018】圖1係根據本文所提供實施例之處理方法的製程流程圖。

【0019】圖2係根據本文所提供實施例之處理方法的製程流程圖。

【0020】圖3A-3G根據本文提供的實施例顯示經歷具有氣隙形成的處理之半導體基板的示意橫剖面圖。

【0021】圖4A-4T根據本文提供的實施例顯示經歷FinFET元件製造期間的處理之半導體基板的示意圖。

【0022】圖5係適合使用根據本文提供的實施例之氫電漿蝕刻化學品蝕刻SnO_2之設備的示意圖。

【0023】圖6根據本文提供的實施例顯示多工作站處理系統的示意圖。

【實施方式】

【0024】提供在半導體元件製造中蝕刻錫（IV）氧化物（SnO_2）的方法。在一些實施例中，所提供的方法係用以在相對於SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN的其中一或更多者之高選擇性的情況下蝕刻錫氧化物。在一些實施例中，蝕刻選擇性係大於10，諸如大於30，例如大於50、或大於80。蝕刻選擇性意指SnO_2之蝕刻速率對選定製程條件的另一材料之蝕刻速率的比率。在一些示例中，針對相對於SiO_2蝕刻SnO_2達到100的蝕刻選擇性。對於涉及使半導體基板與在包含H_2之處理氣體中形成的電漿接觸的蝕刻方法，達成這些蝕刻選擇性。所提供的方法涉及藉由將SnO_2曝露於氫電漿而將固態SnO_2轉變成氣態SnH_4。氣態的SnH_4產物可接著藉由沖洗及/或抽空輕易地自處理腔室移除。在一些實施例中，另一材料（例如SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、或SiCN）在SnO_2蝕刻開始時係在半導體基板上曝露。在其他實施例中，另一材料在SnO_2蝕刻開始時不曝露，但在蝕刻期間變為曝露的。

【0025】SnO_2可例如藉由ALD或PECVD沉積，且可包含少量的其他材料，諸如碳及氫（通常小於10原子%）。亦理解在錫氧化物中可能有自錫對氧為1：2之化學計量的小偏差，且其係在SnO_2結構的範圍內。舉例而言，在一些SnO_2的示例中，O對Sn的原子比係在約2.0-2.3之間。具有O對Sn比率在約1.5-2.5間的錫氧化物係在如本文使用之SnO_2材料的範圍內。

【0026】SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN材料可為摻雜的或未摻雜的，且可選用性地包含氫。摻雜劑（當存在時）通常不超過10%原子（不包含氫）的濃度。這些材料可使用諸多方法（例如CVD、PECVD、及ALD）沉積。諸多含矽前驅物可用於沉積包含矽烷、四烷基矽烷、三烷基矽烷、TEOS等的這些材料。舉例而言，SiO_2可使用TEOS或矽烷作為含矽前驅物而沉積。

【0027】本文使用的術語「半導體基板」意指在半導體元件製造之任何階段、在其結構中的任何位置包含半導體材料的基板。應理解半導體基板中的半導體材料不需曝露。具有複數層覆蓋半導體材料之其他材料（例如介電質）的半導體晶圓係半導體基板的示例。

【0028】所提供的方法可用於蝕刻諸多寬度及深寬比的SnO_2層。這些方法對於蝕刻狹層（例如寬度為20-100 Å（例如25-75 Å）的SnO_2層）、及用於產生相對高深寬比之凹入特徵部（諸如用於蝕刻SnO_2以產生具有至少約5：1之深寬比（例如具有在約10：1至100：1間之深寬比）的凹入特徵部）係特別有利的。雖然所提供的方法係不限於這些應用，但使用本文提供的氫電漿蝕刻方法蝕刻狹層及/或形成高深寬比的凹入特徵部係特別有用的，因為習知的方法及材料（例如SiN間隔件的濕HF蝕刻）係並不非常適合這些應用。

【0029】根據本文所提供實施例的蝕刻方法係在圖1顯示的製程流程圖中說明。在操作1101中，提供具有曝露之SnO_2層的半導體基板。基板係置放進蝕刻設備的處理腔室中，其中該設備係配置成用於在處理氣體中產生電漿。接著，在操作1103中，電漿係在包含H_2的處理氣體中產生。在操作1105中，基板係與所形成的氫電漿接觸，且SnO_2層係相對於基板上之SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN材料的其中任一者選擇性地蝕刻。選擇性蝕刻涉及以大於1、更佳是大於10、諸如大於50的蝕刻選擇性相對於任何所列材料而蝕刻SnO_2。

【0030】在一些實施例中，操作1101中提供的半導體基板除了曝露的SnO_2層之外更包含曝露的第二材料層，其中第二材料包含SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN的其中一或更多者。在其他實施例中，第二材料在SnO_2蝕刻開始時不曝露，但在SnO_2已被蝕刻一些時間後變為曝露的。

【0031】在操作1101中提供的基板係在沉積及選用性地圖案化SnO_2層及第二材料層（例如SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN的任何組合）之後獲得。SnO_2層係藉由諸如CVD（包含PECVD）、ALD（包含PEALD）、濺鍍等任何合適的方法沉積。在一些實施例中，較佳是保形地沉積SnO_2膜，使得該SnO_2膜依循基板的表面，包含基板上任何突起及凹入特徵部的表面。在一些實施例中，SnO_2層保形地沉積至約20-100 Å之間的厚度。保形的SnO_2膜之合適沉積方法的其中之一係ALD。可使用熱力式或電漿加強的ALD。在典型的熱力式ALD方法中，將基板提供至ALD處理腔室且依序曝露於含錫前驅物及含氧反應物，其中含錫前驅物及含氧反應物係被允許在基板的表面上反應以形成SnO_2。在基板曝露於含錫前驅物之後且在含氧反應物被允許進入處理腔室之前，ALD處理腔室係通常使用惰性氣體沖洗以防止在處理腔室之主體內的反應。此外，在基板已使用含氧反應物處理之後，ALD處理腔室係通常使用惰性氣體沖洗。連續的曝露係重複幾個循環，例如，可執行約10-100之間的循環直到沉積具有期望厚度的SnO層。合適之含錫前驅物的示例包含鹵化的含錫前驅物（諸如$SnCl_4$及$SnBr_4$）、及非鹵化的含錫前驅物（諸如有機錫化合物，其包含烷基取代的錫醯胺等）。適用於ALD之烷基取代的錫醯胺之特定示例係四(二甲基胺基)錫、四(乙基甲基胺基)錫、N^2,N^3-二(三級丁基)-丁烷-2,3-二胺基-錫(II)、及1,3-雙(1,1-二甲基乙基)-4,5-二甲基-(4R,5R)-1,3,2-二氮雜錫戊環-2-亞基（1,3-bis(1,1-dimethylethyl)-4,5-dimethyl-(4R,5R)-1,3,2-diazastannolidin-2-ylidene））。含氧反應物包含但不限於氧、臭氧、水、過氧化氫、及NO。亦可使用含氧反應物的混合物。沉積條件將依據ALD反應物的選擇而變化，其中較具反應性的前驅物通常與較低反應性的前驅物相比在較低溫度下反應。製程通常在約20-500℃之間的溫度下及在低於大

氣壓力下執行。溫度及壓力係選擇成使得反應物在處理腔室中保持氣態以避免凝結。各反應物係呈氣態形式單獨或與載體氣體（諸如氬、氦、或氮）混合而提供至處理腔室。這些混合物的流率將取決於處理腔室的尺寸，且在一些實施例中係在約10-10,000 sccm之間。

【0032】適用於沉積本文提供的保形SnO_2層之熱力式ALD製程條件的特定示例係在Li等人發表、標題為“Tin Oxide with Controlled Morphology and Crystallinity by Atomic Layer Deposition onto Graphene Nanosheets for Enhanced Lithium Storage”（*Advanced Functional Materials*, 2012, **22**, 8, 1647-1654）的文章中描述，其全部內容於此藉由參照納入本案揭示內容。該製程包含在200-400℃的溫度下在ALD真空腔室中，將基板依序及交替地曝露於$SnCl_4$（含錫前驅物）及去離子水（含氧反應物）。在ALD循環的特定示例中，$SnCl_4$蒸氣與N_2載體氣體的混合物係引入ALD處理腔室0.5秒，且接著曝露於基板3秒。接著，ALD處理腔室係使用N_2沖洗10秒以自處理腔室的主體移除$SnCl_4$，且H_2O蒸氣與N_2載體氣體的混合物係流入處理腔室1秒且曝露於基板3秒。接著，ALD處理腔室係使用N_2沖洗且重複該循環。ALD製程係在低於大氣壓力（例如0.4托）下及在200-400℃的溫度下執行。

【0033】適用於沉積本文所提供方法中之SnO膜的熱力式ALD製程條件的另一示例係在Du等人發表、標題為“*In situ* Examination of Tin Oxide Atomic Layer Deposition using Quartz Crystal Microbalance and Fourier Transform Infrared Techniques”（*J. Vac. Sci. Technol.* A **23**, 581 (2005)）的文章中描述，其全部內容於此藉由參照納入本案揭示內容。在此製程中，基板係在ALD處理腔室中在約150-430℃之間的溫度下依序曝露於$SnCl_4$及H_2O_2。

【0034】雖然在ALD中使用鹵化的錫前驅物在許多實施例中係適合的，但在一些實施例中，更佳是使用非鹵化的有機錫前驅物以避免可能隨著使用鹵化的前驅物（諸如$SnCl_4$）而發生的腐蝕問題。適合的非鹵化之有機錫前驅物的示例包含烷基胺錫（烷基化的錫醯胺）前驅物，諸如四(二甲基胺基)錫。使用此前驅物之適合的熱力式ALD沉積方法的示例係在Elam等人發表、標題為“Atomic Layer Deposition of Tin Oxide Films using Tetrakis(dimethylamino) tin” (*J. Vac. Sci. Technol.* A **26**, 244 (2008))的文章中提供，其全部內容於此藉由參照納入本案揭示內容。在此方法中，基板係在ALD腔室中在約50-300℃間的溫度下依序曝露於四(二甲基胺基)錫及H_2O_2。有利地，此前驅物的使用允許在100℃以下的低溫沉積SnO_2膜。舉例而言，SnO_2膜可在沒有使用電漿的情況下在50℃沉積以增加反應速率。使用四(二甲基胺基)錫及H_2O_2之SnO的熱力式ALD之另一示例係在Elam等人發表、標題為“Atomic Layer Deposition of Indium Tin Oxide Thin Films Using Nonhalogenated Precursors”（*J. Phys.Chem.* C **2008**, 112, 1938-1945）的文章中提供，其係於此藉由參照納入本案揭示內容。

【0035】使用反應性有機錫前驅物之低溫熱力式ALD製程的另一示例係在Heo等人發表、標題為“Low temperature Atomic Layer Deposition of Tin Oxide”（*Chem. Mater.*, **2010**, 22(7) 4964-4973）的文章中提供，其全部內容於此藉由參照納入本案揭示內容。在此沉積製程（其係適用於沉積本文提供的SnO_2膜）中，基板係在ALD真空處理腔室中依序曝露於N^2,N^3-二(三級丁基)-丁烷-2,3-二胺基-錫(II)及50%的H_2O_2。將這些反應物汽化且各者係與N_2載體氣體混合而提供至處理腔室。在基板每次曝露於反應物之後，腔室係使用N_2沖洗。沉積可在約50-150℃之間的溫度下執行。

【0036】雖然在ALD製程中過氧化氫作為含氧反應物對於SnO_2的形成通常作用良好，但由於H_2O_2分解，所以過氧化氫可能有時無法對SnO_2膜生長提供足夠的控制。在一些實施例中，使用較安定的含氧前驅物（諸如NO）。使用NO作為含氧反應物之合適製程條件的示例係在Heo等人發表、標題為“Atomic Layer Deposition of Tin Oxide with Nitric Oxide as an Oxidant Gas”（*J. Mater. Chem.*, 2012, 22, 4599）的文章中提供，其係於此藉由參照納入本案揭示內容。沉積涉及在約130-250℃間的溫度下將基板依次曝露於NO及環狀的Sn(II)醯胺（1,3-雙(1,1-二甲基乙基)-4,5-二甲基-(4R,5R)-1,3,2-二氮雜錫戊環-2-亞基（1,3-bis(1,1-dimethylethyl)-4,5-dimethyl-(4R,5R)-1,3,2-diazastannolidin-2-ylidene））。

【0037】在一些實施例中，SnO_2膜係藉由PEALD沉積。可使用如上所述之用於熱力式ALD之相同類型的含錫前驅物及含氧反應物。在PEALD中，ALD設備係配備有用於在處理腔室中產生電漿及使用該電漿處理基板的系統。在典型的PEALD製程序列中，基板係提供至PEALD處理腔室且曝露於吸附在基板表面上的含錫前驅物。處理腔室係使用惰性氣體（例如氬或氦）沖洗以自處理腔室移除前驅物，且基板係曝露於被引入處理腔室的含氧反應物。在引入含氧反應物的同時或一延遲之後，電漿係在處理腔室內形成。電漿促進基板表面上在含錫前驅物與含氧反應物之間導致SnO_2形成的反應。接著，處理腔室係使用惰性氣體沖洗，且包含錫前驅物用劑、沖洗、含氧反應物用劑、電漿處理、及第二沖洗的循環係依需要重複多次以形成期望厚度的SnO_2膜。

【0038】適用於SnO_2膜之PEALD形成之製程條件的示例係在Seop等人發表、標題為“The Fabrication of Tin Oxide Films by Atomic Layer Deposition using Tetrakis(ethylmethylamino) tin Precursor”（*Transactions on Electrical and*

Electronic Materials, 2009, 10, 5, 173-176）的文章中提供，其係於此藉由參照納入本案揭示內容。將基板提供至PEALD處理腔室中，且在沒有電漿的情況下曝露於四(乙基甲基胺基)錫4秒。接著，含錫前驅物係藉由將氬流經處理腔室20秒而自處理腔室排淨。接著，O_2係注入2秒，及額外2秒使用100 W的射頻（RF）功率。在此之後係接著進行氬沖洗，其完成一個PEALD循環。在此示例中，製程係在50-200℃的溫度範圍內及在0.8托的壓力下執行。

【0039】雖然ALD（熱力式ALD及電漿加強的ALD兩者）係用於沉積SnO_2膜之較佳方法的其中之一，但應理解亦可使用其他SnO_2沉積方法（諸如CVD、PECVD、及濺鍍）。

【0040】第二材料（SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN之任一者）可藉由包含PECVD、CVD、ALD、及PEALD的諸多方法沉積。在一些實施例中，第二材料係藉由PECVD沉積。在此方法中，在針對基板上之第二材料的沉積所控制的條件下，電漿係在包括含矽前驅物及包含第二材料之一或更多元素之反應物的處理氣體中形成。舉例而言，SiO_2可藉由在包括含矽前驅物及含氧反應物的處理氣體中形成電漿而沉積；SiC可藉由在包括含矽前驅物及含碳反應物的處理氣體中形成電漿而沉積；SiN可藉由在包括含矽前驅物及含氮反應物的處理氣體中形成電漿而沉積；SiOC可藉由在包括含矽前驅物、含氧反應物、及含碳反應物的處理氣體中形成電漿而沉積；SiNO可藉由在包括含矽前驅物、含氧反應物、及含氮反應物的處理氣體中形成電漿而沉積；SiCNO可藉由在包括含矽前驅物、含氧反應物、含碳反應物、及含氮反應物的處理氣體中形成電漿而沉積；而SiCN可藉由在包括含矽前驅物、含碳反應物、及含氮反應物的處理氣體中形成電漿而沉積。在含矽前驅物更包含第二材料之所需元素之任一者的那

些情況下，含矽前驅物及反應物可為相同的。舉例而言，TEOS在SiO_2的沉積期間可作為含矽前驅物及含氧反應物兩者。含矽前驅物的示例包含矽烷、二矽烷、四烷基矽烷、三烷基矽烷、矽氧烷、TEOS等。含氧反應物的示例包含CO_2、N_2O、O_2、O_3、H_2O。含氮反應物的示例包含N_2及NH_3。含碳反應物的示例包含烴，諸如：甲烷、乙烷、丙烷等。用於沉積這些材料的處理氣體亦可包含載體氣體，諸如：He、Ar、Ne等。

【0041】利用氫電漿的SnO_2蝕刻方法可在廣泛製程條件下在諸多設備中實施。在一些實施例中，該方法涉及將具有曝露之錫氧化物層的半導體基板提供至蝕刻腔室，且使基板與在包含H_2及選用性的載體氣體（諸如氦或另一惰性氣體）之處理氣體中形成的電漿接觸。術語「蝕刻腔室」或「蝕刻設備」意指配置成用於蝕刻的腔室及設備。在一些實施例中，「蝕刻腔室」或「蝕刻設備」係專門配置成用於蝕刻操作。在其他實施例中，「蝕刻腔室」或「蝕刻設備」可配置成執行除了蝕刻之外的其他操作，諸如沉積。舉例而言，在一些實施例中，蝕刻腔室亦可用於ALD沉積。

【0042】在一些實施例中，用於氫電漿蝕刻的電漿係在容納半導體基板的相同處理腔室中產生。在其他實施例中，電漿係遠程地產生，且係藉由處理腔室中的一或更多入口被引入至容納基板的處理腔室。

【0043】控制蝕刻以諸如將SnO_2轉變成揮發性的SnH_4。較佳是，處理氣體中的H_2含量係體積百分比至少約50%，諸如體積百分比至少約80%（可高達且包含100%）。在一些實施例中，處理氣體可更包含烴，例如CH_4。在一些實施例中，處理氣體更包含Cl_2。舉例而言，處理氣體可實質上由H_2及惰性氣體（例如He）所組成，或處理氣體可實質上由H_2、惰性氣體、及烴（例如CH_4）所組成。蝕刻

係在基板附近測量之小於約100℃的溫度下執行。有利地，蝕刻反應僅產生揮發性材料（諸如SnH_4），其可藉由抽空及/或沖洗而輕易地自蝕刻處理腔室移除。蝕刻製程溫度較佳是選擇成小於約100℃，因為較高的溫度可導致所形成之SnH_4的分解及形成可能污染處理腔室和基板的顆粒。選擇處理氣體的組成及製程條件以諸如減少或消除蝕刻期間之顆粒的形成。明顯地，蝕刻反應不需任何顯著的濺射成分，且可於不存在基板處之外部偏壓且不存在重離子（例如氬離子）的情況下執行。減少濺射成分對於提高相對於基板上之第二材料的蝕刻選擇性可為有利的。因此，在一些實施例中，蝕刻係在不將外部偏壓提供至基板的情況下執行及/或涉及使用氦（輕的氣體）作為載體氣體以減少濺射。

【0044】用於氫電漿蝕刻的電漿可使用諸多頻率（低及高）產生。適合頻率的示例包含400 KHz、2 MHz、13.56 MHz、27 MHz、或2.45 GHz。在一些實施例中，用於產生電漿的功率之範圍可在自約50 W至1,000 W之間，其對應於約0.0018和0.36 W/cm^{2}之間的功率密度。基板處的偏壓係選用性的，且偏壓功率的範圍可從約0至500 W。各噴淋頭之適合的氣流速率（用於處理一個300 mm的晶圓）係：

i. H_2：25至750 sccm；

ii. Cl_2：0至500 sccm（例如5–200 sccm）；

iii. He：0至500 sccm（例如5–100 sccm）；及

iv. CH_4：0至500 sccm（例如5–100 sccm）。

【0045】在一些實施例中，蝕刻製程可在約1至175毫托之間的壓力下執行。

【0046】在一些特定的實施例中，電漿係使用高頻產生（例如13.56 MHz或27 MHz）而產生，且其係使用對應於0.07及0.18 W/cm^{2}之功率密度之約200至500 W之間的電漿功率提供。基板處用於偏壓的功率係在約0和200 W之間。各噴淋頭之適合的氣流速率（用於處理一個300 mm的晶圓）係：

i. H_2：100至300 sccm；

ii. Cl_2：0至200 sccm（例如5–100 sccm）；

iii. He：0至100 sccm（例如5–50 sccm）；及

iv. CH_4：0至100 sccm（例如5–50 sccm）。

【0047】在這些實施例中，蝕刻製程係在約1至30毫托之間的壓力下執行。

【0048】在一些實施例中，在蝕刻之前，包含曝露之SnO_2層的基板亦包含選自由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成的群組之材料的曝露層，而所提供的蝕刻方法以相對於這些材料的高選擇性蝕刻SnO_2。在一些實施例中，蝕刻自基板的表面完全移除曝露的SnO_2，而不完全移除選自由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成之群組的材料。

【0049】在另一實施態樣中，提供一種用於在基板上形成氣隙的方法，其中SnO_2在氣隙的形成中係用作可移除的間隔件材料。舉例而言，由SnO_2製成的氣隙間隔件可在FinFET元件中使用。

【0050】習知技術使用以下其中一或更多者。在DRAM製造中，使用SiO_2且係使用HF移除。此化學品由於其他膜受HF的化學侵蝕及穿透非常高之深寬比結構（>15：1）的問題而具有受限的用途。在邏輯製造中，習知FinFET氣隙間隔件的使用可能由於太多步驟而太複雜。此外，沒有完美的材料組合可供選擇。濕

蝕刻製程的使用使小特徵部及/或高深寬比特徵部處理成為問題。這些缺點在本文係藉由引入SnO_2氣隙間隔件及處理方法而解決。

【0051】圖2係說明使用可移除的SnO_2間隔件在半導體基板上產生氣隙的方法之實施例的製程流程圖。該方法始於操作2201，其提供具有第一材料的曝露層、第二材料的曝露層、及位在第一材料和第二材料層間之曝露的SnO_2層之半導體基板。第一及第二材料可為相同的材料或不同的材料。舉例而言，第一材料及第二材料可獨立地選自SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN。在一些實施例中，第一及第二材料係皆SiO_2。在其他實施例中，第一材料係SiO_2而第二材料係SiN。通常，可選擇材料的任何組合。接著，在操作2203中，曝露的SnO_2係使用本文描述的氫電漿蝕刻化學品相對於第一材料及第二材料兩者選擇性地蝕刻。蝕刻在曝露之第一和第二材料之存在的情況下移除SnO_2，且形成取代移除的SnO_2之凹入特徵部。相對於第一及第二材料兩者之SnO_2移除的蝕刻選擇性較佳是至少約5，諸如至少約10、或至少約50。大於80（諸如100）的蝕刻選擇性亦可使用所描述的方法達成。接著，在操作2205中，第三材料係沉積在凹入特徵部上而不完全填充凹入特徵部，且從而在第一材料及第二材料層之間形成氣隙。第三材料係任何適合的材料，且可與第一及第二材料之其中各者相同或不同。在一些實施例中，第三材料係介電質。在一些實施例中，第三材料係SiO_2，例如藉由PECVD或HDP（高密度電漿）CVD沉積。

【0052】有利地，本文提供之用於SnO_2的蝕刻製程不需濕蝕刻，且不需曝露於含氟化學品。有利地，用於SnO_2的氫電漿蝕刻可在具有非常窄之寬度（例如20–100 Å）的SnO_2層上執行，而不導致元件的結構崩壞。結構崩壞係具有非常小尺寸的間隔件之濕蝕刻期間遇到的問題。通常，氣隙形成序列中SnO_2層的寬度

可在寬範圍（例如10–5,000 Å）內變化，但所提供的方法對於處理具有寬度20–100 Å之窄SnO_2間隔件的基板係特別有利的。

【0053】根據實施例的其中一者，用於形成氣隙之處理序列的一示例係在圖3A-3G中提供，其顯示在氣隙形成期間半導體基板的橫剖面示意圖。圖3A-3E描繪可用以獲得包含第一及第二材料之曝露層間之曝露的SnO_2層之基板的處理步驟。應理解諸多其他方法可用以獲得如此基板。所描繪的方法涉及在基板303上形成閘極301，造成圖3A中顯示的結構。閘極係基板上的突出特徵部。在一些實施例中，閘極301係高k氧化物，諸如鉿氧化物。接著，如圖3B所示，第一材料層305係在基板上方保形地形成，使得其覆蓋基板303和閘極301。重要的是，層305在閘極側壁處和閘極301的頂部表面上方覆蓋閘極。在一說明性的示例中，層305係SiN層。保形沉積可例如藉由ALD達成。接著，SnO_2層307係在層305上方保形地形成，如圖3C所示。SnO_2層307與下方的層305接觸且位在基板303上方且在閘極301上方。SnO_2層在閘極側壁及閘極的頂部表面處覆蓋閘極。SnO_2層可藉由ALD或PECVD沉積。接著，在基板上方將第二材料層309保形地沉積在SnO_2層307之上，造成圖3D中顯示的結構。在一些實施例中，第二材料係SiO_2。第二材料接觸SnO_2層且位在基板303和閘極301上方，在閘極的側壁及頂部表面處覆蓋閘極。在下一步驟中，將結構平坦化（例如使用化學機械研磨）。此步驟自閘極的頂部表面移除第二材料層（例如SiO_2），且曝露在閘極側壁處的SnO_2層。圖3E顯示的結構描繪平坦化之後的基板。其顯示曝露的SnO_2層307位在閘極側壁處在曝露的第一材料層305與曝露的第二材料層309之間。此結構係可在圖2顯示的製程流程圖之操作2201中使用的一可能結構。若SnO_2層係實質上保形地沉積，則沉積在水平表面上之SnO_2層的厚度將類似於在閘極側壁處曝露之SnO_2層的寬度。

舉例而言，若將SnO_2沉積至約20-100 Å之間的厚度，在閘極側壁處之曝露的SnO_2層將具有約20-100 Å之間的寬度。

【0054】接著，如本文所述執行氫電漿蝕刻。圖3E顯示的基板與蝕刻處理腔室中在包含H_2的處理氣體中形成的電漿接觸，且曝露的SnO_2層307係選擇性地加以蝕刻（相對於其他曝露的材料）以在第二材料層309與第一材料層305之間形成凹入特徵部。所得結構係在圖3F中顯示，其描繪在層309與305之間的凹入特徵部311。最後，在隨後的步驟中，第三材料（例如SiO_2）層313係例如藉由HDP CVD沉積，使得其覆蓋凹入特徵部311而不將其完全填充，從而產生氣隙。

【0055】一種用於形成氣隙的方法之更具體的示例包含：（a）在基板上形成閘極，其中閘極包含高k氧化物；（b）藉由ALD保形地沉積SiN層而與閘極（閘極側壁上和閘極頂部表面上兩者）接觸；（c）例如藉由ALD或PECVD在SiN層的層上方保形地形成SnO_2層；（d）在SnO_2層上方保形地形成SiO_2層；（e）將結構平坦化（例如藉由化學機械研磨），其中平坦化自水平表面移除SiO_2且曝露在閘極側壁處的SnO_2及第一材料，從而提供具有曝露的SiN層、曝露的SiO_2層、及位在這些層間之曝露的SnO_2層之基板；（f）使用如本文描述的氫電漿以相對於SiN和SiO_2的高蝕刻選擇性蝕刻曝露的SnO_2，從而在SiN和SiO_2層之間形成凹入特徵部；及（g）在凹入特徵部上沉積SiO_2而不完全填充凹入特徵部，從而在第一及第二材料層之間形成氣隙。在一些實施例中，藉由氫電漿蝕刻而沉積且移除之SnO_2層的寬度係在約20-100 Å之間。

【0056】用於在FinFET元件製造中形成氣隙的詳細處理方案係在2016年12月6日授證、由Besser等人共同擁有、標題為“Air Gap Spacer Integration For Improved Fin Device Performance”之美國專利第9,515,156號中描述，其全部內容

於此藉由參照及為了描述可與本文提供之SnO_2間隔件結合使用的氣隙形成方法之目的納入本案揭示內容。根據一些實施例，在FinFET元件製造的情況中用於形成氣隙的方法係參照圖4A-4T於此描述，圖4A-4T顯示在FinFET元件製造的許多階段期間之半導體基板的立體圖。

【0057】在一些實施例中，提供具有氣隙間隔件的FinFET元件及使用犧牲性SnO_2間隔件將氣隙整合進FinFET元件中的方法。氣隙間隔件係在整合期間使用犧牲性SnO_2間隔件形成。犧牲間隔件係隨後在自對準的源極/汲極接觸形成之後移除。氣隙間隔件減少FinFET寄生電容。低寄生電容可在不損失製程窗或放寬微影疊置需求（overlay requirement）的情況下達成。

【0058】現參照圖4A-4B，分別顯示在淺溝槽隔離（STI）凹部蝕刻及假性閘極形成之後的基板。在圖4A中，基板100包含層間介電層（ILD）層110及複數鰭114。ILD層110可由低k介電質、摻雜的氧化物、可流動的氧化物、二氧化矽（SiO_2）、或其他合適材料製成。在一些示例中，複數鰭114可由矽（Si）及中介的STI氧化物製成。STI氧化物亦可位在複數鰭114的頂部表面上。

【0059】在圖4B中，假性閘極118沉積在複數鰭114上方且加以蝕刻。在一些示例中，假性閘極118係配置在ILD層110上且橫向延伸至複數鰭114。在一些示例中，假性閘極118係由多晶矽製成。硬遮罩層122可在蝕刻期間用以遮蔽假性閘極118。

【0060】現參照圖4C-4D，分別為沉積及蝕刻犧牲性SnO_2間隔件、及移除假性閘極。在圖4C中，犧牲性SnO_2間隔件128係沉積在假性閘極118的外表面周圍，且例如使用本文描述的氫電漿蝕刻加以蝕刻。在圖4D中，ILD層132係沉積在犧牲性SnO_2間隔件128周圍。此外，假性閘極118和硬遮罩層122係藉由蝕刻或

灰化移除。在一些示例中，形成假性閘極118的矽係相對於基板100的SnO_2和二氧化矽（SiO_2）材料選擇性地蝕刻。

【0061】在圖4E中，顯示替換性金屬閘極（RMG）的形成。替換性金屬閘極（RMG）138係沉積在假性閘極118的早先位置中。在一些示例中，RMG 138在1與10 nm間的預定厚度中具有高介電（HK）常數。在一些示例中，RMG 138係由高介電常數材料（諸如氧化鉿（HfO_2）、$HfSiO_2$、氧化鋁（Al_2O_3）、氧化鋯（ZrO_2）或氧化鈦（TiO_2））、金屬功函數設定材料（諸如氮化鈦（TiN）、氮化鈦鋁（TiAlN）、氮化鎢（WN_x）（其中x是整數）、碳氮化鎢（WCN_x）、鈷（Co）、或其他金屬）、及主體導電金屬（諸如鎢（W）、鈷（Co）或鋁（Al）及其合金）製成。在一些示例中，化學機械拋光（CMP）可在RMG 138的沉積之後執行。在一些示例中，在CMP之後，RMG 138的頂部表面係與犧牲性SnO_2間隔件128及ILD層132的頂部表面共平面。

【0062】現參照圖4F，RMG 138係相對於SnO_2和二氧化矽（SiO_2）選擇性及部分地蝕刻。更具體而言，RMG 138係相對於犧牲性SnO_2間隔件128和ILD層132的頂部表面以向下方向部分地及選擇性地蝕刻，以在RMG 138中產生凹部139。RMG 138的頂部表面141係位在包含犧牲性SnO_2間隔件128和ILD層132之頂部表面的平面下方。

【0063】現參照圖4G-4H，分別顯示閘極覆蓋層沉積和閘極覆蓋層化學機械研磨（CMP）。在圖4G中，閘極覆蓋層144係沉積在RMG 138的凹部中及在基板100的頂部表面上。在一些示例中，閘極覆蓋層144可由碳氧化矽（SiOC）或另一合適材料製成。在一些示例中，閘極覆蓋層144係使用如2013年12月12日公開、由Varadarajan等人共同轉讓、標題為“Remote Plasma Based Deposition of SiOC

Class Films”之美國專利申請公開號第2013/0330935號中描述的製程沉積，該美國專利申請案的全部內容於此藉由參照納入本案揭示內容。在一些示例中，閘極覆蓋層144係使用其中描述的遠程電漿製程沉積。在圖4H中，執行閘極覆蓋層144的CMP以產生到RMG 138的閘極覆蓋層145。在一些示例中，在CMP之後，閘極覆蓋層145的頂部表面係與犧牲性SnO_2間隔件128及ILD層132的頂部表面共平面。

【0064】現參照圖4I-4J，分別顯示自對準接觸（SAC）區域蝕刻、SAC填充和犧牲性間隔件移除。在圖4I中，圍繞複數鰭114的相反側之ILD層132的區域係加以遮蔽、且使用相對於閘極覆蓋層和犧牲性SnO_2間隔件選擇性蝕刻ILD而曝露複數鰭114的蝕刻步驟加以蝕刻，以產生自對準接觸區域。

【0065】在圖4J中，自對準接觸區域係使用SAC材料152填充。在一些示例中，SAC材料152包含金屬層155、或阻障層153及沉積在阻障層153上的金屬層155。在一些示例中，阻障層153包含鈦（Ti）及氮化鈦（TiN）雙層，而金屬層155包含鎢（W），然而亦可使用其他材料，諸如用於阻障的WCN_x及用於金屬層的Co。在圖4K中，移除犧牲性SnO_2間隔件128。舉例而言，犧牲性SnO_2間隔件128的蝕刻可使用本文描述的氫電漿蝕刻方法對於曝露的材料選擇性執行。舉例而言，SnO_2材料可位在SiOC層145與ILD層（例如摻雜的或未摻雜的SiO_2）132之間，且可使用氫電漿相對於這些材料選擇性地蝕刻。

【0066】現參照圖4L-4N，密封層係沉積在基板上且執行CMP以形成氣隙間隔件。在圖4L中，密封層156係沉積在基板100的頂部表面上。在沉積期間，移除犧牲性SnO_2間隔件128之後產生之氣隙159的上部係藉由密封層156部分地填充。在一些示例中，密封層156係由ILD、二氧化矽（SiO_2）、具有碳摻雜的SiO_2、

或碳氧化矽（SiOC）製成。在一些示例中，密封層156係使用電漿加強化學氣相沉積（PECVD）沉積，然而亦可使用其他沉積製程。

【0067】在一些示例中，密封層156包含使用如共同轉讓的美國專利申請公開號第2013/0330935號中描述之電漿加強化學氣相沉積所沉積的SiOC，該美國專利申請案的標題為“Remote Plasma Based Deposition of SiOC Class Films”，其先前藉由參照納入本案揭示內容。

【0068】在圖4M中，CMP係用以移除位在基板100之頂部表面上之密封層156的一部分以產生氣隙密封件157。在一些示例中，在CMP之後，氣隙密封件157的頂部表面係與閘極覆蓋層145和ILD層132的頂部表面共平面。在圖4N中，顯示沿平行於複數鰭114且與複數鰭114間隔開之平面截取之基板的橫剖面。氣隙159係位在氣隙密封件157下方。

【0069】現參照圖4O，蝕刻停止層164係沉積在基板100的頂部表面上。在一些示例中，蝕刻停止層164包含SiOC，然而亦可使用其他材料。在一些示例中，SiOC係如共同轉讓的美國專利申請公開號第2013/0330935號中所描述加以沉積，該美國專利申請案的標題為“Remote Plasma Based Deposition of SiOC Class Films”，其先前藉由參照納入本案揭示內容。ILD層166係沉積在蝕刻停止層164上。

【0070】現參照圖4P-4T，執行諸多不同蝕刻步驟以打開基板的不同部分。在圖4P-4Q中，顯示諸多蝕刻步驟的示例。在圖4P中，ILD層166係加以蝕刻以選擇性地曝露蝕刻停止層164之部分190中之下方的層。在圖4Q中，蝕刻停止層164係加以蝕刻以打開閘極覆蓋層145、氣隙密封件157、金屬層155、和ILD層132的一部分以供進一步處理。

【0071】在圖4R和4S中，ILD層166和蝕刻停止層164係加以蝕刻以選擇性地曝露基板100之部分192中之下方的層。如圖4S所示，打開氣隙密封件157、金屬層155、和ILD層132的不同部分以供進一步處理。

【0072】在圖4T中，將ILD層166圖案化及蝕刻以使基板100的部分198和200中之下方的層曝露。打開氣隙密封件157、金屬層155、RMG 138、和ILD層132的部分以供進一步處理。正如可理解，可打開諸多其他的子層以供進一步處理。

其他實施例

【0073】在諸多其他實施例中，SnO_2層和氫電漿蝕刻可在以下應用中使用。

【0074】在一些實施例中，SnO_2層係用作假性閘極來取代常用的多晶矽假性閘極。舉例而言，在此實施例中，修改先前參照圖4A-4T描述的製程流程，使得假性閘極118係由SnO_2製成，而間隔件128係由不包含SnO_2的材料製成。舉例而言，在此實施例中，間隔件128可為SiN間隔件。所修改的方法涉及使用H_2電漿化學品蝕刻假性閘極118以供移除假性閘極。在一實施方式中，該方法涉及：在半導體基板上形成SnO_2假性閘極；在SnO_2假性閘極存在的情況下處理半導體基板，其中處理步驟可涉及半導體基板上之材料的沉積及/或蝕刻；使用在包含H_2之處理氣體中形成的電漿蝕刻SnO_2假性閘極以形成取代假性閘極的凹入特徵部；及將高k介電材料沉積至所形成的凹入特徵部中，從而形成取代假性閘極的閘極。在一些實施例中，在假性閘極移除期間的氫電漿蝕刻涉及使用在包含至少約50%H_2的處理氣體下及在小於約100℃之溫度下所形成的電漿進行蝕刻。在一

些實施例中，蝕刻係對從由SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及SiCN所組成的群組選擇之一或更多材料選擇性地執行，其中這些材料可在蝕刻之前在基板上曝露或可在蝕刻期間變為曝露的。將SnO_2用於假性閘極和針對假性閘極蝕刻使用H_2電漿的益處包含相對於SiO_2和低k間隔件易於選擇性地移除SnO_2、及抗高溫。

【0075】在其他實施例中，SnO_2層係用作BEOL應用中的高電阻電阻器。此係有用的應用，因為BEOL中沒有多晶矽。

【0076】在其他實施例中，SnO_2層係用作植入物屏蔽（implant screen）。此應用需要：低沉積溫度，其可用於SnO_2沉積；及高選擇性的移除，其可藉由氫電漿蝕刻達成。有利地，當使用氫電漿移除時不需HF浸漬。

設備

【0077】本文描述的氫電漿蝕刻方法可在諸多設備中執行。合適的設備包含蝕刻處理腔室、配置成在蝕刻期間將基板固定在適當位置之蝕刻處理腔室中的基板支架、及配置用於在處理氣體中產生電漿的電漿產生機構。

【0078】合適設備的示例包含感應耦合電漿（ICP）反應器，其在某些實施例中亦可適用於循環的沉積及活化製程：包含原子層蝕刻（ALE）操作及原子層沉積（ALD）操作。如此ICP反應器亦已在2016年6月7日授證且標題為“Method for Forming a Mask by Etching Conformal Film on Patterned Ashable Hardmask”之美國專利第9,362,133號中描述，其全部內容於此藉由參照及為了所有目的納入本案揭示內容。雖然本文詳細描述ICP反應器，但應理解亦可使用電容耦合電漿反應器。

【0079】圖5示意性地顯示適合用於執行本文描述之氫電漿蝕刻之感應耦合電漿整合蝕刻及沉積設備400的橫剖面圖，該設備的其中一示例係Kiyo®反應器，由Lam Research Corp. of Fremont, CA所製造。該感應耦合電漿設備400包含由腔室壁401及窗411結構上界定的整體處理腔室424。腔室壁401可由不銹鋼或鋁製造。窗411可由石英或其他介電材料製造。選用性的內部電漿格柵450將整體處理腔室分割成上子腔室402及下子腔室403。在大部分的實施例中，可將電漿格柵450移除，從而使用由子腔室402及403構成的腔室空間。卡盤417係位在下子腔室403之內接近底部內表面。卡盤417係配置成接收及固持半導體晶圓419，在該半導體晶圓419上執行蝕刻及沉積製程。卡盤417可為靜電卡盤，用於當晶圓419存在時支撐晶圓419。在一些實施例中，邊緣環（未顯示）環繞卡盤417，且當晶圓419存在卡盤417上時，該邊緣環具有與晶圓419的頂部表面大致平坦的上表面。卡盤417亦包含用於夾持及解除夾持晶圓419的靜電電極。濾波器及DC箝位電源（DC clamp power supply）（未顯示）可針對此目的而設置。亦可設置用於將晶圓419抬升遠離卡盤417的其他控制系統。可使用RF電源423使卡盤417帶電荷。RF電源423係藉由連接件427連接至匹配電路421。該匹配電路421係藉由連接件425連接至卡盤417。以此方式，將RF電源423連接至卡盤417。在諸多實施例中，依據根據所揭示的實施例執行的製程，靜電卡盤的偏壓功率可設在約50 Vb或可設在不同的偏壓功率。舉例而言，偏壓功率可在約20 Vb和約100 Vb之間、或在約30 Vb和約150 Vb之間。

【0080】用於產生電漿的元件包含位在窗411之上的線圈433。在一些實施例中，線圈在所揭示的實施例中並未使用。線圈433係由導電材料製成，且包含至少一完整匝。在圖5中顯示之線圈433的示例包含三匝。線圈433的橫剖面係以

符號表示：具有「X」的線圈旋轉延伸進入頁面，而具有「●」的線圈旋轉延伸出頁面。用於產生電漿的元件亦包含RF電源441，其配置成將RF功率供應至線圈433。通常，RF電源441係藉由連接件445連接至匹配電路439。該匹配電路439係藉由連接件443連接至線圈433。以此方式，RF電源441係連接至線圈433。選用性的法拉第屏蔽449a係位在線圈433與窗411之間。法拉第屏蔽449a相對於線圈433可維持一間隔開的關係。在一些實施例中，法拉第屏蔽449a係設在窗411的正上方。在一些實施例中，法拉第屏蔽449b係在窗411與卡盤417之間。在一些實施例中，法拉第屏蔽449b相對於線圈433並非維持一間隔開的關係。舉例而言，法拉第屏蔽449b可在窗411的正下方而沒有間隙。線圈433、法拉第屏蔽449a、及窗411係各自配置成實質上彼此平行。法拉第屏蔽449a可防止金屬或其他物種沉積在處理腔室424的窗411上。

【0081】處理氣體（例如H_2及He等）可通過位在上子腔室402的一或更多主氣體流入口460及/或通過一或更多側氣體流入口470流入至處理腔室。同樣，雖然未明確顯示，類似的氣體流入口可用以將處理氣體供應至電容耦合電漿處理腔室。真空幫浦（例如一或二階段機械乾式幫浦及/或渦輪分子幫浦440）可用以將處理氣體泵出處理腔室424，且在處理腔室424之內維持壓力。舉例而言，真空幫浦可在沖洗操作期間用以抽空下子腔室403。閥控制的導管可用以將真空幫浦流體連接至處理腔室424，以選擇性地控制由真空幫浦提供之真空環境的應用。此可在操作的電漿處理期間使用閉迴路控制的流量限制裝置（諸如節流閥（未顯示）或鐘擺閥（未顯示））進行。同樣，亦可使用連接至電容耦合電漿處理腔室的真空幫浦及閥控制流體連接件。

【0082】在設備400的操作期間，諸如含H_2氣體的一或更多處理氣體可通過氣體流入口460及/或470供應。在某些實施例中，處理氣體可僅通過主氣體流入口460、或僅通過側氣體流入口470供應。在一些情況下，圖中顯示的氣體流入口可由例如更複雜的氣體流入口、一或更多噴淋頭取代。法拉第屏蔽449a及/或選用性的格柵450可包含允許將處理氣體遞送至處理腔室424的內部通道及孔洞。法拉第屏蔽449a及選用性的格柵450之其中一或兩者可作為用於遞送處理氣體的噴淋頭。在一些實施例中，液體汽化及遞送系統可位於處理腔室424的上游，使得一旦液體反應物或前驅物被汽化，則汽化的反應物或前驅物係經由氣體流入口460及/或470引入至處理腔室424。

【0083】射頻功率係從RF電源441供應至線圈433，以造成RF電流流經線圈433。流經線圈433的RF電流在線圈433周圍產生電磁場。該電磁場在上子腔室402之內產生感應電流。所產生的諸多離子及自由基與晶圓419的物理及化學交互作用蝕刻晶圓419的特徵部及在晶圓419上選擇性地沉積層。

【0084】若使用電漿格柵450而使得有上子腔室402及下子腔室403兩者，則感應電流作用於存在上子腔室402中的氣體，以在上子腔室402中產生電子–離子電漿。選用性的內部電漿格柵450限制下子腔室403中之熱電子的量。在一些實施例中，設備400係被設計及操作成使得存在下子腔室403中的電漿係離子–離子電漿。

【0085】上部的電子–離子電漿及下部的離子–離子電漿兩者可包含正及負離子，然而離子–離子電漿將具有較大之負離子對正離子的比例。揮發性的蝕刻及/或沉積副產物可自下子腔室403通過埠422而移除。舉例而言，在使用H_2電漿蝕刻SnO_2期間產生的SnH_4可在沖洗及/或抽空期間通過埠422而移除。本文揭

示的卡盤417可在範圍約10℃與約250℃間之升高的溫度下操作。溫度將取決於製程操作及特定配方。在一些實施例中，設備係加以控制以在小於約100℃的溫度下執行蝕刻。

【0086】在器材（未顯示）係安裝於無塵室或製造設施中時，設備400可耦接至該器材。器材包含提供處理氣體、真空、溫度控制、及環境粒子控制的管路。當這些器材係安裝在目標製造設施中時，該等器材係耦接至設備400。此外，設備400可耦接至傳送腔室，該傳送腔室允許機器人使用典型自動化技術將半導體晶圓傳送進出設備400。

【0087】在一些實施例中，系統控制器430（其可包含一或更多物理或邏輯控制器）控制處理腔室424的一些或全部操作。系統控制器430可包含一或更多記憶體裝置及一或更多處理器。在一些實施例中，設備400包含用於控制處理氣體之流率的切換系統。在一些實施例中，控制器包含用於執行本文所提供方法之任一者之步驟的程式指令。

【0088】在一些實施方式中，系統控制器430係一系統的一部分，其可為上述示例的一部分。此等系統可包括半導體處理設備，其包含一或多個處理工具、一或多個腔室、用於處理的一或多個平臺、及/或特定處理元件（晶圓底座、氣流系統等）。這些系統可與電子設備整合，該等電子設備用於在半導體晶圓或基板的處理之前、期間、及之後控制這些系統的操作。電子設備可整合進系統控制器430，其可控制該一或多個系統的各種元件或子部分。依據系統的處理參數及/或類型，系統控制器可被編程以控制此處揭示的任何製程，包含：處理氣體的遞送、溫度設定（例如加熱及/或冷卻）、壓力設定、真空設定、功率設定、射頻（RF）產生器設定、RF匹配電路設定、頻率設定、流率設定、流體遞送設定、

位置及操作設定、出入一工具和其他轉移工具及/或與特定系統連接或介接之裝載鎖定部的晶圓轉移。

【0089】廣義地說，系統控制器430可定義為具有接收指令、發布指令、控制操作、啟用清潔操作、啟用端點量測等之諸多積體電路、邏輯、記憶體、及/或軟體的電子設備。積體電路可包含呈儲存程式指令之韌體形式的晶片、數位訊號處理器（DSP）、定義為特殊應用積體電路（ASIC）的晶片、及/或執行程式指令（例如軟體）的一或更多微處理器或微控制器。程式指令可為以諸多個別設定（或程式檔案）之形式與控制器通訊的指令，該等設定定義對於半導體晶圓或系統執行特殊製程的操作參數。在一些實施例中，該等操作參數可為由製程工程師定義之配方的部分，以在一或更多層、材料、金屬、氧化物、矽、二氧化矽、表面、電路、及/或晶圓的晶粒製造或移除期間完成一或更多處理步驟。

【0090】在一些實施方式中，系統控制器430可為電腦的一部分或耦接至電腦，該電腦係與系統整合、耦接至系統、以其他方式網路連至系統、或以上方式組合。舉例而言，控制器可為在「雲端」或晶圓廠主機電腦系統的整體或部分，可允許晶圓處理的遠端存取。該電腦可允許針對系統的遠端存取以監控製造操作的當前進度、檢查過往製造操作的歷史、檢查來自複數製造操作的趨勢或性能度量，以改變目前處理的參數，以設定目前操作之後的處理步驟，或啟動新的製程。在一些示例中，遠程電腦（例如伺服器）可經由網路提供製程配方給系統，該網路可包含區域網路或網際網路。遠程電腦可包含使用者介面，其允許參數及/或設定的輸入或編程，這些參數及/或設定係接著從遠程電腦被傳遞至系統。在一些示例中，系統控制器430接收數據形式的指令，該數據明確指定於一或更多操作期間將執行之各個處理步驟的參數。應理解參數可專門用於將執行之製程

的類型及控制器受配置所介接或控制之工具的類型。因此，如上所述，系統控制器430可為分散式的，諸如藉由包含一或更多分散的控制器，其由網路連在一起且朝共同的目的（諸如此處描述的製程及控制）作業。一個用於此等目的之分散式控制器的示例將為腔室中的一或更多積體電路，其連通位於遠端（諸如在平台級或作為遠程電腦的一部分）之一或更多積體電路，而結合以控制腔室中的製程。

【0091】不受限制地，示例系統可包含電漿蝕刻腔室或模組、沉積腔室或模組、旋轉-潤洗腔室或模組、金屬電鍍腔室或模組、清潔腔室或模組、斜邊蝕刻腔室或模組、物理氣相沉積（PVD）腔室或模組、化學氣相沉積（CVD）腔室或模組、ALD腔室或模組、ALE腔室或模組、離子植入腔室或模組、軌道腔室或模組、及任何可關聯或使用於半導體晶圓的製造及/或生產中的其他半導體處理系統。

【0092】如上所述，依據將由工具執行的製程步驟或複數製程步驟，控制器可與下列其中一或更多者通訊：其他工具電路或模組、其他工具元件、群組工具、其他工具介面、毗鄰工具、相鄰工具、位於工廠各處的工具、主電腦、另一控制器、或用於材料傳送的工具，該等用於材料傳送的工具將晶圓的容器攜帶進出半導體生產工廠內的工具位置及/或負載端。

【0093】圖6描繪具有諸多模組的半導體製程群組架構，該等模組與真空傳送模組538（VTM）介接。在多個儲存器材及處理模組之中「傳送」晶圓之諸多模組的配置可稱為「群組工具架構」系統。氣室530（亦稱為裝載鎖定部或傳送模組）與VTM 538介接，該VTM 538從而與四個處理模組520a-520d介接，該等處理模組520a-520d可個別地最佳化以執行諸多製造製程。舉例而言，可實施

處理模組520a-520d以執行基板蝕刻、沉積、離子佈植、晶圓清潔、濺射、及/或其他半導體製程。在一些實施例中，SnO_2沉積及SnO_2蝕刻係在相同的模組中執行。在一些實施例中，SnO_2沉積及SnO_2蝕刻係在相同工具的不同模組中執行。基板蝕刻處理模組的一或更多者（520a-520d的任一者）可如本文所揭示加以實施，例如，用於沉積保形膜、選擇性地蝕刻SnO_2、形成氣隙、及其他根據所揭示實施例之適合的功能。氣室530及處理模組520a-520d可稱為「工作站」。各工作站具有將該工作站與VTM 538介接的面部（facet）536。在各面部的內部，感測器1-18係用以當晶圓526在個別的工作站之間移動時偵測其通過。

【0094】機器人522在工作站之間傳送晶圓526。在一實施例中，機器人522具有一手臂，而在另一實施例中，機器人522具有二手臂，其中各手臂具有末端執行器524以拾取晶圓（諸如晶圓526）以供傳輸。在大氣傳送模組（ATM）540中的前端機器人532係用以將晶圓526由裝載埠模組（LPM）542中的卡匣或前開式晶圓傳送盒（Front Opening Unified Pod, FOUP）534傳送至氣室530。在處理模組520a-520d內部的模組中心528係用於放置晶圓526的一個位置。在ATM 540中的對準器544係用以對準晶圓。

【0095】在一示例性的處理方法中，晶圓係置放於LPM 542中之FOUP 534的其中一者內。前端機器人532將晶圓由FOUP 534傳送至對準器544，該對準器544允許晶圓526在被蝕刻或被處理之前正確地置中。在經過對準之後，晶圓526係藉由前端機器人532移動進入氣室530。由於氣室530具有使ATM 540與VTM 538之間的環境相匹配的能力，因此晶圓526係能夠在不受損害的情況下於兩壓力環境之間移動。從氣室530，藉由機器人522將晶圓526經由VTM 538移動進入處理模組520a-520d的其中一者。為達成此晶圓移動，機器人522使用在其各手臂

上的末端執行器524。一旦晶圓526已被處理，其係藉由機器人522自處理模組520a-520d移動至氣室530。由此，晶圓526可由前端機器人532移動至FOUP 534的其中一者或對準器544。

【0096】應注意控制晶圓移動的電腦對於群組架構可為本地的、或可設在生產樓層（manufacturing floor）中之群組架構的外部、或位於遠端位置中並經由網路連接至群組架構。以上關於圖5描述的控制器可與圖6的工具一起執行。包含用於控制根據本發明之製程操作的指令之機器可讀媒體可耦接至系統控制器。

【0097】在一些實施例中，提供一種設備，其中該設備包含：具有基板支架的處理腔室，該基板支架配置成在蝕刻期間用於固持半導體基板；電漿產生器，其係配置成用於在處理氣體中產生電漿；及控制器。該控制器包含程式指令，用於實施本文所描述方法的任一者。在一實施例中，控制器包含程式指令，用於致使在小於約100℃的溫度下在半導體基板上發生SnO_2層的蝕刻，其中致使該蝕刻發生包含致使半導體基板曝露於在包含至少約50%H_2之處理氣體中形成的電漿。

【0098】在另一實施態樣中，提供非暫態電腦機器可讀媒體，其中，其包含程式碼，用於致使在小於約100℃的溫度下在半導體基板上發生SnO_2層的蝕刻，其中致使該蝕刻發生包含致使半導體基板曝露於在包含至少約50%H_2之處理氣體中形成的電漿。

【0099】在另一實施態樣中，提供一種用於在半導體基板上形成氣隙的系統。該系統包含：一或更多沉積腔室；一或更多蝕刻腔室；及一控制器。該控制器包含用於執行本文描述之任何氣隙形成方法的程式指令。舉例而言，該控制器可包含用於致使下列步驟的指令：(i)在具有曝露之第一材料層、曝露之第二材料

層、及配置在第一材料層與第二材料層間之曝露的SnO_2層之半導體基板上，相對於第一及第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻曝露的SnO_2，且從而在第一及第二材料之間形成凹入特徵部；及(ii)在凹入特徵部上方沉積第三材料而不完全填充凹入特徵部，且從而在第一材料層與第二材料層之間形成氣隙。

【0100】在另一實施態樣中，系統包含本文描述之設備和系統的其中任一者及步進器。

【0101】在另一實施態樣中，提供非暫態電腦機器可讀媒體，其中，其包含程式碼，用於：(i)在具有曝露之第一材料層、曝露之第二材料層、及配置在第一材料層與第二材料層間之曝露的SnO_2層之半導體基板上，相對於第一及第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻曝露的SnO_2，且從而在第一及第二材料之間形成凹入特徵部；及(ii)在凹入特徵部上方沉積第三材料而不完全填充凹入特徵部，且從而在第一材料層與第二材料層之間形成氣隙。

【0102】本文描述的設備及製程可結合微影圖案化的工具或製程（例如半導體元件、顯示器、LED、太陽光電板等的製造或生產）使用。通常，雖然不一定，如此設備及製程將在共同製造設施內一起使用或執行。膜的微影圖案化一般包含下列步驟的一些或全部者，各步驟係以幾個可能的工具達成：（1）工件（即基板）上光阻的塗佈，其使用旋塗或噴塗式的工具；（2）光阻的固化，其使用熱板或加熱爐或UV固化工具；（3）以諸如晶圓步進器的工具將光阻曝露於可見光或UV或x射線光；（4）顯影光阻以便選擇性地移除光阻且從而使其圖案化，其使用諸如溼檯的工具；（5）藉由使用乾式或電漿輔助蝕刻工具將光阻圖案轉移進入底膜或工件；及（6）使用諸如RF或微波電漿光阻剝除器的工具移除光阻。

【符號說明】

【0103】

100	基板
110	層間介電層（ILD）層
114	鰭
118	假性閘極
122	硬遮罩層
128	間隔件
132	ILD層
138	替換性金屬閘極（RMG）
139	凹部
141	頂部表面
144	閘極覆蓋層
145	閘極覆蓋層
152	SAC材料
153	阻障層
155	金屬層
156	密封層
157	氣隙密封件
159	氣隙
164	蝕刻停止層

166	ILD層
190	部分
192	部分
198	部分
200	部分
301	閘極
303	基板
305	第一材料層
307	SnO_2層
309	第二材料層
311	凹入特徵部
313	第三材料層
400	設備
401	腔室壁
402	上子腔室
403	下子腔室
411	窗
417	卡盤
419	晶圓
421	匹配電路
422	埠
423	RF電源

424	處理腔室
425	連接件
427	連接件
430	系統控制器
433	線圈
439	匹配電路
440	幫浦
441	RF電源
443	連接件
445	連接件
449a	法拉第屏蔽
449b	法拉第屏蔽
450	格柵
460	主氣體流入口
470	側氣體流入口
520a	處理模組
520b	處理模組
520c	處理模組
520d	處理模組
522	機器人
524	末端執行器
526	晶圓

528	模組中心
530	氣室
532	前端機器人
534	前開式晶圓傳送盒（FOUP）
536	面部
538	真空傳送模組（VTM）
540	大氣傳送模組（ATM）
542	裝載埠模組（LPM）
544	對準器
1101	操作
1103	操作
1105	操作
2201	操作
2203	操作
2205	操作

【發明申請專利範圍】

【請求項1】一種在半導體基板上形成氣隙的系統，該系統包含：

(a) 一或更多沉積處理腔室；

(b)一或更多蝕刻處理腔室；及

(c)一控制器，包含程式指令，用於致使下列步驟：

(i) 在具有曝露之第一材料層、曝露之第二材料層、及配置在該第一材料層與該第二材料層間之曝露的SnO_2層之半導體基板上，相對於該第一和該第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻該曝露的SnO_2，且從而在該第一和該第二材料之間形成凹入特徵部；及

(ii) 在該凹入特徵部上方沉積第三材料而不完全填充該凹入特徵部，且從而在該第一材料層和該第二材料層之間形成該氣隙。

【請求項2】如請求項1之在半導體基板上形成氣隙的系統，更包含一步進器。

【請求項3】一種處理半導體基板的方法，該方法包括：

(a) 在該半導體基板上形成SnO_2假性閘極；

(b) 在該SnO_2假性閘極存在的情況下處理該半導體基板；

(c) 使用在包含H_2之處理氣體中形成的電漿蝕刻該SnO_2假性閘極以形成取代該假性閘極的一凹入特徵部；

(d) 將高k介電材料沉積至所形成的該凹入特徵部中，從而形成取代該假性閘極的閘極。

【請求項4】一種處理半導體基板的系統，該系統包含：

(a) 一或更多沉積處理腔室；

(b)一或更多蝕刻處理腔室；及

(c)一控制器，包含程式指令，用於致使下列步驟：

(i) 在該半導體基板上形成SnO_2假性閘極；

(ii) 在該SnO_2假性閘極存在的情況下處理該半導體基板；

(iii) 使用在包含H_2之處理氣體中形成的電漿蝕刻該SnO_2假性閘極以形成取代該假性閘極的凹入特徵部；

(iv) 將高k介電材料沉積至所形成的該凹入特徵部中，從而形成取代該假性閘極的閘極。

【請求項5】一種處理半導體基板的方法，該方法包括：

(a) 依序曝露該半導體基板於含錫前驅物及含氧前驅物以沉積SnO_2且形成具有曝露的SnO_2層的半導體基板；

(b) 在小於約100°C之溫度下蝕刻該SnO_2層，其中該蝕刻之步驟包括曝露該半導體基板於包含至少約50% H_2的處理氣體中形成的電漿。

【請求項6】如請求項5之處理半導體基板的方法，其中該含錫前驅物具有一通式R_x-Sn-A_{4-x}，其中，R係選自由氫、烷基、烯基、及炔基組成的群組，且A = YR'_z，其中Y為N，R'係選自由烷基、烯基、及炔基組成的群組，x為0、1、2、或3，且z為2。

【請求項7】如請求項6之處理半導體基板的方法，其中，A = YR'_z中各個R'係相同的。

【請求項8】如請求項7之處理半導體基板的方法，其中，該含錫前驅物為四(二甲基胺基)錫。

【請求項9】如請求項6之處理半導體基板的方法，其中，$A = YR'_z$中的各個R’係不同的。

【請求項10】如請求項9之處理半導體基板的方法，其中，該含錫前驅物為四(乙基甲基胺基)錫。

【請求項11】如請求項6之處理半導體基板的方法，其中，該含錫前驅物係選自由下列各者組成的群組：N^2,N^3-二(三級丁基)-丁烷-2,3-二胺基-錫(II)、及1,3-雙(1,1-二甲基乙基)-4,5-二甲基-(4R,5R)-1,3,2-二氮雜錫戊環-2-亞基。

【請求項12】如請求項5之處理半導體基板的方法，其中，該含錫前驅物為烷基取代的錫醯胺。

【請求項13】如請求項5之處理半導體基板的方法，其中，其中該含氧前驅物係選自由下列各者組成的群組：氧、臭氧、水、過氧化氫、及NO。

【請求項14】如請求項5之處理半導體基板的方法，其中，沉積該SnO_2層之步驟包含在將該半導體基板曝露於該含錫前驅物的步驟與將該基板曝露於該含氧前驅物的步驟之間利用惰性氣體沖洗處理腔室。

【請求項15】如請求項5之處理半導體基板的方法，其中，沉積該SnO_2層之步驟係在使該含錫前驅物及該含氧前驅物之各者各自維持於氣相的處理參數下執行。

【請求項16】如請求項15之處理半導體基板的方法，其中，該處理參數為在約20℃至約500℃之間的處理腔室之溫度。

【請求項17】如請求項15之處理半導體基板的方法，其中，該處理參數為使該含錫前驅物及該含氧前驅物之各者各自以約10 sccm至約10,000 sccm流動的流率。

【請求項18】如請求項15之處理半導體基板的方法，其中，該含錫前驅物及該含氧前驅物之各者係各自與一載氣相結合，該載氣係選自由氦、氬、及氮組成的群組。

【請求項19】如請求項15之處理半導體基板的方法，其中，沉積該SnO_2層之步驟係利用選自由下列各者組成的群組之化學氣相沉積處理之其中至少一者執行：原子層沉積、電漿輔助原子層沉積、及電漿輔助化學氣相沉積。

【請求項20】一種用於半導體處理的設備，該設備包含至少一處理腔室及一控制器，該控制器包含配置以引致下列步驟的程式指令：

(i) 依序曝露該半導體基板於含錫前驅物及含氧前驅物以沉積SnO_2且形成具有曝露的SnO_2層的半導體基板；

(ii) 在小於約100°C之溫度下蝕刻該SnO_2層，其中該蝕刻之步驟包含曝露該半導體基板於包含至少約50% H_2的處理氣體中形成的電漿。

【請求項21】如請求項20之用於半導體處理的設備，其中，該含錫前驅物具有一通式R_x-Sn-A_{4-x}，其中R係選自由氫、烷基、烯基、及炔基組成的群組，且A = YR'_z，其中Y = N，R'係選自由烷基、烯基、及炔基組成的群組，x為0、1、2、或3，且z為2。

【請求項22】一種在半導體基板上建立氣隙的方法，該方法包含：

(a) 提供具有曝露之第一材料層、曝露之第二材料層、及配置在該第一材料層與該第二材料層間之曝露的SnO_2層之半導體基板；其中該曝露的SnO_2層係藉由將該半導體基板依序曝露於含錫前驅物及含氧前驅物而形成；

(b) 相對於該第一及該第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻該曝露的SnO_2，且從而在該第一及該第二材料之間形成凹入特徵部；及

(c) 在該凹入特徵部上方沉積第三材料而不完全填充該凹入特徵部，且從而在該第一材料層與該第二材料層之間形成該氣隙。

【請求項23】一種在半導體基板上形成氣隙的系統，該系統包含：

(a) 一或更多沉積處理腔室；

(b) 一或更多蝕刻處理腔室；及

(c) 一控制器，包含程式指令，用於致使下列步驟：

(i) 藉由將半導體基板依序曝露於含錫前驅物及含氧前驅物而形成曝露的SnO_2層；

(ii) 在具有曝露之第一材料層、曝露之第二材料層、及配置在該第一材料層與該第二材料層間之該曝露的SnO_2層之半導體基板上，相對於該第一及該第二材料兩者使用氫電漿蝕刻化學品選擇性地蝕刻該曝露的SnO_2，且從而在該第一及該第二材料之間形成凹入特徵部；及

(iii) 在該凹入特徵部上方沉積第三材料而不完全填充該凹入特徵部，且從而在該第一材料層與該第二材料層之間形成該氣隙。

【請求項24】一種用於處理半導體基板的方法，該方法包含：

(a) 藉由將該半導體基板依序曝露於含錫前驅物及含氧前驅物而在該半導體基板上形成SnO_2假性閘極；

(b) 在該SnO_2假性閘極存在的情況下處理該半導體基板；

(c) 使用在包含H_2之處理氣體中形成的電漿蝕刻該SnO_2假性閘極以形成取代該假性閘極的凹入特徵部；

(d) 將高k介電材料沉積至所形成的該凹入特徵部中，從而形成取代該假性閘極的閘極。

【請求項25】一種用於處理半導體基板的方法，該方法包含：

(a) 一或更多沉積處理腔室；

(b) 一或更多蝕刻處理腔室；及

(c) 一控制器，包含程式指令，用於致使下列步驟：

(i) 藉由將該半導體基板依序曝露於含錫前驅物及含氧前驅物而在該半導體基板上形成SnO_2假性閘極；

(ii) 在該SnO_2假性閘極存在的情況下處理該半導體基板；

(iii) 使用在包含H_2之處理氣體中形成的電漿蝕刻該SnO_2假性閘極以形成取代該假性閘極的凹入特徵部；

(iv) 將高k介電材料沉積至所形成的該凹入特徵部中，從而形成取代該假性閘極的閘極。

【發明圖式】

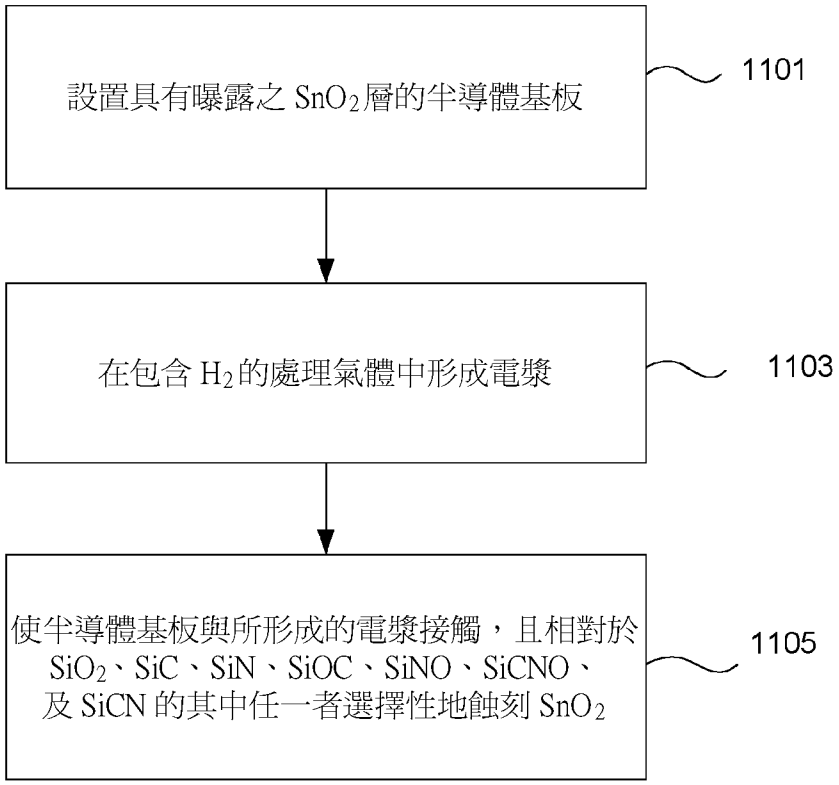
設置具有曝露之 SnO_2 層的半導體基板
1101
在包含 H_2 的處理氣體中形成電漿
1103
使半導體基板與所形成的電漿接觸，且相對於 SiO_2、SiC、SiN、SiOC、SiNO、SiCNO、及 SiCN 的其中任一者選擇性地蝕刻 SnO_2
1105

圖 1

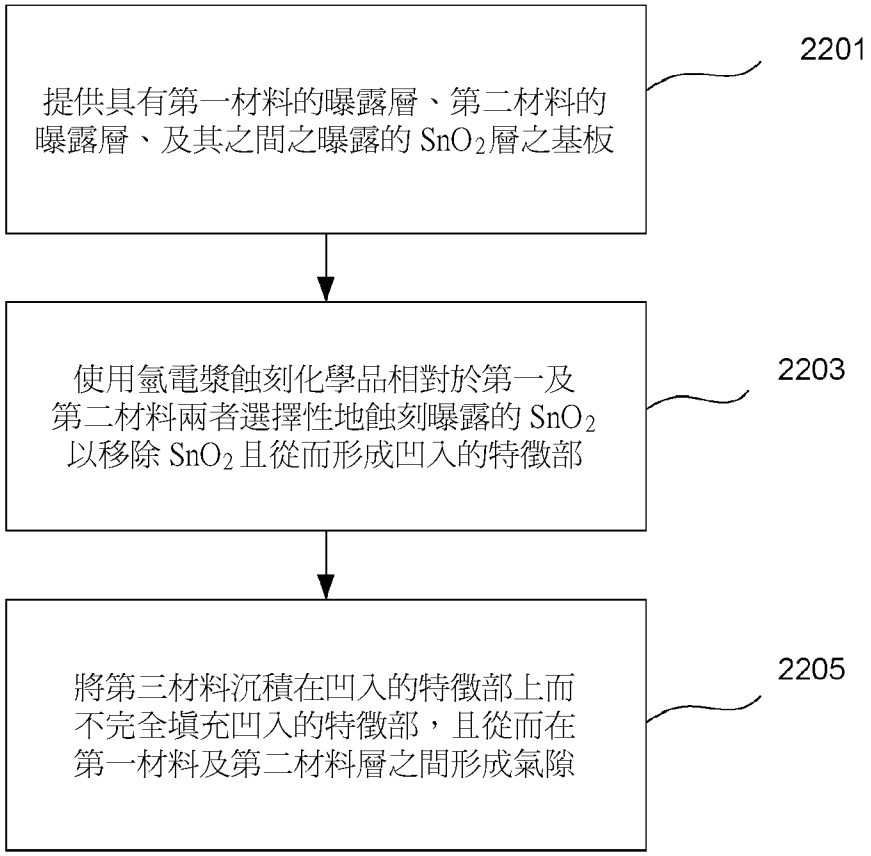
提供具有第一材料的曝露層、第二材料的曝露層、及其之間之曝露的 SnO_2 層之基板
2201
使用氫電漿蝕刻化學品相對於第一及第二材料兩者選擇性地蝕刻曝露的 SnO_2 以移除 SnO_2 且從而形成凹入的特徵部
2203
將第三材料沉積在凹入的特徵部上而不完全填充凹入的特徵部，且從而在第一材料及第二材料層之間形成氣隙
2205

圖 2

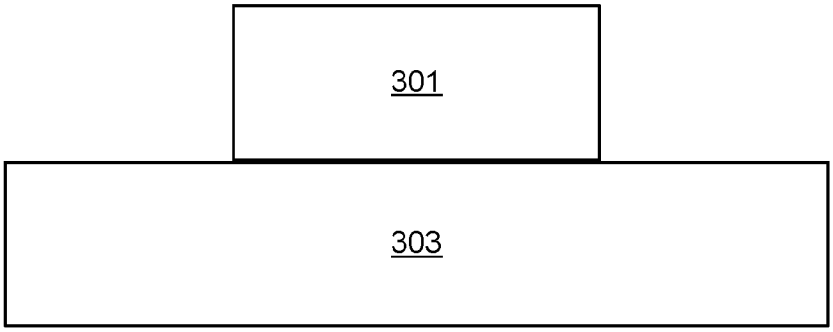

圖 3A

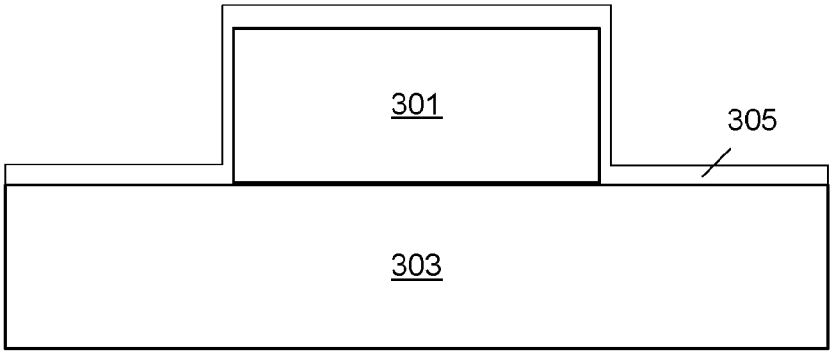

圖 3B

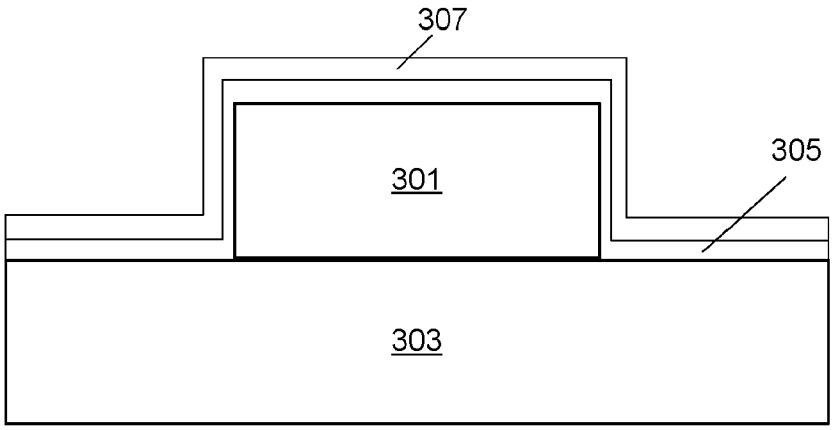

圖 3C

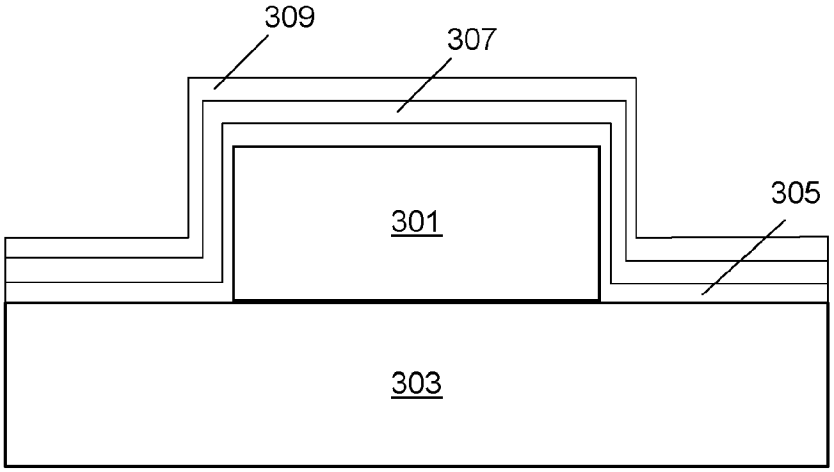

圖 3D

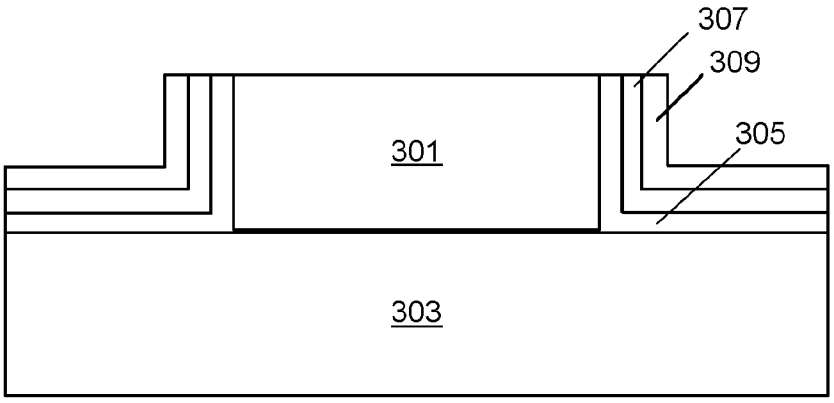

圖 3E

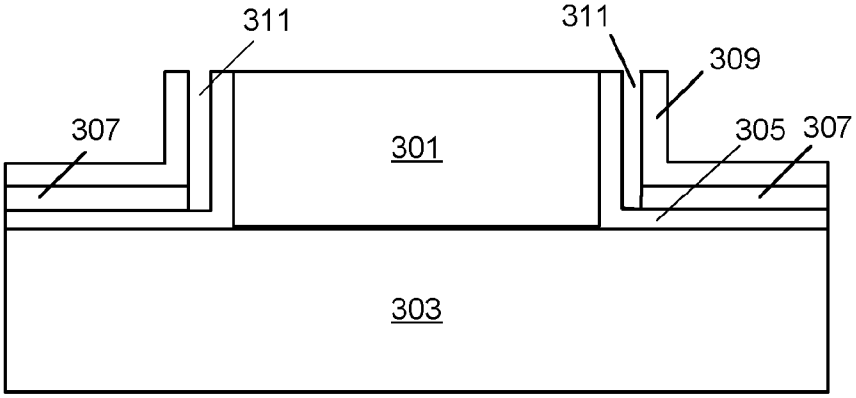

圖 3F

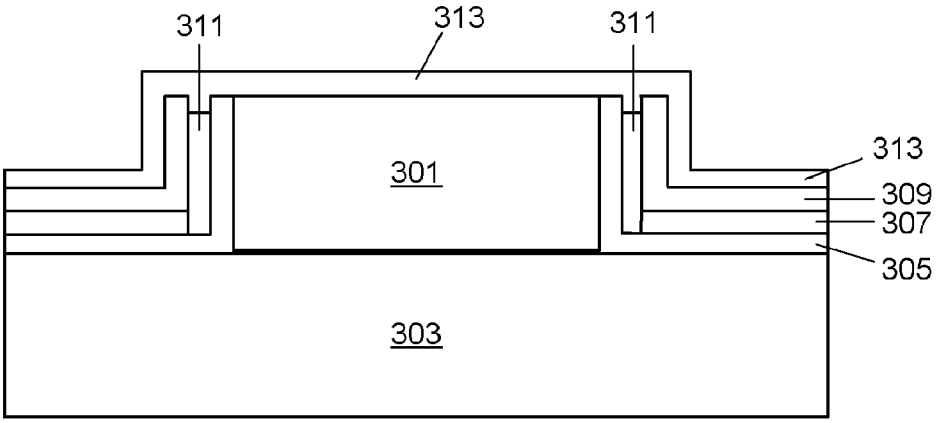

圖 3G

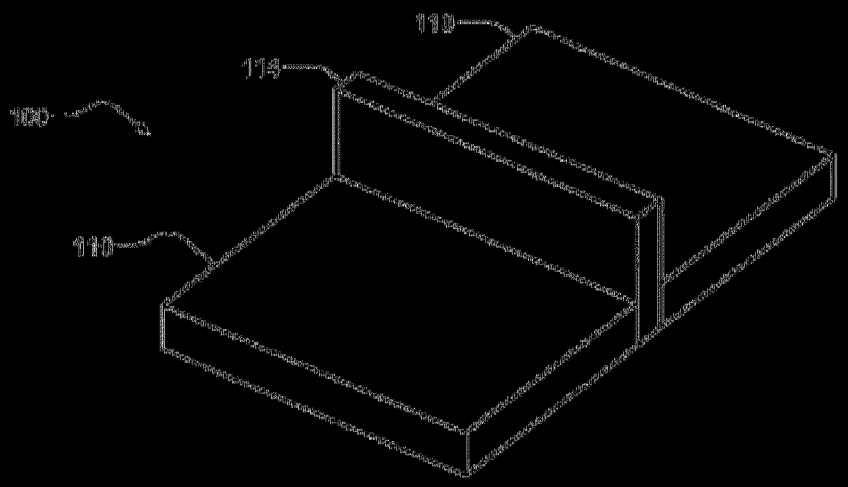

圖 1A

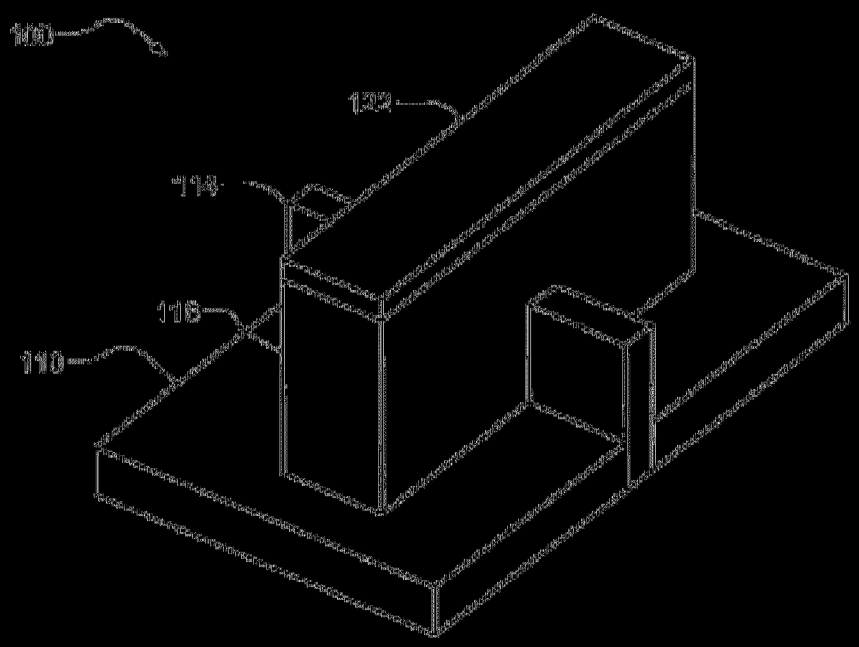

圖 1B

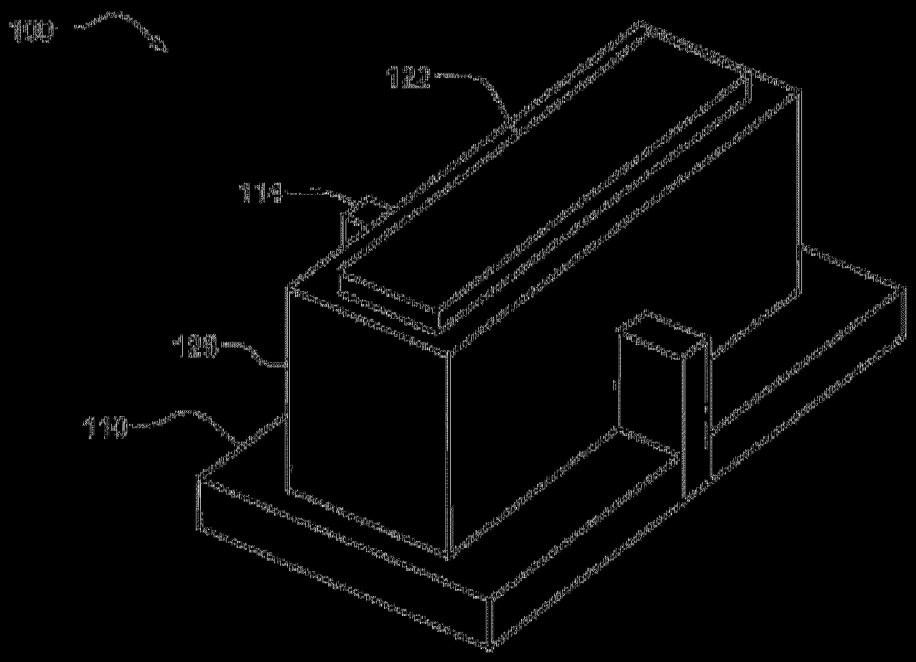

圖 4C

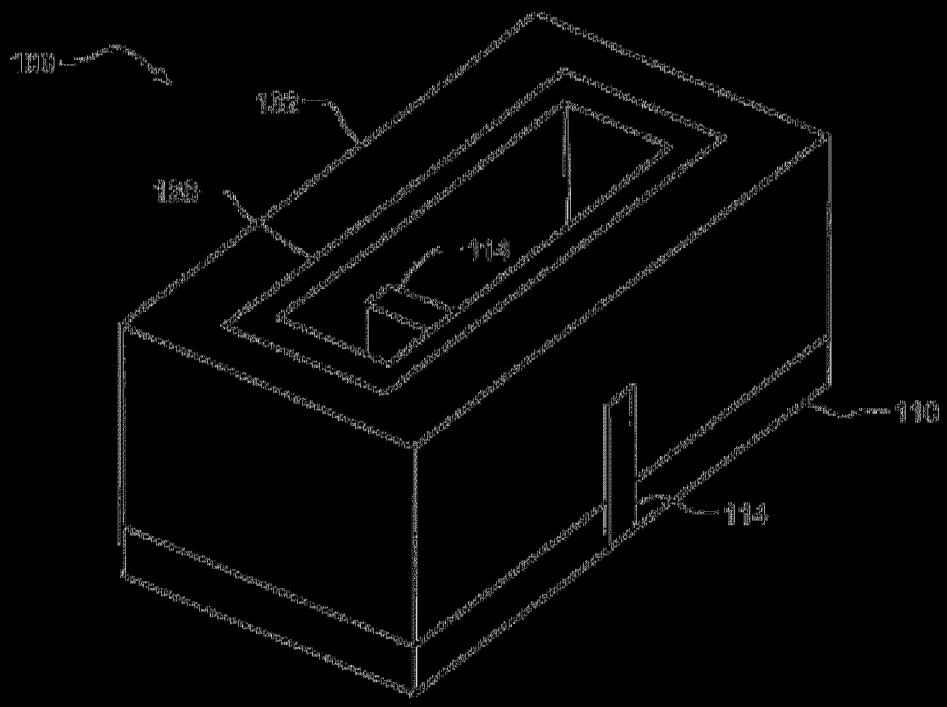

圖 4D

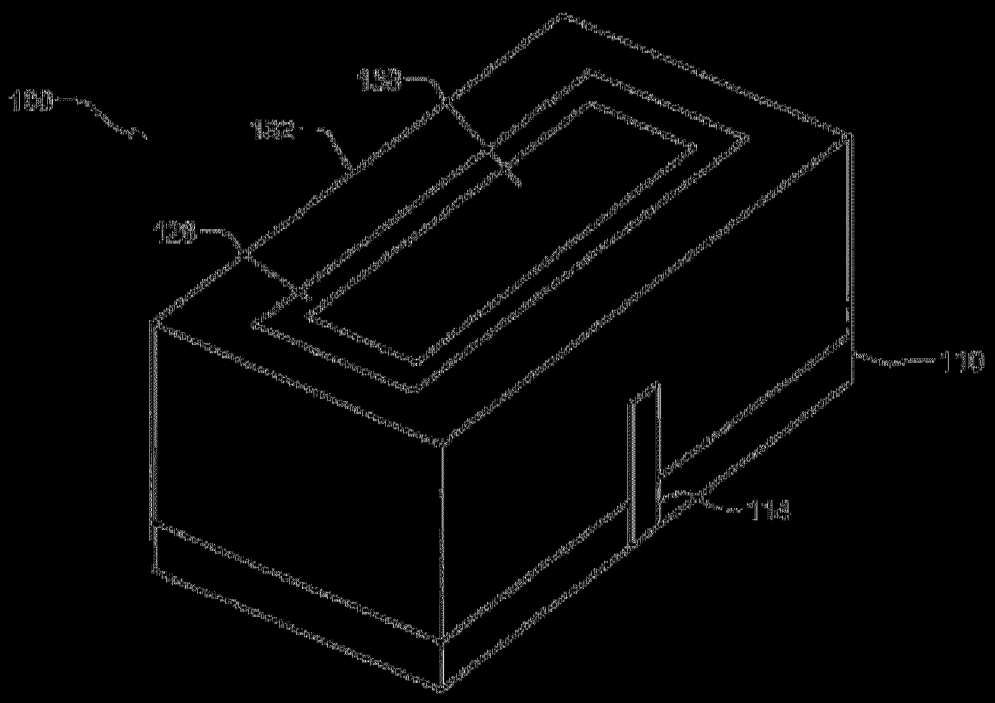

圖 4E

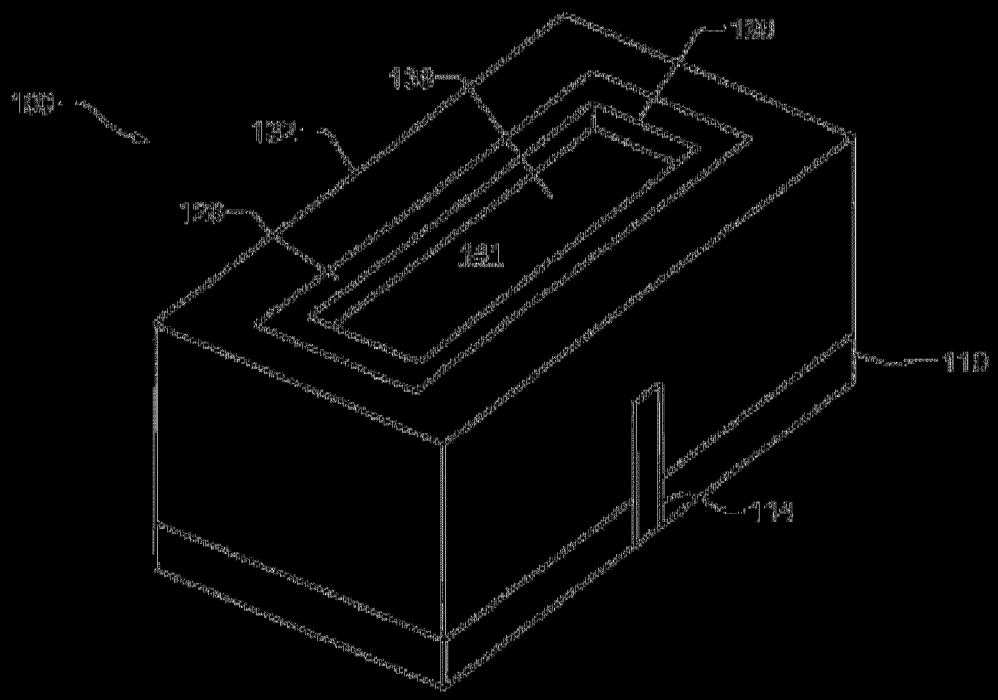

圖 4F

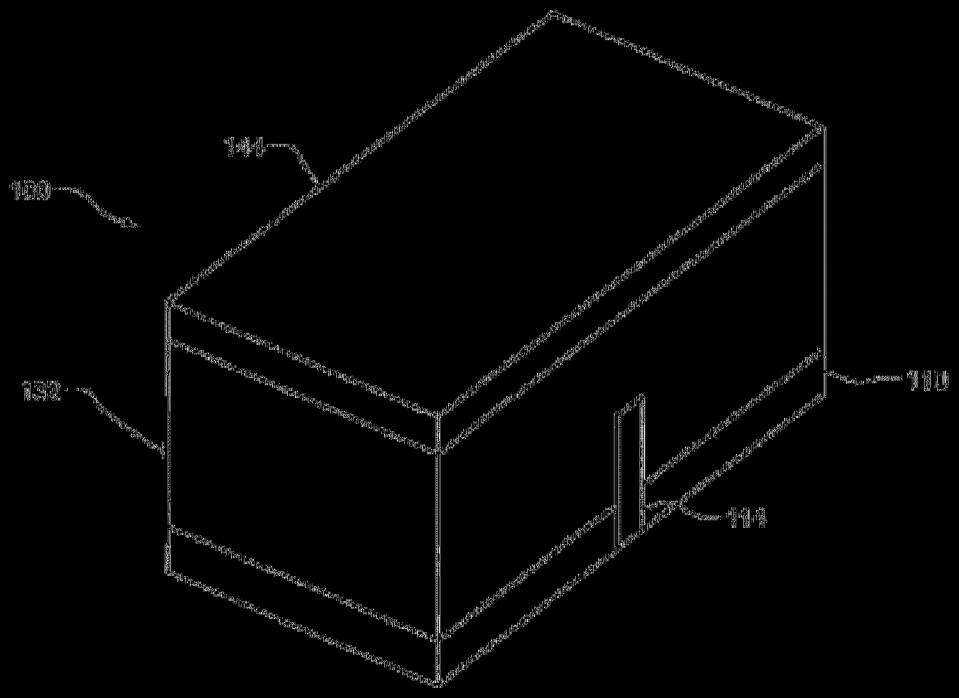

圖 4G

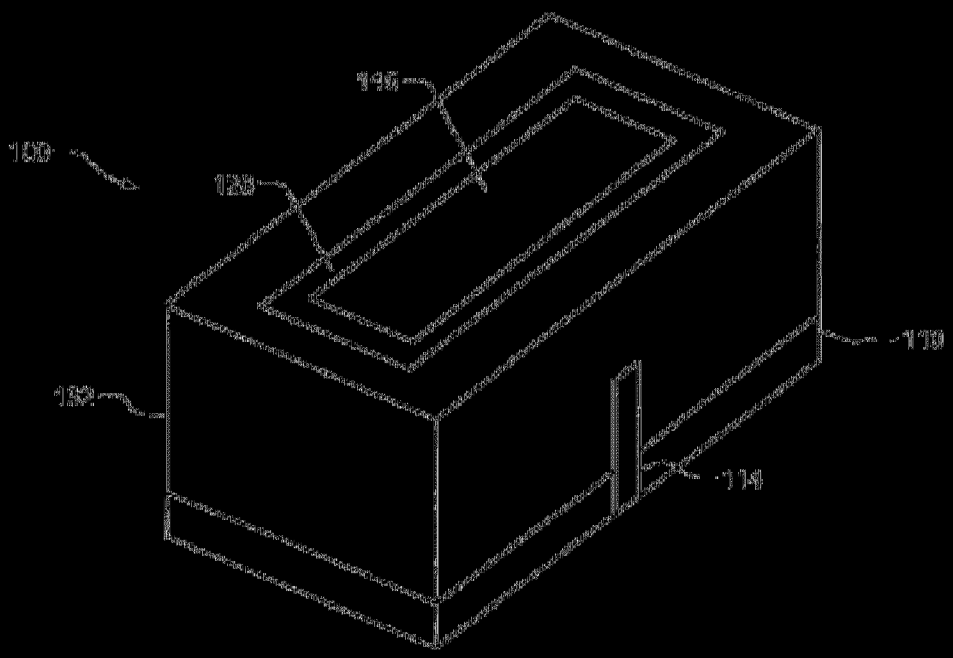

圖 4H

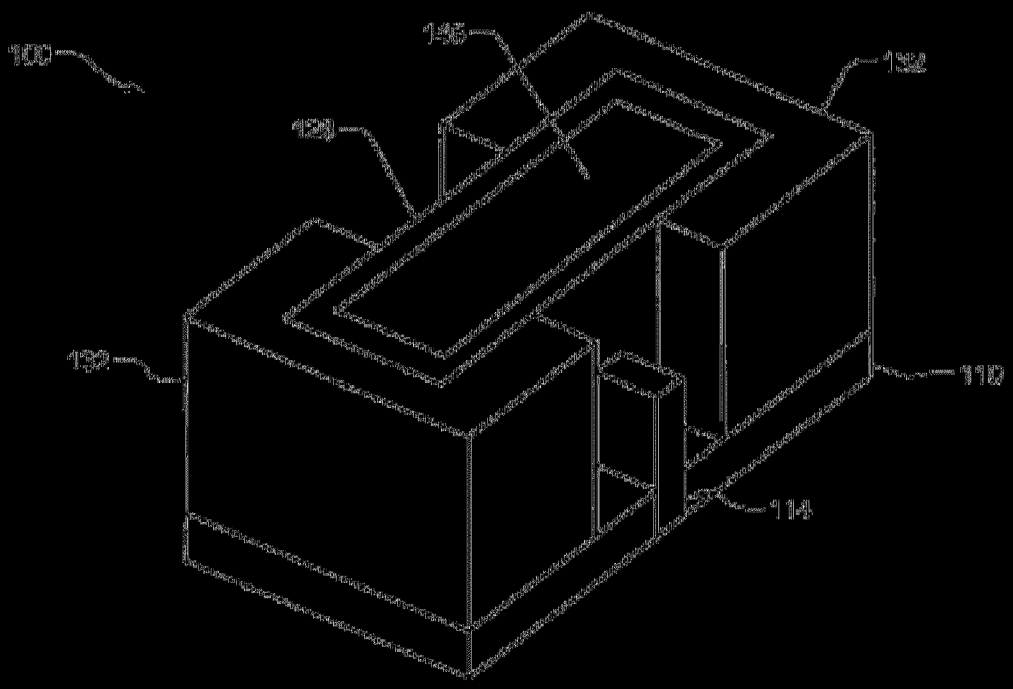
100
146
192
128
130
110
114

圖 4I

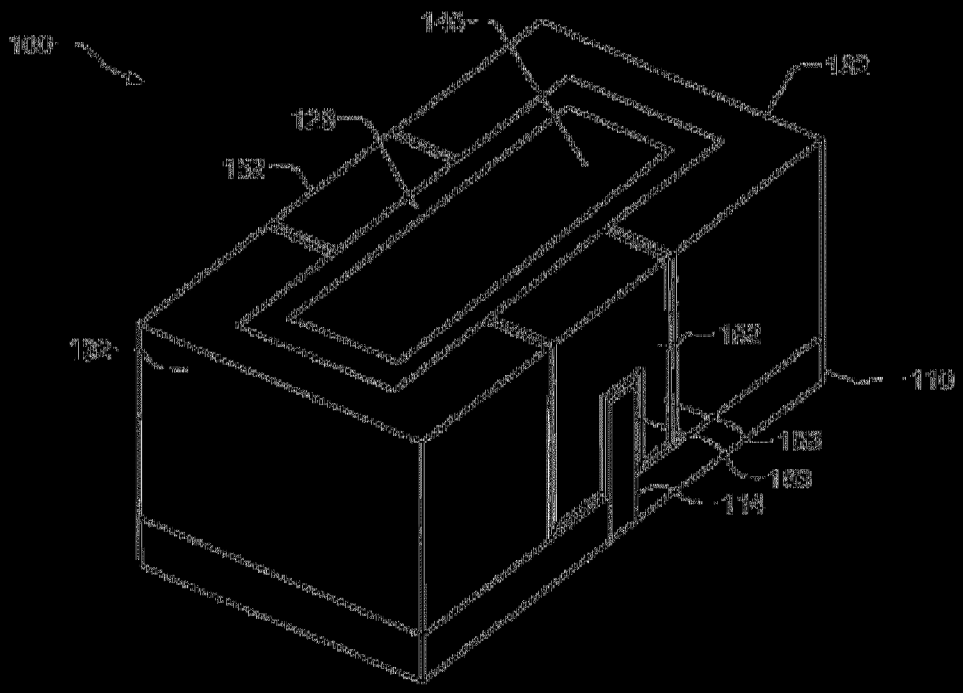
100
146
192
128
132
182
122
110
113
118
114

圖 4J

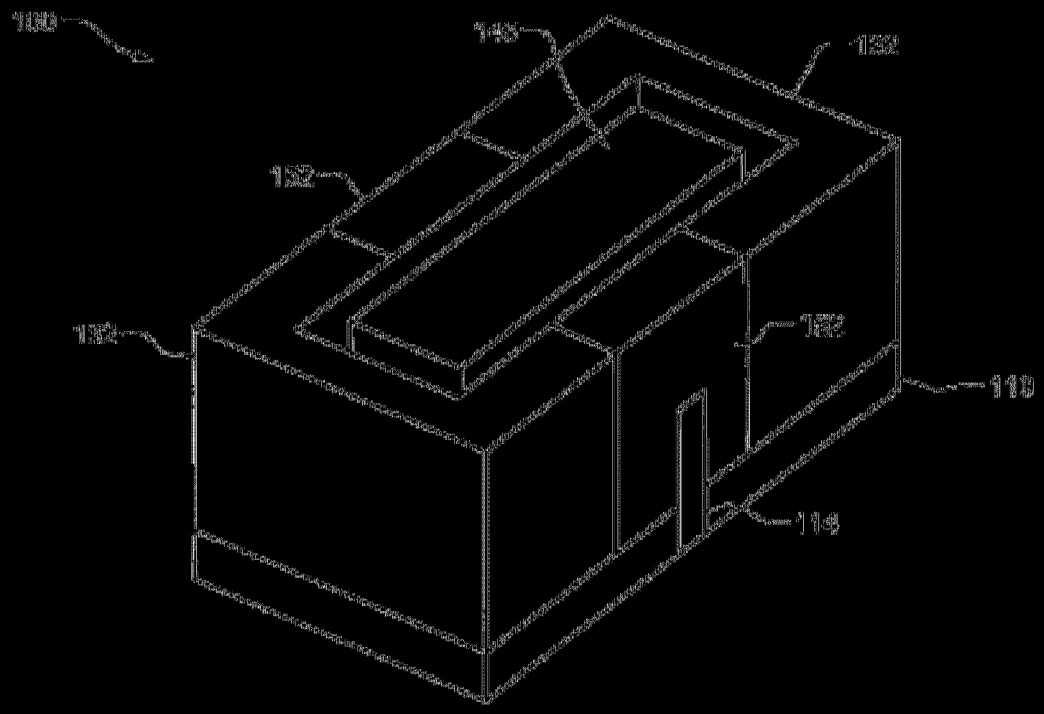

圖 4K

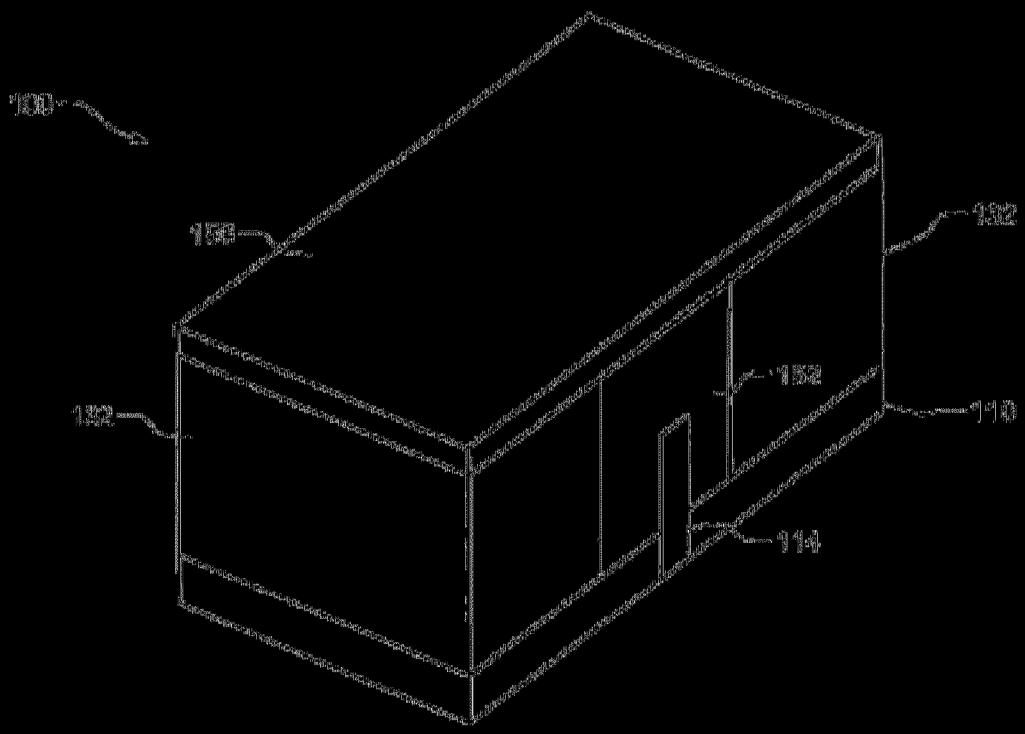

圖 4L

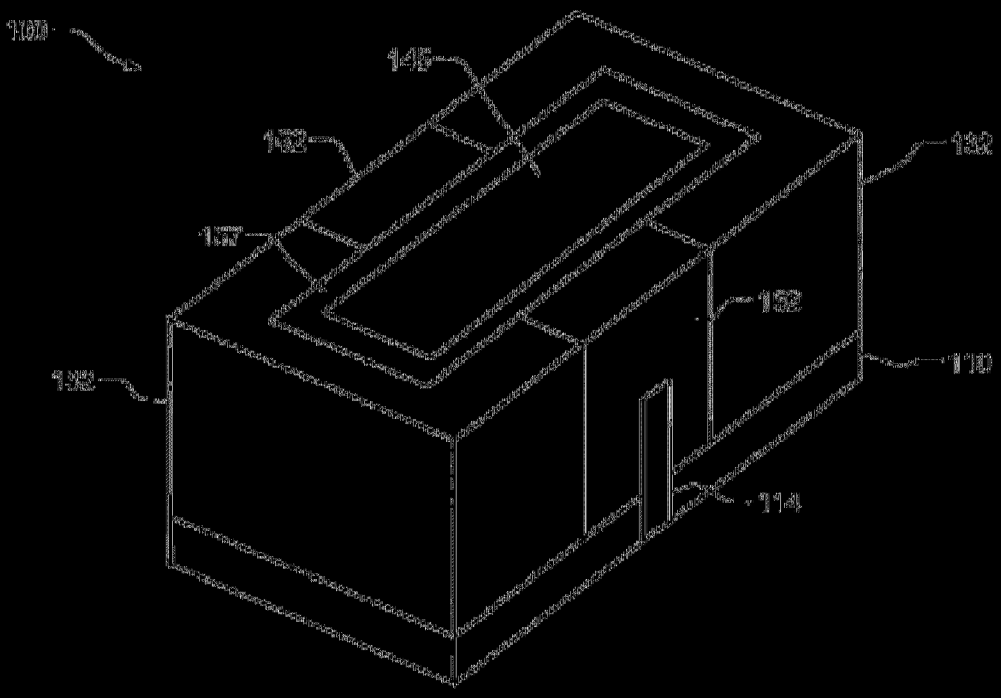
100
145
132
137
132
152
110
135
114

圖 4M

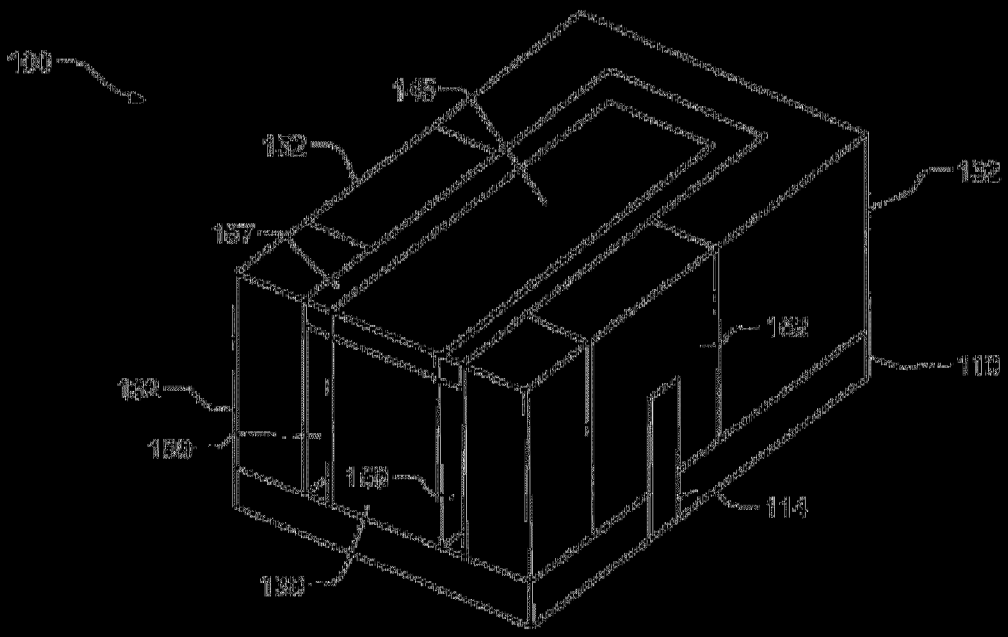
100
145
132
137
132
110
130
150
152
114
130

圖 4N

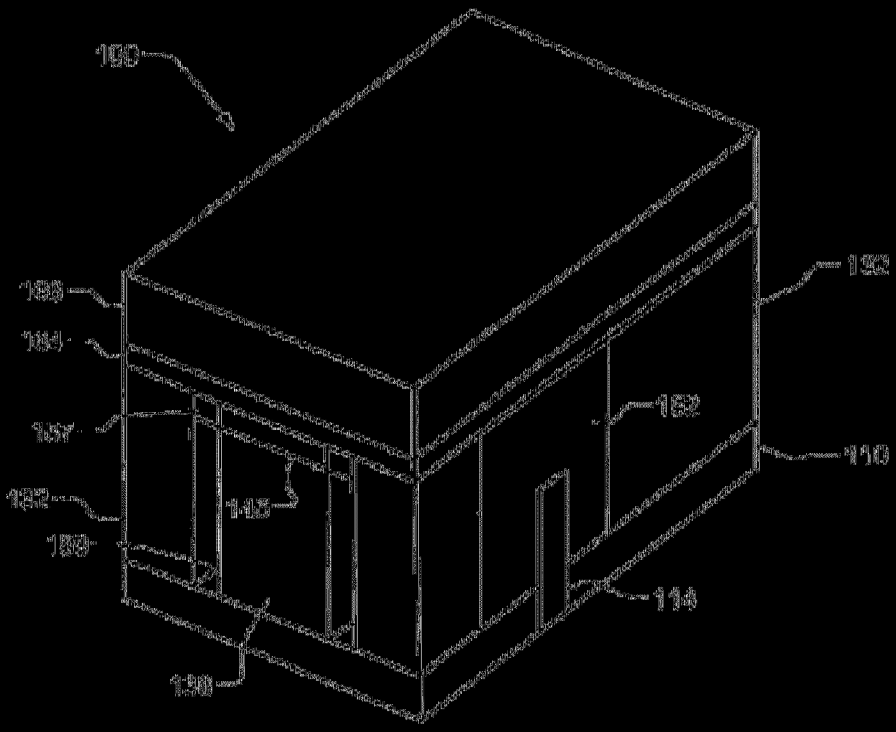
100
188
184
187
182
180
192
152
110
145
114
108

圖 4O

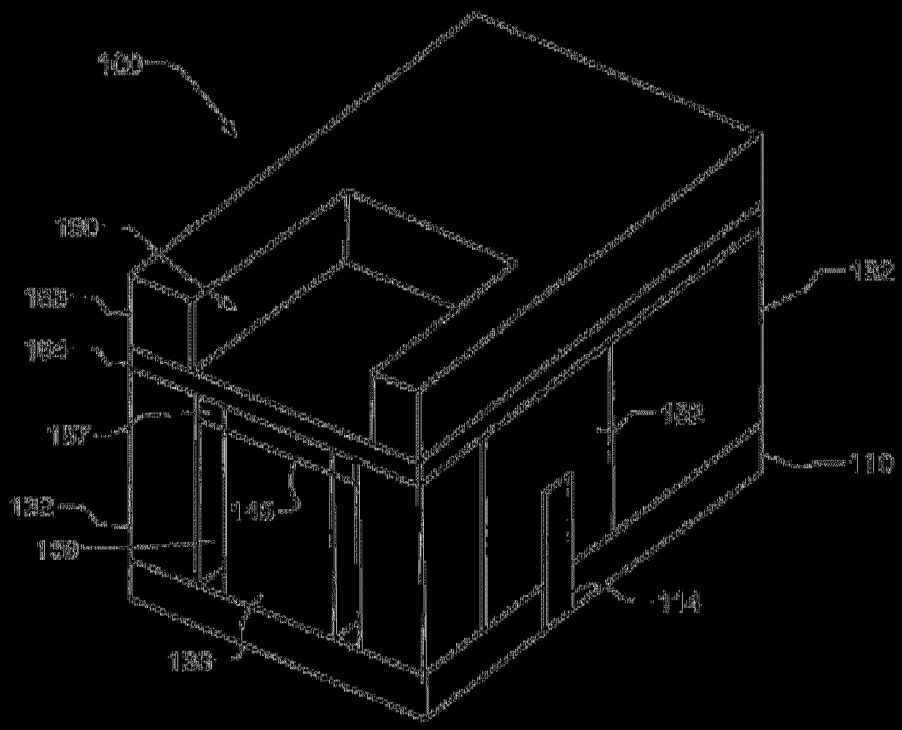
100
150
130
182
157
132
150
152
138
110
145
114
135

圖 4P

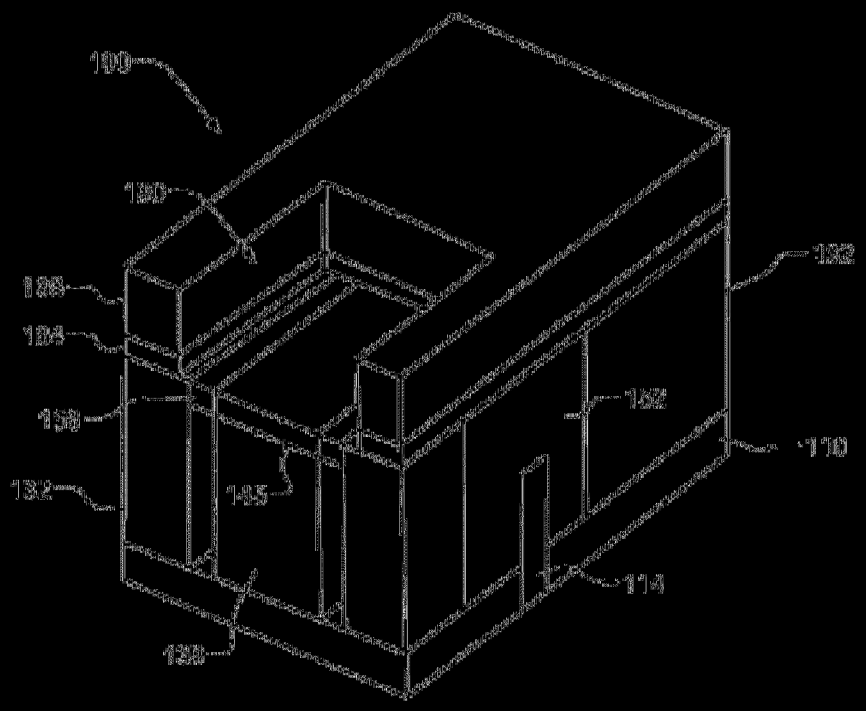
100
180
188
184
138
132
185
182
172
170
174
130

圖 1Q

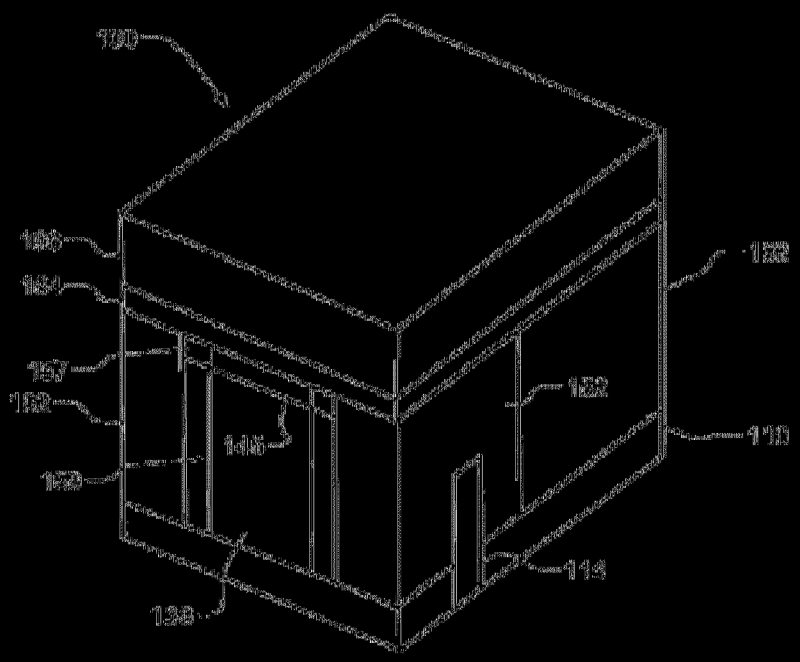
100
186
184
157
152
148
172
182
172
170
174
130

圖 1R

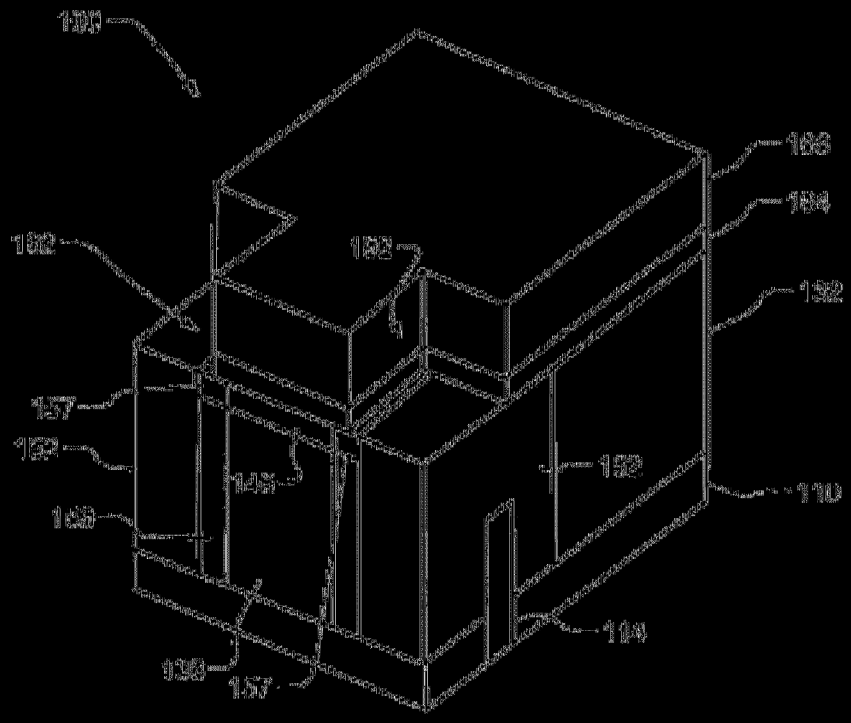
100
103
104
102
182
152
157
152
145
150
110
158
114
158
157

圖 4S

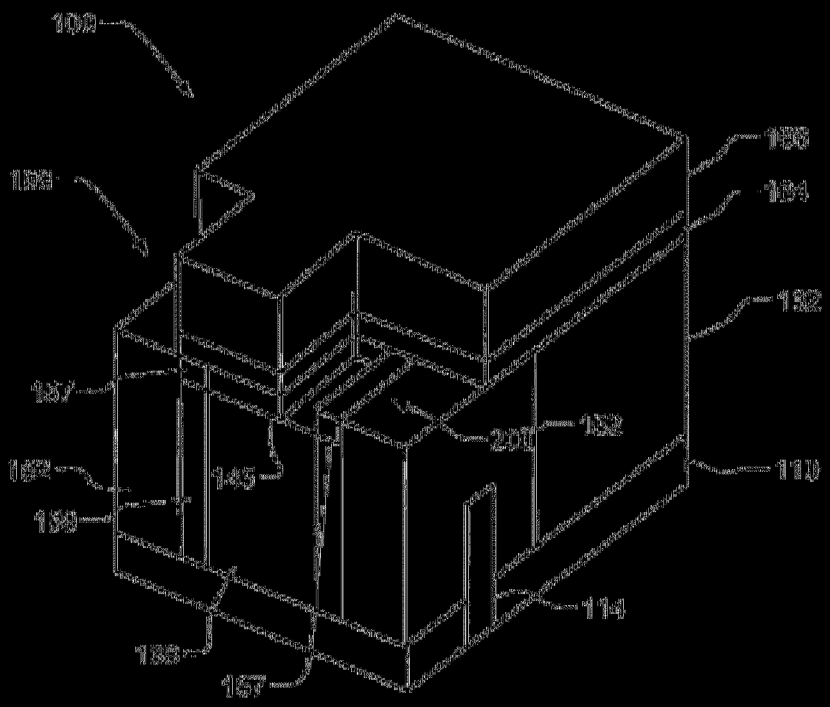
100
103
104
102
157
200
132
182
145
110
158
114
158
157

圖 4T

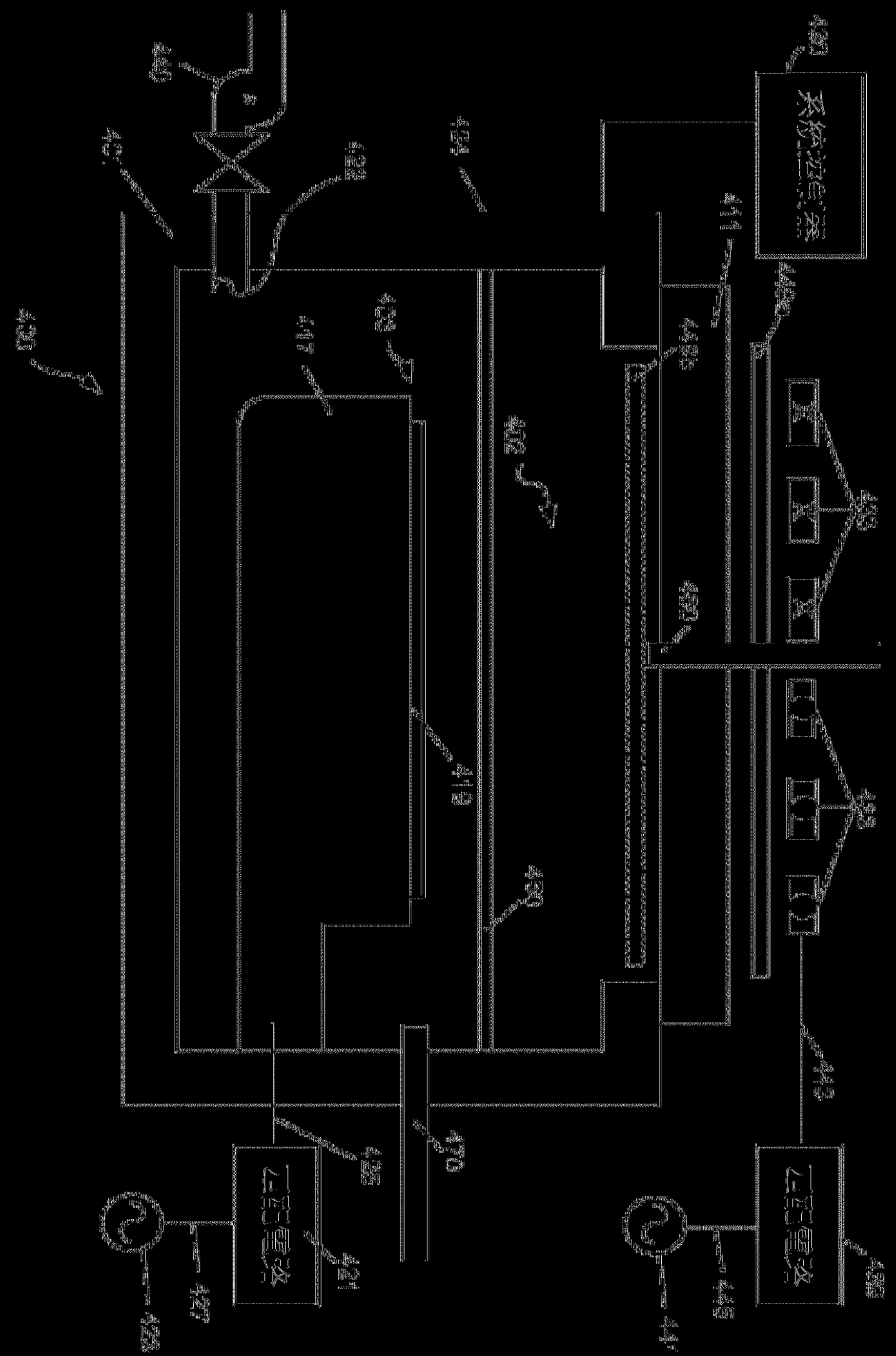

圖 5

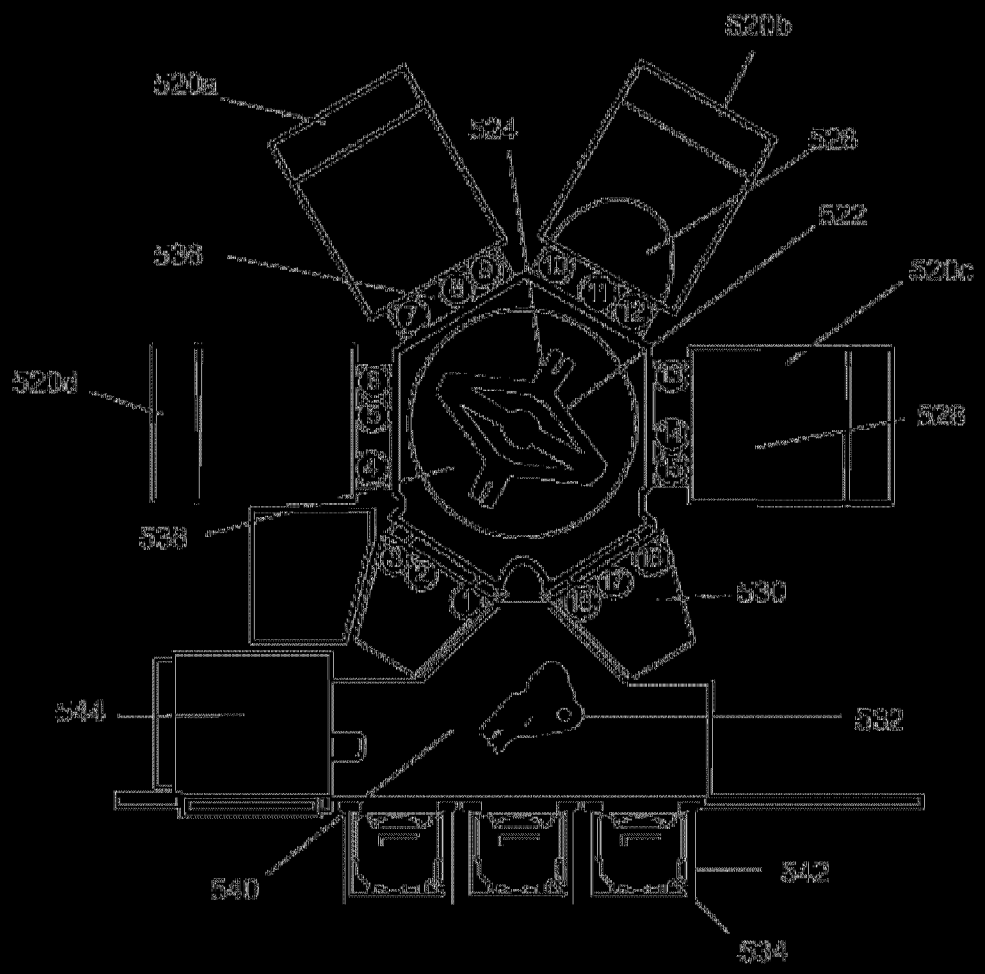
520b
520a
524
528
522
538
520c
520d
528
528
530
544
532
540
542
534

圖 6